



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2017년06월29일  
 (11) 등록번호 10-1752212  
 (24) 등록일자 2017년06월23일

(51) 국제특허분류(Int. Cl.)  
 H01L 27/115 (2017.01) G11C 11/403 (2006.01)  
 G11C 11/405 (2006.01) G11C 16/04 (2006.01)  
 H01L 21/02 (2006.01) H01L 27/12 (2006.01)

(21) 출원번호 10-2012-7015315  
 (22) 출원일자(국제) 2010년10월28일  
 심사청구일자 2015년10월14일  
 (85) 번역문제출일자 2012년06월13일  
 (65) 공개번호 10-2012-0099464  
 (43) 공개일자 2012년09월10일  
 (86) 국제출원번호 PCT/JP2010/069647  
 (87) 국제공개번호 WO 2011/062067  
 국제공개일자 2011년05월26일  
 (30) 우선권주장 JP-P-2009-264615 2009년11월20일 일본(JP)

(56) 선행기술조사문헌  
 KR1020090106461 A\*  
 KR1020090103610 A\*  
 JP2001028443 A\*  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 가부시키가이샤 한도오파이 에네루기 켄큐쇼  
 일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자  
 야마자키 순페이  
 일본국 2430036 가나가와켄 아쓰기시 하세 398 가  
 부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
 교야마 준  
 일본국 2430036 가나가와켄 아쓰기시 하세 398 가  
 부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
 카토 키요시  
 일본국 2430036 가나가와켄 아쓰기시 하세 398 가  
 부시키가이샤 한도오파이 에네루기 켄큐쇼 내

(74) 대리인  
 황의만

전체 청구항 수 : 총 11 항

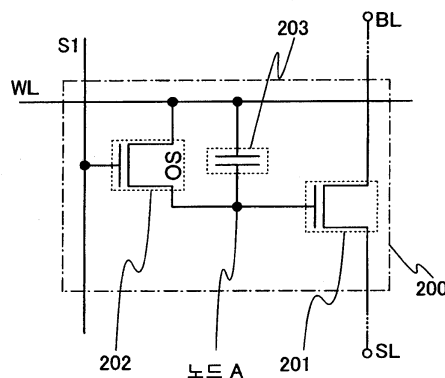
심사관 : 류정현

(54) 발명의 명칭 **반도체 장치**

**(57) 요약**

본 발명은 새로운 구조의 반도체 장치를 제공하는 것을 목적의 하나로 한다. 본 발명의 반도체 장치는 직렬로 접속된 메모리 셀과 용량 소자를 가진다. 메모리 셀의 하나는 비트선 및 소스선에 접속된 제 1 트랜지스터와, 신호선 및 워드선에 접속된 제 2 트랜지스터와, 워드선에 접속된 용량 소자를 가진다. 제 2 트랜지스터는 산화물 반도체층을 포함한다. 제 1 트랜지스터의 게이트 전극과, 제 2 트랜지스터의 소스 전극 또는 드레인 전극의 한쪽과, 용량 소자의 전극의 한쪽이 서로 접속된다.

**대표도** - 도16



## 명세서

### 청구범위

#### 청구항 1

반도체 장치로서,

소스선;

비트선;

신호선; 및

워드선을 포함하고,

상기 소스선과 상기 비트선의 사이에는 복수의 메모리 셀이 직렬로 접속되고,

상기 복수의 메모리 셀의 하나는,

제 1 게이트 전극, 제 1 소스 전극, 및 제 1 드레인 전극을 포함하는 제 1 트랜지스터,

제 2 게이트 전극, 제 2 소스 전극, 및 제 2 드레인 전극을 포함하는 제 2 트랜지스터, 및

용량 소자를 포함하고,

상기 제 1 트랜지스터는 반도체 재료를 함유하는 기판에 제공되고,

상기 제 2 트랜지스터는 산화물 반도체층을 포함하고,

상기 제 1 게이트 전극, 상기 제 2 소스 전극 및 상기 제 2 드레인 전극의 한쪽, 및 상기 용량 소자의 하나의 전극은 서로 전기적으로 접속되고,

상기 소스선과 상기 제 1 소스 전극은 서로 전기적으로 접속되고,

상기 비트선과 상기 제 1 드레인 전극은 서로 전기적으로 접속되고,

상기 산화물 반도체층은 In-Ga-Zn-O계 산화물 반도체 재료를 포함하고,

상기 제 2 트랜지스터의 오프 전류는  $1 \times 10^{-13}$  A 이하인, 반도체 장치.

#### 청구항 2

반도체 장치로서,

소스선;

비트선;

신호선;

워드선;

제 1 선택선;

제 2 선택선;

제 3 게이트 전극에서 상기 제 1 선택선과 전기적으로 접속된 제 3 트랜지스터; 및

제 4 게이트 전극에서 상기 제 2 선택선과 전기적으로 접속된 제 4 트랜지스터를 포함하고,

상기 소스선과 상기 비트선의 사이에는, 복수의 메모리 셀이 직렬로 접속되고,

상기 복수의 메모리 셀의 하나는,

제 1 게이트 전극, 제 1 소스 전극, 및 제 1 드레인 전극을 포함하는 제 1 트랜지스터,  
 제 2 게이트 전극, 제 2 소스 전극, 및 제 2 드레인 전극을 포함하는 제 2 트랜지스터, 및  
 용량 소자를 포함하고,  
 상기 제 1 트랜지스터는 반도체 재료를 함유하는 기판에 제공되고,  
 상기 제 2 트랜지스터는 산화물 반도체층을 포함하고,  
 상기 제 1 게이트 전극, 상기 제 2 소스 전극 및 상기 제 2 드레인 전극의 한쪽, 및 상기 용량 소자의 하나의  
 전극은 서로 전기적으로 접속되고,  
 상기 소스선과 상기 제 1 소스 전극은 서로 전기적으로 접속되고,  
 상기 비트선과 상기 제 1 드레인 전극은 서로 전기적으로 접속되고,  
 상기 비트선은 상기 제 3 트랜지스터를 통하여, 상기 제 1 드레인 전극과 전기적으로 접속되고,  
 상기 소스선은 상기 제 4 트랜지스터를 통하여, 상기 제 1 소스 전극과 전기적으로 접속되고,  
 상기 산화물 반도체층은 In-Ga-Zn-O계 산화물 반도체 재료를 포함하고,  
 상기 제 2 트랜지스터의 오프 전류는  $1 \times 10^{-13}$  A 이하인, 반도체 장치.

### 청구항 3

반도체 장치로서,  
 소스선;  
 비트선;  
 신호선; 및  
 워드선을 포함하고,  
 상기 소스선과 상기 비트선의 사이에는 복수의 메모리 셀이 직렬로 접속되고,  
 상기 복수의 메모리 셀의 하나는,  
 제 1 게이트 전극, 제 1 소스 전극, 및 제 1 드레인 전극을 포함하는 제 1 트랜지스터,  
 제 2 게이트 전극, 제 2 소스 전극, 및 제 2 드레인 전극을 포함하는 제 2 트랜지스터, 및  
 용량 소자를 포함하고,  
 상기 제 1 트랜지스터는 반도체 재료를 함유하는 기판에 제공되고,  
 상기 제 2 트랜지스터는 산화물 반도체층을 포함하고,  
 상기 제 1 게이트 전극, 상기 제 2 소스 전극 및 상기 제 2 드레인 전극의 한쪽, 및 상기 용량 소자의 하나의  
 전극은 서로 전기적으로 접속되고,  
 상기 소스선과 상기 제 1 소스 전극은 서로 전기적으로 접속되고,  
 상기 비트선과 상기 제 1 드레인 전극은 서로 전기적으로 접속되고,  
 상기 제 1 트랜지스터는, 상기 반도체 재료를 함유하는 상기 기판에 제공된 채널 형성 영역, 상기 채널 형성 영  
 역을 사이에 두도록 제공된 불순물 영역, 상기 채널 형성 영역 위의 제 1 게이트 절연층, 상기 제 1 게이트 절  
 연층 위의 상기 제 1 게이트 전극, 및 상기 불순물 영역과 전기적으로 접속하는 상기 제 1 소스 전극과 상기 제  
 1 드레인 전극을 포함하고,  
 상기 산화물 반도체층은 In-Ga-Zn-O계 산화물 반도체 재료를 포함하고,

상기 제 2 트랜지스터의 오프 전류는  $1 \times 10^{-13}$  A 이하인, 반도체 장치.

#### 청구항 4

반도체 장치로서,

소스선;

비트선;

신호선;

워드선;

제 1 선택선;

제 2 선택선;

제 3 게이트 전극에서 상기 제 1 선택선과 전기적으로 접속된 제 3 트랜지스터; 및

제 4 게이트 전극에서 상기 제 2 선택선과 전기적으로 접속된 제 4 트랜지스터를 포함하고,

상기 소스선과 상기 비트선의 사이에는, 복수의 메모리 셀이 직렬로 접속되고,

상기 복수의 메모리 셀의 하나는,

제 1 게이트 전극, 제 1 소스 전극, 및 제 1 드레인 전극을 포함하는 제 1 트랜지스터,

제 2 게이트 전극, 제 2 소스 전극, 및 제 2 드레인 전극을 포함하는 제 2 트랜지스터, 및

용량 소자를 포함하고,

상기 제 1 트랜지스터는 반도체 재료를 함유하는 기판에 제공되고,

상기 제 2 트랜지스터는 산화물 반도체층을 포함하고,

상기 제 1 게이트 전극, 상기 제 2 소스 전극 및 상기 제 2 드레인 전극의 한쪽, 및 상기 용량 소자의 하나의 전극은 서로 전기적으로 접속되고,

상기 소스선과 상기 제 1 소스 전극은 서로 전기적으로 접속되고,

상기 비트선과 상기 제 1 드레인 전극은 서로 전기적으로 접속되고,

상기 비트선은 상기 제 3 트랜지스터를 통하여, 상기 제 1 드레인 전극과 전기적으로 접속되고,

상기 소스선은 상기 제 4 트랜지스터를 통하여, 상기 제 1 소스 전극과 전기적으로 접속되고,

상기 제 1 트랜지스터는, 상기 반도체 재료를 함유하는 상기 기판에 제공된 채널 형성 영역, 상기 채널 형성 영역을 사이에 두도록 제공된 불순물 영역, 상기 채널 형성 영역 위의 제 1 게이트 절연층, 상기 제 1 게이트 절연층 위의 상기 제 1 게이트 전극, 및 상기 불순물 영역과 전기적으로 접속하는 상기 제 1 소스 전극과 상기 제 1 드레인 전극을 포함하고,

상기 산화물 반도체층은 In-Ga-Zn-O계 산화물 반도체 재료를 포함하고,

상기 제 2 트랜지스터의 오프 전류는  $1 \times 10^{-13}$  A 이하인, 반도체 장치.

#### 청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 신호선과 상기 제 2 게이트 전극은 서로 전기적으로 접속되고,

상기 워드선, 상기 제 2 소스 전극 및 상기 제 2 드레인 전극의 다른 한쪽, 및 상기 용량 소자의 다른 전극은,

서로 전기적으로 접속되는, 반도체 장치.

**청구항 6**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,  
 상기 신호선과, 상기 제 2 소스 전극 및 상기 제 2 드레인 전극의 다른 한쪽은, 서로 전기적으로 접속되고,  
 상기 워드선, 상기 제 2 게이트 전극, 및 상기 용량 소자의 다른 전극은 서로 전기적으로 접속되는, 반도체 장  
 치.

**청구항 7**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,  
 상기 제 2 트랜지스터는, 상기 반도체 재료를 함유하는 상기 기판 위의 상기 제 2 게이트 전극, 상기 제 2 게이  
 트 전극 위의 제 2 게이트 절연층, 상기 제 2 게이트 절연층 위의 상기 산화물 반도체층, 및 상기 산화물 반도  
 체층과 전기적으로 접속하는 상기 제 2 소스 전극과 상기 제 2 드레인 전극을 포함하는, 반도체 장치.

**청구항 8**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,  
 상기 반도체 재료를 함유하는 상기 기판은 단결정 반도체 기판 또는 SOI 기판인, 반도체 장치.

**청구항 9**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,  
 상기 반도체 재료는 실리콘인, 반도체 장치.

**청구항 10**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,  
 상기 산화물 반도체층은  $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 의 결정을 함유하는, 반도체 장치.

**청구항 11**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,  
 상기 산화물 반도체층의 수소 농도는  $5 \times 10^{19}$  atoms/cm<sup>3</sup> 이하인, 반도체 장치.

**청구항 12**

삭제

**청구항 13**

삭제

- 청구항 14  
삭제
- 청구항 15  
삭제
- 청구항 16  
삭제
- 청구항 17  
삭제
- 청구항 18  
삭제
- 청구항 19  
삭제
- 청구항 20  
삭제
- 청구항 21  
삭제
- 청구항 22  
삭제
- 청구항 23  
삭제
- 청구항 24  
삭제
- 청구항 25  
삭제
- 청구항 26  
삭제
- 청구항 27  
삭제
- 청구항 28  
삭제
- 청구항 29  
삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

### 발명의 설명

#### 기술 분야

[0001] 개시하는 발명은, 반도체 소자를 이용한 반도체 장치 및 그 제작 방법에 관한 것이다.

#### 배경 기술

[0002] 반도체 소자를 이용한 기억 장치는, 전력의 공급이 없어지면 기억 내용이 사라지는 휘발성 기억 장치와, 전력의 공급이 없어져도 기억 내용은 보유되는 불휘발성 기억 장치로 크게 구별된다.

[0003] 휘발성 기억 장치의 대표적인 예로서는, DRAM(Dynamic Random Access Memory)가 있다. DRAM은 기억 소자를 구성하는 트랜지스터를 선택하여 커패시터에 전하를 축적함으로써 정보를 기억한다.

[0004] 상술한 원리로부터, DRAM에서는 정보를 읽어내면 커패시터의 전하는 없어지게 되기 때문에, 데이터의 관독 후, 재차 정보를 기억하려면, 재차의 기입 동작이 필요하다. 또한, 기억 소자를 구성하는 트랜지스터에는 리크 전류가 존재하고, 트랜지스터가 선택되어 있지 않은 상황에서도 전하가 유출, 또는 유입되기 때문에, 데이터의 보

유 시간이 짧다. 따라서, 소정의 주기로 재차의 기입 동작(리프레시 동작)이 필요하고, 소비 전력을 충분히 저감하는 것은 곤란하다. 또한, 전력의 공급이 없어지면 기억 내용이 없어지기 때문에, 장기간의 기억의 보유에는 자성 재료나 광학 재료를 이용한 다른 기억 장치가 필요하다.

[0005] 휘발성 기억 장치의 다른 예로서는 SRAM(Static Random Access Memory)이 있다. SRAM은 플립플롭 등의 회로를 이용하여 기억 내용을 보유하기 때문에, 리프레시 동작이 불필요하고, 이 점에서는 DRAM보다 유리하다. 그러나, 플립플롭 등의 회로를 이용하고 있기 때문에, 기억 용량당의 단가가 높아진다는 문제가 있다. 또한, 전력의 공급이 없어지면 기억 내용이 없어진다는 점에 대해서는 DRAM과 다른 점은 없다.

[0006] 불휘발성 기억 장치의 대표예로서는, 플래시 메모리가 있다. 플래시 메모리는 트랜지스터의 게이트 전극과 채널 형성 영역과의 사이에 플로팅 게이트를 가지고, 이 플로팅 게이트에 전하를 보유시킴으로써 기억을 행하기 때문에, 데이터의 보유 기간은 매우 길고(반영구적), 휘발성 기억 장치에 필요한 리프레시 동작이 불필요하다는 이점을 가지고 있다(예를 들면, 특허문헌 1 참조).

[0007] 그러나, 기입 시에 생기는 터널 전류에 의해 기억 소자를 구성하는 게이트 절연층이 열화하기 때문에, 소정 횟수의 기입에 의해 기억 소자가 기능하지 않게 된다는 문제가 생긴다. 이 문제의 영향을 완화하기 위해, 예를 들면, 각 기억 소자의 기입 횟수를 균일화하는 방법이 채용되지만, 이것을 실현하기 위해서는, 복잡한 주변 회로가 필요하게 된다. 그리고, 이러한 방법을 채용하더라도, 근본적인 수명의 문제가 해소되는 것은 아니다. 즉, 플래시 메모리는 정보의 다시쓰기 빈도가 높은 용도에는 적합하지 않다.

[0008] 또한, 플로팅 게이트에 전하를 보유시키기 위해, 또는, 그 전하를 제거하기 위해서는, 높은 전압이 필요하다. 또한, 전하의 보유, 또는 제거를 위해서는 비교적 긴 시간을 필요로 하고, 기입, 소거의 고속화가 용이하지 않다는 문제도 있다.

**선행기술문헌**

**특허문헌**

[0009] (특허문헌 0001) 일본국 특개소 57-105889호 공보

**발명의 내용**

**해결하려는 과제**

[0010] 상술한 문제를 감안하여, 개시하는 발명의 일 양태에서는, 전력이 공급되지 않는 상황에서도 기억 내용의 보유가 가능하고, 또한, 기입 횟수에도 제한이 없는, 새로운 구조의 반도체 장치를 제공하는 것을 목적의 하나로 한다.

**과제의 해결 수단**

[0011] 본 발명의 일 양태는, 산화물 반도체를 이용하여 형성되는 트랜지스터와, 그 이외의 재료를 이용하여 형성되는 트랜지스터와의 적층 구조에 관한 반도체 장치이다. 예를 들면, 다음과 같은 구성을 채용할 수 있다.

[0012] 본 발명의 일 양태는, 소스선과, 비트선과, 신호선과, 워드선을 가지는 반도체 장치이다. 소스선과 비트선의 사이에는, 복수의 메모리 셀이 직렬로 접속되고, 복수의 메모리 셀의 하나는, 제 1 게이트 전극, 제 1 소스 전극, 및 제 1 드레인 전극을 가지는 제 1 트랜지스터와, 제 2 게이트 전극, 제 2 소스 전극, 및 제 2 드레인 전극을 가지는 제 2 트랜지스터와, 용량 소자를 가진다. 제 1 트랜지스터는 반도체 재료를 포함하는 기판에 설치되고, 제 2 트랜지스터는 산화물 반도체층을 포함하여 구성된다. 제 1 게이트 전극과, 제 2 소스 전극 또는 제 2 드레인 전극의 한쪽과, 용량 소자의 전극의 한쪽은 서로 전기적으로 접속된다. 소스선과 제 1 소스 전극은 서로 전기적으로 접속되고, 비트선과 제 1 드레인 전극은 서로 전기적으로 접속되고, 신호선과 제 2 게이트 전극은 서로 전기적으로 접속된다. 워드선과, 제 2 소스 전극 또는 제 2 드레인 전극의 다른 한쪽과 용량 소자의 전극의 다른 한쪽은 서로 전기적으로 접속된다.

- [0013] 또한, 본 발명의 다른 일 양태는 소스선과, 비트선과, 신호선과, 워드선을 가지는 반도체 장치이다. 소스선과 비트선의 사이에는, 복수의 메모리 셀이 직렬로 접속되고, 복수의 메모리 셀의 하나는, 제 1 게이트 전극, 제 1 소스 전극, 및 제 1 드레인 전극을 가지는 제 1 트랜지스터와, 제 2 게이트 전극, 제 2 소스 전극, 및 제 2 드레인 전극을 가지는 제 2 트랜지스터와, 용량 소자를 가진다. 제 1 트랜지스터는 반도체 재료를 포함하는 기판에 설치되고, 제 2 트랜지스터는 산화물 반도체층을 포함하여 구성된다. 제 1 게이트 전극과, 제 2 소스 전극 또는 제 2 드레인 전극의 한쪽과, 용량 소자의 전극의 한쪽은 서로 전기적으로 접속된다. 소스선과 제 1 소스 전극은 서로 전기적으로 접속되고, 비트선과 제 1 드레인 전극은 서로 전기적으로 접속되고, 신호선과, 제 2 소스 전극 또는 제 2 드레인 전극의 다른 한쪽은 서로 전기적으로 접속된다. 워드선과, 제 2 게이트 전극과, 용량 소자의 전극의 다른 한쪽은 서로 전기적으로 접속된다.
- [0014] 상기에서, 반도체 장치는 제 1 선택선, 제 2 선택선, 게이트 전극에서 제 1 선택선에 전기적으로 접속된 제 3 트랜지스터, 게이트 전극에서 제 2 선택선과 전기적으로 접속된 제 4 트랜지스터를 가진다. 또한 비트선은 제 3 트랜지스터를 통하여 제 1 드레인 전극과 전기적으로 접속되고, 소스선은 제 4 트랜지스터를 통하여 제 1 소스 전극과 전기적으로 접속되는 것이 적합하다.
- [0015] 또한, 상기에서, 제 1 트랜지스터는 반도체 재료를 포함하는 기판에 형성된 채널 형성 영역과, 채널 형성 영역을 끼우도록 형성된 불순물 영역과, 채널 형성 영역 위의 제 1 게이트 절연층과, 제 1 게이트 절연층 위의 제 1 게이트 전극과, 불순물 영역과 전기적으로 접속하는 제 1 소스 전극 및 제 1 드레인 전극을 가진다.
- [0016] 또한, 상기에서, 제 2 트랜지스터는 반도체 재료를 포함하는 기판 위의 제 2 게이트 전극과, 제 2 게이트 전극 위의 제 2 게이트 절연층과, 제 2 게이트 절연층 위의 산화물 반도체층과, 산화물 반도체층과 전기적으로 접속하는 제 2 소스 전극 및 제 2 드레인 전극을 가진다.
- [0017] 또한, 상기에서, 반도체 재료를 포함하는 기판으로서는, 단결정 반도체 기판 또는 SOI 기판을 채용하는 것이 적합하다. 특히, 반도체 재료는 실리콘으로 하는 것이 적합하다.
- [0018] 또한, 상기에서, 산화물 반도체층은 In-Ga-Zn-O계의 산화물 반도체 재료를 포함하는 것이 적합하다. 특히, 산화물 반도체층은  $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 의 결정을 포함하는 것이 적합하다. 또한, 산화물 반도체층의 수소 농도는  $5 \times 10^{19}$  atoms/cm<sup>3</sup> 이하로 하는 것이 적합하다. 또한, 제 2 트랜지스터의 오프 전류는  $1 \times 10^{-13}$  A 이하로 하는 것이 적합하다.
- [0019] 또한, 상기에서, 제 2 트랜지스터는 제 1 트랜지스터와 중첩하는 영역에 설치된 구성으로 할 수 있다.
- [0020] 또한, 본 명세서 등에서 「위」나 「아래」라는 용어는 구성 요소의 위치 관계가 「바로 위」또는 「바로 아래」인 것을 한정하는 것은 아니다. 예를 들면, 「게이트 절연층 위의 제 1 게이트 전극」이라는 표현이라면, 게이트 절연층과 제 1 게이트 전극과의 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다. 또한, 「위」 「아래」라는 용어는 설명의 편의를 위해 이용하는 표현에 지나지 않고, 특별히 언급하는 경우를 제외하고, 그 상하를 바꾸는 것도 포함한다.
- [0021] 또한, 본 명세서 등에서 「전극」이나 「배선」이라는 용어는, 이러한 구성 요소를 기능적으로 한정하는 것은 아니다. 예를 들면, 「전극」은 「배선」의 일부로서 이용되는 일이 있고, 그 반대도 또한 마찬가지이다. 또한, 「전극」이나 「배선」이라는 용어는 복수의 「전극」이나 「배선」이 일체가 되어 형성되어 있는 경우 등도 포함한다.
- [0022] 또한, 「소스」나 「드레인」의 기능은, 다른 극성의 트랜지스터를 채용하는 경우나, 회로 동작에서 전류의 방향이 변화하는 경우 등에는 바뀌는 일이 있다. 따라서, 본 명세서에서는, 「소스」나 「드레인」이라는 용어는, 바꾸어 이용할 수 있는 것으로 한다.
- [0023] 또한, 본 명세서 등에서, 「전기적으로 접속」에는 구성 요소들이 「어떠한 전기적 작용을 가지는 것」을 통하여 접속되는 경우가 포함된다. 여기서, 「어떠한 전기적 작용을 가지는 것」은 접속 대상 사이에서의 전기 신호의 주고받음을 가능하게 하는 것이면, 특별히 제한을 받지 않는다.
- [0024] 예를 들면, 「어떠한 전기적 작용을 가지는 것」에는, 전극이나 배선은 물론, 트랜지스터 등의 스위칭 소자, 저항 소자, 인덕터, 커패시터, 그 외의 각종 기능을 가지는 소자 등이 포함된다.
- [0025] 또한, 일반적으로 「SOI 기판」은 절연 표면 위에 실리콘 반도체층이 형성된 구성의 기판을 말하지만, 본 명세서 등에서는, 절연 표면 위에 실리콘 이외의 재료로 이루어지는 반도체층이 형성된 구성의 기판도 포함하는 개

념으로서 이용한다. 즉, 「SOI 기판」이 가지는 반도체층은 실리콘 반도체층에 한정되지 않는다. 또한, 「SOI 기판」에서의 기판은 실리콘 웨이퍼 등의 반도체 기판에 한정하지 않고, 유리 기판이나 석영 기판, 사파이어 기판, 금속 기판 등의 비반도체 기판도 포함한다. 즉, 절연 표면을 가지는 도체 기판이나 절연체 기판 위에 반도체 재료로 이루어지는 층을 가지는 것도 넓게 「SOI 기판」에 포함된다. 또한, 본 명세서 등에서, 「반도체 기판」은 반도체 재료만으로 이루어지는 기판을 가리키는 것에 한정되지 않고, 반도체 재료를 포함하는 기판 전반을 나타내는 것으로 한다. 즉, 본 명세서 등에서는 「SOI 기판」도 넓게 「반도체 기판」에 포함된다.

[0026] 또한, 본 명세서 등에 있어서, 산화물 반도체 이외의 반도체 재료란, 산화물 반도체 이외의 반도체 재료라면 어떠한 반도체 재료여도 좋다. 예를 들면, 실리콘, 게르마늄, 실리콘 게르마늄, 탄화 실리콘, 갈륨 비소 등이 있다. 그 외에, 유기 반도체 재료 등을 이용할 수도 있다. 또한, 반도체 장치 등을 구성하는 재료에 대하여 특별히 언급하지 않는 경우는, 산화물 반도체 재료 또는 산화물 반도체 이외의 반도체 재료의 어느 쪽을 이용해도 좋다.

**발명의 효과**

[0027] 본 발명의 일 양태에서는, 하부에 산화물 반도체 이외의 재료를 이용한 트랜지스터를 가지고, 상부에 산화물 반도체를 이용한 트랜지스터를 가지는 반도체 장치가 제공된다.

[0028] 산화물 반도체를 이용한 트랜지스터는 오프 전류가 매우 작기 때문에, 이것을 이용함으로써 매우 장기에 걸쳐 기억 내용을 보유하는 것이 가능하다. 즉, 리프래시 동작이 불필요해지거나, 또는, 리프래시 동작의 빈도를 매우 낮게 하는 것이 가능해지기 때문에, 소비 전력을 충분히 저감할 수 있다. 또한, 전력의 공급이 없는 경우에도, 장기에 걸쳐 기억 내용을 보유하는 것이 가능하다.

[0029] 또한, 정보의 기입에 높은 전압을 필요로 하지 않고, 소자의 열화의 문제도 없다. 예를 들면 종래의 불휘발성 메모리와 같이 플로팅(부유) 게이트에의 전자의 주입과 추출을 행할 필요가 없기 때문에, 게이트 절연층의 열화가 생기는 일이 전혀 없다. 즉, 본 실시형태에 관한 반도체 장치는, 종래의 불휘발성 메모리에 문제가 되는 다 시쓰기 가능 횟수에 제한은 없고, 신뢰성이 비약적으로 향상된다. 또한, 트랜지스터의 온 상태, 오프 상태에 의해, 정보의 기입이 행해지기 때문에, 고속 동작도 용이하게 실현될 수 있다. 또한, 플래시 메모리 등에서 필요한 정보를 소거하기 위한 동작이 불필요하다는 메리트도 있다.

[0030] 또한, 산화물 반도체 이외의 재료를 이용한 트랜지스터는 산화물 반도체를 이용한 트랜지스터와 비교하여, 더욱 고속 동작이 가능하기 때문에, 이것을 이용함으로써, 기억 내용의 판독을 고속으로 행하는 것이 가능하다.

[0031] 이와 같이, 산화물 반도체 이외의 재료를 이용한 트랜지스터와 산화물 반도체를 이용한 트랜지스터를 일체로 구비함으로써, 지금까지 없었던 특징을 가지는 반도체 장치를 실현할 수 있다.

**도면의 간단한 설명**

- [0032] 도 1은 반도체 장치를 설명하기 위한 회로도.
- 도 2는 반도체 장치를 설명하기 위한 단면도 및 평면도.
- 도 3은 반도체 장치의 제작 공정을 설명하기 위한 단면도.
- 도 4는 반도체 장치의 제작 공정을 설명하기 위한 단면도.
- 도 5는 반도체 장치의 제작 공정을 설명하기 위한 단면도.
- 도 6은 산화물 반도체를 이용한 트랜지스터의 단면도.
- 도 7은 도 6의 A-A' 단면에서의 에너지 밴드도(모식도).
- 도 8(A)은 게이트(GE1)에 정(正)의 전압( $V_g > 0$ )이 부여된 상태를 나타내고, 도 8(B) 게이트(GE1)에 부(負)의 전압( $V_g < 0$ )이 부여된 상태를 나타낸 도면.
- 도 9는 진공 준위와 금속의 일 함수( $\phi_M$ ), 산화물 반도체의 전자 친화력( $\chi$ )의 관계를 나타낸 도면.

- 도 10은 C-V 특성을 나타낸 도면.
- 도 11은  $V_g$ 와  $(1/C)^2$ 와의 관계를 나타낸 도면.
- 도 12는 반도체 장치를 설명하기 위한 단면도.
- 도 13은 반도체 장치를 설명하기 위한 단면도.
- 도 14는 반도체 장치를 설명하기 위한 단면도.
- 도 15는 반도체 장치를 설명하기 위한 단면도.
- 도 16은 반도체 장치를 설명하기 위한 회로도.
- 도 17은 반도체 장치를 설명하기 위한 블록 회로도.
- 도 18은 반도체 장치를 설명하기 위한 회로도.
- 도 19는 반도체 장치를 설명하기 위한 회로도.
- 도 20은 반도체 장치를 이용한 전자기기를 설명하기 위한 도면.

**발명을 실시하기 위한 구체적인 내용**

- [0033] 본 발명의 실시형태의 일례에 대하여, 도면을 이용하여 이하에 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위로부터 벗어나지 않고 그 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.
- [0034] 또한, 도면 등에서 나타내는 각 구성의, 위치, 크기, 범위 등은 이해를 쉽게 하기 위해, 실제의 위치, 크기, 범위 등을 나타내지 않는 경우가 있다. 따라서, 반드시, 도면 등에 개시된 위치, 크기, 범위 등에 한정되지 않는다.
- [0035] 또한, 본 명세서 등에서의 「제 1」, 「제 2」, 「제 3」 등의 서수는 구성 요소의 혼동을 피하기 위해 붙인 것이고, 수적으로 한정하는 것이 아니라는 것을 부기한다.
- [0036] (실시형태 1)
- [0037] 본 실시형태에서는 개시하는 발명의 일 양태에 관한 반도체 장치의 구성 및 제작 방법에 대하여, 도 1 내지 도 15를 참조하여 설명한다.
- [0038] <반도체 장치의 회로 구성>
- [0039] 도 1에는, 반도체 장치의 회로 구성의 일례를 나타낸다. 이 반도체 장치는, 산화물 반도체 이외의 재료를 이용한 트랜지스터(160)와 산화물 반도체를 이용한 트랜지스터(162)에 의해 구성된다. 또한, 도 1에서, 트랜지스터(162)는 산화물 반도체(Oxide Semiconductor)를 이용한 것을 명시하기 위해, OS의 부호를 함께 붙이고 있다. 이하의 실시형태에 대해서도 마찬가지이다.
- [0040] 여기서, 트랜지스터(160)의 게이트 전극과, 트랜지스터(162)의 소스 전극 또는 드레인 전극의 한쪽은 전기적으로 접속되어 있다. 또한, 제 1 배선(1st Line : 소스선(SL)이라고도 부름)과 트랜지스터(160)의 소스 전극은 전기적으로 접속되고, 제 2 배선(2nd Line : 비트선(BL)이라고도 부름)과 트랜지스터(160)의 드레인 전극은 전기적으로 접속되어 있다. 그리고, 제 3 배선(3rd Line : 제 1 신호선(S1)이라고도 부름)과 트랜지스터(162)의 소스 전극 또는 드레인 전극의 다른 한쪽은 전기적으로 접속되고, 제 4 배선(4th Line : 제 2 신호선(S2)이라고도 부름)과 트랜지스터(162)의 게이트 전극은 전기적으로 접속되어 있다.
- [0041] 산화물 반도체 이외의 재료를 이용한 트랜지스터(160)는 산화물 반도체를 이용한 트랜지스터와 비교하여, 더욱 고속 동작이 가능하기 때문에, 이것을 이용함으로써, 기억 내용의 판독 등을 고속으로 행하는 것이 가능하다. 또한, 산화물 반도체를 이용한 트랜지스터(162)는 오프 전류가 매우 작다는 특징을 가지고 있다. 이 때문에, 트랜지스터(162)를 오프 상태로 함으로써, 트랜지스터(160)의 게이트 전극의 전위를 매우 장시간에 걸쳐 보유하는 것이 가능하다. 또한, 산화물 반도체를 이용한 트랜지스터(162)에서는 단채널 효과가 나타나기 어렵다는 메

리트도 있다.

- [0042] 게이트 전극의 전위를 장시간에 걸쳐 보유할 수 있다는 특징을 살림으로써, 다음과 같이, 정보의 기입, 보유, 관독이 가능하다.
- [0043] 먼저, 정보의 기입 및 보유에 대하여 설명한다. 우선, 제 4 배선의 전위를, 트랜지스터(162)가 온 상태가 되는 전위로 하여 트랜지스터(162)를 온 상태로 한다. 이것에 의해, 제 3 배선의 전위가 트랜지스터(160)의 게이트 전극에 부여할 수 있다(기입). 그 후, 제 4 배선의 전위를, 트랜지스터(162)가 오프 상태가 되는 전위로 하여 트랜지스터(162)를 오프 상태로 함으로써, 트랜지스터(160)의 게이트 전극의 전위가 보유된다(보유).
- [0044] 트랜지스터(162)의 오프 전류는 매우 작기 때문에, 트랜지스터(160)의 게이트 전극의 전위는 장시간에 걸쳐 보유된다. 예를 들면, 트랜지스터(160)의 게이트 전극의 전위가 트랜지스터(160)를 온 상태로 하는 전위이면, 트랜지스터(160)의 온 상태가 장시간에 걸쳐 보유되게 된다. 또한, 트랜지스터(160)의 게이트 전극의 전위가 트랜지스터(160)를 오프 상태로 하는 전위라면, 트랜지스터(160)의 오프 상태가 장시간에 걸쳐 보유된다.
- [0045] 다음에, 정보의 관독에 대하여 설명한다. 상술한 바와 같이, 트랜지스터(160)의 온 상태 또는 오프 상태가 보유된 상태에서, 제 1 배선에 소정의 전위(저전위)가 부여되면, 트랜지스터(160)의 온 상태 또는 오프 상태에 따라, 제 2 배선의 전위는 다른 값을 취한다. 예를 들면, 트랜지스터(160)가 온 상태인 경우에는, 제 1 배선의 전위의 영향을 받아, 제 2 배선의 전위가 저하하게 된다. 반대로, 트랜지스터(160)가 오프 상태인 경우에는, 제 2 배선의 전위는 변화하지 않는다.
- [0046] 이와 같이, 정보가 보유된 상태에서, 제 2 배선의 전위를 소정의 전위와 비교함으로써, 정보를 읽어낼 수 있다.
- [0047] 다음에, 정보의 다시쓰기에 대하여 설명한다. 정보의 다시쓰기는 상기 정보의 기입 및 보유와 마찬가지로 행해진다. 즉, 제 4 배선의 전위를, 트랜지스터(162)가 온 상태가 되는 전위로 하여 트랜지스터(162)를 온 상태로 한다. 이것에 의해, 제 3 배선의 전위(새로운 정보에 관한 전위)가 트랜지스터(160)의 게이트 전극에 부여된다. 그 후, 제 4 배선의 전위를, 트랜지스터(162)가 오프 상태가 되는 전위로 하여 트랜지스터(162)를 오프 상태로 함으로써, 새로운 정보가 보유된 상태가 된다.
- [0048] 이와 같이, 개시하는 발명에 관한 반도체 장치는 재차의 정보의 기입에 의해 직접적으로 정보를 다시쓰는 것이 가능하다. 따라서 플래시 메모리 등에서 필요한 소거 동작이 불필요하고, 소거 동작에 기인하는 동작 속도의 저하를 억제할 수 있다. 즉, 반도체 장치의 고속 동작이 실현된다.
- [0049] 또한, 상기 설명은 전자를 캐리어로 하는 n형 트랜지스터(n 채널형 트랜지스터)를 이용하는 경우에 대한 것이지만, n형 트랜지스터 대신에, 정공을 캐리어로 하는 p형 트랜지스터를 이용할 수 있는 것은 말할 필요도 없다.
- [0050] 또한, 트랜지스터(160)의 게이트 전극의 전위의 보유를 용이하게 하기 위해, 트랜지스터(160)의 게이트 전극에, 용량 소자 등을 부가해도 좋다는 것은 말할 필요도 없다.
- [0051] <반도체 장치의 평면 구성 및 단면 구성>
- [0052] 도 2는 상기 반도체 장치의 구성의 일례이다. 도 2(A)에는 반도체 장치의 단면도를, 도 2(B)에는 반도체 장치의 평면도를, 각각 나타낸다. 여기서, 도 2(A)는 도 2(B)의 선 A1-A2 및 선 B1-B2에서의 단면에 상당한다. 도 2(A) 및 도 2(B)에 나타내는 반도체 장치는 하부에 산화물 반도체 이외의 재료를 이용한 트랜지스터(160)를 가지고, 상부에 산화물 반도체를 이용한 트랜지스터(162)를 가지는 것이다. 또한, 트랜지스터(160) 및 트랜지스터(162)는 모두 n형 트랜지스터로서 설명하지만, p형 트랜지스터를 채용해도 좋다. 특히, 트랜지스터(160)는 p형으로 하는 것이 용이하다.
- [0053] 트랜지스터(160)는 반도체 재료를 포함하는 기판(100)에 형성된 채널 형성 영역(116)과, 채널 형성 영역(116)을 끼우도록 형성된 불순물 영역(114) 및 고농도 불순물 영역(120)(이것들을 아울러 간단히 불순물 영역이라고도 부름)과, 채널 형성 영역(116) 위에 형성된 게이트 절연층(108)과, 게이트 절연층(108) 위에 형성된 게이트 전극(110)과, 불순물 영역(114)과 전기적으로 접속하는 소스 전극 또는 드레인 전극(130a), 소스 전극 또는 드레인 전극(130b)을 가진다.
- [0054] 여기서, 게이트 전극(110)의 측면에는 사이드 월 절연층(118)이 형성되어 있다. 또한, 기판(100)의 평면도로 볼 때 사이드 월 절연층(118)과 중첩되지 않는 영역에는 고농도 불순물 영역(120)을 가지고, 고농도 불순물 영역(120) 위에는 금속 화합물 영역(124)이 존재한다. 또한, 기판(100) 위에는 트랜지스터(160)를 둘러싸도록 소자 분리 절연층(106)이 형성되어 있고, 트랜지스터(160)를 덮도록, 층간 절연층(126) 및 층간 절연층(128)이 형

성되어 있다. 소스 전극 또는 드레인 전극(130a), 소스 전극 또는 드레인 전극(130b)은 층간 절연층(126) 및 층간 절연층(128)에 형성된 개구를 통하여, 금속 화합물 영역(124)과 전기적으로 접속되어 있다. 즉, 소스 전극 또는 드레인 전극(130a), 소스 전극 또는 드레인 전극(130b)은 금속 화합물 영역(124)을 통하여 고농도 불순물 영역(120) 및 불순물 영역(114)과 전기적으로 접속되어 있다. 또한, 게이트 전극(110)에는, 소스 전극 또는 드레인 전극(130a)이나 소스 전극 또는 드레인 전극(130b)과 마찬가지로 형성된 전극(130c)이 전기적으로 접속되어 있다.

[0055] 트랜지스터(162)는 층간 절연층(128) 위에 형성된 게이트 전극(136d)과, 게이트 전극(136d) 위에 형성된 게이트 절연층(138)과, 게이트 절연층(138) 위에 형성된 산화물 반도체층(140)과, 산화물 반도체층(140) 위에 형성되고, 산화물 반도체층(140)과 전기적으로 접속되어 있는 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)을 가진다.

[0056] 여기서, 게이트 전극(136d)은 층간 절연층(128) 위에 형성된 절연층(132)에 과몰티도록 형성되어 있다. 또한, 게이트 전극(136d)과 마찬가지로, 소스 전극 또는 드레인 전극(130a)에 접하여 전극(136a)이, 소스 전극 또는 드레인 전극(130b)에 접하여 전극(136b)이, 전극(130c)에 접하여 전극(136c)이, 각각 형성되어 있다.

[0057] 또한, 트랜지스터(162)의 위에는 산화물 반도체층(140)의 일부와 접하도록, 보호 절연층(144)이 형성되어 있고, 보호 절연층(144) 위에는 층간 절연층(146)이 형성되어 있다. 여기서, 보호 절연층(144) 및 층간 절연층(146)에는 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)에까지 달하는 개구가 형성되어 있고, 이 개구를 통하여, 전극(150d), 전극(150e)이 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)에 접하여 형성되어 있다. 또한, 전극(150d), 전극(150e)과 마찬가지로, 게이트 절연층(138), 보호 절연층(144), 층간 절연층(146)에 형성된 개구를 통하여, 전극(136a), 전극(136b), 전극(136c)에 접하는 전극(150a), 전극(150b), 전극(150c)이 형성되어 있다.

[0058] 여기서, 산화물 반도체층(140)은 수소 등의 불순물이 충분히 제거되어, 고순도화되어 있는 것인 것이 바람직하다. 구체적으로는, 산화물 반도체층(140)의 수소 농도는  $5 \times 10^{19}$  atoms/cm<sup>3</sup> 이하, 바람직하게는  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 이하, 보다 바람직하게는  $5 \times 10^{17}$  atoms/cm<sup>3</sup> 이하로 한다. 또한, 충분한 산소를 함유함으로써, 산소 결핍에 기인하는 결함이 저감된 것인 것이 바람직하다. 수소 농도가 충분히 저감되어 고순도화되고, 산소 결핍에 기인하는 결함이 저감된 산화물 반도체층(140)에서는 캐리어 농도가  $1 \times 10^{12}$ /cm<sup>3</sup> 이하, 바람직하게는,  $1 \times 10^{11}$ /cm<sup>3</sup> 이하가 된다. 이와 같이, i형화 또는 실질적으로 i형화된 산화물 반도체를 이용함으로써, 매우 뛰어난 오프 전류 특성의 트랜지스터(162)를 얻을 수 있다. 예를 들면, 드레인 전압(Vd)이 +1 V 또는 +10 V의 경우이며, 게이트 전압(Vg)이 -5 V에서 -20 V의 범위에서는, 오프 전류는  $1 \times 10^{-13}$  A 이하이다. 이와 같이, 수소 농도가 충분히 저감되어 고순도화되고, 산소 결핍에 기인하는 결함이 저감된 산화물 반도체층(140)을 적용하여, 트랜지스터(162)의 오프 전류를 저감함으로써, 새로운 구성의 반도체 장치를 실현할 수 있다. 또한, 상술한 산화물 반도체층(140) 중의 수소 농도는 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectroscopy)으로 측정할 것이다.

[0059] 또한, 층간 절연층(146) 위에는 절연층(152)이 형성되어 있고, 이 절연층(152)에 과몰티도록, 전극(154a), 전극(154b), 전극(154c), 전극(154d)이 형성되어 있다. 여기서, 전극(154a)은 전극(150a)과 접하고 있고, 전극(154b)은 전극(150b)과 접하고 있고, 전극(154c)은 전극(150c) 및 전극(150d)과 접하고 있고, 전극(154d)은 전극(150e)과 접하고 있다.

[0060] 즉, 도 2에 나타낸 반도체 장치에서는, 트랜지스터(160)의 게이트 전극(110)과, 트랜지스터(162)의 소스 전극 또는 드레인 전극(142a)이 전극(130c), 전극(136c), 전극(150c), 전극(154c) 및 전극(150d)을 통하여 전기적으로 접속되어 있다.

[0061] <반도체 장치의 제작 방법>

[0062] 다음에, 상기 반도체 장치의 제작 방법의 일례에 대하여 설명한다. 이하에서는, 처음에 하부의 트랜지스터(160)의 제작 방법에 대하여 도 3을 참조하여 설명하고, 그 후, 상부의 트랜지스터(162)의 제작 방법에 대하여 도 4 및 도 5를 참조하여 설명한다.

[0063] <하부의 트랜지스터의 제작 방법>

[0064] 먼저, 반도체 재료를 포함하는 기판(100)을 준비한다(도 3(A) 참조). 반도체 재료를 포함하는 기판(100)으로서

는, 실리콘이나 탄화 실리콘 등의 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI 기판 등을 적용할 수 있다. 여기에서는, 반도체 재료를 포함하는 기판(100)으로서, 단결정 실리콘 기판을 이용하는 경우의 일례에 대하여 나타내는 것으로 한다.

[0065] 기판(100) 위에는, 소자 분리 절연층을 형성하기 위한 마스크가 되는 보호층(102)을 형성한다(도 3(A) 참조). 보호층(102)으로서, 예를 들면, 산화실리콘이나 질화실리콘, 질화산화실리콘 등을 재료로 하는 절연층을 이용할 수 있다. 또한, 이 공정의 전후에, 트랜지스터의 스레숄드 전압을 제어하기 위해, n형의 도전성을 부여하는 불순물 원소나 p형의 도전성을 부여하는 불순물 원소를 기판(100)에 첨가해도 좋다. 반도체가 실리콘인 경우, n형의 도전성을 부여하는 불순물로서는, 예를 들면, 인이나 비소 등을 이용할 수 있다. 또한, p형의 도전성을 부여하는 불순물로서는, 예를 들면, 붕소, 알루미늄, 갈륨 등을 이용할 수 있다.

[0066] 다음에, 상기의 보호층(102)을 마스크로서 에칭을 행하고, 보호층(102)에 덮여지지 않은 영역(노출되어 있는 영역)의 기판(100)의 일부를 제거한다. 이것에 의해 분리된 반도체 영역(104)이 형성된다(도 3(B) 참조). 이 에칭에는 드라이 에칭을 이용하는 것이 적합하지만, 웨트 에칭을 이용해도 좋다. 에칭 가스나 에칭액에 대해서는 피에칭 재료에 따라 적절히 선택할 수 있다.

[0067] 다음에, 반도체 영역(104)을 덮도록 절연층을 형성하여, 반도체 영역(104)에 중첩하는 영역의 절연층을 선택적으로 제거함으로써, 소자 분리 절연층(106)을 형성한다(도 3(B) 참조). 이 절연층은 산화실리콘이나 질화실리콘, 질화산화실리콘 등을 이용하여 형성된다. 절연층의 제거 방법으로서, CMP 등의 연마 처리나 에칭 처리 등이 있지만, 그 중 어느 것인가를 이용해도 좋다. 또한, 반도체 영역(104)의 형성 후, 또는, 소자 분리 절연층(106)의 형성 후에는 상기 보호층(102)을 제거한다.

[0068] 다음에, 반도체 영역(104) 위에 절연층을 형성하고, 이 절연층 위에 도전 재료를 포함하는 층을 형성한다.

[0069] 절연층은 후의 게이트 절연층이 되는 것이고, CVD법이나 스퍼터링법 등을 이용하여 얻어지는 산화실리콘, 질화산화실리콘, 질화실리콘, 산화하프늄, 산화알루미늄, 산화탄탈 등을 포함하는 막의 단층 구조 또는 적층 구조로 하면 좋다. 그 외에, 고밀도 플라즈마 처리나 열산화처리에 의해, 반도체 영역(104)의 표면을 산화, 질화시킴으로써, 상기 절연층을 형성해도 좋다. 고밀도 플라즈마 처리는, 예를 들면, He, Ar, Kr, Xe 등의 희가스와, 산소, 산화질소, 암모니아, 질소, 수소 등의 혼합 가스를 이용하여 행할 수 있다. 또한, 절연층의 두께는 특별히 한정되지 않지만, 예를 들면, 1 nm 이상 100 nm 이하로 할 수 있다.

[0070] 도전 재료를 포함하는 층은 알루미늄이나 구리, 티탄, 탄탈, 텅스텐 등의 금속 재료를 이용하여 형성할 수 있다. 또한, 도전 재료를 포함하는 다결정 실리콘 등의 반도체 재료를 이용하여, 도전 재료를 포함하는 층을 형성해도 좋다. 형성 방법도 특별히 한정되지 않고, 증착법, CVD법, 스퍼터링법, 스핀 코트법 등의 각종 성막 방법을 이용할 수 있다. 또한, 본 실시형태에서는 금속 재료를 이용하여 도전 재료를 포함하는 층을 형성하는 경우의 일례에 대하여 나타내는 것으로 한다.

[0071] 그 후, 절연층 및 도전 재료를 포함하는 층을 선택적으로 에칭하여, 게이트 절연층(108), 게이트 전극(110)을 형성한다(도 3(C) 참조).

[0072] 다음에, 게이트 전극(110)을 덮는 절연층(112)을 형성한다(도 3(C) 참조). 그리고, 반도체 영역(104)에 인(P)이나 비소(As) 등을 첨가하여, 기판(100)과의 얇은 접합 깊이의 불순물 영역(114)을 형성한다(도 3(C) 참조). 또한, 여기에서는 n형 트랜지스터를 형성하기 위해 인이나 비소를 첨가하고 있지만, p형 트랜지스터를 형성하는 경우에는, 붕소(B)나 알루미늄(Al) 등의 불순물 원소를 첨가하면 좋다. 또한, 불순물 영역(114)의 형성에 의해, 반도체 영역(104)의 게이트 절연층(108) 하부에는, 채널 형성 영역(116)이 형성된다(도 3(C) 참조). 여기서, 첨가하는 불순물의 농도는 적절히 설정할 수 있지만, 반도체 소자가 고도로 미세화되는 경우에는, 그 농도를 높게 하는 것이 바람직하다. 또한, 여기에서는, 절연층(112)을 형성한 후에 불순물 영역(114)을 형성하는 공정을 채용하고 있지만, 불순물 영역(114)을 형성한 후에 절연층(112)을 형성하는 공정으로 해도 좋다.

[0073] 다음에, 사이드 월 절연층(118)을 형성한다(도 3(D) 참조). 사이드 월 절연층(118)은 절연층(112)을 덮도록 절연층을 형성한 후에, 이 절연층에 이방성이 높은 에칭 처리를 적용함으로써, 자기 정합적으로 형성할 수 있다. 또한, 이때에, 절연층(112)을 부분적으로 에칭하여, 게이트 전극(110)의 상면과, 불순물 영역(114)의 상면을 노출시키면 좋다.

[0074] 다음에, 게이트 전극(110), 불순물 영역(114), 사이드 월 절연층(118) 등을 덮도록, 절연층을 형성한다. 그리고, 이 절연층이 불순물 영역(114)과 접하는 영역에, 인(P)이나 비소(As) 등을 첨가하여, 고농도 불순물 영역(120)을 형성한다(도 3(E) 참조). 그 후, 상기 절연층을 제거하여, 게이트 전극(110), 사이드 월 절연층(118),

고농도 불순물 영역(120) 등을 덮도록 금속층(122)을 형성한다(도 3(E) 참조). 이 금속층(122)은 진공 증착법이나 스퍼터링법, 스핀 코팅법 등의 각종 성막 방법을 이용하여 형성할 수 있다. 금속층(122)은 반도체 영역(104)을 구성하는 반도체 재료와 반응하여 저저항인 금속 화합물이 되는 금속 재료를 이용하여 형성하는 것이 바람직하다. 이러한 금속 재료로서는, 예를 들면, 티탄, 탄탈, 텅스텐, 니켈, 코발트, 백금 등이 있다.

[0075] 다음에, 열처리를 실시하여, 상기 금속층(122)과 반도체 재료를 반응시킨다. 이것에 의해, 고농도 불순물 영역(120)에 접하는 금속 화합물 영역(124)이 형성된다(도 3(F) 참조). 또한, 게이트 전극(110)으로서 다결정 실리콘 등을 이용하는 경우에는, 게이트 전극(110)의 금속층(122)과 접촉하는 부분에도, 금속 화합물 영역이 형성되게 된다.

[0076] 상기 열처리로서는, 예를 들면, 플래시 램프의 조사에 의한 열처리를 이용할 수 있다. 물론, 그 외의 열처리 방법을 이용해도 좋지만, 금속 화합물의 형성에 관한 화학 반응의 제어성을 향상시키기 위해서는, 매우 단시간의 열처리를 실현될 수 있는 방법을 이용하는 것이 바람직하다. 또한, 상기의 금속 화합물 영역은 금속 재료와 반도체 재료와의 반응에 의해 형성되는 것이고, 충분히 도전성이 높아진 영역이다. 이 금속 화합물 영역을 형성함으로써, 전기 저항을 충분히 저감하여, 소자 특성을 향상시킬 수 있다. 또한, 금속 화합물 영역(124)을 형성한 후에는, 금속층(122)은 제거한다.

[0077] 다음에, 상술한 공정에 의해 형성된 각 구성을 덮도록, 층간 절연층(126), 층간 절연층(128)을 형성한다(도 3(G) 참조). 층간 절연층(126)이나 층간 절연층(128)은 산화실리콘, 질화산화실리콘, 질화실리콘, 산화하프늄, 산화알루미늄, 산화탄탈 등의 무기 절연 재료를 포함하는 재료를 이용하여 형성할 수 있다. 또한, 폴리이미드, 아크릴 등의 유기 절연 재료를 이용하여 형성하는 것도 가능하다. 또한, 여기에서는, 층간 절연층(126)과 층간 절연층(128)의 2층 구조로 하고 있지만, 층간 절연층의 구성은 이것에 한정되지 않는다. 층간 절연층(128)의 형성 후에는, 그 표면을 CMP나 에칭 처리 등에 의해 평탄화해 두는 것이 바람직하다.

[0078] 그 후, 상기 층간 절연층에, 금속 화합물 영역(124)에까지 달하는 개구를 형성하고, 이 개구에 소스 전극 또는 드레인 전극(130a), 소스 전극 또는 드레인 전극(130b)을 형성한다(도 3(H) 참조). 소스 전극 또는 드레인 전극(130a)이나 소스 전극 또는 드레인 전극(130b)은, 예를 들면, 개구를 포함하는 영역에 PVD법이나 CVD법 등을 이용하여 도전층을 형성한 후, 에칭 처리나 CMP와 같은 방법을 이용하여, 상기 도전층의 일부를 제거함으로써 형성할 수 있다.

[0079] 또한, 상기 도전층의 일부를 제거하여 소스 전극 또는 드레인 전극(130a)이나 소스 전극 또는 드레인 전극(130b)을 형성할 때에는, 그 표면이 평탄하게 되도록 가공하는 것이 바람직하다. 예를 들면, 개구를 포함하는 영역에 티탄막이나 질화티탄막을 얇게 형성한 후에, 개구에 몰도록 텅스텐막을 형성하는 경우에는 그 후의 CMP에 의해, 불필요한 텅스텐막, 티탄막, 질화티탄막 등을 제거함과 동시에, 그 표면의 평탄성을 향상시킬 수 있다. 이와 같이, 소스 전극 또는 드레인 전극(130a), 소스 전극 또는 드레인 전극(130b)을 포함하는 표면을 평탄화함으로써, 후의 공정에서, 양호한 전극, 배선, 절연층, 반도체층 등을 형성하는 것이 가능하게 된다.

[0080] 또한, 여기에서는, 금속 화합물 영역(124)과 접촉하는 소스 전극 또는 드레인 전극(130a)이나 소스 전극 또는 드레인 전극(130b)만을 나타내고 있지만, 이 공정에서, 게이트 전극(110)과 접촉하는 전극(예를 들면, 도 2(A)에서의 전극(130c)) 등을 아울러 형성할 수 있다. 소스 전극 또는 드레인 전극(130a), 소스 전극 또는 드레인 전극(130b)으로서 이용할 수 있는 재료에 대하여 특별히 한정은 없고, 각종 도전 재료를 이용할 수 있다. 예를 들면, 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 도전성 재료를 이용할 수 있다.

[0081] 이상에 의해, 반도체 재료를 포함하는 기관(100)을 이용한 트랜지스터(160)가 형성된다. 또한, 상기 공정의 후에는, 전극이나 배선, 절연층 등을 더 형성해도 좋다. 배선의 구조로서 층간 절연층 및 도전층의 적층 구조로 이루어지는 다층 배선 구조를 채용함으로써, 고도로 집적화된 반도체 장치를 제공할 수 있다.

[0082] <상부의 트랜지스터의 제작 방법>

[0083] 다음에, 도 4 및 도 5를 이용하여, 층간 절연층(128) 위에 트랜지스터(162)를 제작하는 공정에 대하여 설명한다. 또한, 도 4 및 도 5는 층간 절연층(128) 위의 각종 전극이나, 트랜지스터(162) 등의 제작 공정을 나타내는 것이기 때문에, 트랜지스터(162)의 하부에 존재하는 트랜지스터(160) 등에 대해서는 생략하고 있다.

[0084] 먼저, 층간 절연층(128), 소스 전극 또는 드레인 전극(130a), 소스 전극 또는 드레인 전극(130b), 전극(130c) 위에 절연층(132)을 형성한다(도 4(A) 참조). 절연층(132)은 PVD법이나 CVD법 등을 이용하여 형성할 수 있다. 또한, 산화실리콘, 질화산화실리콘, 질화실리콘, 산화하프늄, 산화알루미늄, 산화탄탈 등의 무기 절연 재료를

포함하는 재료를 이용하여 형성할 수 있다.

- [0085] 다음에, 절연층(132)에 대하여, 소스 전극 또는 드레인 전극(130a), 소스 전극 또는 드레인 전극(130b), 및 전극(130c)에까지 달하는 개구를 형성한다. 이 때, 후에 게이트 전극(136d)이 형성되는 영역에도 아울러 개구를 형성한다. 그리고, 상기 개구에 몰도록, 도전층(134)을 형성한다(도 4(B) 참조). 상기 개구는 마스크를 이용한 에칭 등의 방법으로 형성할 수 있다. 이 마스크는 포토마스크를 이용한 노광 등의 방법에 의해 형성하는 것이 가능하다. 에칭으로서는 웨트 에칭, 드라이 에칭의 어느 것을 이용해도 좋지만, 미세 가공의 관점에서는 드라이 에칭을 이용하는 것이 적합하다. 도전층(134)의 형성은 PVD법이나 CVD법 등의 성막법을 이용하여 행할 수 있다. 도전층(134)의 형성에 이용할 수 있는 재료로서는, 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 도전성 재료나, 이들의 합금, 화합물(예를 들면 질화물) 등을 들 수 있다.
- [0086] 보다 구체적으로, 도전층(134)은 다음과 같이 형성될 수 있는데, 예를 들면 개구를 포함하는 영역에 PVD법에 의해 티탄막을 얇게 형성하고, CVD법에 의해 질화티탄막을 얇게 형성한 후에, 개구에 몰도록 텅스텐막을 형성하는 방법을 적용할 수 있다. 여기서, PVD법에 의해 형성되는 티탄막은 하부 전극(여기에서는 소스 전극 또는 드레인 전극(130a), 소스 전극 또는 드레인 전극(130b), 전극(130c) 등)과의 계면의 산화막을 환원하여, 하부 전극과의 접촉 저항을 저감시키는 기능을 가진다. 또한, 그 후에 형성되는 질화티탄막은 도전성 재료의 확산을 억제하는 배리어 기능을 구비한다. 또한, 티탄이나, 질화티탄 등에 의한 배리어막을 형성한 후에, 도금법에 의해 구리막을 형성해도 좋다.
- [0087] 도전층(134)을 형성한 후에는, 에칭 처리나 CMP와 같은 방법을 이용하여 도전층(134)의 일부를 제거하고, 절연층(132)을 노출시켜, 전극(136a), 전극(136b), 전극(136c), 게이트 전극(136d)을 형성한다(도 4(C) 참조). 또한, 상기 도전층(134)의 일부를 제거하여 전극(136a), 전극(136b), 전극(136c), 게이트 전극(136d)을 형성할 때에는, 표면이 평탄하게 되도록 가공하는 것이 바람직하다. 이와 같이, 절연층(132), 전극(136a), 전극(136b), 전극(136c), 게이트 전극(136d)의 표면을 평탄화함으로써, 후의 공정에서, 양호한 전극, 배선, 절연층, 반도체층 등을 형성하는 것이 가능하게 된다.
- [0088] 다음에, 절연층(132), 전극(136a), 전극(136b), 전극(136c), 게이트 전극(136d)을 덮도록, 게이트 절연층(138)을 형성한다(도 4(D) 참조). 게이트 절연층(138)은 CVD법이나 스퍼터링법 등을 이용하여 형성할 수 있다. 또한, 게이트 절연층(138)은, 산화규소, 질화규소, 산화질화규소, 질화산화규소, 산화알루미늄, 산화하프늄, 산화탄탈 등을 포함하도록 형성하는 것이 적합하다. 또한, 게이트 절연층(138)은 단층 구조로 해도 좋고, 적층 구조로 해도 좋다. 예를 들면, 원료 가스로서 실란( $\text{SiH}_4$ ), 산소, 질소를 이용한 플라즈마 CVD법에 의해, 산화질화규소로 이루어지는 게이트 절연층(138)을 형성할 수 있다. 게이트 절연층(138)의 두께는 특별히 한정되지 않지만, 예를 들면, 10 nm 이상 500 nm 이하로 할 수 있다. 적층 구조의 경우는, 예를 들면, 막두께 50 nm 이상 200 nm 이하의 제 1 게이트 절연층과, 제 1 게이트 절연층 위의 막두께 5 nm 이상 300 nm 이하의 제 2 게이트 절연층의 적층으로 하면 적합하다.
- [0089] 또한, 불순물을 제거함으로써 i형화 또는 실질적으로 i형화된 산화물 반도체(고순도화된 산화물 반도체)는, 계면 준위나 계면 전하에 대하여 매우 민감하기 때문에, 이러한 산화물 반도체를 산화물 반도체층에 이용하는 경우에는, 게이트 절연층과의 계면은 중요하다. 즉, 고순도화된 산화물 반도체층에 접하는 게이트 절연층(138)은 고품질화가 요구되게 된다.
- [0090] 예를 들면,  $\mu$  파(2.45 GHz)를 이용한 고밀도 플라즈마 CVD법은 치밀하고 절연 내압이 높은 고품질의 게이트 절연층(138)을 형성할 수 있다는 점에서 적합하다. 고순도화된 산화물 반도체층과 고품질 게이트 절연층이 접촉함으로써, 계면 준위를 저감하여 계면 특성을 양호한 것으로 할 수 있기 때문이다.
- [0091] 물론, 게이트 절연층으로서 양질의 절연층을 형성할 수 있는 것이라면, 고순도화된 산화물 반도체층을 이용하는 경우에도, 스퍼터링법이나 플라즈마 CVD법 등 다른 방법을 적용할 수 있다. 또한, 형성 후의 열처리에 의해, 막질이나 산화물 반도체층과의 계면 특성이 개질되는 절연층을 적용해도 좋다. 어쨌든, 게이트 절연층(138)으로서의 막질이 양호함과 동시에, 산화물 반도체층과의 계면 준위 밀도를 저감하여, 양호한 계면을 형성할 수 있는 것을 형성하면 좋다.
- [0092] 또한, 온도 85°C, 전계 강도  $2 \times 10^6$  V/cm, 12시간의 게이트 바이어스·열스트레스 시험(BT 시험)에서는, 불순물이 산화물 반도체에 첨가되어 있으면, 불순물과 산화물 반도체의 주성분과의 결합이, 강전계(B: 바이어스)와 고온(T: 온도)에 의해 절단되어, 생성된 미결합손이 스레숄드 전압( $V_{th}$ )의 시프트를 유발하게 된다.

- [0093] 이것에 대하여, 산화물 반도체의 불순물, 특히 수소나 물 등을 극력 배제하여, 상기와 같이 게이트 절연층과의 계면 특성을 양호하게 함으로써, BT 시험에 대해서도 안정적인 트랜지스터를 얻는 것이 가능하다.
- [0094] 다음에, 게이트 절연층(138) 위에, 산화물 반도체층을 형성하여, 마스크를 이용한 에칭 등의 방법에 의해 이 산화물 반도체층을 가공하여, 섬 형상의 산화물 반도체층(140)을 형성한다(도 4(E) 참조).
- [0095] 산화물 반도체층으로서, 4원계 금속 산화물인 In-Sn-Ga-Zn-O나, 3원계 금속 산화물인 In-Ga-Zn-O, In-Sn-Zn-O, In-Al-Zn-O, Sn-Ga-Zn-O, Al-Ga-Zn-O, Sn-Al-Zn-O나, 2원계 금속 산화물인 In-Zn-O, Sn-Zn-O, Al-Zn-O, Zn-Mg-O, Sn-Mg-O, In-Mg-O나, In-O, Sn-O, Zn-O 등을 이용한 산화물 반도체층을 적용할 수 있다. 또한, 상기 산화물 반도체 재료에 SiO<sub>2</sub>를 포함시켜도 좋다.
- [0096] 또한, 산화물 반도체층은 InMO<sub>3</sub>(ZnO)<sub>m</sub>(m>0)로 표기되는 박막을 이용할 수 있다. 여기서, M은, Ga, Al, Mn 및 Co로부터 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들면 M으로서 Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등이 있다. InMO<sub>3</sub>(ZnO)<sub>m</sub>(m>0)으로 표기되는 구조의 산화물 반도체막 중, M으로서 Ga를 포함하는 구조의 산화물 반도체를, In-Ga-Zn-O 산화물 반도체라고 부르고, 그 박막을 In-Ga-Zn-O 산화물 반도체막(In-Ga-Zn-O 비정질막) 등이라고 부르기로 한다.
- [0097] 본 실시형태에서는, 산화물 반도체층으로서 In-Ga-Zn-O계의 산화물 반도체 성막용 타겟을 이용하여, 비정질의 산화물 반도체층을 스퍼터링법에 의해 형성하는 것으로 한다. 또한, 비정질의 산화물 반도체층 중에 실리콘을 첨가함으로써, 그 결정화를 억제할 수 있기 때문에, 예를 들면, SiO<sub>2</sub>를 2 중량% 이상 10 중량% 이하 포함하는 타겟을 이용하여 산화물 반도체층을 형성해도 좋다.
- [0098] 산화물 반도체층을 스퍼터링법으로 제작하기 위한 타겟으로서, 예를 들면, 산화아연을 주성분으로 하는 산화물 반도체 성막용 타겟을 이용할 수 있다. 또한, In, Ga, 및 Zn을 포함하는 산화물 반도체 성막용 타겟(조성비로서 In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO = 1:1:1[mol비]) 등을 이용할 수도 있다. 또한, In, Ga, 및 Zn을 포함하는 산화물 반도체 성막용 타겟으로서 In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO = 1:1:2[mol비], 또는 In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO = 1:1:4[mol비]의 조성비를 가지는 타겟 등을 이용해도 좋다. 산화물 반도체 성막용 타겟의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상(예를 들면 99.9%)이다. 충전율이 높은 산화물 반도체 성막용 타겟을 이용함으로써, 치밀한 산화물 반도체층이 형성된다.
- [0099] 산화물 반도체층의 형성 분위기는, 희가스(대표적으로는 아르곤) 분위기, 산소 분위기, 또는, 희가스(대표적으로는 아르곤)와 산소와의 혼합 분위기로 하는 것이 적합하다. 구체적으로는, 예를 들면, 수소, 물, 수산기 또는 수소화물 등의 불순물의 농도가 수 ppm 정도(바람직하게는 수 ppb 정도)까지 제거된 고순도 가스를 이용하는 것이 적합하다.
- [0100] 산화물 반도체층의 형성 시에는, 감압 상태로 보유된 처리실 내에 기관을 보유하고, 기관 온도를 100℃ 이상 600℃ 이하 바람직하게는 200℃ 이상 400℃ 이하로 한다. 기관을 가열하면서 산화물 반도체층을 형성함으로써, 산화물 반도체층에 포함되는 불순물 농도를 저감할 수 있다. 또한, 스퍼터링에 의한 손상이 경감된다. 그리고, 처리실 내의 잔류 수분을 제거하면서 수소 및 물이 제거된 스퍼터링 가스를 도입하여, 금속 산화물을 타겟으로서 산화물 반도체층을 형성한다. 처리실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 이용하는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프, 티탄 서블리메이션 펌프를 이용할 수 있다. 또한, 배기 수단으로서, 터보 펌프에 콜드 트랩을 더한 것이어도 좋다. 크라이오 펌프를 이용하여 배기한 성막실은, 예를 들면, 수소 원자, 물(H<sub>2</sub>O) 등 수소 원자를 포함하는 화합물(보다 바람직하게는 탄소 원자를 포함하는 화합물도) 등이 배기되기 때문에, 이 성막실에서 형성한 산화물 반도체층에 포함되는 불순물의 농도를 저감할 수 있다.
- [0101] 형성 조건으로서, 예를 들면, 기관과 타겟 사이의 거리가 100 mm, 압력이 0.6 Pa, 직류(DC) 전력이 0.5 kW, 분위기가 산소(산소 유량 비율 100%) 분위기와 같은 조건을 적용할 수 있다. 또한, 펄스 직류(DC) 전원을 이용하면, 성막 시에 발생하는 분상 물질(파티클, 먼지라고도 함)을 경감할 수 있어, 막두께의 편차도 작아지기 때문에 바람직하다. 산화물 반도체층의 두께는 2 nm 이상 200 nm 이하, 바람직하게는 5 nm 이상 30 nm 이하로 한다. 또한, 적용하는 산화물 반도체 재료에 의해 적절한 두께는 다르기 때문에, 그 두께는 이용하는 재료에 따라 적절히 선택하면 좋다.
- [0102] 또한, 산화물 반도체층을 스퍼터링법에 의해 형성하기 전에는, 아르곤 가스를 도입하여 플라즈마를 발생시키는

역스퍼터링을 행하여, 게이트 절연층(138)의 표면에 부착되어 있는 먼지를 제거하는 것이 적합하다. 여기서, 역스퍼터링이란, 통상의 스퍼터링에서는, 스퍼터링 타겟으로 이온을 충돌시키지만, 반대로, 처리 표면에 이온을 충돌시키는 것에 의해 그 표면을 개질하는 방법을 말한다. 처리 표면에 이온을 충돌시키는 방법으로서, 아르곤 분위기하에서 처리 표면측에 고주파 전압을 인가하여, 기관 부근에 플라즈마를 생성하는 방법 등이 있다. 또한, 아르곤 분위기 대신에 질소 분위기, 헬륨 분위기, 산소 분위기 등을 이용해도 좋다.

- [0103] 상기 산화물 반도체층의 에칭에는, 드라이 에칭, 웨트 에칭의 어느 것을 이용해도 좋다. 물론, 양쪽 모두를 조합하여 이용할 수도 있다. 소망의 형상으로 에칭할 수 있도록, 재료에 맞추어 에칭 조건(에칭 가스나 에칭액, 에칭 시간, 온도 등)을 적절히 설정한다.
- [0104] 드라이 에칭에 이용하는 에칭 가스에는, 예를 들면, 염소를 포함하는 가스(염소계 가스, 예를 들면 염소( $Cl_2$ ), 염화붕소( $BCl_3$ ), 염화규소( $SiCl_4$ ), 사염화탄소( $CCl_4$ ) 등) 등이 있다. 또한, 불소를 포함하는 가스(불소계 가스, 예를 들면 사불화탄소( $CF_4$ ), 불화유황( $SF_6$ ), 불화질소( $NF_3$ ), 트리플루오로메탄( $CHF_3$ ) 등), 브롬화수소( $HBr$ ), 산소( $O_2$ ), 이들 가스에 헬륨( $He$ )이나 아르곤( $Ar$ ) 등의 희가스를 첨가한 가스 등을 이용해도 좋다.
- [0105] 드라이 에칭법으로서, 평행 평판형 RIE(Reactive Ion Etching)법이나, ICP(Inductively Coupled Plasma : 유도 결합형 플라즈마) 에칭법을 이용할 수 있다. 소망의 형상으로 에칭할 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전력량, 기관측의 전극에 인가되는 전력량, 기관측의 전극 온도 등)은 적절히 설정한다.
- [0106] 웨트 에칭에 이용하는 에칭액으로서, 인산과 초산과 질산을 혼합한 용액 등을 이용할 수 있다. 또한, IT007N(칸토 화학사(Kanto Chemical Co., Inc.) 제조) 등을 이용해도 좋다.
- [0107] 다음에, 산화물 반도체층에 제 1 열처리를 행하는 것이 바람직하다. 이 제 1 열처리에 의해 산화물 반도체층의 탈수화 또는 탈수소화를 행할 수 있다. 제 1 열처리의 온도는  $300^{\circ}C$  이상  $750^{\circ}C$  이하, 바람직하게는  $400^{\circ}C$  이상 기관의 변형점 미만으로 한다. 예를 들면, 저항 발열체 등을 이용한 전기로에 기관을 도입하여, 산화물 반도체층(140)에 대하여 질소 분위기하  $450^{\circ}C$ 에서 1시간의 열처리를 행한다. 이 동안, 산화물 반도체층(140)은 대기에 노출되지 않도록 하여, 물이나 수소의 재혼입이 행해지지 않도록 한다.
- [0108] 또한, 열처리 장치는 전기로에 한정되지 않고, 가열된 가스 등의 매체로부터의 열전도, 또는 열복사에 의해, 피처리물을 가열하는 장치여도 좋다. 예를 들면, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 이용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈 헬라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는 고온의 가스를 이용하여 열처리를 행하는 장치이다. 기체로서는, 아르곤 등의 희가스, 또는 질소와 같은, 열처리에 의해 피처리물과 반응하지 않는 불활성 기체가 이용된다.
- [0109] 예를 들면, 제 1 열처리로서  $650^{\circ}C \sim 700^{\circ}C$ 의 고온으로 가열한 불활성 가스 중에 기관을 투입하여, 몇 분간 가열한 후, 이 불활성 가스 중으로부터 기관을 취출하는 GRTA 처리를 행하여도 좋다. GRTA 처리를 이용하면 단시간에서의 고온 열처리가 가능하게 된다. 또한, 단시간의 열처리이기 때문에, 기관의 변형점을 넘는 온도 조건이어도 적용이 가능하게 된다.
- [0110] 또한, 제 1 열처리는, 질소, 또는 희가스(헬륨, 네온, 아르곤 등)를 주성분으로 하는 분위기이며, 물, 수소 등이 포함되지 않는 분위기에서 행하는 것이 바람직하다. 예를 들면, 열처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를, 6 N(99.9999%) 이상, 바람직하게는 7 N(99.99999%) 이상(즉, 불순물 농도가 1 ppm 이하, 바람직하게는 0.1 ppm 이하)로 한다.
- [0111] 제 1 열처리의 조건, 또는 산화물 반도체층의 재료에 따라서는, 산화물 반도체층이 결정화하여, 미결정 또는 다결정이 되는 경우도 있다. 예를 들면, 결정화율이 90% 이상, 또는 80% 이상의 미결정의 산화물 반도체층이 되는 경우도 있다. 또한, 제 1 열처리의 조건, 또는 산화물 반도체층의 재료에 따라서는, 결정 성분을 포함하지 않는 비정질의 산화물 반도체층이 되는 경우도 있다.
- [0112] 또한, 비정질의 산화물 반도체(예를 들면, 산화물 반도체층의 표면에 결정(입경 1 nm 이상 20 nm 이하, 대표적으로는 2 nm 이상 4 nm 이하)이 혼재하는 산화물 반도체층이 되는 경우도 있다.
- [0113] 또한, 비정질의 표면에 결정층을 형성함으로써, 산화물 반도체층의 전기적 특성을 변화시키는 것도 가능하다. 예를 들면, In-Ga-Zn-O계의 산화물 반도체 성막용 타겟을 이용하여 산화물 반도체층을 형성하는 경우에는,

전기적 이방성을 가지는  $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 의 결정립이 배향한 결정부를 형성함으로써, 산화물 반도체층의 전기적 특성을 변화시킬 수 있다.

- [0114] 보다 구체적으로는, 예를 들면,  $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 의 c축이 산화물 반도체층의 표면에 수직인 방향을 취하도록 배향시킴으로써, 산화물 반도체층의 표면에 평행한 방향의 도전성을 향상시켜, 산화물 반도체층의 표면에 수직인 방향의 절연성을 향상시킬 수 있다. 또한, 이러한 결정부는 산화물 반도체층 중으로의 물이나 수소 등의 불순물의 침입을 억제하는 기능을 가진다.
- [0115] 또한, 상술한 결정부를 가지는 산화물 반도체층은 GRTA 처리에 의한 산화물 반도체층의 표면 가열에 의해 형성할 수 있다. 또한, Zn의 함유량이 In 또는 Ga의 함유량보다 작은 스퍼터링 타겟을 이용함으로써, 보다 적합하게 형성하는 것이 가능하다.
- [0116] 산화물 반도체층(140)에 대한 제 1 열처리는, 섬 형상의 산화물 반도체층(140)으로 가공하기 전의 산화물 반도체층에 행할 수도 있다. 그 경우에는, 제 1 열처리 후에, 가열 장치로부터 기판을 취출하여, 포토리소그래피 공정을 행하게 된다.
- [0117] 또한, 상기 제 1 열처리는 산화물 반도체층(140)에 대한 탈수화, 탈수소화의 효과가 있기 때문에, 탈수화 처리, 탈수소화 처리 등이라고 부를 수도 있다. 이러한 탈수화 처리, 탈수소화 처리는, 산화물 반도체층의 형성 후, 산화물 반도체층(140) 위에 소스 전극 또는 드레인 전극을 적층시킨 후, 소스 전극 또는 드레인 전극 위에 보호 절연층을 형성한 후 등의 타이밍에서 행하는 것이 가능하다. 또한, 이러한 탈수화 처리, 탈수소화 처리는 1회에 한정하지 않고 복수회 행하여도 좋다.
- [0118] 다음에, 산화물 반도체층(140)에 접하도록, 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)을 형성한다(도 4(F) 참조). 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)은 산화물 반도체층(140)을 덮도록 도전층을 형성한 후, 이 도전층을 선택적으로 에칭함으로써 형성할 수 있다.
- [0119] 도전층은 스퍼터링법을 비롯한 PVD법이나, 플라즈마 CVD법 등의 CVD법을 이용하여 형성할 수 있다. 또한, 도전층의 재료로서는, 알루미늄, 크롬, 구리, 탄탈, 티탄, 몰리브덴, 텅스텐으로부터 선택된 원소나, 상술한 원소를 성분으로 하는 합금 등을 이용할 수 있다. 망간, 마그네슘, 지르코늄, 베릴륨, 톨륨으로부터 선택된 어느 하나 또는 복수의 재료를 이용해도 좋다. 또한, 알루미늄에, 티탄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 스칸듐으로부터 선택된 원소를 단수, 또는 복수 조합한 재료를 이용해도 좋다.
- [0120] 또한, 도전층은 도전성의 금속 산화물로 형성해도 좋다. 도전성의 금속 산화물로서는 산화인듐( $\text{In}_2\text{O}_3$ ), 산화주석( $\text{SnO}_2$ ), 산화아연( $\text{ZnO}$ ), 산화인듐 산화주석 합금( $\text{In}_2\text{O}_3\text{-SnO}_2$ , ITO라고 약기하는 경우가 있음), 산화인듐 산화아연 합금( $\text{In}_2\text{O}_3\text{-ZnO}$ ) 또는, 이들 금속 산화물 재료에 실리콘 혹은 산화실리콘을 포함시킨 것을 이용할 수 있다.
- [0121] 도전층은 단층 구조여도 좋고, 2층 이상의 적층 구조로 해도 좋다. 예를 들면, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티탄막이 적층된 2층 구조, 티탄막과 알루미늄막과 티탄막이 적층된 3층 구조 등을 들 수 있다.
- [0122] 여기서, 에칭에 이용하는 마스크 형성시의 노광에는, 자외선이나 KrF 레이저광이나 ArF 레이저광을 이용하는 것이 적합하다.
- [0123] 트랜지스터의 채널 길이(L)는 소스 전극 또는 드레인 전극(142a)의 하단부와, 소스 전극 또는 드레인 전극(142b)의 하단부와의 간격에 의해 결정된다. 또한, 채널 길이(L)가 25 nm 미만에서 노광을 행하는 경우에는, 수 nm~수 10 nm으로 매우 파장이 짧은 초자외선(Extreme Ultraviolet)을 이용하여 마스크 형성의 노광을 행한다. 초자외선에 의한 노광은 해상도가 높고 초점 심도도 크다. 따라서, 후에 형성되는 트랜지스터의 채널 길이(L)를 10 nm 이상 1000 nm 이하로 하는 것도 가능하고, 회로의 동작 속도를 고속화할 수 있다. 또한, 오프 전류값이 매우 작기 때문에, 소비 전력이 커지지 않는다.
- [0124] 또한, 도전층의 에칭 시에는, 산화물 반도체층(140)이 제거되지 않도록, 각각의 재료 및 에칭 조건을 적절히 조절한다. 또한, 재료 및 에칭 조건에 따라서는, 이 공정에서, 산화물 반도체층(140)의 일부가 에칭되어 흠부(오목부)를 가지는 산화물 반도체층이 될 수도 있다.
- [0125] 또한, 산화물 반도체층(140)과 소스 전극 또는 드레인 전극(142a)의 사이나, 산화물 반도체층(140)과 소스 전극

또는 드레인 전극(142b)의 사이에는, 산화물 도전층을 형성해도 좋다. 산화물 도전층과, 소스 전극 또는 드레인 전극(142a)이나 소스 전극 또는 드레인 전극(142b)을 형성하기 위한 금속층은 연속하여 형성하는 것(연속 성막)이 가능하다. 산화물 도전층은 소스 영역 또는 드레인 영역으로서 기능할 수 있다. 이러한 산화물 도전층을 형성함으로써, 소스 영역 또는 드레인 영역의 저저항화를 도모할 수 있기 때문에, 트랜지스터의 고속 동작이 실현된다.

[0126] 또한, 상기 마스크의 사용수나 공정수를 삭감하기 위해, 투과한 광이 복수의 강도가 되는 노광 마스크인 다계조 마스크에 의해 레지스트 마스크를 형성하고, 이것을 이용하여 에칭 공정을 행하여도 좋다. 다계조 마스크를 이용하여 형성한 레지스트 마스크는 복수의 두께를 가지는 형상(계단상)이 되어, 애싱에 의해 형상을 더욱 변형시킬 수 있기 때문에, 다른 패턴으로 가공하는 복수의 에칭 공정에 이용할 수 있다. 즉, 한 장의 다계조 마스크에 의해, 적어도 2종류이상의 다른 패턴에 대응하는 레지스트 마스크를 형성할 수 있다. 따라서, 노광 마스크 수를 삭감할 수 있어, 대응하는 포토리소그래피 공정도 삭감할 수 있기 때문에, 공정의 간략화를 도모할 수 있다.

[0127] 또한, 상술한 공정의 후에는, N<sub>2</sub>O, N<sub>2</sub>, 또는 Ar 등의 가스를 이용한 플라즈마 처리를 행하는 것이 바람직하다. 이 플라즈마 처리에 의해, 노출되어 있는 산화물 반도체층의 표면에 부착된 물 등이 제거된다. 또한, 산소와 아르곤의 혼합 가스 등, 산소를 함유하는 가스를 이용한 플라즈마 처리를 행하여도 좋다. 이것에 의해 산화물 반도체층에 산소를 공급하여, 산소 결핍에 기인하는 결함을 저감하는 것이 가능하다.

[0128] 다음에, 대기에 노출시키지 않고, 산화물 반도체층(140)의 일부에 접하는 보호 절연층(144)을 형성한다(도 4(G) 참조).

[0129] 보호 절연층(144)은 스퍼터링법 등 보호 절연층(144)에 물, 수소 등의 불순물을 혼입시키지 않는 방법을 적절히 이용하여 형성할 수 있다. 또한, 그 두께는 1 nm 이상으로 한다. 보호 절연층(144)에 이용할 수 있는 재료로서는, 산화규소, 질화규소, 산화질화규소, 질화산화규소 등이 있다. 또한, 그 구조는 단층 구조로 해도 좋고, 적층 구조로 해도 좋다. 보호 절연층(144)을 형성할 때의 기판 온도는 실온 이상 300℃ 이하로 하는 것이 바람직하고, 분위기는 희가스(대표적으로는 아르곤) 분위기, 산소 분위기, 또는 희가스(대표적으로는 아르곤)와 산소의 혼합 분위기로 하는 것이 적합하다.

[0130] 보호 절연층(144)에 수소가 포함되면, 그 수소의 산화물 반도체층에의 침입이나, 수소에 의한 산화물 반도체층 중의 산소의 추출 등이 발생하여, 산화물 반도체층의 백 채널층이 저저항화하게 되어, 기생 채널이 형성될 우려가 있다. 따라서, 보호 절연층(144)은 가능한 한 수소를 포함하지 않도록, 형성 방법에 있어서는 수소를 이용하지 않는 것이 중요하다.

[0131] 또한, 처리실 내의 잔류 수분을 제거하면서 보호 절연층(144)을 형성하는 것이 바람직하다. 산화물 반도체층(140) 및 보호 절연층(144)에 수소, 수산기 또는 물이 포함되지 않게 하기 위해서이다.

[0132] 처리실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 이용하는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프, 티탄 서블리메이션 펌프를 이용하는 것이 바람직하다. 또한, 배기 수단으로서 터보 펌프에 콜드 트랩을 더한 것이어도 좋다. 크라이오 펌프를 이용하여 배기한 성막실은 예를 들면, 수소 원자나 물(H<sub>2</sub>O) 등 수소 원자를 포함하는 화합물 등이 제거되어 있기 때문에, 이 성막실에서 형성한 보호 절연층(144)에 포함되는 불순물의 농도를 저감할 수 있다.

[0133] 보호 절연층(144)을 형성할 때에 이용하는 스퍼터링 가스로서는, 수소, 물, 수산기 또는 수소화물 등의 불순물의 농도가 수 ppm 정도(바람직하게는 수 ppb 정도)까지 제거된 고순도 가스를 이용하는 것이 바람직하다.

[0134] 다음에, 불활성 가스 분위기하, 또는 산소 가스 분위기하에서 제 2 열처리(바람직하게는 200℃ 이상 400℃ 이하, 예를 들면 250℃ 이상 350℃ 이하)를 행하는 것이 바람직하다. 예를 들면, 질소 분위기하에서 250℃, 1시간의 제 2 열처리를 행한다. 제 2 열처리를 행하면 트랜지스터의 전기적 특성의 편차를 저감할 수 있다. 또한, 제 2 열처리에 의해, 산화물 반도체층에 산소를 공급하는 것이 가능하다.

[0135] 또한, 대기 중, 100℃ 이상 200℃ 이하, 1시간 이상 30시간 이하의 열처리를 행하여도 좋다. 이 열처리는 일정한 가열 온도를 보유하여 가열해도 좋고, 실온으로부터 100℃ 이상 200℃ 이하의 가열 온도에서의 승온과, 가열 온도로부터 실온까지의 강온을 복수회 반복하여 행하여도 좋다. 또한, 이 열처리를 보호 절연층의 형성 전에 감압하에서 행하여도 좋다. 감압하에서 열처리를 행하면 가열 시간을 단축할 수 있다. 또한, 이 열처리는 상기 제 2 열처리 대신에 행하여도 좋고, 제 2 열처리의 전후 등에 행하여도 좋다.

- [0136] 다음에, 보호 절연층(144) 위에, 층간 절연층(146)을 형성한다(도 5(A) 참조). 층간 절연층(146)은 PVD법이나 CVD법 등을 이용하여 형성할 수 있다. 또한, 산화실리콘, 질화산화실리콘, 질화실리콘, 산화하프늄, 산화알루미늄, 산화탄탈 등의 무기 절연 재료를 포함하는 재료를 이용하여 형성할 수 있다. 층간 절연층(146)의 형성 후에는, 그 표면을 CMP나 에칭 등의 방법에 의해 평탄화해 두는 것이 바람직하다.
- [0137] 다음에, 층간 절연층(146), 보호 절연층(144), 및 게이트 절연층(138)에 대하여, 전극(136a), 전극(136b), 전극(136c), 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)에까지 달하는 개구를 형성하여, 이 개구에 묻도록 도전층(148)을 형성한다(도 5(B) 참조). 상기 개구는 마스크를 이용한 에칭 등의 방법으로 형성할 수 있다. 이 마스크는 포토마스크를 이용한 노광 등의 방법에 의해 형성하는 것이 가능하다. 에칭으로서 웨트 에칭, 드라이 에칭의 어느 것을 이용해도 좋지만, 미세 가공의 관점에서는, 드라이 에칭을 이용하는 것이 적합하다. 도전층(148)의 형성은 PVD법이나 CVD법 등의 성막법을 이용하여 행할 수 있다. 도전층(148)의 형성에 이용할 수 있는 재료로서는, 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 도전성 재료나, 이들의 합금, 화합물(예를 들면 질화물) 등을 들 수 있다.
- [0138] 구체적으로는, 예를 들면, 개구를 포함하는 영역에 PVD법에 의해 티탄막을 얇게 형성하고, CVD법에 의해 질화티탄막을 얇게 형성한 후에, 개구에 묻도록 텅스텐막을 형성하는 방법을 적용할 수 있다. 여기서, PVD법에 의해 형성되는 티탄막은 하부 전극(여기에서는, 전극(136a), 전극(136b), 전극(136c), 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b) 등)과의 계면의 산화막을 환원하여, 하부 전극과의 접촉 저항을 저감시키는 기능을 가진다. 또한, 그 후에 형성되는 질화티탄은 도전성 재료의 확산을 억제하는 배리어 기능을 구비한다. 또한, 티탄이나, 질화티탄 등에 의한 배리어막을 형성한 후에, 도금법에 의해 구리막을 형성해도 좋다.
- [0139] 도전층(148)을 형성한 후에는, 에칭이나 CMP와 같은 방법을 이용하여 도전층(148)의 일부를 제거하고, 층간 절연층(146)을 노출시켜, 전극(150a), 전극(150b), 전극(150c), 전극(150d), 전극(150e)을 형성한다(도 5(C) 참조). 또한, 상기 도전층(148)의 일부를 제거하여 전극(150a), 전극(150b), 전극(150c), 전극(150d), 전극(150e)을 형성할 때에는, 표면이 평탄하게 되도록 가공하는 것이 바람직하다. 이와 같이, 층간 절연층(146), 전극(150a), 전극(150b), 전극(150c), 전극(150d), 전극(150e)의 표면을 평탄화함으로써, 후의 공정에서, 양호한 전극, 배선, 절연층, 반도체층 등을 형성하는 것이 가능하게 된다.
- [0140] 또한, 절연층(152)을 형성하고, 절연층(152)에 전극(150a), 전극(150b), 전극(150c), 전극(150d), 전극(150e)에까지 달하는 개구를 형성하여, 이 개구에 묻도록 도전층을 형성한 후, 에칭이나 CMP 등의 방법을 이용하여 도전층의 일부를 제거하고, 절연층(152)을 노출시켜, 전극(154a), 전극(154b), 전극(154c), 전극(154d)을 형성한다(도 5(D) 참조). 이 공정은 전극(150a) 등을 형성하는 경우와 마찬가지로, 상세한 것은 생략한다.
- [0141] 상술한 바와 같은 방법으로 트랜지스터(162)를 제작한 경우, 산화물 반도체층(140)의 수소 농도는  $5 \times 10^{19}$  atoms/cm<sup>3</sup> 이하가 되고, 또한, 트랜지스터(162)의 오프 전류는 검출 한계인  $1 \times 10^{-13}$  A 이하가 된다. 또한, 트랜지스터(162)의 오프 전류(여기에서는, 단위 채널폭(1 $\mu$ m)당의 값)는 100 zA/ $\mu$ m 이하가 된다. 이와 같이 수소 농도가 충분히 저감되고 고순도화되어 산소 결핍에 기인하는 결함이 저감된 산화물 반도체층(140)을 적용함으로써, 뛰어난 특성의 트랜지스터(162)를 얻을 수 있다. 또한, 하부에 산화물 반도체 이외의 재료를 이용한 트랜지스터(160)를 가지고, 상부에 산화물 반도체를 이용한 트랜지스터(162)를 가지는 뛰어난 특성의 반도체 장치를 제작할 수 있다.
- [0142] 또한, 산화물 반도체에 있어서, 물성 연구는 많이 되어 있지만, 에너지갭 중의 국제 준위 자체를 충분히 줄인다는 사상을 포함하지 않는다. 개시하는 발명의 일 양태에서는, 국제 준위의 원인이 되는 물이나 수소를 산화물 반도체중부터 제거함으로써, 고순도화된 산화물 반도체를 제작한다. 이것은, 에너지갭 중의 국제 준위 그 자체를 충분히 줄인다는 사상에 입각하는 것이다. 그리고, 이것에 의해 매우 뛰어난 공업제품의 제조를 가능하게 하는 것이다.
- [0143] 또한, 수소나 물 등을 제거할 때에는, 동시에 산소가 제거되는 경우가 있다. 따라서, 산소 결핍에 의해 발생하는 금속의 미결합손에 대하여 산소를 공급하고, 산소 결핍에 의한 국제 준위를 감소시킴으로써, 산화물 반도체를 더욱 고순도화(i형화)하는 것은 적합하다. 예를 들어, 채널 형성 영역에 밀접하여 산소 과잉의 산화막을 형성하고, 200 $^{\circ}$ C~400 $^{\circ}$ C, 대표적으로는 250 $^{\circ}$ C 정도의 온도 조건에서의 열처리를 행함으로써, 이 산화막으로부터 산화물 반도체 중으로 산소를 공급하여, 산소 결핍에 의한 국제 준위를 감소시키는 것이 가능하다. 또한, 제 2 열처리 중에 불활성 가스, 또는 산소를 포함하는 가스로 전환해도 좋다. 제 2 열처리에 이어, 산소 분위기, 또

는 수소나 물을 충분히 제거한 분위기에서의 강한 과정을 거침으로써, 산화물 반도체 중에 산소를 공급하는 것도 가능하다.

[0144] 산화물 반도체의 특성을 악화시키는 요인은 과잉의 수소에 의한 전도대 하 0.1~0.2 eV의 얇은 준위나, 산소 결손에 의한 깊은 준위 등이라고 생각된다. 이러한 결함을 없애기 위해, 수소를 철저히 제거하고, 산소를 충분히 공급한다는 기술 사상은 올바른 것일 것이다.

[0145] 개시하는 발명에서는 산화물 반도체를 고순도화하고 있기 때문에, 산화물 반도체 중의 캐리어 밀도는 충분히 작다.

[0146] 또한, 상온에서의 페르미-디랙 분포 법칙(Fermi-Dirac distribution function)을 이용하면, 에너지갭이 3.05~3.15 eV인 산화물 반도체의 진성 캐리어 밀도는  $1 \times 10^{-7} / \text{cm}^3$ 가 되고, 진성 캐리어 밀도가  $1.45 \times 10^{10} / \text{cm}^3$ 인 실리콘과 비교하여 훨씬 작다.

[0147] 따라서, 소수 캐리어인 홀도 매우 적고, IGFET(Insulated Gate Field Effect Transistor)에서의 오프 상태에서의 리크 전류는 상온에서 100 aA/ $\mu\text{m}$  이하, 바람직하게는 10 aA/ $\mu\text{m}$  이하, 더욱 바람직하게는 1 aA/ $\mu\text{m}$  이하를 기대할 수 있다. 또한, 여기서 1 aA/ $\mu\text{m}$ 라는 표기는 트랜지스터의 채널폭 1  $\mu\text{m}$  당 1 aA( $1 \times 10^{-18}$  A)의 전류가 흐르는 것을 나타낸다.

[0148] 무엇보다, 에너지갭이 3 eV 이상의 와이드 갭 반도체로서 4H-SiC(3.26 eV), GaN(3.42 eV) 등이 알려져 있고, 동일한 트랜지스터 특성이 얻어지는 것이 기대된다. 그러나, 이러한 반도체 재료는 1500°C 이상의 프로세스 온도를 경유하기 때문에, 박막화는 실질적으로 불가능하다. 또한, 실리콘 집적 회로의 위에 삼차원의 적층화를 하려고 해도, 프로세스 온도가 너무 높기 때문에 불가능하다. 한편, 산화물 반도체는 실온~400°C의 가열 스퍼터링에 의한 박막 형성이 가능하고, 탈수화·탈수소화(수소나 물을 제거하는 것) 및 가산화(산소를 공급하는 것)를 450°C~700°C에서 실현할 수 있기 때문에, 실리콘 집적 회로 위에 삼차원적인 적층 구조를 형성할 수 있다.

[0149] 또한, 산화물 반도체는 일반적으로 n형으로 되어 있지만, 개시하는 발명의 일 양태에서는 물이나 수소 등의 불순물을 제거함과 동시에, 산화물 반도체의 구성 원소인 산소를 공급함으로써 i형화를 실현한다. 이 점에서, 실리콘 등과 같이 불순물을 첨가한 i형화가 아니라, 종래에 없는 기술 사상을 포함하는 것이라고 할 수 있다.

[0150] <산화물 반도체를 이용한 트랜지스터의 전도 기구>

[0151] 여기서, 산화물 반도체를 이용한 트랜지스터의 전도 기구에 대하여, 도 6 내지 도 9를 이용하여 설명한다. 또한, 이하의 설명에서는, 이해를 쉽게 하기 위해 이상적인 상황을 가정하고 있고, 그 모든 것이 현실의 모습을 반영하고 있다고는 할 수 없다. 또한, 이하의 설명은 어디까지나 하나의 고찰에 지나지 않고, 발명의 유효성에 영향을 주는 것이 아니라는 것을 부기한다.

[0152] 도 6은, 산화물 반도체를 이용한 트랜지스터(박막 트랜지스터)의 단면도이다. 게이트 전극(GE1) 위에 게이트 절연층(GI)을 통하여 산화물 반도체층(OS)이 형성되고, 그 위에 소스 전극(S) 및 드레인 전극(D)이 형성되고, 소스 전극(S) 및 드레인 전극(D)을 덮도록 절연층이 형성되어 있다.

[0153] 도 7에는, 도 6의 A-A' 단면에서의 에너지 밴드도(모식도)를 나타낸다. 또한, 도 7 중의 검은 동그라미(●)는 전자를 나타내고, 흰 동그라미(○)는 정공을 나타내고, 각각은 전하(-q, +q)를 가지고 있다. 드레인 전극에 정(正)의 전압( $V_b > 0$ )을 인가한 상태에서, 파선은 게이트 전극에 전압을 인가하지 않는 경우( $V_g = 0$ ), 실선은 게이트 전극에 정(正)의 전압( $V_g > 0$ )을 인가하는 경우를 나타낸다. 게이트 전극에 전압을 인가하지 않는 경우는 높은 퍼텐셜 장벽으로 인하여 전극으로부터 산화물 반도체층으로 캐리어(전자)가 주입되지 않고, 전류를 흘리지 않는 오프 상태를 나타낸다. 한편, 게이트에 정(正)의 전압을 인가하면 퍼텐셜 장벽이 저하되어, 전류를 흘리는 온 상태를 나타낸다.

[0154] 도 8에는, 도 6의 B-B'의 단면에서의 에너지 밴드도(모식도)를 나타낸다. 도 8(A)은 게이트 전극(GE1)에 정(正)의 전압( $V_g > 0$ )이 부여된 상태이며, 소스 전극과 드레인 전극과의 사이에 캐리어(전자)가 흐르는 온 상태를 나타낸다. 또한, 도 8(B)은 게이트 전극(GE1)에 부(負)의 전압( $V_g < 0$ )이 인가된 상태이며, 오프 상태(소수 캐리어는 흐르지 않는 상태)인 경우를 나타낸다.

- [0155] 도 9는 진공 준위와 금속의 일 함수( $\phi_M$ ), 산화물 반도체의 전자 친화력( $\chi$ )의 관계를 나타낸다.
- [0156] 상온에서 금속 중의 전자는 축퇴하고, 페르미 준위는 전도대 내에 위치한다. 한편, 종래의 산화물 반도체는 n형이며, 그 페르미 준위( $E_F$ )는 밴드 갭 중앙에 위치하는 진성 페르미 준위( $E_i$ )로부터 떨어져, 전도대 근처에 위치한다. 또한, 산화물 반도체에서 수소의 일부는 도너가 되고, n형화하는 요인의 하나인 것으로 알려져 있다.
- [0157] 이것에 대하여 개시하는 발명의 일 양태에 관한 산화물 반도체는, n형화의 요인인 수소를 산화물 반도체로부터 제거하여, 산화물 반도체의 주성분 이외의 원소(불순물 원소)가 극력 포함되지 않도록 고순도화함으로써 진성(i형)으로 하거나, 또는 진성에 가까운 것이다. 즉, 불순물 원소를 첨가하여 i형화하는 것이 아니라, 수소나 물 등의 불순물을 극력 제거함으로써, 고순도화된 i형(진성 반도체) 또는 그에 가깝게 하는 것을 특징으로 하고 있다. 이것에 의해, 페르미 준위( $E_F$ )는 진성 페르미 준위( $E_i$ )와 동일한 정도로 할 수 있다.
- [0158] 산화물 반도체의 밴드 갭( $E_g$ )은 3.15 eV이고, 전자 친화력( $\chi$ )은 4.3 V라고 알려져 있다. 소스 전극 및 드레인 전극을 구성하는 티탄(Ti)의 일 함수는 산화물 반도체의 전자 친화력( $\chi$ )과 거의 같다. 이 경우, 금속-산화물 반도체계면에 있어서, 전자에 대하여 쇼트키형의 장벽은 형성되지 않는다.
- [0159] 즉, 금속의 일 함수( $\phi_M$ )와 산화물 반도체의 전자 친화력( $\chi$ )이 동일한 경우, 양자가 접촉하면 도 7에 나타낸 바와 같은 에너지 밴드도(모식도)가 도시된다.
- [0160] 도 7에서 검은 동그라미(●)는 전자를 나타낸다. 드레인에 정의 전위가 부여되면, 전자는 배리어를 넘어 산화물 반도체에 주입되고, 드레인을 향하여 흐른다. 배리어의 높이는 게이트 전압과 드레인 전압에 의존하여 변화하지만, 정의 드레인 전압이 인가되는 경우에는, 전압 인가가 없는 도 7의 배리어의 높이, 즉 밴드 갭( $E_g$ )의 1/2보다 낮아진다.
- [0161] 이때 전자는, 도 8(A)에 나타낸 바와 같이, 게이트 절연층과 고순도화된 산화물 반도체와의 계면 부근(산화물 반도체의 에너지적으로 안정적인 최저부)을 이동한다. 또한, 도 8(B)에 나타낸 바와 같이, 게이트 전극(GE1)에 부의 전위가 부여되면, 소수 캐리어인 홀은 실질적으로 제로이기 때문에, 전류는 한없이 제로에 가까운 값이 된다.
- [0162] 이와 같이 산화물 반도체의 주성분 이외의 원소(불순물 원소)가 극력 포함되지 않도록 고순도화함으로써, 진성(i형)으로 하거나, 또는 실질적으로 진성이 되기 때문에, 게이트 절연층과의 계면 특성이 현재화(顯在化)한다. 따라서, 게이트 절연층에는, 산화물 반도체와 양호한 계면을 형성할 수 있는 것이 요구된다. 구체적으로는, 예를 들면, VHF대~마이크로파대의 전원 주파수로 생성되는 고밀도 플라즈마를 이용한 CVD법으로 제작되는 절연층이나, 스퍼터링법으로 제작되는 절연층 등을 이용하는 것이 바람직하다.
- [0163] 산화물 반도체를 고순도화하면서, 산화물 반도체와 게이트 절연층과의 계면을 양호한 것으로 함으로써, 예를 들면, 트랜지스터의 채널폭(W)이  $1 \times 10^4 \mu\text{m}$ , 채널 길이(L)가  $3 \mu\text{m}$ 인 경우에는,  $10^{-13} \text{ A}$  이하의 오프 전류, 0.1 V/dec. 의 서브 스레숄드 스위치(S값)(게이트 절연층의 두께 : 100 nm)가 실현될 수 있다.
- [0164] 이와 같이, 산화물 반도체의 주성분 이외의 원소(불순물 원소)가 극력 포함되지 않도록 고순도화함으로써, 트랜지스터의 동작을 양호한 것으로 할 수 있다.
- [0165] <캐리어 농도>
- [0166] 개시하는 발명에 관한 기술 사상은, 산화물 반도체층에 있어서의 캐리어 농도를 충분히 작게 하여, 가능한 한 진성(i형)에 가깝게 하려고 하는 것이다. 이하, 캐리어 농도를 구하는 방법, 및, 실제로 측정된 캐리어 농도에 관하여, 도 10 및 도 11을 참조하여 설명한다.
- [0167] 먼저, 캐리어 농도의 구하는 방법에 대하여 간단하게 설명한다. 캐리어 농도는 MOS 커패시터를 제작하여, MOS 커패시터의 C-V 측정의 결과(C-V 특성)를 평가함으로써 구하는 것이 가능하다.
- [0168] 보다 구체적으로는, MOS 커패시터의 게이트 전압( $V_G$ )과 용량(C)의 관계를 플롯한 C-V 특성을 취득하고, 이 C-V 특성으로부터 게이트 전압( $V_G$ )과  $(1/C)^2$ 와의 관계를 나타내는 그래프를 취득하고, 이 그래프에서 약반전 영역에서의  $(1/C)^2$ 의 미분값을 구하고, 이 미분값을 식 (1)에 대입하여 캐리어 농도( $N_d$ )의 크기가 구해진다. 또한,

식 (1)에서, e는 전기 소량,  $\epsilon_0$ 는 진공의 유전율,  $\epsilon$ 는 산화물 반도체의 유전율이다.

[0169] [수학식 1]

$$N_d = - \left( \frac{2}{e\epsilon_0\epsilon} \right) \bigg/ \frac{d(1/C)^2}{dV} \quad (1)$$

[0170]

[0171] 다음에, 상기의 방법을 이용하여 실제로 측정된 캐리어 농도에 대하여 설명한다. 측정에는 유리 기판 위에 티탄막을 300 nm의 두께로 형성하고, 티탄막 위에 질화티탄막을 100 nm의 두께로 형성하고, 질화티탄막 위에, In-Ga-Zn-O계의 산화물 반도체를 이용한 산화물 반도체층을 2  $\mu$ m의 두께로 형성하고, 산화물 반도체층 위에 은막을 300 nm의 두께로 형성한 시료(MOS 커패시터)를 이용했다. 또한, 산화물 반도체층은 In, Ga, 및 Zn을 포함하는 산화물 반도체 성장용 타겟(In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO = 1:1:1[mol비])을 이용한 스퍼터링법에 의해 형성했다. 또한, 산화물 반도체층의 형성 분위기는 아르곤과 산소의 혼합 분위기(유량비는 Ar:O<sub>2</sub> = 30(sccm):15(sccm))로 했다.

[0172] 도 10에는 C-V 특성을, 도 11에는 V<sub>g</sub>와 (1/C)<sup>2</sup>와의 관계를, 각각 나타낸다. 도 11의 약반전 영역에서의 (1/C)<sup>2</sup>의 미분값으로부터 식 (1)을 이용하여 얻어진 캐리어 농도는 6.0×10<sup>10</sup>/cm<sup>3</sup>였다.

[0173] 이와 같이, i형화 또는 실질적으로 i형화된 산화물 반도체(예를 들면, 캐리어 농도가 1×10<sup>12</sup>/cm<sup>3</sup> 미만, 바람직하게는, 1×10<sup>11</sup>/cm<sup>3</sup> 이하)를 이용함으로써, 매우 뛰어난 오프 전류 특성의 트랜지스터를 얻는 것이 가능하다.

[0174] <변형예>

[0175] 도 12 내지 도 15에는, 반도체 장치의 구성의 변형예를 나타낸다. 또한, 이하에서는, 변형예로서 트랜지스터(162)의 구성이 상기와는 다른 것에 대하여 설명한다. 즉, 트랜지스터(160)의 구성은 상기와 같다.

[0176] 도 12에는 산화물 반도체층(140) 아래에 게이트 전극(136d)을 가지고, 소스 전극 또는 드레인 전극(142a)이나, 소스 전극 또는 드레인 전극(142b)이 산화물 반도체층(140)의 하측 표면에서 산화물 반도체층(140)과 접하는 구성의 트랜지스터(162)를 가지는 예를 나타낸다. 또한, 평면의 구조는 단면에 대응하여 적절히 변경하면 좋기 때문에, 여기에서는, 단면에 대해서만 나타내는 것으로 한다.

[0177] 도 12에 나타낸 구성과 도 2에 나타낸 구성의 큰 차이점으로서, 소스 전극 또는 드레인 전극(142a)이나, 소스 전극 또는 드레인 전극(142b)과 산화물 반도체층(140)과의 접촉의 위치가 있다. 즉, 도 2에 나타낸 구성에서는, 산화물 반도체층(140)의 상측 표면에서, 산화물 반도체층(140)이 소스 전극 또는 드레인 전극(142a)이나, 소스 전극 또는 드레인 전극(142b)과 접하는 것에 대하여, 도 12에 나타낸 구성에서는, 산화물 반도체층(140)의 하측 표면에서, 산화물 반도체층(140)이 소스 전극 또는 드레인 전극(142a)이나, 소스 전극 또는 드레인 전극(142b)과 접한다. 그리고, 이 접촉의 차이에 기인하여, 그 외의 전극, 절연층 등의 배치가 다른 것으로 되어 있다. 각 구성 요소의 상세한 사항은 도 2와 마찬가지로이다.

[0178] 구체적으로는, 트랜지스터(162)는 층간 절연층(128) 위에 형성된 게이트 전극(136d)과 게이트 전극(136d) 위에 형성된 게이트 절연층(138)과, 게이트 절연층(138) 위에 형성된 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)과, 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)의 상측 표면에 접하는 산화물 반도체층(140)을 가진다.

[0179] 여기서, 게이트 전극(136d)은 층간 절연층(128) 위에 형성된 절연층(132)에 파묻히도록 형성되어 있다. 또한, 게이트 전극(136d)과 마찬가지로, 소스 전극 또는 드레인 전극(130a)에 접하여 전극(136a)이, 소스 전극 또는 드레인 전극(130b)에 접하여 전극(136b)이, 전극(130c)에 접하여 전극(136c)이, 각각 형성되어 있다.

[0180] 또한, 트랜지스터(162)의 위에는, 산화물 반도체층(140)의 일부와 접하도록, 보호 절연층(144)이 형성되어 있고, 보호 절연층(144) 위에는 층간 절연층(146)이 형성되어 있다. 여기서, 보호 절연층(144) 및 층간 절연층(146)에는 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)에까지 달하는 개구가 형성되어 있고, 이 개구를 통하여, 전극(150d), 전극(150e)이, 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)에 접하여 형성되어 있다. 또한, 전극(150d), 전극(150e)과 마찬가지로, 게이트 절연층(138),

보호 절연층(144), 층간 절연층(146)에 형성된 개구를 통하여, 전극(136a), 전극(136b), 전극(136c)에 접하는 전극(150a), 전극(150b), 전극(150c)이 형성되어 있다.

- [0181] 또한, 층간 절연층(146) 위에는 절연층(152)이 형성되어 있고, 이 절연층(152)에 파묻히도록, 전극(154a), 전극(154b), 전극(154c), 전극(154d)이 형성되어 있다. 여기서, 전극(154a)은 전극(150a)과 접하고, 전극(154b)은 전극(150b)과 접하고, 전극(154c)은 전극(150c) 및 전극(150d)과 접하고, 전극(154d)은 전극(150e)과 접하고 있다.
- [0182] 도 13은 산화물 반도체층(140)의 위에 게이트 전극(136d)을 가지는 구성의 예이다. 여기서, 도 13(A)은 소스 전극 또는 드레인 전극(142a)이나, 소스 전극 또는 드레인 전극(142b)이 산화물 반도체층(140)의 하측 표면에서 산화물 반도체층(140)과 접하는 구성의 예이며, 도 13(B)은 소스 전극 또는 드레인 전극(142a)이나, 소스 전극 또는 드레인 전극(142b)이 산화물 반도체층(140)의 상측 표면에서 산화물 반도체층(140)과 접하는 구성의 예이다.
- [0183] 도 2나 도 12에 나타난 구성과 도 13에 나타난 구성의 큰 차이점은, 산화물 반도체층(140) 위에 게이트 전극(136d)을 가지는 점이다. 또한, 도 13(A)에 나타난 구성과 도 13(B)에 나타난 구성의 큰 차이점은, 소스 전극 또는 드레인 전극(142a)이나, 소스 전극 또는 드레인 전극(142b)이, 산화물 반도체층(140)의 하측 표면 또는 상측 표면의 어느 것에서 접촉하는가 하는 점이다. 그리고, 이러한 차이에 기인하여, 그 외의 전극, 절연층 등의 배치가 다른 것으로 되어 있다. 각 구성 요소의 상세한 사항은 도 2 등과 마찬가지로이다.
- [0184] 구체적으로는, 도 13(A)에서는, 층간 절연층(128) 위에 형성된 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)과, 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)의 상측 표면에 접하는 산화물 반도체층(140)과, 산화물 반도체층(140) 위에 형성된 게이트 절연층(138)과, 게이트 절연층(138) 위의 산화물 반도체층(140)과 중첩하는 영역의 게이트 전극(136d)을 가진다.
- [0185] 또한, 도 13(B)에서는, 층간 절연층(128) 위에 형성된 산화물 반도체층(140)과, 산화물 반도체층(140)의 상측 표면에 접하도록 형성된 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)과, 산화물 반도체층(140), 소스 전극 또는 드레인 전극(142a), 및, 소스 전극 또는 드레인 전극(142b) 위에 형성된 게이트 절연층(138)과, 게이트 절연층(138) 위의 산화물 반도체층(140)과 중첩하는 영역의 게이트 전극(136d)을 가진다.
- [0186] 또한, 도 13에 나타난 구성에서는, 도 2에 나타난 구성 등과 비교하여, 구성 요소를 생략할 수 있는 경우가 있다(예를 들면, 전극(150a)이나, 전극(154a) 등). 이 경우, 제작 공정의 간략화라는 부차적인 효과도 얻을 수 있다. 물론, 도 2 등에 나타난 구성에 있어서도, 필수가 아닌 구성 요소를 생략할 수 있다는 것은 말할 필요도 없다.
- [0187] 도 14는 소자의 사이즈가 비교적 큰 경우이며, 산화물 반도체층(140) 아래에 게이트 전극(136d)을 가지는 구성의 예이다. 이 경우, 표면의 평탄성이나 커버리지(coverage)에 대한 요구는 비교적 평범한 것이기 때문에, 배선이나 전극 등을 절연층 중에 묻도록 형성할 필요는 없다. 예를 들면, 도전층의 형성 후에 패터닝을 행함으로써, 게이트 전극(136d) 등을 형성하는 것이 가능하다. 또한, 여기에서는 도시하지 않았지만, 트랜지스터(160)에 대해서도, 마찬가지로 제작하는 것이 가능하다.
- [0188] 도 14(A)에 나타난 구성과 도 14(B)에 나타난 구성의 큰 차이점은, 소스 전극 또는 드레인 전극(142a)이나, 소스 전극 또는 드레인 전극(142b)이 산화물 반도체층(140)의 하측 표면 또는 상측 표면의 어느 것에서 접촉하는가 하는 점이다. 그리고, 이러한 차이에 기인하여, 그 외의 전극, 절연층 등의 배치가 다른 것으로 되어 있다. 각 구성 요소의 상세한 사항은 도 2 등과 마찬가지로이다.
- [0189] 구체적으로는, 도 14(A)에서는 층간 절연층(128) 위에 형성된 게이트 전극(136d)과, 게이트 전극(136d) 위에 형성된 게이트 절연층(138)과, 게이트 절연층(138) 위에 형성된 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)과, 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)의 상측 표면에 접하는 산화물 반도체층(140)을 가진다.
- [0190] 또한, 도 14(B)에서는, 층간 절연층(128) 위에 형성된 게이트 전극(136d)과, 게이트 전극(136d) 위에 형성된 게이트 절연층(138)과, 게이트 절연층(138) 위의 게이트 전극(136d)과 중첩하는 영역에 형성된 산화물 반도체층(140)과, 산화물 반도체층(140)의 상측 표면에 접하도록 형성된 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)을 가진다.
- [0191] 또한, 도 14에 나타난 구성에 있어서도, 도 2에 나타난 구성 등과 비교하여 구성 요소를 생략할 수 있는 경우가

있다. 이 경우에도, 제작 공정의 간략화라는 효과를 얻을 수 있다.

- [0192] 도 15는 소자의 사이즈가 비교적 큰 경우이며, 산화물 반도체층(140)의 위에 게이트 전극(136d)을 가지는 구성의 예이다. 이 경우에도, 표면의 평탄성이나 커버리지에 대한 요구는 비교적 평범한 것이기 때문에, 배선이나 전극 등을 절연층 중에 묻도록 형성할 필요는 없다. 예를 들면, 도전층의 형성 후에 패터닝을 행함으로써, 게이트 전극(136d) 등을 형성하는 것이 가능하다. 또한, 여기에서는 도시하지 않았지만, 트랜지스터(160)에 대해서도, 마찬가지로 제작하는 것이 가능하다.
- [0193] 도 15(A)에 나타난 구성과 도 15(B)에 나타난 구성의 큰 차이점은, 소스 전극 또는 드레인 전극(142a)이나, 소스 전극 또는 드레인 전극(142b)이 산화물 반도체층(140)의 하측 표면 또는 상측 표면의 어느 것에서 접촉하는가 하는 점이다. 그리고, 이러한 차이에 기인하여, 그 외의 전극, 절연층 등의 배치가 다른 것으로 되어 있다. 각 구성 요소의 상세한 사항은 도 2 등과 마찬가지로이다.
- [0194] 구체적으로, 도 15(A)에서는 층간 절연층(128) 위에 형성된 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)과, 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)의 상측 표면에 접하는 산화물 반도체층(140)과, 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b), 산화물 반도체층(140) 위에 형성된 게이트 절연층(138)과, 게이트 절연층(138) 위의 산화물 반도체층(140)과 중첩하는 영역에 형성된 게이트 전극(136d)을 가진다.
- [0195] 또한, 도 15(B)에서는, 층간 절연층(128) 위에 형성된 산화물 반도체층(140)과, 산화물 반도체층(140)의 상측 표면에 접하도록 형성된 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b)과, 소스 전극 또는 드레인 전극(142a), 소스 전극 또는 드레인 전극(142b), 산화물 반도체층(140) 위에 형성된 게이트 절연층(138)과, 게이트 절연층(138) 위의 산화물 반도체층(140)과 중첩하는 영역에 형성된 게이트 전극(136d)을 가진다.
- [0196] 또한, 도 15에 나타난 구성에 있어서도, 도 2에 나타난 구성 등과 비교하여, 구성 요소를 생략할 수 있는 경우가 있다. 이 경우에도, 제작 공정의 간략화라는 효과를 얻을 수 있다.
- [0197] 이상에 나타난 바와 같이, 개시하는 발명의 일 양태에 의해, 새로운 구성의 반도체 장치가 실현된다. 본 실시 형태에서는, 트랜지스터(160)와 트랜지스터(162)를 적층하여 형성하는 예에 대하여 설명했지만, 반도체 장치의 구성은 이것에 한정되는 것은 아니다. 또한, 본 실시 형태에서는, 트랜지스터(160)와 트랜지스터(162)의 채널 길이 방향이 서로 수직이 되는 예를 설명했지만, 트랜지스터(160)와 트랜지스터(162)의 위치 관계 등은 이것에 한정되는 것은 아니다. 또한, 트랜지스터(160)와 트랜지스터(162)를 중첩하여 설치해도 좋다.
- [0198] 또한, 본 실시 형태에서는 이해를 간단하게 하기 위해, 최소 기억 단위(1 비트)의 반도체 장치에 대하여 설명했지만, 반도체 장치의 구성은 이것에 한정되는 것은 아니다. 복수의 반도체 장치를 적당히 접속하여, 보다 고도의 반도체 장치를 구성할 수도 있다. 예를 들면, 상기 반도체 장치를 복수 이용하여, NAND형이나 NOR형의 반도체 장치를 구성하는 것이 가능하다. 배선의 구성도 도 1에 한정되지 않고, 적절히 변경할 수 있다.
- [0199] 본 실시 형태에 관한 반도체 장치는 트랜지스터(162)의 저오프 전류 특성에 의해, 매우 장시간에 걸쳐 정보를 보유하는 것이 가능하다. 즉, DRAM 등에 필요한 리프레시 동작이 불필요하고, 소비 전력을 억제할 수 있다. 또한, 실질적인 불휘발성 기억 장치로서 이용하는 것이 가능하다.
- [0200] 또한, 트랜지스터(162)의 스위칭 동작에 의해 정보의 기입 등을 행하기 위해, 높은 전압을 필요로 하지 않고, 소자의 열화의 문제도 없다. 또한, 트랜지스터의 온, 오프에 의해, 정보의 기입이나 소거를 하기 때문에, 고속 동작도 용이하게 실현할 수 있다. 또한, 트랜지스터에 입력하는 전위를 제어함으로써 정보를 직접 다시 쓰는 것이 가능하다. 따라서, 플래시 메모리 등에서 필요한 소거 동작이 불필요하고, 소거 동작에 기인하는 동작 속도의 저하를 억제할 수 있다.
- [0201] 또한, 산화물 반도체 이외의 재료를 이용한 트랜지스터는, 산화물 반도체를 이용한 트랜지스터와 비교하여, 더욱 고속 동작이 가능하기 때문에, 이것을 이용함으로써, 기억 내용의 판독을 고속으로 행하는 것이 가능하다.
- [0202] 본 실시 형태에 나타내는 구성, 방법 등은, 다른 실시 형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수 있다.
- [0203] (실시 형태 2)

- [0204] 본 실시형태에서는 본 발명의 일 양태에 관한 반도체 장치의 회로 구성 및 동작 방법에 대하여 설명한다.
- [0205] <메모리 셀의 구성>
- [0206] 반도체 장치가 가지는 메모리 셀 회로도의 일례를 도 16에 나타낸다. 도 16에 나타낸 메모리 셀(200)은 제 1 신호선(S1)과, 워드선(WL)과, 트랜지스터(201)(제 1 트랜지스터)와, 트랜지스터(202)(제 2 트랜지스터)와, 용량 소자(203)로 구성되어 있다. 트랜지스터(201)는 산화물 반도체 이외의 재료를 이용하여 형성되고, 트랜지스터(202)는 산화물 반도체를 이용하여 형성되어 있다. 여기서, 트랜지스터(201)는 실시형태 1에 나타내는 트랜지스터(160)와 같은 구성으로 하는 것이 바람직하다. 또한, 트랜지스터(202)는 실시형태 1에 나타내는 트랜지스터(162)와 같은 구성으로 하는 것이 바람직하다. 또한, 메모리 셀(200)은 소스선(SL) 및 비트선(BL)과 전기적으로 접속되고, 트랜지스터(다른 메모리 셀을 구성하는 것도 포함함)를 통하여, 소스선(SL) 및 비트선(BL)과 전기적으로 접속되어도 좋다.
- [0207] 여기서, 트랜지스터(201)의 게이트 전극과, 트랜지스터(202)의 소스 전극 또는 드레인 전극의 한쪽과, 용량 소자(203)의 전극의 한쪽은 전기적으로 접속되어 있다. 또한, 소스선(SL)과 트랜지스터(201)의 소스 전극은 전기적으로 접속되고, 비트선(BL)과 트랜지스터(201)의 드레인 전극은 전기적으로 접속되고, 제 1 신호선(S1)과 트랜지스터(202)의 게이트 전극은 전기적으로 접속되고, 워드선(WL)과, 트랜지스터(202)의 소스 전극 또는 드레인 전극의 다른 한쪽과, 용량 소자(203)의 전극의 다른 한쪽은 전기적으로 접속되어 있다. 또한, 소스선(SL)과, 트랜지스터(201)의 소스 전극은 트랜지스터(다른 메모리 셀을 구성하는 것도 포함함)를 통하여 접속되어 있어도 좋다. 또한, 비트선(BL)과 트랜지스터(201)의 드레인 전극은 트랜지스터(다른 메모리 셀을 구성하는 것도 포함함)를 통하여 접속되어 있어도 좋다.
- [0208] <반도체 장치의 구성>
- [0209] 도 17에,  $m \times n$  비트의 기억 용량을 가지는 반도체 장치의 블록 회로도를 나타낸다. 여기에서는 일례로서 메모리 셀(200)이 직렬로 접속된 NAND형의 반도체 장치를 나타낸다.
- [0210] 본 발명의 일 양태에 관한 반도체 장치는  $m$ 개의 워드선(WL)과,  $n$ 개의 비트선(BL) 및 제 1 신호선(S1)과, 2개의 선택선(SEL(1), SEL(2))과, 복수의 메모리 셀(200)(1, 1)~200( $m$ ,  $n$ )이 세로  $m$ 개(행) $\times$ 가로  $n$ 개(열)( $m$ ,  $n$ 은 자연수)의 매트릭스 형상으로 배치된 메모리 셀 어레이(210)와, 선택선(SEL(1))을 따라, 비트선(BL(1)~BL( $n$ ))과 메모리 셀(200(1, 1)~200(1,  $n$ ))의 사이에 배치된 트랜지스터(215(1, 1)~215(1,  $n$ ))와, 선택선(SEL(2))을 따라, 소스선(SL(1)~SL( $n$ ))과 메모리 셀(200( $m$ , 1)~200( $m$ ,  $n$ ))의 사이에 배치된 트랜지스터(215(2, 1)~215(2,  $n$ ))와, 비트선 및 제 1 신호선의 구동 회로(211)와, 워드선의 구동 회로(213)와, 판독 회로(212)와 같은 주변 회로에 의해 구성되어 있다. 다른 주변 회로로서 리프레시 회로 등이 설치되어도 좋다.
- [0211] 메모리 셀(200( $i$ ,  $j$ ))( $i$ 는 1 이상  $m$  이하의 정수,  $j$ 는 1 이상  $n$  이하의 정수)은 제 1 신호선(S1( $j$ )) 및 워드선(WL( $i$ ))에 각각 접속되어 있다. 또한, 메모리 셀(200( $i_1$ ,  $j$ ))( $i_1$ 은 2~ $m$ 의 정수)이 가지는 트랜지스터(201)의 드레인 전극은 메모리 셀(200( $i_1-1$ ,  $j$ ))이 가지는 트랜지스터(201)의 소스 전극에 접속된다. 메모리 셀(200(1,  $j$ ))이 가지는 트랜지스터(201)의 드레인 전극은 트랜지스터(215(1,  $j$ ))의 소스 전극에 접속되고, 메모리 셀(200( $m$ ,  $j$ ))이 가지는 트랜지스터(201)의 소스 전극은 트랜지스터(215(2,  $j$ ))의 드레인 전극에 접속된다. 트랜지스터(215(1,  $j$ ))의 드레인 전극은 비트선(BL( $j$ ))에 접속되고, 트랜지스터(215(2,  $j$ ))의 소스 전극은 소스선(SL( $j$ ))에 접속된다. 또한, 트랜지스터(215(1,  $j$ ))의 게이트 전극은 선택선(SEL(1))에 접속되고, 트랜지스터(215(2,  $j$ ))의 게이트 전극은 선택선(SEL(2))에 접속된다.
- [0212] 또한, 비트선(BL(1)~BL( $n$ )) 및 제 1 신호선(S1(1)~S1( $n$ ))은 비트선 및 제 1 신호선의 구동 회로(211)에, 워드선(WL(1)~WL( $m$ )) 및 선택선(SEL(1), SEL(2))은 워드선의 구동 회로(213)에 각각 접속되어 있다. 또한, 비트선(BL(1)~BL( $n$ ))은 판독 회로(212)에도 접속되어 있다. 소스선(SL(1)~SL( $n$ ))에는 전위( $V_s$ )가 부여되어 있다. 또한, 소스선(SL(1)~SL( $n$ ))은 반드시 분리되어 있을 필요는 없고, 서로 전기적으로 접속되어 있는 구성으로 해도 좋다.
- [0213] <반도체 장치의 동작>
- [0214] 다음에, 도 17에 나타낸 반도체 장치의 동작에 대하여 설명한다. 본 구성에서는, 기입은 열마다, 판독은 행마다 행한다.
- [0215] 제  $j$  열의 메모리 셀(200(1,  $j$ )~200( $m$ ,  $j$ ))에 기입을 행하는 경우, 제 1 신호선(S1( $j$ ))의 전위를  $V1$ (임의의

전위, 예를 들면 2 V)로 하고, 대상 메모리 셀의 트랜지스터(202)를 온 상태로 한다. 한편, 제 j 열 이외의 제 1 신호선(S1)의 전위는 V0(임의의 전위, 예를 들면 0 V)로 하고, 대상이 아닌 메모리 셀의 트랜지스터(202)를 오프 상태로 한다. 다른 배선은 비트선(BL(1)~BL(n))의 전위를 V0, 선택선(SEL(1), SEL(2))의 전위를 V0, 소스선(SL(1)~SL(n))의 전위(Vs)를 V0로 한다. 여기서, 전위 V1은 게이트 전극에 인가함으로써, 트랜지스터(201), 트랜지스터(202) 및 트랜지스터(215)를 온 상태로 하는 정도의 전위로 하고, 전위 V0는 게이트 전극에 인가함으로써, 트랜지스터(201), 트랜지스터(202) 및 트랜지스터(215)를 오프 상태로 하는 정도의 전위로 한다.

[0216] 이 상태에서, 워드선(WL)의 전위(VWL)를 소정의 전위로 함으로써, 데이터의 기입이 행해진다. 예를 들면, 데이터 "1"을 기입하는 경우에는, 대상 메모리 셀에 접속된 워드선(WL)의 전위를 Vw\_1로 하고, 데이터 "0"을 기입하는 경우에는 대상 메모리 셀에 접속된 워드선(WL)의 전위를 Vw\_0으로 한다. 또한, 기입 종료에 있어서는, 워드선(WL)의 전위가 변화하기 전에, 제 1 신호선(S1(j))의 전위를 V0로 하고, 대상 메모리 셀의 트랜지스터(202)를 오프 상태로 한다.

[0217] 여기서, 트랜지스터(201)의 게이트 전극에 접속되는 노드(이하, 노드(A))에는, 기입 시의 워드선(WL)의 전위(VWL)에 따른 전하(QA)가 축적되고, 이것에 의해 데이터가 격납되게 된다. 여기서, 트랜지스터(202)의 오프 전류가 매우 작은, 혹은 실질적으로 0인 것으로부터, 기입된 데이터는 장시간에 걸쳐 보유된다. 다른 열의 메모리 셀에서는, 노드(A)에 축적된 전하(QA)는 변화하지 않는다.

[0218] 또한, 기입 시의 비트선(BL(1)~BL(n))의 전위는 V0로 했지만, 트랜지스터(215(1, 1)~215(1, n))가 오프 상태의 범위에서, 플로팅 상태나 임의의 전위로 충전되어 있어도 상관없다.

[0219] 또한, 기입 시에, SOI 기판 위에 트랜지스터를 형성한 경우 등, 반도체 장치가 기판 전위를 갖지 않는 경우에는, 예를 들면 다음과 같이 메모리 셀에 데이터의 기입을 행한다. 먼저, 선택선(SEL(1))의 전위를 V0, 선택선(SEL(2))의 전위를 V1로 하여, 트랜지스터(215(1, j))를 오프 상태, 트랜지스터(215(2, j))를 온 상태로 한다. 또한, 제 1 신호선(S1(j))의 전위를 V1로 하고, 제 j 열의 메모리 셀(200(1, j)~200(m, j))의 트랜지스터(202)를 온 상태로 한다. 또한, 워드선(WL(1)~WL(m))의 전위를 V1로 하고, 제 j 열의 메모리 셀(200(1, j)~200(m, j))의 트랜지스터(201)를 온 상태로 한다. 다음에, 제 1 행의 메모리 셀(200)(1, j)로부터 순차로 워드선(WL)의 전위(VWL)를 소정의 전위로 함으로써, 상술한 데이터의 기입을 행한다. 제 m 행의 메모리 셀(200)(m, j)까지 데이터의 기입이 종료되면, 선택선(SEL(2))의 전위를 V0로 하여 트랜지스터(215(2, j))를 오프 상태로 한다. 이것에 의해, 제 j 열의 메모리 셀의 트랜지스터(201)의 소스 전극의 전위를 약 V0으로 하면서 데이터의 기입을 행할 수 있다. 또한, 다른 배선에 대해서는, 상술한 데이터의 기입과 마찬가지로 하면 좋다. 또한, 제 1번째행부터 제 m번째행의 순으로 데이터를 기입하는 방법에 대하여 설명했지만, 이것에 한정되지 않고, 비트선(BL(1)~BL(n))의 전위를 V0로 하고, 선택선(SEL(1))의 전위를 V1로 하고 트랜지스터(215(1, j))를 온 상태로 하여, 제 m번째행으로부터 제 1번째행의 순으로 데이터의 기입을 행하여도 좋다.

[0220] 한편, 단결정 반도체 기판 위에 트랜지스터를 형성한 경우 등, 반도체 장치가 기판 전위를 가지는 경우에는, 기판 전위를 0 V로 하여 상술한 데이터의 기입을 행하면 좋다.

[0221] 제 i 행의 메모리 셀(200(i, 1)~200(i, n))의 판독도, 워드선(WL)의 전위(VWL)를 소정의 전위로 함으로써 행해진다. 제 i 행의 메모리 셀(200(i, 1)~200(i, n))의 판독을 행하는 경우는, 선택선(SEL(1), SEL(2))의 전위를 V1, 제 1 신호선(S1(1)~S1(n))의 전위를 V0, 소스선(SL(1)~SL(n))의 전위(Vs)를 V0, 비트선(BL(1)~BL(n))에 접속되어 있는 판독 회로(212)를 동작 상태로 한다. 이것에 의해, 트랜지스터(215(1, 1)~215(2, n))를 온 상태로 하고, 모든 메모리 셀의 트랜지스터(202)를 오프 상태로 한다.

[0222] 그리고, 워드선(WL(i))의 전위를 Vr\_1, 제 i 행 이외의 워드선(WL)의 전위를 Vr\_0로 한다. 이때, 제 i 행 이외의 메모리 셀의 트랜지스터(201)는 온 상태가 된다. 그 결과, 제 i 행의 메모리 셀의 트랜지스터(201)가 온 상태인지 오프 상태인지에 따라 메모리 셀열의 저항 상태가 정해진다. 제 i 행의 메모리 셀 중, 데이터 "0"을 가지는 메모리 셀에서는, 트랜지스터(201)는 오프 상태가 되고, 메모리 셀열이 고저항 상태가 된다. 한편, 제 i 행의 메모리 셀 중, 데이터 "1"을 가지는 메모리 셀에서는 트랜지스터(201)가 온 상태가 되고, 메모리 셀열이 저저항 상태가 된다. 그 결과, 판독 회로(212)는 메모리 셀열의 저항 상태의 차이로부터, 데이터 "0", "1"을 읽어낼 수 있다.

[0223] 다음에, 기입 시의 워드선(WL)의 전위(Vw\_0, Vw\_1), 및, 판독 시의 워드선(WL)의 전위(Vr\_0, Vr\_1)의 결정 방법에 대하여 설명한다.

[0224] 트랜지스터(201) 상태를 결정하는 노드(A)의 전위(VA)는, 트랜지스터(201)의 게이트-소스(드레인) 간의 용량

(C1)과 용량 소자(203)의 용량(C2)에 의존한다. VA는 기입 시의 워드선(WL)의 전위(VWL)(기입), 및, 판독 시의 워드선(WL)의 전위(VWL)(판독)를 이용하여, 다음과 같이 나타낼 수 있다.

- [0225]  $VA = (C1 \cdot VWL(\text{기입}) + C2 \cdot VWL(\text{판독})) / (C1 + C2)$
- [0226] 판독이 선택 상태에 있는 메모리 셀(200)에 있어서는,  $VWL(\text{판독}) = Vr\_1$ 이며, 판독이 비선택 상태에 있는 메모리 셀(200)에 있어서는,  $VWL(\text{판독}) = Vr\_0$ 이다. 또한, 데이터 "1" 기입 시는  $VWL(\text{기입}) = Vw\_1$ 이며, 데이터 "0" 기입 시는  $VWL(\text{기입}) = Vw\_0$ 이다. 즉, 각 상태에서의 노드(A)의 전위는 다음과 같이 나타낼 수 있다.
- [0227] 판독이 선택 상태, 데이터 "1"
- [0228]  $VA \approx (C1 \cdot Vw\_1 + C2 \cdot Vr\_1) / (C1 + C2)$
- [0229] 판독이 선택 상태, 데이터 "0"
- [0230]  $VA \approx (C1 \cdot Vw\_0 + C2 \cdot Vr\_1) / (C1 + C2)$
- [0231] 판독이 비선택 상태, 데이터 "1"
- [0232]  $VA \approx (C1 \cdot Vw\_1 + C2 \cdot Vr\_0) / (C1 + C2)$
- [0233] 판독이 비선택 상태, 데이터 "0"
- [0234]  $VA \approx (C1 \cdot Vw\_0 + C2 \cdot Vr\_0) / (C1 + C2)$
- [0235] 판독이 선택 상태에 있는 경우로서, 데이터 "1"이 기입되어 있는 경우에는, 트랜지스터(201)는 온 상태가 되는 것이 바람직하고, 노드(A)의 전위(VA)는 트랜지스터(201)의 스레숄드 전압(Vth)을 웃도는 것이 바람직하다. 즉, 이하의 식을 만족하는 것이 바람직하다.
- [0236]  $(C1 \cdot Vw\_1 + C2 \cdot Vr\_1) / (C1 + C2) > Vth$
- [0237] 판독이 선택 상태에 있는 경우로서, 데이터 "0"이 기입되어 있는 경우에는 트랜지스터(201)는 오프 상태가 되는 것이 바람직하고, 노드(A)의 전위(VA)는 트랜지스터(201)의 스레숄드 전압(Vth)을 밑도는 것이 바람직하다. 즉, 이하의 식을 만족하는 것이 바람직하다.
- [0238]  $(C1 \cdot Vw\_0 + C2 \cdot Vr\_1) / (C1 + C2) < Vth$
- [0239] 판독이 비선택 상태에 있는 경우에는, 데이터 "1" 또는 데이터 "0"의 어느 것이 기입되어 있는 경우에도, 트랜지스터(201)는 온 상태가 될 필요가 있기 때문에, 노드(A)의 전위(VA)는 트랜지스터(201)의 스레숄드 전압(Vth)을 웃도는 것이 조건이 된다. 즉, 이하의 식을 만족시킬 필요가 있다.
- [0240]  $(C1 \cdot Vw\_1 + C2 \cdot Vr\_0) / (C1 + C2) > Vth$
- [0241]  $(C1 \cdot Vw\_0 + C2 \cdot Vr\_0) / (C1 + C2) > Vth$
- [0242] 상술한 관계를 만족시키도록  $Vw\_0, Vw\_1, Vr\_0, Vr\_1$ , 등을 결정함으로써, 반도체 장치를 동작시킬 수 있다. 예를 들면, 트랜지스터(201)의 스레숄드 전압( $Vth$ ) = 0.3(V),  $C1/C2 = 1$ 의 경우에는,  $V0 = 0(V)$ ,  $V1 = 2(V)$ ,  $Vw\_0 = 0(V)$ ,  $Vw\_1 = 2(V)$ ,  $Vr\_0 = 2(V)$ ,  $Vr\_1 = 0(V)$ 으로 할 수 있다. 또한, 이러한 전위는 일례에 지나지 않고, 상기의 조건을 만족시키는 범위에서 적절히 변경하는 것이 가능하다.
- [0243] 여기서,  $C1/C2 \ll 1$ 의 조건에서는, 노드(A)와 워드선(WL)이 강하게 결합하게 되기 때문에, 트랜지스터(202)의 온 상태·오프 상태에 상관없이, 워드선(WL)의 전위와 노드(A)의 전위는 동일한 정도가 된다. 따라서, 트랜지스터(202)를 온으로 하여 기입을 행하여도, 노드(A)를 축적할 수 있는 전하는 적기 때문에, 데이터 "0"과 데이터 "1"의 차이는 작은 것이 되게 된다.
- [0244] 구체적으로는, 선택한 워드선(WL)의 전위를  $Vr\_1$ 로 하여 상술한 판독을 행하는 경우, 데이터 "0", 데이터 "1"의 어느 것을 기입한 경우에도, 메모리 셀의 노드(A)의 전위는 하강하여, 트랜지스터(201)가 오프 상태가 되어 버린다. 그 결과, 데이터를 읽어내는 것이 곤란하게 된다.
- [0245] 한편,  $C1/C2 \gg 1$ 의 조건에서는, 노드(A)와 워드선(WL)의 결합은 약하기 때문에, 워드선(WL)의 전위를 변화시켜도 노드(A)의 전위는 거의 변화하지 않는다. 따라서, 트랜지스터(201)의 온 상태·오프 상태를 제어하는 것이 가능한 노드(A)의 전위는 매우 한정된 것이 되어, 트랜지스터(201)의 온 상태·오프 상태를 제어하는 것이 곤란하게 된다.

- [0246] 구체적으로는, 비선택의 워드선(WL)의 전위를 Vr\_0으로 하여 상술한 판독을 행하는 경우, 메모리 셀의 노드(A)의 전위는 거의 오르지 않고, 데이터 "0"의 트랜지스터(201)는 오프 상태가 되어 버린다. 그 결과, 데이터를 읽어내는 것이 곤란하게 된다.
- [0247] 이와 같이, C1과 C2의 크기에 따라서는 그 동작이 곤란하게 되는 경우가 있기 때문에, 이러한 결정에 관해서는 유의가 필요하다. 또한, Vw\_0 = 0(V), Vw\_1 = Vdd, Vr\_0 = 0(V), Vr\_1 = Vdd로 하는 경우에는, C1/C2가 Vth/(Vdd-Vth)~(Vdd-Vth)/Vth의 사이에 있으면, 충분히 동작시키는 것이 가능하다.
- [0248] 또한, 데이터 "1"과 데이터 "0"은 편의상의 구별에 지나지 않기 때문에, 바꾸어 이용해도 상관없다. 또한, V0으로 하여 접지 전위(GND) 등을 채용하고, V1로서 전원 전위(Vdd) 등을 채용해도 좋다.
- [0249] 산화물 반도체를 이용한 트랜지스터는 오프 전류가 매우 작기 때문에, 이것을 이용함으로써 매우 장기에 걸쳐 기억 내용을 보유하는 것이 가능하다. 즉, 리프래시 동작이 불필요해지거나, 또는, 리프래시 동작의 빈도를 매우 낮게 하는 것이 가능해지기 때문에, 소비 전력을 충분히 저감할 수 있다. 또한, 전력의 공급이 없는 경우에도, 장기에 걸쳐 기억 내용을 보유하는 것이 가능하다.
- [0250] 또한, 정보의 기입에 높은 전압을 필요로 하지 않고, 소자의 열화의 문제도 없다. 또한, 트랜지스터의 온 상태, 오프 상태에 따라, 정보의 기입을 하기 때문에, 고속 동작도 용이하게 실현될 수 있다. 또한, 플래시 메모리 등에 필요하게 되는 정보를 소거하기 위한 동작이 불필요하다는 메리트도 있다.
- [0251] 또한, 산화물 반도체 이외의 재료를 이용한 트랜지스터는 산화물 반도체를 이용한 트랜지스터와 비교하여, 더욱 고속 동작이 가능하기 때문에, 이것을 이용함으로써, 기억 내용의 판독을 고속으로 행하는 것이 가능하다.
- [0252] 이상, 본 실시형태에 나타내는 구성, 방법 등은 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수 있다.
- [0253] (실시형태 3)
- [0254] 본 발명의 일 양태에 관한 반도체 장치가 가지는 판독 회로(212)의 일례에 대하여 도 18을 이용하여 설명한다.
- [0255] 도 18에 나타낸 판독 회로(212)는 트랜지스터(204)와 센스 증폭기(205)를 가진다. 트랜지스터(204)의 게이트 전극에는 바이어스 전압(Vbias)이 인가되어 소정의 전류를 흘린다. 센스 증폭기(205)의 한쪽의 입력 단자에는 참조 전위(Vref)가 입력된다.
- [0256] 판독 시에는, 센스 증폭기(205)의 다른 한쪽의 입력 단자와 판독을 행하는 메모리 셀이 접속된 비트선(BL)을 전기적으로 접속한다.
- [0257] 메모리 셀은 격납하는 데이터 "1" 또는 데이터 "0"에 따라 저항이 다르다. 구체적으로는, 선택한 메모리 셀의 트랜지스터(201)가 온 상태인 경우에는 저저항 상태가 되고, 선택한 메모리 셀의 트랜지스터(201)가 오프 상태인 경우에는 고저항 상태가 된다.
- [0258] 메모리 셀이 고저항 상태인 경우, 센스 증폭기(205)의 다른 한쪽의 입력 단자의 전위는 참조 전위(Vref)보다 높아지고, 센스 증폭기(205)의 출력 단자로부터는 데이터 "1"이 출력된다. 한편, 메모리 셀이 저저항 상태인 경우, 센스 증폭기(205)의 다른 한쪽의 입력 단자의 전위는 참조 전위(Vref)보다 낮아지고, 센스 증폭기(205)의 출력 단자로부터는 데이터 "0"이 출력된다.
- [0259] 상술한 바와 같이, 판독 회로(212)를 이용함으로써, 메모리 셀에 격납된 데이터를 읽어낼 수 있다. 또한, 판독 회로(212)는 일례에 지나지 않고, 다른 구성의 판독 회로를 이용해도 좋다. 예를 들면, 판독 회로(212)는 프리차지 회로를 가지는 것이어도 좋다.
- [0260] 이상, 본 실시형태에 나타내는 구성, 방법 등은 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수 있다.
- [0261] (실시형태 4)
- [0262] 본 실시형태에서는, 앞의 실시형태에서 나타낸 메모리 셀과는 다른 메모리 셀의 회로 구성 및 그 동작에 대하여 설명한다.

- [0263] <메모리 셀의 구성>
- [0264] 본 실시형태에 관한 메모리 셀의 회로도의 일례를 도 19에 나타낸다. 도 19에 나타낸 메모리 셀(220)은 제 1 신호선(S1)과, 워드선(WL)과, 트랜지스터(221)(제 1 트랜지스터)와, 트랜지스터(222)(제 2 트랜지스터)와, 용량 소자(223)로 구성되어 있다. 트랜지스터(221)는 산화물 반도체 이외의 재료를 이용하여 형성되어 있고, 트랜지스터(222)는 산화물 반도체를 이용하여 형성되어 있다. 여기서, 트랜지스터(221)는 실시형태 1에 나타내는 트랜지스터(160)와 같은 구성으로 하는 것이 바람직하다. 또한, 트랜지스터(222)는 실시형태 1에 나타내는 트랜지스터(162)와 같은 구성으로 하는 것이 바람직하다. 또한, 메모리 셀(220)은 소스선(SL) 및 비트선(BL)과 전기적으로 접속되어 있고, 트랜지스터(다른 메모리 셀을 구성하는 것도 포함함)를 통하여, 소스선(SL) 및 비트선(BL)과 전기적으로 접속되어 있어도 좋다.
- [0265] 여기서, 트랜지스터(221)의 게이트 전극과, 트랜지스터(222)의 소스 전극 또는 드레인 전극의 한쪽과, 용량 소자(223)의 전극의 한쪽은 전기적으로 접속되어 있다. 또한, 소스선(SL)과 트랜지스터(221)의 소스 전극은 전기적으로 접속되고, 비트선(BL)과, 트랜지스터(221)의 드레인 전극은 전기적으로 접속되고, 제 1 신호선(S1)과, 트랜지스터(222)의 소스 전극 또는 드레인 전극의 다른 한쪽은 전기적으로 접속되고, 워드선(WL)과, 트랜지스터(222)의 게이트 전극과, 용량 소자(223)의 전극의 다른 한쪽은 전기적으로 접속되어 있다. 또한, 소스선(SL)과, 트랜지스터(221)의 소스 전극은 트랜지스터(다른 메모리 셀을 구성하는 것도 포함함)를 통하여 접속되어 있어도 좋다. 또한, 비트선(BL)과 트랜지스터(221)의 드레인 전극은 트랜지스터(다른 메모리 셀을 구성하는 것도 포함함)를 통하여 접속되어 있어도 좋다.
- [0266] <메모리 셀의 동작>
- [0267] 다음에, 메모리 셀의 동작에 대하여 구체적으로 설명한다.
- [0268] 메모리 셀(220)에의 기입을 행하는 경우는, 트랜지스터(221)의 소스 전극 또는 드레인 전극의 전위를 V0(임의의 전위, 예를 들면 0 V), 워드선(WL)의 전위를 V1(임의의 전위, 예를 들면 2 V)로 한다. 이때, 트랜지스터(222)는 온 상태가 된다.
- [0269] 이 상태에서, 제 1 신호선(S1)의 전위(VS1)를 소정의 전위로 함으로써, 데이터의 기입이 행해진다. 예를 들면, 데이터 "1"을 기입하는 경우에는 제 1 신호선(S1)의 전위를 Vw\_1로 하고, 데이터 "0"을 기입하는 경우에는 제 1 신호선(S1)의 전위를 Vw\_0으로 한다. 또한, 기입 종료에 있어서는, 제 1 신호선(S1)의 전위가 변화하기 전에, 워드선(WL)의 전위를 V0로 하여 트랜지스터(222)를 오프 상태로 한다.
- [0270] 트랜지스터(221)의 게이트 전극에 접속되는 노드(이하, 노드(A))에는, 기입 시의 제 1 신호선(S1)의 전위에 따른 전하(QA)가 축적되고, 이것에 의해 데이터가 격납되게 된다. 여기서, 트랜지스터(222)의 오프 전류가 매우 작거나, 혹은 실질적으로 0이므로, 기입된 데이터는 장시간에 걸쳐 보유된다.
- [0271] 메모리 셀(220)의 판독은 워드선(WL)의 전위(VWL)를 소정의 전위로 함으로써 행해진다. 예를 들면, 판독을 행하는 메모리 셀(220)은 워드선(WL)의 전위를 Vr\_1로 하고, 판독을 행하지 않는 메모리 셀(220)은 워드선(WL)의 전위를 Vr\_0으로 한다. 어느 경우도 제 1 신호선(S1)의 전위를 V1로 한다.
- [0272] 기입 시의 제 1 신호선(S1)의 전위(Vw\_1, Vw\_0), 및, 판독 시의 워드선(WL)의 전위(Vr\_1, Vr\_0)는 워드선(WL)의 전위를 Vr\_1로 했을 때에, 데이터 "1"이 격납된 메모리 셀의 트랜지스터(221)가 온 상태가 되고, 데이터 "0"이 격납된 메모리 셀의 트랜지스터(221)가 오프 상태가 되도록 설정한다. 또한, 트랜지스터(222)가 오프 상태가 되도록 설정한다. 또한, 워드선(WL)의 전위를 Vr\_0으로 했을 때에, 데이터 "0", 데이터 "1"의 어느 것이 격납되었는지에 상관없이, 메모리 셀의 트랜지스터(221)가 온 상태가 되고, 또한, 트랜지스터(222)가 오프 상태가 되도록 설정한다.
- [0273] 메모리 셀(220)을 이용하여 NAND형의 불휘발성 메모리를 구성하는 경우에는, 상술한 바와 같은 관계의 전위를 이용함으로써, 판독 동작을 행할 수 있다. 즉, 판독이 선택된 메모리 셀에서는 격납된 데이터에 의해 저항 상태를 다르게 하는 것이 가능하고, 메모리 셀열이 다른 메모리 셀에서는 격납된 데이터에 상관없이 저저항 상태로 할 수 있다. 그 결과, 비트선(BL)의 저항 상태의 차이를 검출하는 판독 회로를 이용하여, 메모리 셀의 데이터를 읽어낼 수 있다.
- [0274] 또한, 데이터 "1"과 데이터 "0"은 편의상의 구별에 지나지 않기 때문에, 바꾸어 이용해도 상관없다. 또한, V0로서 접지 전위(GND) 등을 채용하고, V1로서 전원 전위(Vdd) 등을 채용해도 좋다.
- [0275] 또한, 본 실시형태에서 나타낸 메모리 셀(220)을 이용하는 경우에도, 매트릭스 형상의 반도체 장치를 실현할 수

있다. 매트릭스 형상의 반도체 장치는 앞의 실시형태에 나타난 구성과 같은 회로를 이용하여, 구동 회로나 판독 회로, 기입 회로를 신호선의 구성에 맞추어 적절히 구성함으로써 실현할 수 있다. 또한, 메모리 셀(220)을 이용하는 경우에는, 판독 및 기입은 어느 것도 행마다 행하는 구성으로 한다.

[0276] 이상, 본 실시형태에 나타내는 구성, 방법 등은 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수 있다.

[0277] (실시형태 5)

[0278] 본 실시형태에서는, 앞의 실시형태로 얻어지는 반도체 장치를 탑재한 전자기기의 예에 대하여 도 20을 이용하여 설명한다. 앞의 실시형태로 얻어지는 반도체 장치는 전력의 공급이 없는 경우에도, 정보를 보유하는 것이 가능하다. 또한, 기입, 소거에 따른 열화가 생기지 않는다. 또한, 그 동작도 고속이다. 따라서, 이 반도체 장치를 이용하여 새로운 구성의 전자기기를 제공하는 것이 가능하다. 또한, 앞의 실시형태에 관한 반도체 장치는 집적화되어 회로 기판 등에 실장되고, 각 전자기기의 내부에 탑재되게 된다.

[0279] 도 20(A)은 앞의 실시형태에 관한 반도체 장치를 포함하는 노트북형의 퍼스널 컴퓨터이며, 본체(301), 케이스(302), 표시부(303), 키보드(304) 등에 의해 구성되어 있다. 본 발명의 일 양태에 관한 반도체 장치를 노트북형의 퍼스널 컴퓨터에 적용함으로써, 전력의 공급이 없는 경우에도, 정보를 보유하는 것이 가능하다. 또한, 기입, 소거에 따른 열화가 생기지 않는다. 또한, 그 동작도 고속이다. 따라서, 본 발명의 일 양태에 관한 반도체 장치를 노트북형의 퍼스널 컴퓨터에 적용하는 것은 적합하다.

[0280] 도 20(B)은 앞의 실시형태에 관한 반도체 장치를 포함하는 휴대 정보 단말(PDA)이며, 본체(311)에는 표시부(313)와 외부 인터페이스(315)와 조작 버튼(314) 등이 설치되어 있다. 또한, 조작용의 부속품으로서 스타일러스(312)가 있다. 본 발명의 일 양태에 관한 반도체 장치를 PDA에 적용함으로써, 전력의 공급이 없는 경우에도, 정보를 보유하는 것이 가능하다. 또한, 기입, 소거에 따른 열화가 생기지 않는다. 또한, 그 동작도 고속이다. 따라서, 본 발명의 일 양태에 관한 반도체 장치를 PDA에 적용하는 것은 적합하다.

[0281] 도 20(C)에는 앞의 실시형태에 관한 반도체 장치를 포함하는 전자 페이퍼의 일례로서, 전자 서적(320)을 나타낸다. 전자 서적(320)은 케이스(321) 및 케이스(323)의 2개의 케이스로 구성되어 있다. 케이스(321) 및 케이스(323)는 축부(hinge unit: 337)에 의해 일체로 되어 있고, 이 축부(337)를 축으로 하여 개폐 동작을 행할 수 있다. 이러한 구성에 의해, 전자 서적(320)은 종이 서적과 같이 이용하는 것이 가능하다. 본 발명의 일 양태에 관한 반도체 장치를 전자 페이퍼에 적용함으로써, 전력의 공급이 없는 경우에도 정보를 보유하는 것이 가능하다. 또한, 기입, 소거에 따른 열화가 생기지 않는다. 또한, 그 동작도 고속이다. 따라서, 본 발명의 일 양태에 관한 반도체 장치를 전자 페이퍼에 적용하는 것은 적합하다.

[0282] 케이스(321)에는 표시부(325)가 조립되고, 케이스(323)에는 표시부(327)가 조립되어 있다. 표시부(325) 및 표시부(327)는 연속된 화면을 표시하는 구성으로 해도 좋고, 다른 화면을 표시하는 구성으로 해도 좋다. 다른 화면을 표시하는 구성으로 함으로써, 예를 들면 우측의 표시부(도 20(C)에서는 표시부(325))에 문장을 표시하고, 좌측의 표시부(도 20(C)에서는 표시부(327))에 화상을 표시할 수 있다.

[0283] 또한, 도 20(C)에서는 케이스(321)에 조작부 등을 구비한 예를 나타낸다. 예를 들면, 케이스(321)는 전원 버튼(331), 조작키(333), 스피커(335) 등을 구비하고 있다. 조작키(333)에 의해, 페이지를 보낼 수 있다. 또한, 케이스의 표시부와 동일면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 해도 좋다. 또한, 케이스의 이면이나 측면에, 외부 접속용 단자(이어폰 단자, USB 단자, 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속 가능한 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 해도 좋다. 또한, 전자 서적(320)은 전자 사 전으로서의 기능을 갖게 한 구성으로 해도 좋다.

[0284] 또한, 전자 서적(320)은 무선으로 정보를 송수신할 수 있는 구성으로 해도 좋다. 무선에 의해, 전자 서적 서버로부터, 소망의 서적 데이터 등을 구입하여, 다운로드하는 구성으로 하는 것도 가능하다.

[0285] 또한, 전자 페이퍼는 정보를 표시하는 것이면 모든 분야에 적용하는 것이 가능하다. 예를 들면, 전자 서적 이외에도, 포스터, 전철 등의 탈것의 차내 광고, 신용카드 등의 각종 카드에서의 표시 등에 적용할 수 있다.

[0286] 도 20(D)는 앞의 실시형태에 관한 반도체 장치를 포함하는 휴대전화기이다. 이 휴대전화기는 케이스(340) 및 케이스(341)의 2개의 케이스로 구성되어 있다. 케이스(341)는 표시 패널(342), 스피커(343), 마이크로폰(344), 포인팅 디바이스(346), 카메라용 렌즈(347), 외부 접속 단자(348) 등을 구비하고 있다. 또한, 케이스(340)는

이 휴대전화기의 충전을 행하는 태양전지 셀(349), 외부 메모리 슬롯(350) 등을 구비하고 있다. 또한, 안테나는 케이스(341) 내부에 내장되어 있다. 본 발명의 일 양태에 관한 반도체 장치를 휴대전화기에 적용함으로써, 전력의 공급이 없는 경우에도, 정보를 보유하는 것이 가능하다. 또한, 기입, 소거에 따른 열화가 생기지 않는다. 또한, 그 동작도 고속이다. 따라서, 본 발명의 일 양태에 관한 반도체 장치를 휴대전화기에 적용하는 것은 적합하다.

[0287] 표시 패널(342)은 터치 패널 기능을 구비하고 있고, 도 20(D)에는 영상 표시되어 있는 복수의 조작키(345)를 점선으로 나타낸다. 또한, 이 휴대전화는 태양전지 셀(349)에서 출력되는 전압을 각 회로에 필요한 전압으로 승압하기 위한 승압 회로를 실장하고 있다. 또한, 상기 구성에 더하여, 비접촉 IC칩, 소형 기록 장치 등을 내장한 구성으로 할 수도 있다.

[0288] 표시 패널(342)은 사용 형태에 따라 표시의 방향이 적절히 변화한다. 또한, 표시 패널(342)과 동일면에 카메라용 렌즈(347)를 구비하고 있기 때문에, 화상 전화가 가능하다. 스피커(343) 및 마이크로폰(344)은 음성 통화에 한정하지 않고, 화상 전화, 녹음, 재생 등이 가능하다. 또한, 케이스(340)와 케이스(341)는 슬라이드하여, 도 20(D)과 같이 펼쳐진 상태에서 서로 겹쳐진 상태로 할 수 있어, 휴대폰에 적합한 소형화가 가능하다.

[0289] 외부 접속 단자(348)는 AC 어댑터나 USB 케이블 등의 각종 케이블과 접속 가능하고, 충전이나 데이터 통신이 가능하게 되어 있다. 또한, 외부 메모리 슬롯(350)에 기록 매체를 삽입하여, 보다 대량의 데이터의 보존 및 이동에 대응할 수 있다. 또한, 상기 기능에 더하여, 적외선 통신 기능, 텔레비전 수신 기능 등을 구비한 것이어도 좋다.

[0290] 도 20(E)는 앞의 실시형태에 관한 반도체 장치를 포함하는 디지털 카메라이다. 이 디지털 카메라는, 본체(361), 표시부(A)(367), 접안부(eyepiece: 363), 조작 스위치(364), 표시부(B)(365), 배터리(366) 등에 의해 구성되어 있다. 본 발명의 일 양태에 관한 반도체 장치를 디지털 카메라에 적용함으로써, 전력의 공급이 없는 경우에도, 정보를 보유하는 것이 가능하다. 또한, 기입, 소거에 따른 열화가 생기지 않는다. 또한, 그 동작도 고속이다. 따라서, 본 발명의 일 양태에 관한 반도체 장치를 디지털 카메라에 적용하는 것은 적합하다.

[0291] 도 20(F)는 앞의 실시형태에 관한 반도체 장치를 포함하는 텔레비전 장치이다. 텔레비전 장치(370)에서는, 케이스(371)에 표시부(373)가 조립되어 있다. 표시부(373)에 의해, 영상을 표시하는 것이 가능하다. 또한, 여기에서는, 스탠드(375)에 의해 케이스(371)를 지지한 구성을 나타내고 있다.

[0292] 텔레비전 장치(370)의 조작은, 케이스(371)가 구비하는 조작 스위치나, 별체의 리모콘 조작기(380)에 의해 행할 수 있다. 리모콘 조작기(380)가 구비하는 조작키(379)에 의해, 채널이나 음량의 조작을 행할 수 있고, 표시부(373)에 표시되는 영상을 조작할 수 있다. 또한, 리모콘 조작기(380)에 이 리모콘 조작기(380)로부터 출력하는 정보를 표시하는 표시부(377)를 형성하는 구성으로 해도 좋다. 본 발명의 일 양태에 관한 반도체 장치를 텔레비전 장치에 적용함으로써, 전력의 공급이 없는 경우에도, 정보를 보유하는 것이 가능하다. 또한, 기입, 소거에 따른 열화가 생기지 않는다. 또한, 그 동작도 고속이다. 따라서, 본 발명의 일 양태에 관한 반도체 장치를 텔레비전 장치에 적용하는 것은 적합하다.

[0293] 또한, 텔레비전 장치(370)는 수신기나 모뎀 등을 구비한 구성으로 하는 것이 적합하다. 수신기에 의해, 일반의 텔레비전 방송의 수신을 행할 수 있다. 또한, 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 한방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 혹은 수신자들간 등)의 정보통신을 행하는 것이 가능하다.

[0294] 본 실시형태에 나타내는 구성, 방법 등은 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수 있다.

**부호의 설명**

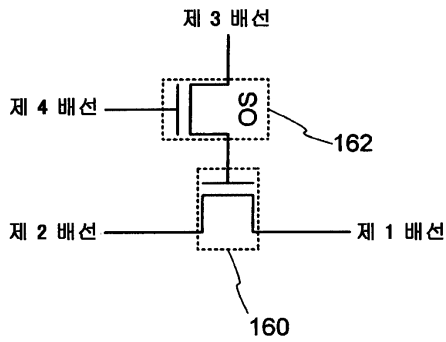
- [0295] 100 : 기판
- 104 : 반도체 영역
- 108 : 게이트 절연층
- 112 : 절연층
- 102 : 보호층
- 106 : 소자 분리 절연층
- 110 : 게이트 전극
- 114 : 불순물 영역

- 116 : 채널 형성 영역
- 120 : 고농도 불순물 영역
- 124 : 금속 화합물 영역
- 128 : 층간 절연층
- 130b : 소스 전극 또는 드레인 전극
- 132 : 절연층
- 136a : 전극
- 136c : 전극
- 138 : 게이트 절연층
- 142a : 소스 전극 또는 드레인 전극
- 144 : 보호 절연층
- 148 : 도전층
- 150b : 전극
- 150d : 전극
- 152 : 절연층
- 154b : 전극
- 154d : 전극
- 162 : 트랜지스터
- 201 : 트랜지스터
- 203 : 용량 소자
- 205 : 센스 증폭기
- 211 : 비트선 및 제 1 신호선의 구동 회로
- 212 : 관독 회로
- 215 : 트랜지스터
- 221 : 트랜지스터
- 223 : 용량 소자
- 302 : 케이스
- 304 : 키보드
- 312 : 스타일러스
- 314 : 조작 버튼
- 320 : 전자 서적
- 323 : 케이스
- 327 : 표시부
- 333 : 조작키
- 337 : 축부
- 341 : 케이스
- 118 : 사이드 월 절연층
- 122 : 금속층
- 126 : 층간 절연층
- 130a : 소스 전극 또는 드레인 전극
- 130c : 전극
- 134 : 도전층
- 136b : 전극
- 136d : 게이트 전극
- 140 : 산화물 반도체층
- 142b : 소스 전극 또는 드레인 전극
- 146 : 층간 절연층
- 150a : 전극
- 150c : 전극
- 150e : 전극
- 154a : 전극
- 154c : 전극
- 160 : 트랜지스터
- 200 : 메모리 셀
- 202 : 트랜지스터
- 204 : 트랜지스터
- 210 : 메모리 셀 어레이
- 213 : 워드선의 구동 회로
- 220 : 메모리 셀
- 222 : 트랜지스터
- 301 : 본체
- 303 : 표시부
- 311 : 본체
- 313 : 표시부
- 315 : 외부 인터페이스
- 321 : 케이스
- 325 : 표시부
- 331 : 전원 버튼
- 335 : 스피커
- 340 : 케이스
- 342 : 표시 패널

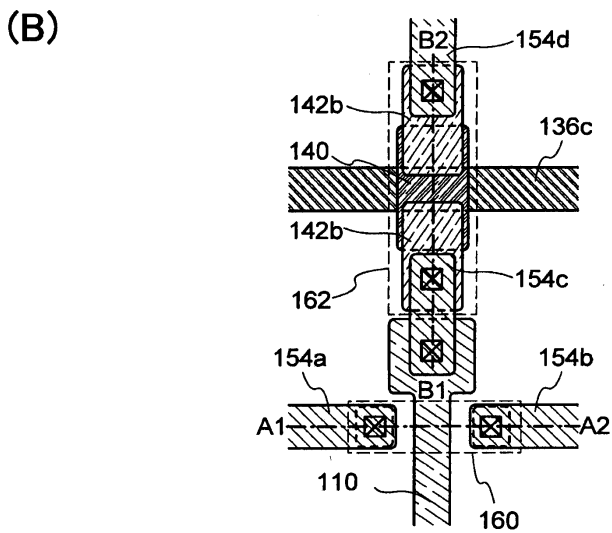
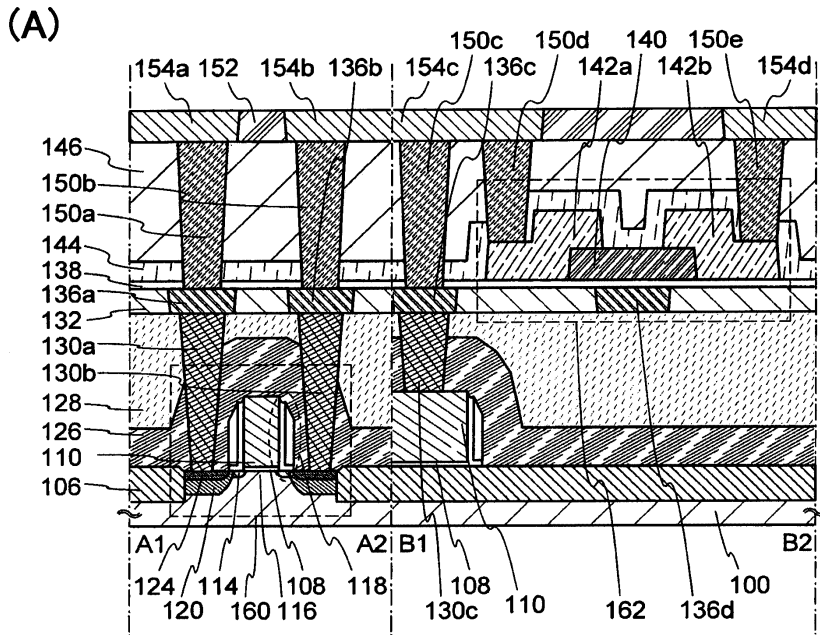
- |               |                 |
|---------------|-----------------|
| 343 : 스피커     | 344 : 마이크론      |
| 345 : 조작키     | 346 : 포인팅 디바이스  |
| 347 : 카메라용 렌즈 | 348 : 외부 접속 단자  |
| 349 : 태양전지 셀  | 350 : 외부 메모리 슬롯 |
| 361 : 본체      | 363 : 접안부       |
| 364 : 조작 스위치  | 365 : 표시부(B)    |
| 366 : 배터리     | 367 : 표시부(A)    |
| 370 : 텔레비전 장치 | 371 : 케이스       |
| 373 : 표시부     | 375 : 스탠드       |
| 377 : 표시부     | 379 : 조작키       |
| 380 : 리모콘 조작기 |                 |

**도면**

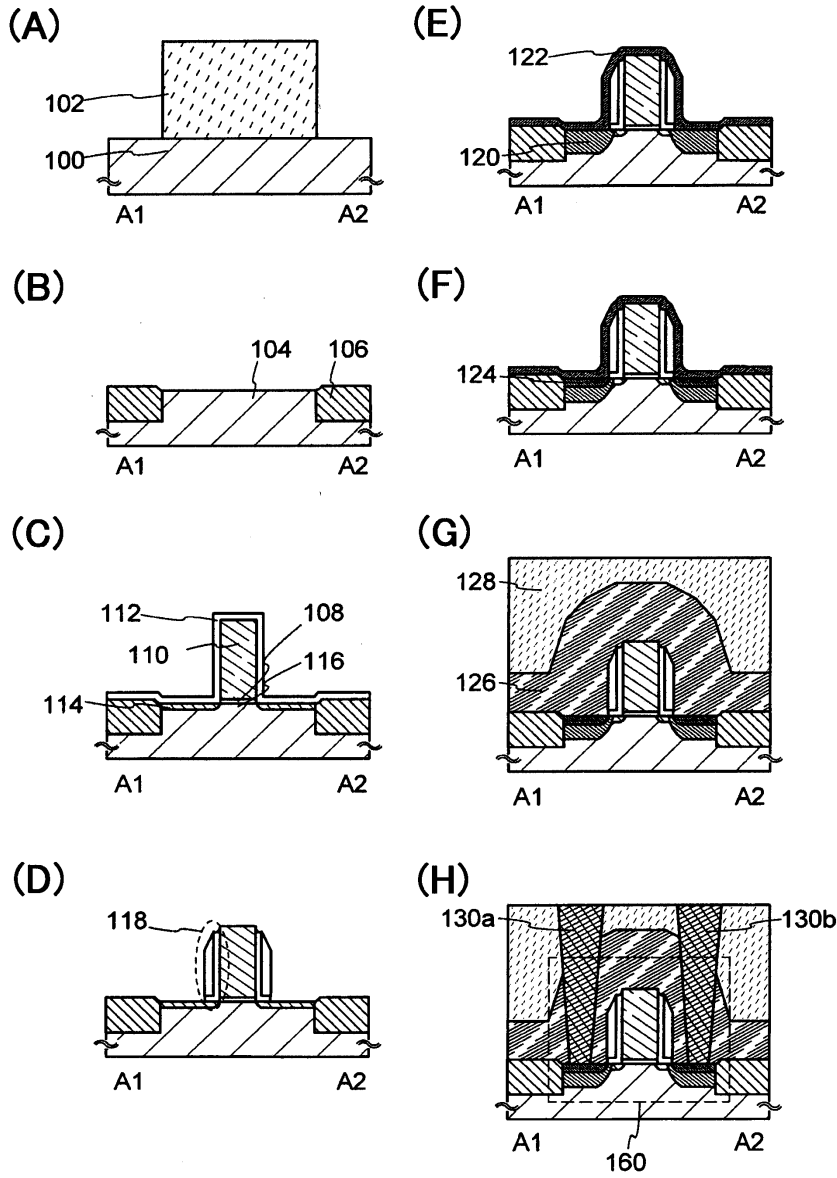
**도면1**



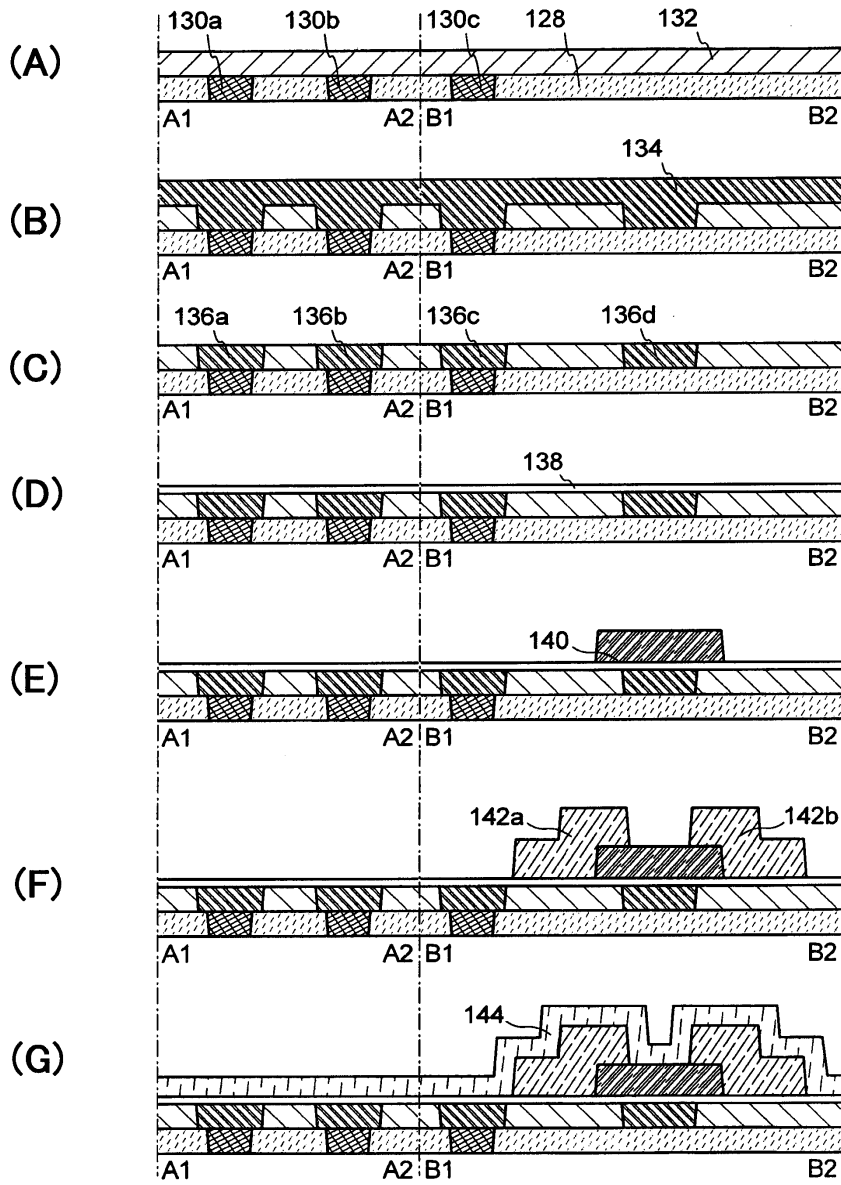
도면2



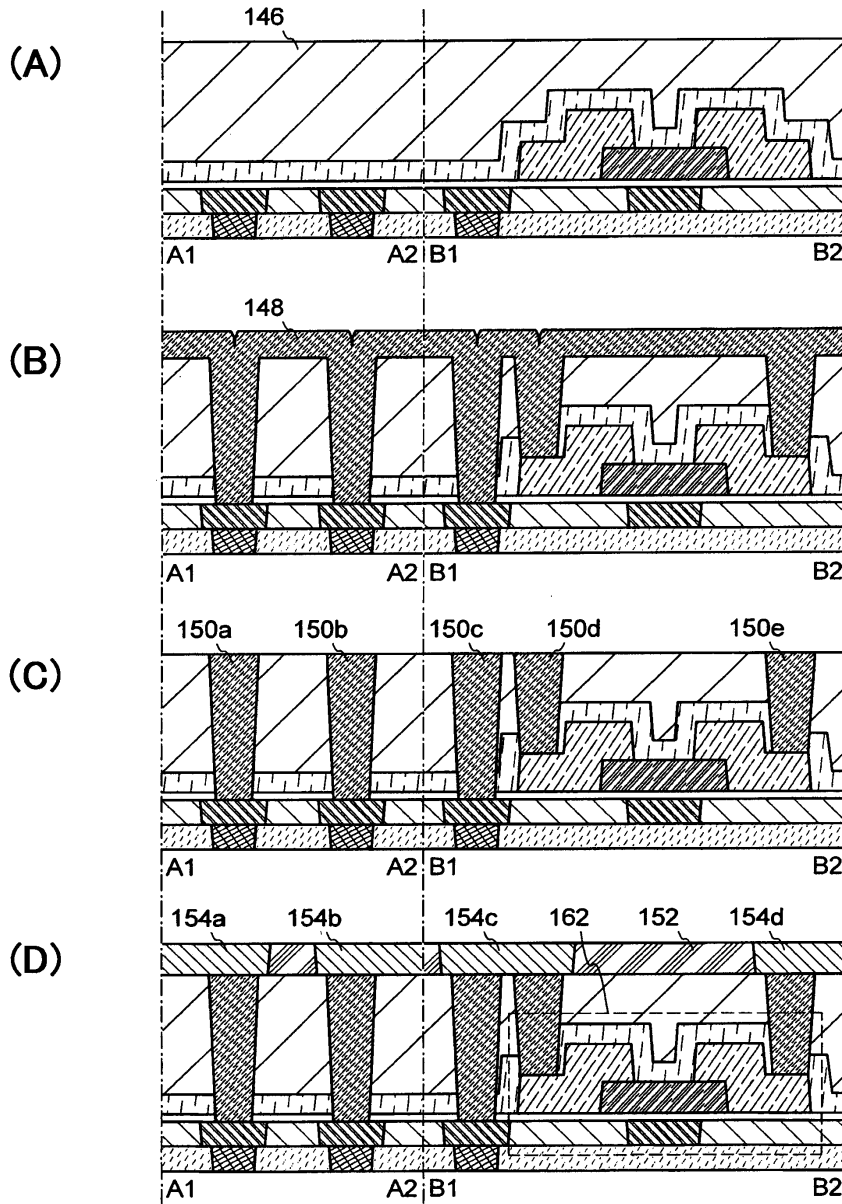
도면3



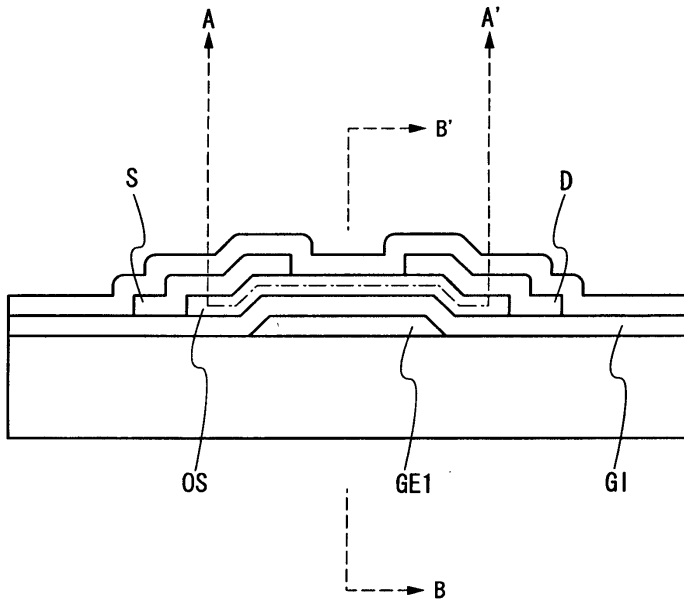
도면4



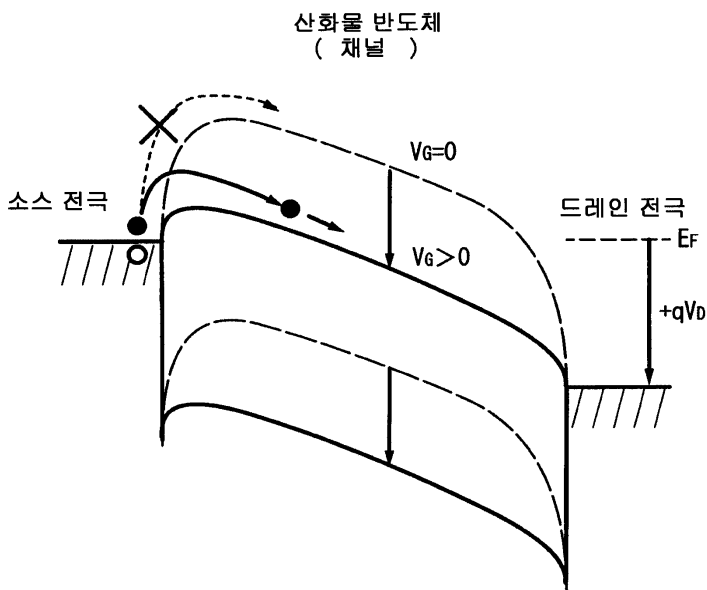
도면5



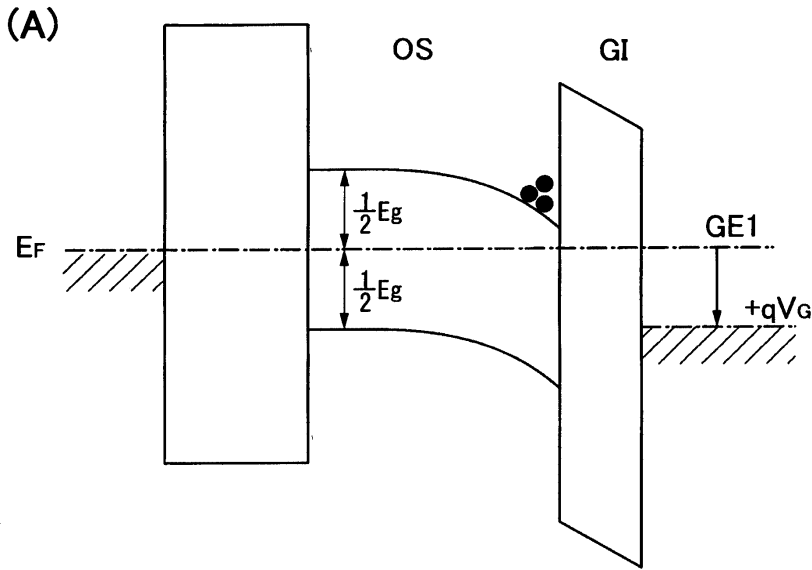
도면6



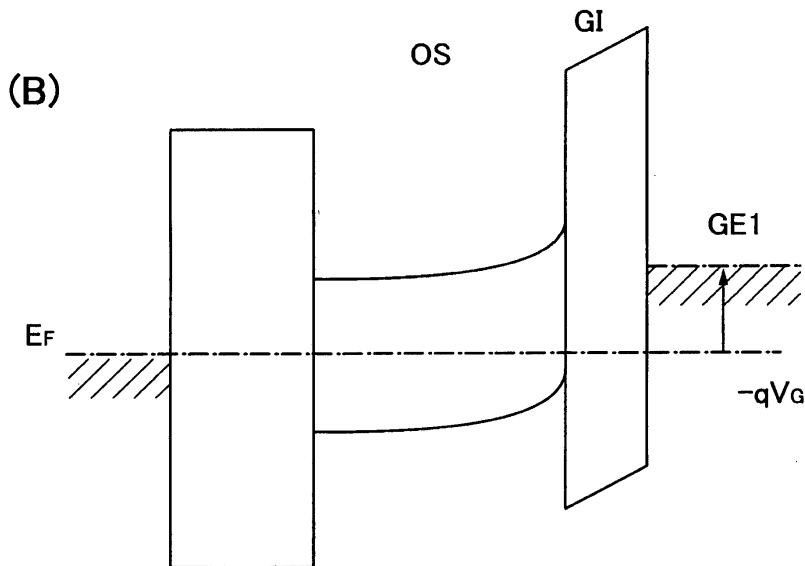
도면7



도면8

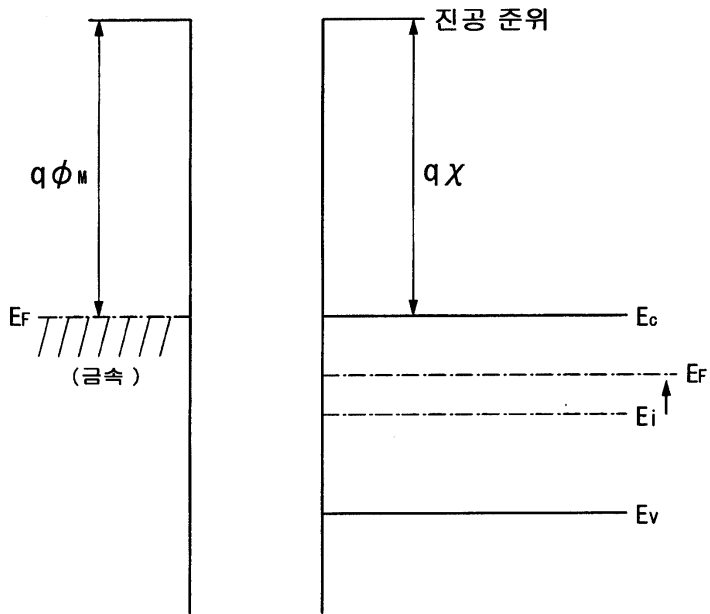


B-B' 단면 에너지 밴드도 ( $V_G > 0$ )

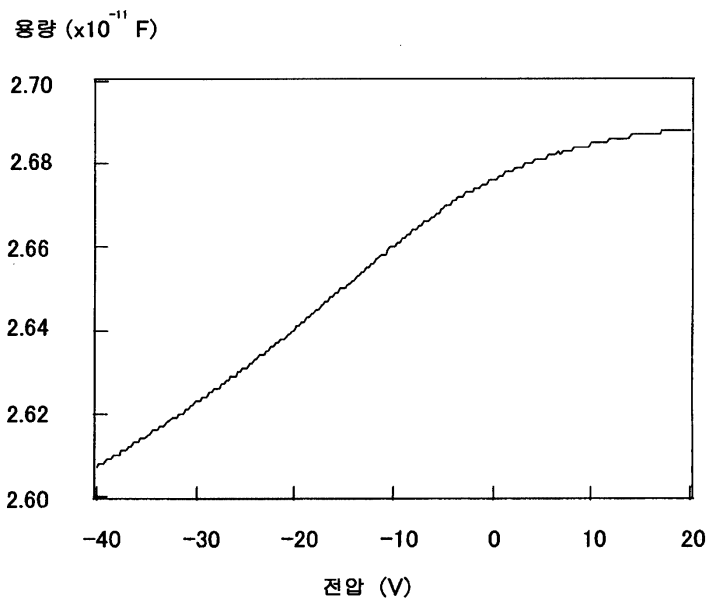


B-B' 단면 에너지 밴드도 ( $V_G < 0$ )

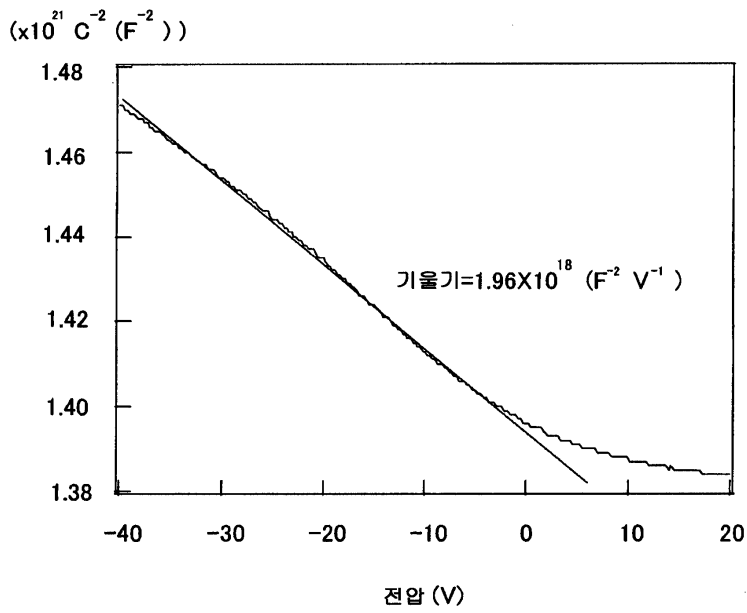
도면9



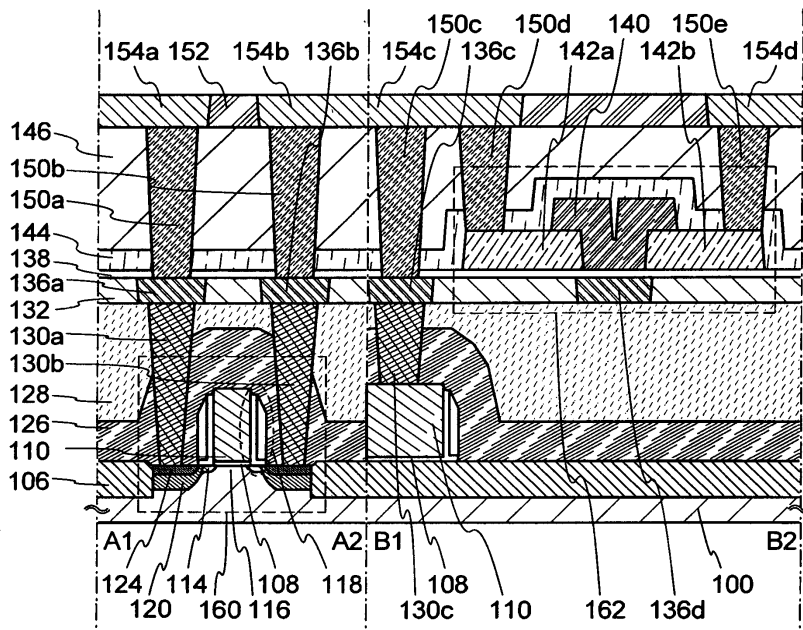
도면10



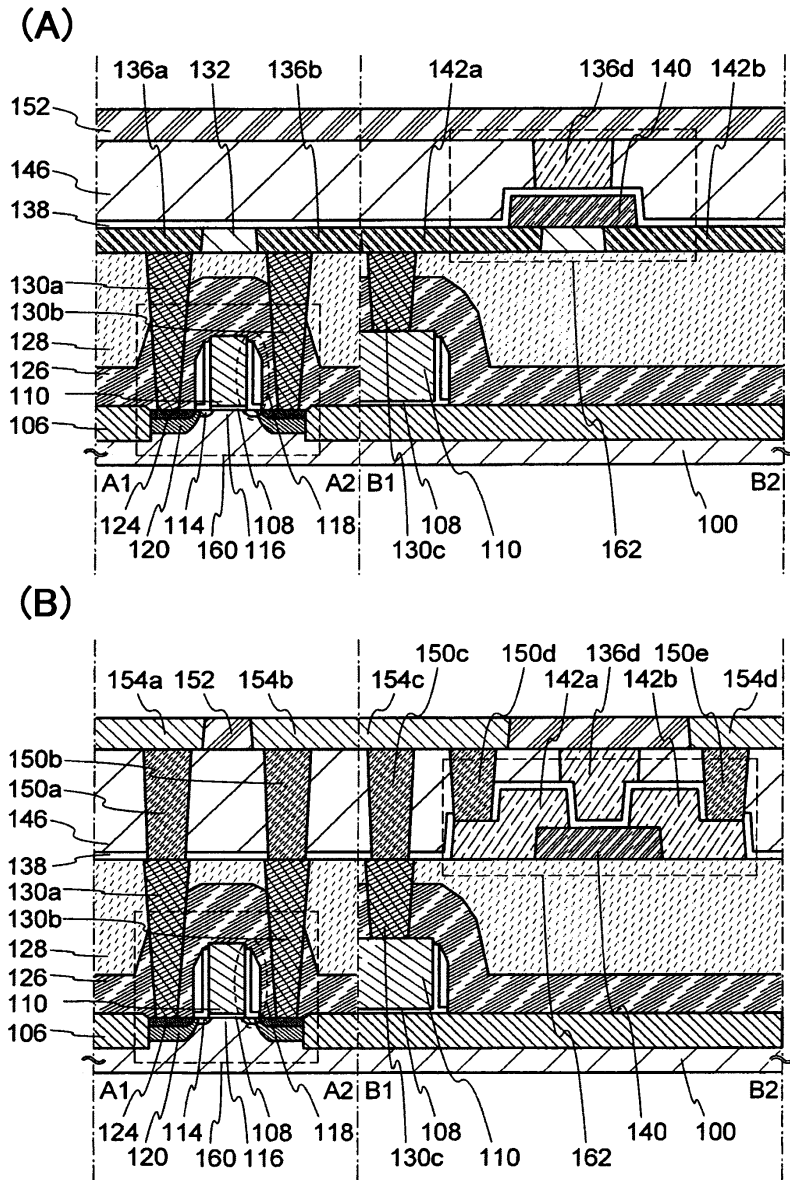
도면11



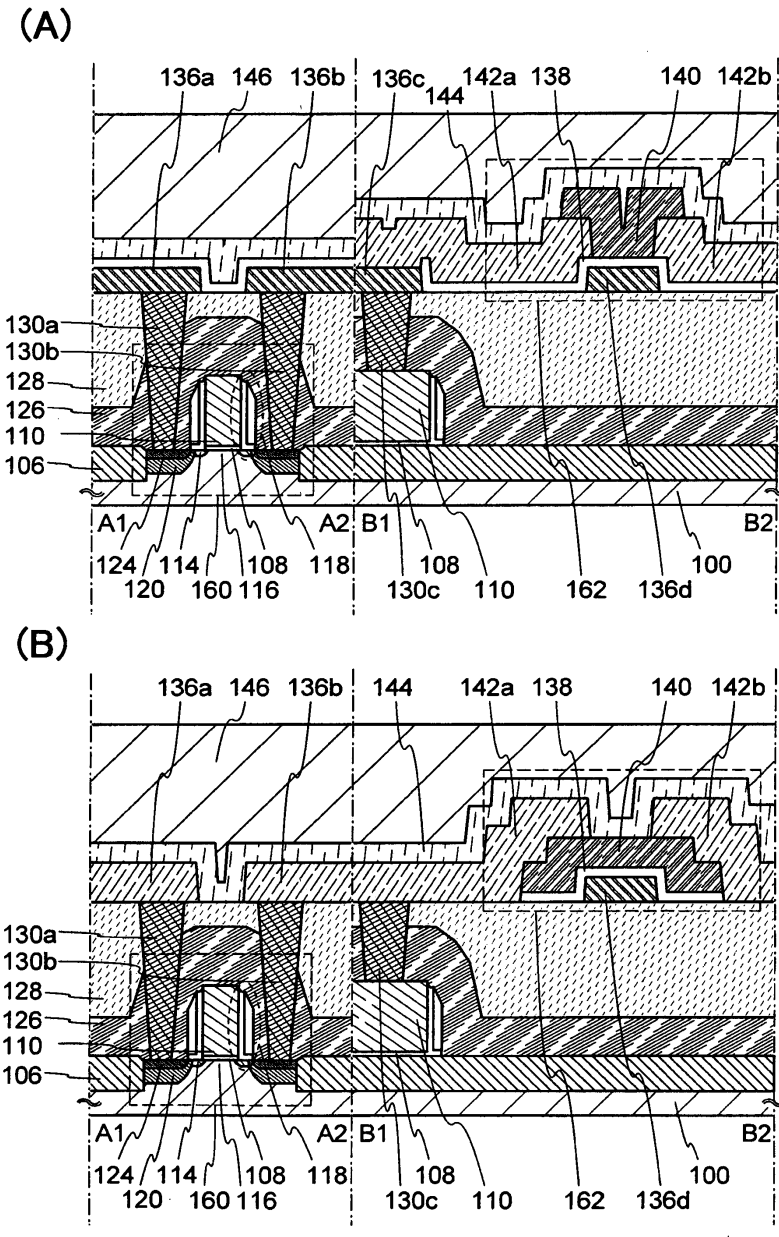
도면12



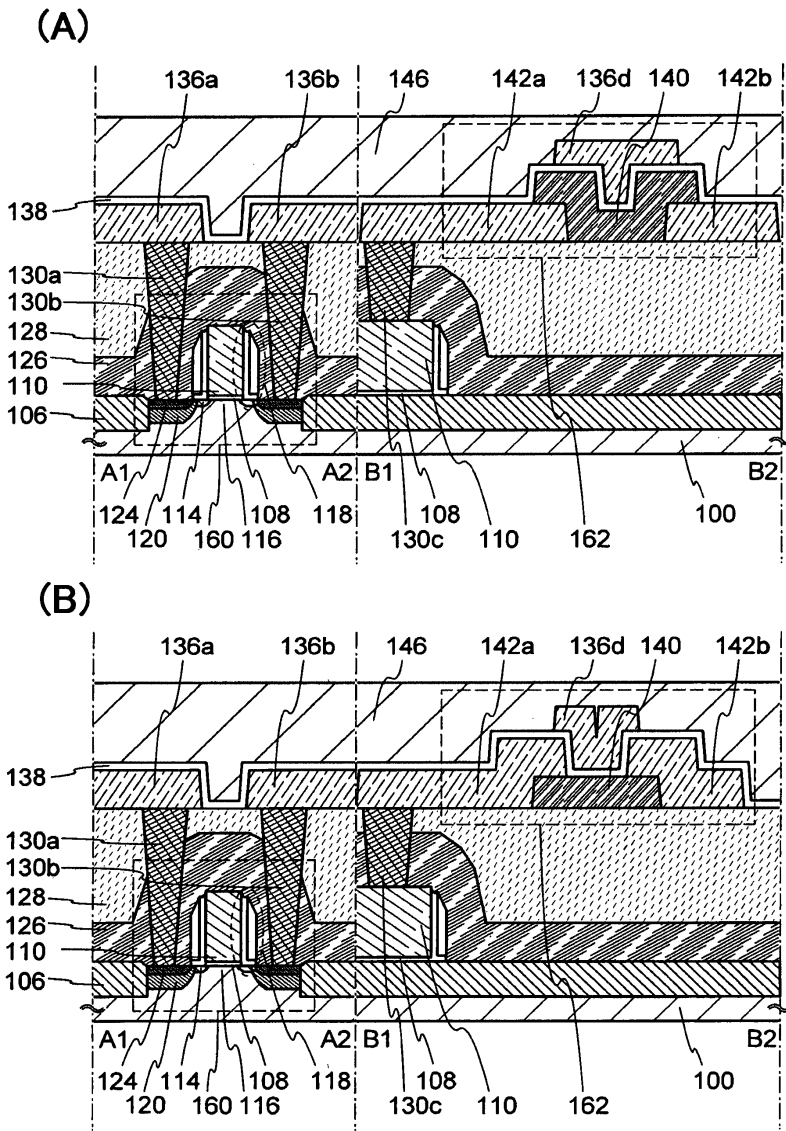
도면13



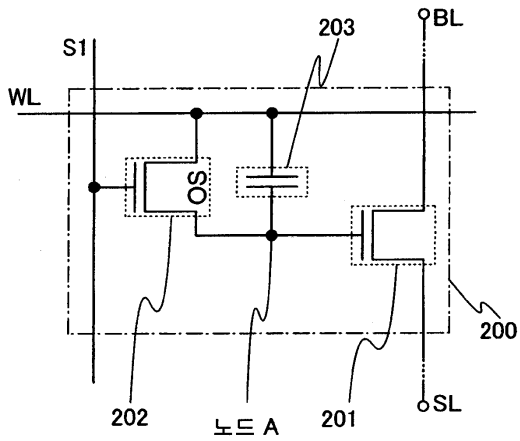
도면14



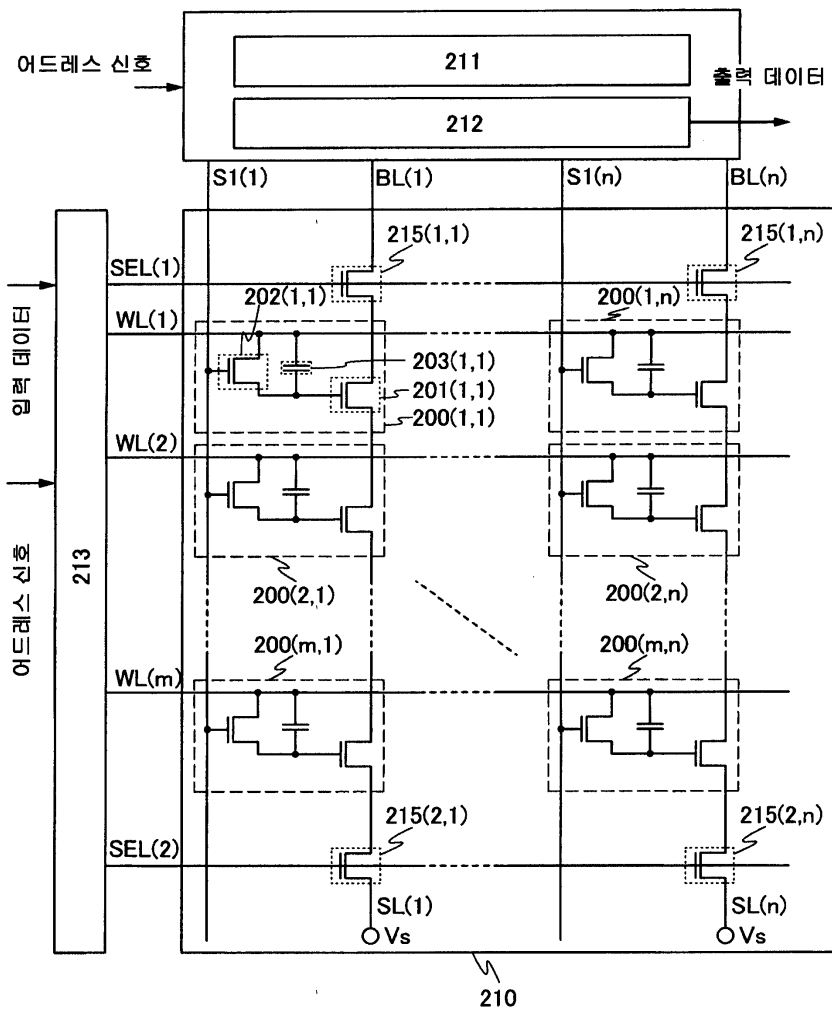
도면15



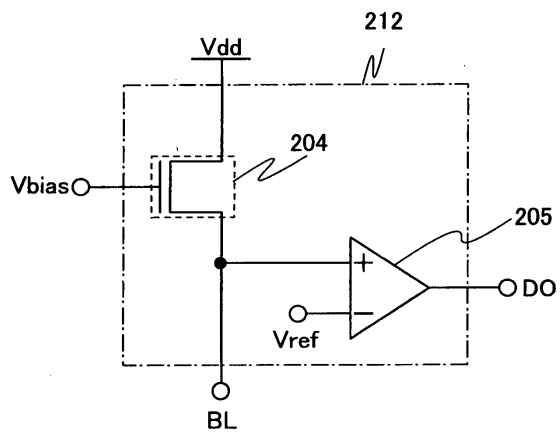
도면16



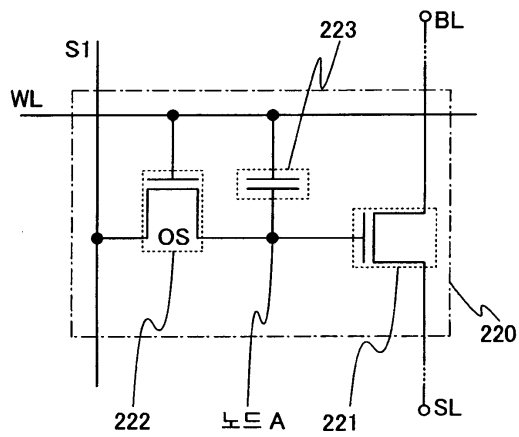
도면17



도면18



도면19



도면20

