

【特許請求の範囲】

【請求項 1】

ビットラインに接続された複数のメインセルと、
前記複数のメインセルに接続される複数のメインワードラインと、
前記ビットラインに接続されて、前記複数のメインセルの最も外側に位置する複数のダミーセルと、
前記複数のダミーセルに接続される複数のダミーワードラインとを含み、
前記複数のダミーワードラインには互いに異なる消去電圧が提供されることを特徴とする NOR フラッシュメモリ。

【請求項 2】

前記複数のメインワードラインに隣接したダミーワードラインには前記複数のメインワードラインに印加される消去電圧が提供されることを特徴とする請求項 1 に記載の NOR フラッシュメモリ。

【請求項 3】

前記複数のダミーワードラインのうち最も外側に位置するダミーワードラインにはバルク領域に印加される消去電圧が提供されることを特徴とする請求項 2 に記載の NOR フラッシュメモリ。

【請求項 4】

前記複数のダミーワードラインのうち最も外側に位置するダミーワードラインは消去動作の時にフローティング状態であることを特徴とする請求項 2 に記載の NOR フラッシュメモリ。

【請求項 5】

ビットラインに接続された複数のメインセルと、前記ビットラインに接続されて前記複数のメインセルの最も外側に位置する複数のダミーセルを有するメモリセルアレイと、
前記複数のメインセルに接続される複数のメインワードラインと、
前記複数のダミーセルに接続される複数のダミーワードラインと、
前記複数のメインワードラインに第 1 消去電圧を提供する第 1 消去電圧発生器と、
前記メモリセルアレイのバルク領域に前記第 1 消去電圧より高い第 2 消去電圧を提供する第 2 消去電圧発生器とを含み、

前記複数のダミーワードラインには互いに異なる消去電圧が提供されることを特徴とする NOR フラッシュメモリ。

【請求項 6】

前記第 1 消去電圧は負の電圧であることを特徴とする請求項 5 に記載の NOR フラッシュメモリ。

【請求項 7】

前記第 2 消去電圧は正の電圧であることを特徴とする請求項 6 に記載の NOR フラッシュメモリ。

【請求項 8】

前記複数のメインワードラインに隣接したダミーワードラインには前記第 1 消去電圧が提供されることを特徴とする請求項 5 に記載の NOR フラッシュメモリ。

【請求項 9】

前記複数のダミーワードラインのうち最も外側に位置するダミーワードラインには前記第 2 消去電圧が提供されることを特徴とする請求項 8 に記載の NOR フラッシュメモリ。

【請求項 10】

前記複数のダミーワードラインのうち最も外側に位置するダミーワードラインは消去動作の時にフローティング状態であることを特徴とする請求項 8 に記載の NOR フラッシュメモリ。

【請求項 11】

前記複数のダミーワードラインのうち最も外側に位置するダミーワードラインと前記第 2 消去電圧発生器との間に接続され、前記複数のダミーワードラインのうち最も外側に位

10

20

30

40

50

置するダミーワードラインに選択的に前記第 2 消去電圧を伝達する選択回路をさらに含むことを特徴とする請求項 8 に記載の NOR フラッシュメモリ。

【請求項 12】

前記選択回路は制御信号に応答して前記複数のダミーワードラインのうち最も外側に位置するダミーワードラインをフローティング状態にすることを特徴とする請求項 11 に記載の NOR フラッシュメモリ。

【請求項 13】

前記選択回路は、制御信号に応答してオンまたはオフされる MOS トランジスタを有し、前記 MOS トランジスタがオンしたときに、前記複数のダミーワードラインのうち最も外側に位置するダミーワードラインと前記第 2 消去電圧発生器との間に電流通路を形成することを特徴とする請求項 11 に記載の NOR フラッシュメモリ。 10

【請求項 14】

NOR フラッシュメモリの消去方法であって、
前記 NOR フラッシュメモリは、
ビットラインに接続された複数のメインセルと、
前記複数のメインセルに接続される複数のメインワードラインと、
前記ビットラインに接続されて、前記複数のメインセルの最も外側に位置する複数のダミーセルと、
前記複数のダミーセルに接続される複数のダミーワードラインとを含み、
前記 NOR フラッシュメモリの消去方法は、
前記複数のメインワードラインには同一である消去電圧を提供し、
前記複数のダミーワードラインには互いに異なる消去電圧を提供することを特徴とする消去方法。 20

【請求項 15】

前記複数のメインワードラインには第 1 消去電圧を提供し、
前記複数のメインワードラインに隣接したダミーワードラインには前記第 1 消去電圧を提供し、
前記複数のダミーワードラインのうち最も外側に位置するダミーワードラインには前記第 1 消去電圧より高い第 2 消去電圧を提供することを特徴とする請求項 14 に記載の消去方法。 30

【請求項 16】

前記第 1 消去電圧は負の電圧であることを特徴とする請求項 15 に記載の消去方法。

【請求項 17】

前記第 2 消去電圧は正の電圧であることを特徴とする請求項 16 に記載の消去方法。

【請求項 18】

前記第 2 消去電圧は消去動作の時にメモリセルアレイのバルク領域に提供される電圧であることを特徴とする請求項 17 に記載の消去方法。

【請求項 19】

前記複数のメインワードラインには第 1 消去電圧を提供し、
前記複数のメインワードラインに隣接したダミーワードラインには前記第 1 消去電圧を提供し、
前記複数のダミーワードラインのうち最も外側に位置するダミーワードラインはフローティング状態にし、
メモリセルアレイのバルク領域には前記第 1 消去電圧より高い第 2 消去電圧を提供することを特徴とする請求項 14 に記載の消去方法。 40

【請求項 20】

前記第 1 消去電圧は負の電圧であり、前記第 2 消去電圧は正の電圧であることを特徴とする請求項 19 に記載の消去方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体メモリ装置に係り、より詳細にはNORフラッシュメモリ及びその消去方法に関するものである。

【背景技術】

【0002】

半導体メモリ装置はデータを記憶しておいて必要な時、取り出して読み出すことができる記憶装置である。半導体メモリ装置は大きくRAM(Random Access Memory)とROM(Read Only Memory)とに分けることができる。RAMは電源が切れれば記憶されたデータが消滅するいわゆる揮発性メモリ(volatile memory)である。RAMにはDynamic RAM(DRAM)とStatic RAM(SRAM)などがある。ROMは電源が切れても記憶されたデータが消滅しない揮発性メモリ(nonvolatile memory)である。ROMにはPROM(Programmable ROM)、EPROM(Erasable PROM)、EEPROM(Electrically EPROM)、フラッシュメモリ(Flash Memory)などがある。

【0003】

フラッシュメモリは大きくNANDフラッシュメモリ(NAND Flash memory)とNORフラッシュメモリ(NOR Flash memory)に分類される。NANDフラッシュメモリは複数のメモリセルが一つのビットラインに直列に接続されたストリング(string)構造を有する。一方、NORフラッシュメモリは複数のメモリセルが一つのビットラインに並列に接続された構造を有する。

【0004】

図1はNORフラッシュメモリセル10の断面図を示す。図1を参照すると、メモリセル10はソースS、ドレインD、第1絶縁膜5、フローティングゲート6、第2絶縁膜7、コントロールゲート8、及び基板3を含む。ソースS及びドレインDはP型基板3に形成されている。

【0005】

ソースSはソースラインSLに接続され、ドレインDはビットラインBLに接続される。フローティングゲート6は100Å以下の薄い第1絶縁膜5を介してチャンネル領域の上に形成される。コントロールゲート8は第2絶縁膜(またはONO膜)7を介してフローティングゲート6の上に形成される。コントロールゲート8はワードラインWLに接続される。そして基板3にはバルク電圧(bulk voltage; BK)が印加される。メモリセル10のソースS、ドレインD、コントロールゲート8、及び基板3にはプログラム(program)、消去(erase)、及び読み出し(read)動作の時、所定のバイアス電圧が印加される。

【0006】

NORフラッシュメモリは図1に示したメモリセルが2次元的で、かつ規則的に配列されたセルアレイ領域を具備する。セルアレイ領域内のすべてのパターンはフォトリソグラフィ工程を用いて形成する。この場合に、セルアレイ領域の端に位置するメモリセルはフォトリソグラフィ工程の間の発生する近接効果(proximity effect)に起因して変形された形態(deformed configuration)を有することができる。変形されたセル(deformed cells)はセルアレイ領域内のすべてのメモリセルの不均一な特性(non-uniform characteristics)を誘発させる。

【0007】

このような近接効果に起因する問題を解決するために、最近のNORフラッシュメモリはセルアレイ領域を取り囲むダミーセルアレイ領域を有する。以下では、セルアレイ領域をダミーセルアレイ領域と区分するためにメインセルアレイ領域と称する。

【0008】

図2は従来技術によるNORフラッシュメモリのセルアレイ領域の一部分を示す断面図

である。図2に示したセルアレイ領域の断面図は特許文献1の図1に開示されている。図2において、セルアレイ領域はメインセルアレイ領域Main及びそれに隣接したダミーセルアレイ領域Dummyを有する。

【0009】

図2に示したNORフラッシュメモリの消去動作はメインワードラインWLに第1消去電圧(Ve1;例えば、-10Vなどの負の電圧)を印加し、Pウエル領域3及びダミーワードラインWL'に第1消去電圧Ve1より高い第2消去電圧(Ve2;例えば、+10Vなどの正の電圧)を印加するによって行われる。この場合に、第1メインゲートパターンG1のメインフローティングゲートFG及び第2ダミーゲートパターンG2'のダミーフローティングゲートFG'の間の寄生容量CFGに起因して、メインセルが十分に消去されないことがある。 10

【0010】

図3は図2に示したNORフラッシュメモリの消去不良を改善したセルアレイ領域の一部を示す断面図である。図3に示したセルアレイ領域の断面図は特許文献1の図3に開示されている。図3において、参照符号'Main'はメイン領域を示し、'Dummy1'及び'Dummy2'はそれぞれ第1及び第2ダミー領域を示す。

【0011】

図3に示したNORフラッシュメモリの消去動作はメインワードラインMWLに第1消去電圧(Ve1;例えば、-10V)を印加し、Pウエル領域53に第1消去電圧Ve1より高い第2消去電圧(Ve2;例えば、+10V)を印加し、ダミーワードラインDWLに第1消去電圧Ve1と同一、または第1消去電圧Ve1と第2消去電圧Ve2の間の第3消去電圧Ve3を印加するによって行われる。 20

【0012】

図3に示したNORフラッシュメモリのセルアレイ構造によれば、消去動作の間、第2～第n-1メインセルMC2～MCn-1はF-N(Fowler-Nordheim)トンネリング現象によって正常に消去される。そして第1及び第nメインセルMC1、MCnも図2に比べて顕著に改善された消去特性を有する。これは第3消去電圧Ve3が第2消去電圧Ve2より低いためである。すなわち、第1～第4ダミーワードラインDWL1～DWL4に第1消去電圧Ve1と同一または第2消去電圧より低い第3消去電圧Ve3が提供されるため、図2のような寄生容量の影響を顕著に減らすことができる。 30

【0013】

しかし、図3に示したNORフラッシュメモリのセルアレイ構造は次のような問題を有する。メモリ工程技術が徐々に複雑で細密になって、ワードライン間のカップリング現象またはメモリセル内の絶縁膜の間のショート(short)現象が発生する可能性が高くなっている。図3において、最も外側に位置するダミーセルは工程マージン不足に起因した近接効果によって絶縁膜の間にショート現象が発生し得る。

【0014】

例えば、第3消去電圧Ve3が第1消去電圧Ve1と同一である-10Vであると仮定しよう。最も外側に位置するダミーゲートパターンDG1、DG4の絶縁膜でショート現象が発生すれば、Pウエル領域53は消去動作の時に第2消去電圧Ve2より低い電圧でバイアスされ、メインワードラインMWLは第1消去電圧Ve1より高い電圧でバイアスされる。このような場合に、メインセルは十分に消去されることができなくなる。 40

【特許文献1】米国特許出願公開第2005/0041477号

【発明の開示】

【発明が解決しようとする課題】

【0015】

本発明は上述の問題を解決するために提案されたものとして、本発明の目的はダミーセルに起因する消去不良を改善することができるNORフラッシュメモリ及びその消去方法を提供することにある。

【課題を解決するための手段】

【0016】

本発明によるNORフラッシュメモリはビットラインに接続された複数のメインセルと、前記複数のメインセルに接続される複数のメインワードラインと、前記ビットラインに接続されて前記複数のメインセルの最も外側に位置する複数のダミーセルと、前記複数のダミーセルに接続される複数のダミーワードラインとを含み、前記複数のダミーワードラインには互いに異なる消去電圧が提供される。

【0017】

実施形態として、前記複数のメインワードラインに隣接したダミーワードラインには前記複数のメインワードラインに印加される消去電圧が提供される。前記複数のダミーワードラインのうち最も外側に位置するダミーワードラインにはバルク領域に印加される消去電圧が提供される。ここで、前記複数のダミーワードラインのうち最も外側に位置するダミーワードラインは消去動作の時にフローティング状態であることができる。

【0018】

本発明によるNORフラッシュメモリの他の一面はビットラインに接続された複数のメインセルと、前記ビットラインに接続されて前記複数のメインセルの最も外側に位置する複数のダミーセルを有するメモリセルアレイと、前記複数のメインセルに接続される複数のメインワードラインと、前記複数のダミーセルに接続される複数のダミーワードラインと、前記複数のメインワードラインに第1消去電圧を提供する第1消去電圧発生器と、前記メモリセルアレイのバルク領域に前記第1消去電圧より高い第2消去電圧を提供する第2消去電圧発生器とを含み、前記複数のダミーワードラインには互いに異なる消去電圧が提供される。

【0019】

実施形態として、前記第1消去電圧は負の電圧であり、前記第2消去電圧は正の電圧である。前記複数のメインワードラインに隣接したダミーワードラインには前記第1消去電圧が提供される。前記複数のダミーワードラインのうち最も外側に位置するダミーワードラインには前記第2消去電圧が提供される。ここで、前記複数のダミーワードラインのうち最も外側に位置するダミーワードラインは消去動作の時にフローティング状態であることができる。

【0020】

他の実施形態として、NORフラッシュメモリは前記複数のダミーワードラインのうち最も外側に位置するダミーワードラインと前記第2消去電圧発生器との間に接続され、前記複数のダミーワードラインのうち最も外側に位置するダミーワードラインに選択的に前記第2消去電圧を伝達する選択回路をさらに含む。前記選択回路は制御信号に応答して前記複数のダミーワードラインのうち最も外側に位置するダミーワードラインをフローティング状態にすることができる。前記選択回路は、制御信号に応答してオンまたはオフされるMOSトランジスタを有し、前記MOSトランジスタがオンしたときに、前記複数のダミーワードラインのうち最も外側に位置するダミーワードラインと前記第2消去電圧発生器との間に電流通路を形成することができる。

【0021】

本発明によるNORフラッシュメモリの消去方法であって、前記NORフラッシュメモリはビットラインに接続された複数のメインセルと、前記複数のメインセルに接続される複数のメインワードラインと、前記ビットラインに接続され、前記複数のメインセルの最も外側に位置する複数のダミーセルと、前記複数のダミーセルに接続される複数のダミーワードラインとを含む。前記NORフラッシュメモリの消去方法は前記複数のメインワードラインには同一である消去電圧を提供し、前記複数のダミーワードラインには互いに異なる消去電圧を提供する。

【0022】

実施形態として、前記複数のメインワードラインには第1消去電圧を提供し、前記複数のメインワードラインに隣接したダミーワードラインには前記第1消去電圧を提供し、前記複数のダミーワードラインのうち最も外側に位置するダミーワードラインには前記第1

消去電圧より高い第2消去電圧を提供する。前記第1消去電圧は負の電圧であり、前記第2消去電圧は正の電圧である。前記第2消去電圧は消去動作の時にメモリセルアレイのバルク領域に提供される電圧である。

【0023】

他の実施形態として、前記複数のメインワードラインには第1消去電圧を提供し、前記複数のメインワードラインに隣接したダミーワードラインには前記第1消去電圧を提供し、前記複数のダミーワードラインのうち最も外側に位置するダミーワードラインはフローティング状態にし、メモリセルアレイのバルク領域には前記第1消去電圧より高い第2消去電圧を提供する。前記第1消去電圧は負の電圧であり、前記第2消去電圧は正の電圧である。

10

【発明の効果】

【0024】

本発明によるNORフラッシュメモリによれば、複数のダミーワードラインと複数のメインワードラインとの間の寄生容量による消去不良と、複数のダミーワードラインのうち最も外側に位置するダミーワードラインとバルク領域との間のショート現象による消去不良を防止することができる。

【発明を実施するための最良の形態】

【0025】

以下、本発明の属する技術の分野における通常の知識を有する者が本発明の技術的思想を容易に実施することができるように詳細に説明するために、本発明の好適な実施の形態を添付の図面を参照して説明する。

20

【0026】

図4は本発明の好適な実施の形態に係るNORフラッシュメモリを示すブロック図である。図4を参照すると、NORフラッシュメモリ100はメモリセルアレイ110、ワードライン消去電圧発生器120、バルク消去電圧発生器130、及び選択回路140を含む。

【0027】

本発明の好適な実施の形態に係るNORフラッシュメモリ100は消去動作の時にメインワードラインMWL1～MWLnに隣接したダミーワードラインDWL2、DWL3にはメインワードラインに印加される消去電圧V_{e1}が印加される。そして複数のダミーワードラインのうち最も外側に位置するダミーワードライン（以下「最も外側のダミーワードライン」という。）DWL1、DWL4にはメインワードラインMWL1～MWLnに隣接したダミーワードラインDWL2、DWL3と分離されて他の電圧が印加される。例えば、最も外側のダミーワードラインDWL1、DWL4はバルク消去電圧V_{e2}が印加されるかフローティング（Floating）状態になる。本発明の好適な実施の形態によれば、メインセルMC1とダミーセルDC2との間の寄生容量の影響及び複数のダミーセルのうち最も外側に位置するダミーセル（以下「最も外側のダミーセル」という。）DC1のショート現象による消去不良を減らすことができる。

30

【0028】

図4を参照すると、メモリセルアレイ110は複数のメモリセルで構成される。複数のメモリセルは複数のメインワードラインMWL1～MWLn、複数のダミーワードラインDWL1～DWL4、及び複数のビットラインBL1～BLmに接続されている。一つのビットライン（例えば、BL1）には複数のメモリセル111が接続されている。複数のメモリセル111はn個のメインセルMC1～MCnと4個のダミーセルDC1～DC4で構成される。図4においては4個のダミーセルのみが示されているが、それよりさらに多いダミーセルを有することができる。消去動作の時に複数のビットラインBL1～BLmはフローティング状態にある。

40

【0029】

ワードライン消去電圧発生器120は消去動作の時にメインワードラインMWL1～MWLnに第1消去電圧（V_{e1}；例えば、-10V）を提供する。そしてワードライン消

50

去電圧発生器120はメインワードラインMWL1～MWLnに隣接したダミーワードラインDWL2、DWL3にも第1消去電圧Ve1を提供する。メインワードラインMWL1～MWLnに隣接したダミーワードラインDWL2、DWL3に第1消去電圧Ve1を提供する理由は、第1メインワードラインMWL1と第2ダミーワードラインDWL2との間または第nメインワードラインMWLnと第3ダミーワードラインDWL3との間の寄生容量の影響を除去するためである。図4に示したNORフラッシュメモリ100は寄生容量(図2参照)による消去不良を改善することができる。

【0030】

バルク消去電圧発生器130は消去動作の時にメモリセルアレイ110のバルク領域に第2消去電圧(Ve2;例えば、10V)を提供する。そしてバルク消去電圧発生器130は最も外側のダミーワードラインDWL1、DWL4にも第2消去電圧Ve2を提供することができる。最も外側のダミーワードラインDWL1、DWL4に第2消去電圧Ve2を提供すれば、寄生容量の影響はダミーワードラインの間、すなわち、DWL1とDWL2との間、そしてDWL3とDWL4との間で発生し得る。しかし、このような寄生容量の影響はメインワードラインの電圧レベルに大きい影響を与えることができない。

【0031】

選択回路140は制御信号FLに応答してオンまたはオフされるPMOSトランジスタを有し、最も外側のダミーワードラインDWL1、DWL4をフローティング状態にすることができる。制御信号FLがハイレベルの場合、PMOSトランジスタがオフして、最も外側のダミーワードラインDWL1、DWL4はフローティング状態になる。そして制御信号FLがローレベルの場合、PMOSトランジスタがオンして、最も外側のダミーワードラインDWL1、DWL4とバルク消去電圧発生器130との間に電流通路が形成され、最も外側のダミーワードラインDWL1、DWL4には第2消去電圧Ve2が印加される。図5は最も外側のダミーワードラインDWL1、DWL4に第2消去電圧Ve2が印加される場合を示し、図6は最も外側のダミーワードラインDWL1、DWL4がフローティング状態である場合を示す。

【0032】

図5及び図6を参照すると、一つのビットライン61(図4のBL1)には複数のメモリセルDC1～DC4、MC1～MCnが接続されている。メモリセル領域111a、111bはメイン領域Main、第1及び第2ダミー領域Dummy1、Dummy2を含む。メイン領域Main及び第1及び第2ダミー領域Dummy1、Dummy2は半導体基板51のPウエル領域53に形成される。メイン領域Mainは第1～第nメインセルMC1～MCnを含む。第1ダミー領域Dummy1は第1及び第2ダミーセルDC1、DC2を含む。第2ダミー領域Dummy2は第3及び第4ダミーセルDC3、DC4を含む。

【0033】

ソース領域S、ドレイン領域D、Pウエル領域53、及び複数のメモリセルDC1～DC4、MC1～MCnは層間絶縁膜59で覆われる。層間絶縁膜59上にビットライン61が配置される。ビットライン61は層間絶縁膜59を貫通するビットラインコンタクトホール59aを通じてドレイン領域Dに電氣的に接続される。また、ソース領域Sは共通ソースライン(図示せず)を通じて電氣的に接続される。

【0034】

第1ダミー領域Dummy1には第1及び第2ダミーセルDC1、DC2が形成される。そして第2ダミー領域Dummy2には第3及び第4ダミーセルDC3、DC4が形成される。第1～第nメインセルMC1～MCnにはそれぞれ第1～第nメインワードラインMWL1～MWLnが接続され、第1～第4ダミーセルDC1～DC4にはそれぞれ第1～第4ダミーワードラインDWL1～DWL4が接続される。

【0035】

図5を参照すると、消去動作の時に第1～第nメインワードラインMWL1～MWLn、第2ダミーワードラインDWL2、及び第3ダミーワードラインDWL3には第1消去

10

20

30

40

50

電圧（ V_{e1} ；例えば、 $-10V$ ）が同時に印加される。そして第1及び第4ダミーワードライン $DWL1$ 、 $DWL4$ には第2消去電圧（ V_{e2} ；例えば、 $10V$ ）が印加される。ここで、第2消去電圧 V_{e2} はPウェル領域53に印加されるバルク電圧である。

【0036】

図6を参照すると、消去動作の時に第1～第 n メインワードライン $MWL1 \sim MWLn$ 、第2ダミーワードライン $DWL2$ 、及び第3ダミーワードライン $DWL3$ には第1消去電圧（ V_{e1} ；例えば、 $-10V$ ）が同時に印加される。第1及び第4ダミーワードライン $DWL1$ 、 $DWL4$ はフローティング状態にある。そしてPウェル領域53には第2消去電圧（ V_{e2} ；例えば、 $10V$ ）が印加される。

【0037】

図5及び図6において、NORフラッシュメモリ100は消去動作の時に第2及び第3ダミーワードライン $DWL2$ 、 $DWL3$ にはメインワードライン $MWL1 \sim MWLn$ に印加される消去電圧と同一である電圧が印加される。そして第1及び第4ダミーワードライン $DWL1$ 、 $DWL4$ はバルク領域53に印加される消去電圧と同一である電圧が印加されるかフローティング状態になる。

【0038】

本発明の好適な実施の形態に係るNORフラッシュメモリはダミーワードラインに印加される消去電圧を異なるにして寄生容量の影響と最も外側のダミーワードラインとバルク領域との間のショート現象による消去不良を防止することができる。

【0039】

以上のように、本発明の詳細な説明において具体的な実施形態について説明したが、本発明の技術的範囲から逸脱しない限度内で多様な変形が可能である。そのため、本発明の技術的範囲は上述の実施形態に限定されず、特許請求の範囲の記載に基づいて定められるべきであり、また、本発明の特許請求の範囲に記載された構成と均等なものも本発明の技術的範囲に属すると解すべきである。

【図面の簡単な説明】

【0040】

【図1】一般的なNORフラッシュメモリのメモリセルを示す図である。

【図2】従来技術によるNORフラッシュメモリのセルアレイ領域の一部分を示す断面図である。

【図3】図2に示したNORフラッシュメモリの消去不良を改善した、従来技術によるNORフラッシュメモリのセルアレイ領域の一部分を示す断面図である。

【図4】本発明の好適な実施の形態に係るNORフラッシュメモリのブロック図である。

【図5】図4に示したNORフラッシュメモリのセルアレイ領域の一部分を示す断面図である。

【図6】図4に示したNORフラッシュメモリのセルアレイ領域の一部分を示す断面図である。

【符号の説明】

【0041】

- 100 NORフラッシュメモリ
- 110 メモリセルアレイ
- 120 ワードライン消去電圧発生器
- 130 バルク消去電圧発生器
- 140 選択回路

10

20

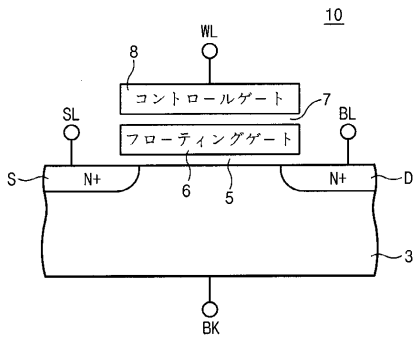
30

40

【図 1】

図 1

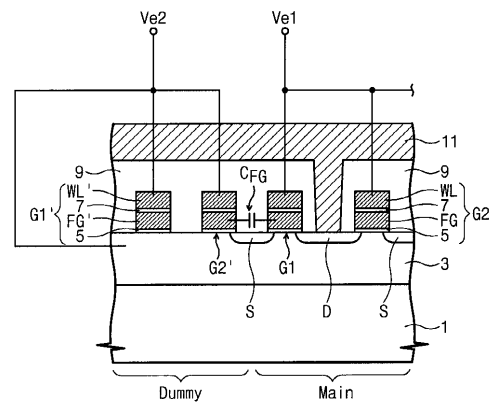
(従来技術)



【図 2】

図 2

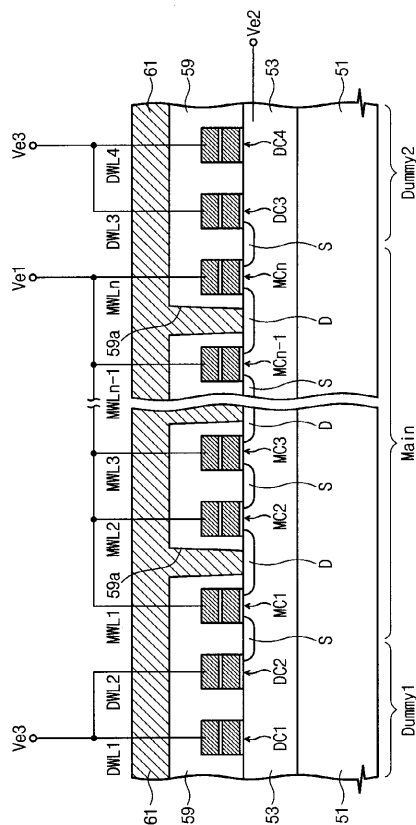
(従来技術)



【図 3】

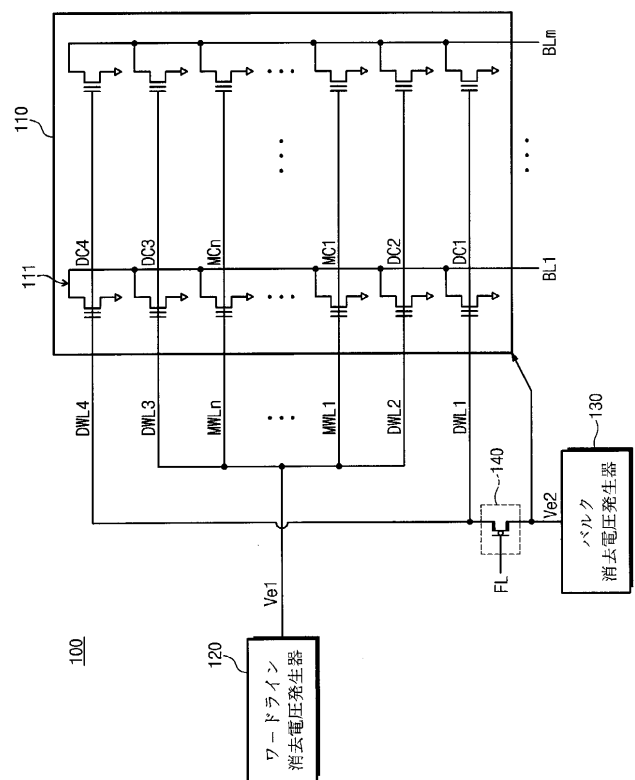
図 3

(従来技術)

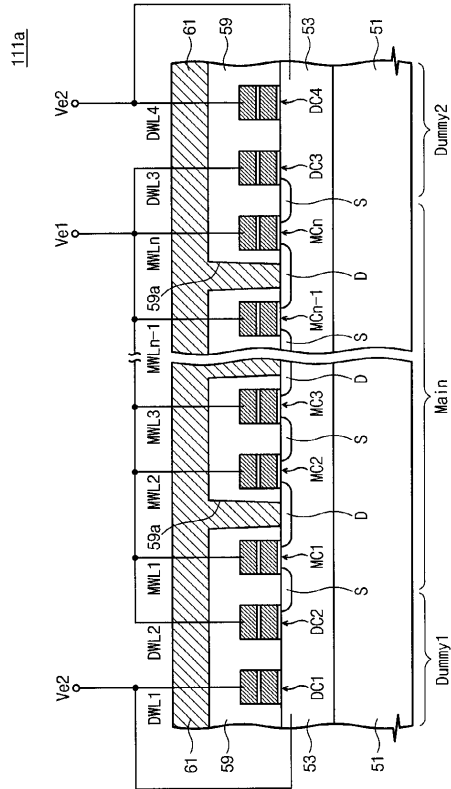


【図 4】

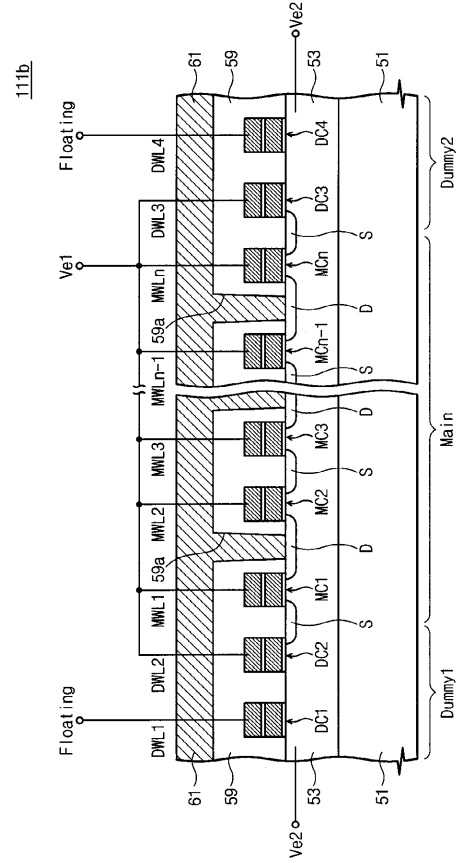
図 4



【図 5】



【図 6】



フロントページの続き

(72)発明者 趙志虎

大韓民国京畿道水原市権善区谷伴亭洞サムスンアパート103-703

Fターム(参考) 5B125 BA02 CA06 CA20 DC01 EA01 EC01 EJ05