



(12)发明专利申请

(10)申请公布号 CN 108012565 A

(43)申请公布日 2018.05.08

(21)申请号 201680048793.1

梅特·埃蒂尔克

(22)申请日 2016.08.08

(74)专利代理机构 北京律盟知识产权代理有限公司 11287

(30)优先权数据

14/843,964 2015.09.02 US

代理人 杨林勳

(85)PCT国际申请进入国家阶段日

2018.02.23

(51)Int.Cl.

H01L 23/498(2006.01)

H01L 23/64(2006.01)

(86)PCT国际申请的申请数据

PCT/US2016/045998 2016.08.08

(87)PCT国际申请的公布数据

W02017/039962 EN 2017.03.09

(71)申请人 高通股份有限公司

地址 美国加利福尼亚州

(72)发明人 卡里姆·阿拉比

拉温德拉·瓦曼·谢诺伊

艾弗杰尼·佩托维奇·高瑟夫

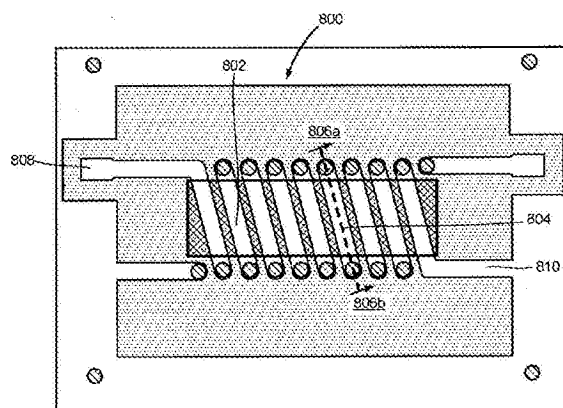
权利要求书2页 说明书6页 附图8页

(54)发明名称

通过电感器及晶片到晶片接合使用玻璃晶片将电感器与先进节点片上系统(SOC)集成

(57)摘要

具有线圈电感器的电压调节器集成或嵌入到片上系统SOC装置中。所述线圈电感器在具有通孔的电感器晶片上制造,并且所述电感器晶片与SOC晶片接合以与所述SOC装置集成。



1. 一种装置,其包括:
片上系统SOC晶片;
电感器晶片,其具有第一及第二表面及通过其的多个通孔,所述通孔形成所述电感器晶片中的多个侧壁,所述电感器晶片的所述第一表面邻近于所述SOC晶片安置;
磁性层,其处于所述电感器晶片的所述第一表面的至少一部分上;及
导电层,其安置于所述磁性层上、所述电感器晶片的所述第二表面的至少一部分上,及由所述电感器晶片中的所述通孔形成的所述侧壁中的至少一些上。
2. 根据权利要求1所述的装置,其中所述磁性层包括薄膜磁性层。
3. 根据权利要求1所述的装置,其中所述导电层包括镀铜层。
4. 根据权利要求3所述的装置,其中所述镀铜层包括半添加镀铜层。
5. 根据权利要求1所述的装置,其进一步包括安置于所述SOC晶片与所述电感器晶片之间的导体。
6. 根据权利要求5所述的装置,其中所述导体包括焊料。
7. 根据权利要求6所述的装置,其中所述焊料直接位于所述通孔中的至少一者上方。
8. 根据权利要求6所述的装置,其中所述焊料与所述导电层的至少一部分直接接触。
9. 根据权利要求1所述的装置,其中所述电感器晶片包括玻璃晶片。
10. 根据权利要求1所述的装置,其中所述电感器晶片包括石英晶片。
11. 一种装置,其包括:
电压调节器,其包括:
裸片;
电感器晶片,其具有第一及第二表面及通过其的多个通孔,所述通孔形成所述电感器晶片中的多个侧壁,所述电感器晶片的所述第一表面邻近于所述裸片安置;
磁性层,其处于所述电感器晶片的所述第一表面的至少一部分上;及
多个导体,其安置于所述电感器晶片中的所述通孔的至少一些内,所述导体具体邻近于所述电感器晶片的所述第一表面的第一端及邻近于所述电感器晶片的所述第二表面的第二端;及
片上系统SOC封装,其经配置以从所述电压调节器接收电源电压,所述SOC封装具有连接到所述导体的所述第一及第二端中的至少一者的至少一个导体。
12. 根据权利要求11所述的装置,其进一步包括耦合到所述SOC封装的印刷电路板PCB。
13. 根据权利要求11所述的装置,其中所述磁性层包括薄膜磁性层。
14. 根据权利要求11所述的装置,其中所述电压调节器进一步包括安置于所述电感器晶片的所述第一及第二表面上的多个额外导体,在所述电感器晶片的所述第一及第二表面上的所述额外导体及在所述电感器晶片中的所述通孔的至少一些内的所述导体形成电感器的线圈。
15. 根据权利要求14所述的装置,其中所述线圈至少部分地围绕所述磁性层。
16. 根据权利要求1所述的装置,其中所述电感器晶片包括玻璃晶片。
17. 根据权利要求1所述的装置,其中所述电感器晶片包括石英晶片。
18. 一种制造装置的方法,其包括:
提供具有第一表面及第二表面的第一晶片;

形成通过所述第一晶片的所述第一及第二表面的多个通孔,所述通孔由所述第一晶片内的多个侧壁界定;

在所述第一晶片的所述第一表面的至少一部分上形成图案化磁性层;

在所述图案化磁性层上方的所述图案化磁性层、所述第一晶片的所述第二表面的至少一部分及所述通孔的所述侧壁中的至少一些上形成导电层;及

将第二晶片接合到所述第一晶片。

19. 根据权利要求18所述的方法,其中所述第一晶片包括电感器晶片。

20. 根据权利要求19所述的方法,其中所述电感器晶片包括玻璃晶片。

21. 根据权利要求19所述的方法,其中所述电感器晶片包括石英晶片。

22. 根据权利要求18所述的方法,其进一步包括在所述第二晶片上形成多个焊料。

23. 根据权利要求18所述的方法,其中形成所述导电层包括形成铜的半添加电镀。

24. 根据权利要求18所述的方法,其中形成所述图案化磁性层包括将磁性材料溅射在所述第一晶片的所述第一表面的至少一部分上。

25. 根据权利要求24所述的方法,其中所述磁性材料包括钴钽锆CoTaZr。

26. 一种制造装置的方法,其包括:

提供片上系统SOC封装;及

在所述SOC封装上形成电压调节器,其包括:

提供SOC裸片;

提供具有第一及第二表面的电感器晶片,所述电感器晶片的所述第一表面邻近于所述SOC裸片安置;

形成通过所述电感器晶片的所述第一及第二表面的多个通孔,所述通孔由所述电感器晶片中的多个侧壁界定;及

形成安置于所述电感器晶片中的所述通孔的至少一些内的多个导体,所述导体具有邻近于所述电感器晶片的所述第一表面的第一端及邻近于所述电感器晶片的所述第二表面的第二端,

其中所述SOC封装经配置以从所述电压调节器接收电源电压,所述SOC封装具有连接到所述导体的所述第一及第二端中的至少一者的至少一个导体。

27. 根据权利要求26所述的方法,其进一步包括提供耦合到所述SOC封装的印刷电路板PCB。

28. 根据权利要求26所述的方法,其进一步包括在所述电感器晶片的所述第一及第二表面上形成图案化导电层,所述电感器晶片的所述第一及第二表面上的所述图案化导电层及所述电感器晶片中的所述通孔的至少一些内的所述导体形成电感器的线圈。

29. 根据权利要求26所述的方法,其进一步包括在所述电感器晶片上形成图案化磁性层。

30. 根据权利要求29所述的方法,其中所述图案化磁性层包括钴钽锆CoTaZr。

通过电感器及晶片到晶片接合使用玻璃晶片将电感器与先进节点片上系统 (SOC) 集成

技术领域

[0001] 本文所描述的各种实施例涉及集成电路装置,且更确切地说,涉及具有电压调节器的集成电路装置。

背景技术

[0002] 电压调节器已在常规的专用电源管理集成电路 (PMIC) 中实施。举例来说,不同于电路板上的其它集成电路的常规PMIC可具有符合现代多核应用程序处理器或通信处理器的下降(暂时性)及功率(效率)需求的难度。

[0003] 对作为片上系统 (SOC) 集成电路装置的一部分的集成电压调节器的兴趣逐渐增大。然而,集成电压调节器在芯片设计及布局中可存在若干挑战。举例来说,电压调节器中的无源组件,例如电感器及电容器可造成设计挑战,因为无源组件,例如电感器及电容器,尤其具有大的电感及电容值的那些无源组件通常具有大的形状因数,其在硅SOC裸片的典型布局中需要大的表面区域。

[0004] 此外,电压调节器中的电感器通常需要非常低的电阻来最小化电压调节中的功率损耗。除了占据典型硅SOC裸片的大量表面区域之外,此类电感器可能需要SOC裸片上的厚金属迹线以便减小电感器的电阻值。然而,在先进的节点SOC晶片制造中,此类厚金属迹线可能不可行。此外,即使厚金属迹线可在硅SOC裸片上实施,用于集成作为硅SOC裸片上的电压调节器的一部分的电感器的常规制造过程也可能需要若干个额外掩模,由此增加制造成本。

发明内容

[0005] 本发明的示例性实施例涉及集成电路装置及制造所述集成电路装置的方法。在实施例中,电压调节器集成或嵌入到片上系统 (SOC) 装置中,所述SOC装置还包含使用由电压调节器供应的电压的一或多个电路。

[0006] 在实施例中,提供一种装置,所述装置包括:片上系统 (SOC) 晶片;电感器晶片,其具有第一及第二表面及通过其的多个通孔,所述通孔形成所述电感器晶片中的多个侧壁,其中所述电感器晶片的所述第一表面邻近于所述SOC晶片安置;磁性层,其处于所述电感器晶片的所述第一表面的至少一部分上;及导电层,其安置于所述磁性层上、所述电感器晶片的所述第二表面的至少一部分上,及由所述电感器晶片中的所述通孔形成的所述侧壁中的至少一些上。

[0007] 在另一实施例中,提供一种装置,所述装置包括:电压调节器,其包括:裸片;电感器晶片,其具有第一及第二表面及通过其的多个通孔,所述通孔形成所述电感器晶片中的多个侧壁,其中所述电感器晶片的所述第一表面邻近于所述裸片安置;磁性层,其处于所述电感器晶片的所述第一表面的至少一部分上;及多个导体,其安置于所述电感器晶片中的所述通孔的至少一些内,所述导体具有邻近于所述电感器晶片的所述第一表面的相应第一

端及邻近于所述电感器晶片的所述第二表面的第二端；及片上系统 (SOC) 封装，其经配置以从所述电压调节器接收电源电压，所述SOC封装具有连接到所述导体的所述第一及第二端中的至少一者的至少一个导体。

[0008] 在另一实施例中，提供一种制造装置的方法，所述方法包括：提供具有第一表面及第二表面的第一晶片；通过所述第一晶片的所述第一及第二表面形成多个通孔，其中所述通孔由所述第一晶片内的多个侧壁界定；在所述第一晶片的所述第一表面的至少一部分上形成图案化磁性层；在所述图案化磁性层上方的图案化磁性层、所述第一晶片的所述第二表面的至少一部分及所述通孔的所述侧壁中的至少一些上形成导电层；及将第二晶片接合到所述第一晶片。

[0009] 在又一实施例中，提供一种制造装置的方法，所述方法包括：提供片上系统 (SOC) 封装；及在所述SOC封装上形成电压调节器，其包括：提供SOC裸片；提供具有第一及第二表面的电感器晶片，其中所述电感器晶片的所述第一表面邻近于所述SOC裸片安置；通过所述电感器晶片的所述第一及第二表面形成多个通孔，其中所述通孔由所述电感器晶片中的多个侧壁界定；及形成安置于所述电感器晶片中的通孔的至少一些内的多个导体，所述导体具有邻近于所述电感器晶片的所述第一表面的相应第一端及邻近于所述电感器晶片的所述第二表面的第二端，其中所述SOC封装经配置以从所述电压调节器接收电源电压，所述SOC封装具有连接到所述导体的所述第一及第二端中的至少一者的至少一个半导体。

附图说明

[0010] 呈现附图以辅助描述本发明的实施例，且提供所述附图仅用于说明实施例而非对实施例加以限制。

[0011] 图1是说明片上系统 (SOC) 晶片的实施例的透视图。

[0012] 图2是说明具有通孔的电感器晶片的实施例的透视图。

[0013] 图3是说明SOC晶片及电感器晶片的面对面晶片到晶片结合的实施例的透视图。

[0014] 图4是说明在制造具有通孔的电感器晶片上的电感器时第一处理步骤的实施例的截面图。

[0015] 图5是说明在制造具有图案化薄膜磁性层的电感器时第二处理步骤的实施例的截面图。

[0016] 图6是在制造具有薄膜磁性层上的介电层的电感器时第三处理步骤的实施例的截面图。

[0017] 图7是在制造具有金属电镀的电感器时第四处理步骤的实施例的截面图。

[0018] 图8是具有带有多个环路的线圈的电感器的俯视平面图。

[0019] 图9是说明在通过将SOC晶片与电感器晶片接合来制造片上系统 (SOC) 装置时第五处理步骤的实施例的截面图。

[0020] 图10是说明在SOC晶片及电感器晶片接合在一起之后图9的SOC装置的实施例的截面图。

[0021] 图11是说明在切割接合的SOC晶片及电感器晶片之后电感器裸片的实施例的透视图。

[0022] 图12是说明包含印刷电路板 (PCB)、SOC封装及包含电感器裸片的电压调节器的系

统的实施例的截面图。

[0023] 图13是说明包含电源管理集成电路 (PMIC) 及SOC装置的系统的实施例的图式,所述SOC装置包含集成或嵌入的电压调节器及使用所述电压调节器的电路。

具体实施方式

[0024] 在涉及特定实施例的以下描述及有关图式中描述本发明的方面。可在不脱离本发明的范围的情况下设计替代性实施例。另外,将不会详细描述或将省略众所周知的元件以免混淆本发明的相关细节。

[0025] 词语“示例性”在本文中用于意指“充当实例、例子或说明”。本文中描述为“示例性的”任何实施例不必应解释为比其它实施例优选或有利。同样,术语“实施例”并不要求所有实施例均包含所论述特征、优点或操作模式。

[0026] 本文中所使用的术语仅出于描述特定实施例的目的且并不意图限制实施例。如本文中所使用,除非上下文另外明确指示,否则单数形式“一”及“所述”意图也包含复数形式。应进一步理解,术语“包括”、“包含”在本文中使用指定所陈述特征、整数、步骤、操作、元件及/或组件的存在,但不排除一或多个其它特征、整数、步骤、操作、元件、组件及/或其群组的存在或添加。此外,应理解,除非另外明确陈述,否则词语“或”具有与布尔 (Boolean) 运算符“OR”相同的含义,也就是说,其涵盖“或”及“皆”的可能性,且不限于“异或”(“XOR”)。还应理解,除非另外明确陈述,否则两个相邻单词之间的符号“/”具有与“或”相同的含义。此外,除非另外明确陈述,否则例如“连接到”、“耦合到”或“与...连通”的短语不限于直接连接。

[0027] 图1是说明具有彼此相对的第一表面102及第二表面104的片上系统 (SOC) 晶片100的实施例的透视图。在实施例中,SOC晶片100包括半导体晶片,例如硅晶片。在替代实施例中,SOC晶片100可包括玻璃晶片、石英晶片、有机晶片或由另一材料制成的晶片。在实施例中,SOC晶片100可与其上提供一或多个电感器的电感器晶片集成。

[0028] 图2是说明具有多个通孔202a、202b、202c、……的电感器晶片200的实施例的透视图。在图2中所说明的实施例中,电感器晶片200具有彼此相对的第一表面204及第二表面206,并且通孔202a、202b、202c、……通过电感器晶片200的第一表面204及第二表面206形成。在实施例中,电感器晶片200包括玻璃晶片。在替代实施例中,电感器晶片200可包括石英晶片、有机晶片或另一类型的低损耗介电材料,以确保在电感器晶片200上制造的电感器具有低寄生损耗。为简单说明起见,在图2的透视图未展示通孔202a、202b、202c、……中的导体及形成集成电感器的一或多个线圈的电感器晶片200的第一表面204及第二表面206上的图案化导电层的详细结构。下文将关于图4到7及图8的俯视平面图进一步详细描述形成于电感器晶片200上的集成电感器的实施例。

[0029] 图3是说明SOC晶片100及电感器晶片200的面对面晶片到晶片结合的实施例的透视图。在此实施例中,SOC晶片100的第二表面104与电感器晶片200的第一表面204接合。为简单说明起见,同样在图3中省略在电感器晶片200上形成的集成电感器的详细结构。将关于图4到8描述在电感器晶片200上形成的集成电感器的实施例。

[0030] 图4是说明在制造具有通孔的电感器晶片上的电感器时第一处理步骤的实施例的截面图。在图4中,提供具有第一表面402及第二表面404的电感器晶片400。举例来说,电感

器晶片400可为玻璃晶片、石英晶片,或由低损耗介电材料制成的另一类型的晶片。在图4中所示的实施例中,第一通孔406及第二通孔408通过第一表面402及第二表面404形成于电感器晶片400内。

[0031] 图5是说明在制造具有磁性层的电感器时第二处理步骤的实施例的截面图。在图5中,例如图案化薄膜磁性层410的磁性层在电感器晶片400的第一表面402上形成。在图5中所说明的实施例中,图案化薄膜磁性层410在第一通孔406与第二通孔408之间的电感器晶片400的部分的第一表面402上形成。

[0032] 可以各种方式制造图案化薄膜磁性层410。举例来说,磁性材料,例如钴钽锆(CoTaZr)可通过真空工艺、电镀、丝网印刷沉积到,或层压到电感器晶片400的第一表面402上以形成薄膜磁性层410。其它磁性材料,例如具有例如磷(P)、硼(B)或碳(C)的附加材料的镍铁(NiFe)、钴铁(CoFe)或钴镍铁(CoNiFe)合金可用于图案化薄膜磁性层410以调整图案化薄膜磁性层410的磁性及电特性。在实施例中,选择用于图案化薄膜磁性层410的磁性材料,以便使电感器的电感值能够以合适的工作频率升高。其它类型的磁性材料也可实施为图案化薄膜磁性层410。磁性层410还可通过其它技术,举例来说,通过将磁性材料溅射在电感器晶片400的第一表面402上形成。

[0033] 图6是在制造具有图案化薄膜磁性层上的介电层的电感器时第三处理步骤的实施例的截面图。在图6中,介电层412在图案化薄膜磁性层410的顶部上形成。在图6中所说明的实施例中,介电层412覆盖薄膜磁性层410的整个顶表面及侧表面,以及围绕图案化薄膜磁性层410的电感器晶片400的第一表面402的部分。在实施例中,介电层412包括聚合物介电材料。在替代实施例中,介电层412包括无机介电材料,举例来说,二氧化硅(SiO₂)。在本发明的范围内,其它类型的介电材料还可用于介电层412。

[0034] 图7是在制造具有金属电镀的电感器时第四处理步骤的实施例的截面图。在图7中所展示的截面图中,第一通孔406具有侧壁414及416,并且同样,第二通孔408具有在电感器晶片400的第一表面402与第二表面404之间的侧壁418及420。在实施例中,导电层422在介电层412上、在第一通孔406的侧壁416上、在第二通孔408的侧壁418上及在第一通孔406与第二通孔408之间的电感器晶片400的第二表面404上形成。在实施例中,导电层422通过金属电镀形成。

[0035] 在另一实施例中,导电层通过金属,例如铜(Cu)的半添加电镀形成。在图7中所展示的截面图中,还通过导电层424覆盖与侧壁416相对的侧壁414、第一通孔406及邻近于侧壁414的电感器晶片400的第一表面402及第二表面404的至少部分。同样,如图7所示,还通过导电层426覆盖与侧壁418相对的侧壁420、第二通孔408及邻近于侧壁420的电感器晶片400的第一表面402及第二表面404的至少部分。类似于导电层422,导电层424及426还可通过金属电镀,例如,半添加镀铜形成。

[0036] 在图7的截面图中所说明的实施例中,导电层422被展示为包括多个环路的电感器线圈的一个环路的一部分。在图8中展示包括具有多个环路的电感器线圈的螺线管电感器的实施例的俯视平面图,这将在下文进一步详细描述。还可实施其它电感器拓扑,举例来说螺旋电感器、环形电感器或跑道形电感器,而不是在本文所描述及说明的实施例中的螺线管电感器。然而,在具有有限空间量的SOC封装中,可选择最靠近SOC裸片上的电路的螺线管电感器,因为所述螺线管电感器具有较小占用面积且易于高效地集成。

[0037] 参考图7中所示的实施例,说明为电感器的线圈的一个环路的截面图的导电层422围绕实施为电感器的磁芯的薄膜磁性层410。在替代实施例中,另一磁性层可提供于电感器线圈内,举例来说,提供于在与如图7所示的磁性层410相对的电感器晶片400的第二表面404上形成的磁性层内,以增加总体磁通量及因此增加电感器的总体电感。在另一替代实施例中,可提供具有线圈的多个环路的电感器,而在线圈内不具有任何磁性层,其中每个环路具有与如图7所示的导电层422的截面图类似的截面图,但是与具有一或多个磁芯的大小相同且环路数相同的电感器相比,不具有磁芯的此电感器将具有较低电感。

[0038] 图8是在SOC晶片与电感器晶片接合之前具有带有多个环路的线圈802的电感器800的俯视平面图。在实施例中,在图7中说明沿着截面线806a到806b获取的环路804中的一者的截面图。参考图8的俯视平面图,电感器800在线圈802的两个相对端处具有两个端子808及810,举例来说用于与电压调节器中的其它电路组件电连接。在实施例中,电感器晶片400中的直通通孔中的一些,类似于如图4到7中所说明的第一通孔406及第二通孔408,可用于形成SOC裸片上的裸片垫与衬底上的垫片之间的电连接。举例来说,直通通孔中的一些可连接以启用电源连接及/或提供接地平面以改进到SOC裸片的电力传递。在实施例中,可包括电感器晶片200上的厚镀铜层的导电层422可用作额外的路由层,以改进具有先进节点SOC晶片100的先进节点SOC装置的性能。在另一实施例中,通过使用先进节点SOC晶片100、电感器晶片200及下文将关于图12进一步详细描述集成电路(IC)封装1204上的封装衬底1212的组合设计,导电层422的厚镀铜层可用于减少先进节点SOC晶片100或封装衬底1212或两者中的铜层的数目。

[0039] 图9是说明在通过将片上系统(SOC)晶片与电感器晶片接合来制造SOC装置时第五处理步骤的实施例的截面图。在实施例中,SOC晶片100配备有多个金属列,例如,在SOC晶片的第二表面104上的金属列902。在实施例中,焊料904提供于金属列902上,用于与电感器晶片的相应镀金属通孔接合。在图9中所说明的截面图中,在SOC晶片100的第二表面104上的金属列902与上文关于图7描述的电感器晶片400中的通孔408对准。为简单说明起见,在图9的截面图中省略薄膜磁性层410及介电层412。

[0040] 图10是说明在SOC晶片及电感器晶片接合在一起之后图9的SOC装置的实施例的截面图。在图10中所说明的实施例中,焊料904分别在通孔408的侧壁418及420上方连接导体422及426的顶部部分,并且直接位于电感器晶片400中的通孔408上方。在实施例中,焊料904可包括在热量下熔化并且在温度冷却时固化的常规焊接材料。

[0041] 图11是说明在切割接合的SOC晶片及电感器晶片之后电感器裸片的实施例的透视图。在典型的晶片制造过程中,可在具有大表面区域的单个晶片上制造多个相同芯片。在实施例中,可通过本领域技术人员已知的多个切割技术中的一者将芯片与晶片分离。在图11中所示的实施例中,接合的SOC晶片100及电感器晶片200可切割成多个裸片1102a、1102b、1102c、……。裸片1102a、1102b、1102c、……中的任一者可包含一或多个电感器及作为集成或嵌入的电压调节器的一部分的一或多个其它组件,例如,一或多个电容器。

[0042] 图12是说明包含印刷电路板(PCB)、SOC封装及包含电感器裸片的电压调节器的系统的实施例的截面图。在图12中,提供印刷电路板(PCB) 1202,并且IC封装1204提供于PCB 1202上。在实施例中,IC封装可包含一或多个模拟集成电路、一或多个数字集成电路,或其组合。在实施例中,IC封装1204可具有本领域普通技术人员已知的不同配置中的一者,举例

来说,包含但不限于焊线、倒装芯片或球栅阵列(BGA)。

[0043] 参考图12,裸片1206与IC封装1204集成,所述裸片包含在具有通孔的电感器晶片上制造及与在上文关于图1到11所描述的实施例中的SOC晶片接合的电感器。在实施例中,IC封装1204包含封装衬底1212。在实施例中,裸片1206可提供为用于集成或嵌入的电压调节器1208的电路的一部分,所述集成或嵌入的电压调节器还可包含其它组件。举例来说,电压调节器1208可包含一或多个额外的无源组件,例如一或多个电容器。在图12中,电压调节器1208的电路的其余部分一般通过块1210指示。

[0044] 图13是说明包含电源管理集成电路(PMIC)及SOC装置的系统的实施例的简化框图,所述SOC装置包含集成或嵌入的电压调节器及使用所述电压调节器的电路。在图13中所说明的实施例中,PMIC 1302展示为不同于SOC装置1304的芯片。在替代实施例中,PMIC 1302可集成为SOC装置1304的一部分。参考图13,SOC装置包含电感器及电容器(L&C)块1306、电压调节器(VR) 1308及使用从VR 1308产生的输出电压的一或多个电路1310。在实施例中,L&C块1306中的电感器及电容器可在与使用从SOC装置中的VR 1308产生的输出电压的电路1310相同的芯片上集成或嵌入有VR 1308。

[0045] 尽管前述揭示内容展示说明性实施例,但应注意,在不脱离随附权利要求书的范围的情况下,可在本文中进行各种改变及修改。除非另外明确陈述,否则根据本文中描述的实施例的方法主张的功能、步骤或动作不必以任何特定顺序加以执行。此外,虽然可以单数形式描述或主张元件,但除非明确地陈述对单数形式的限制,否则涵盖复数形式。

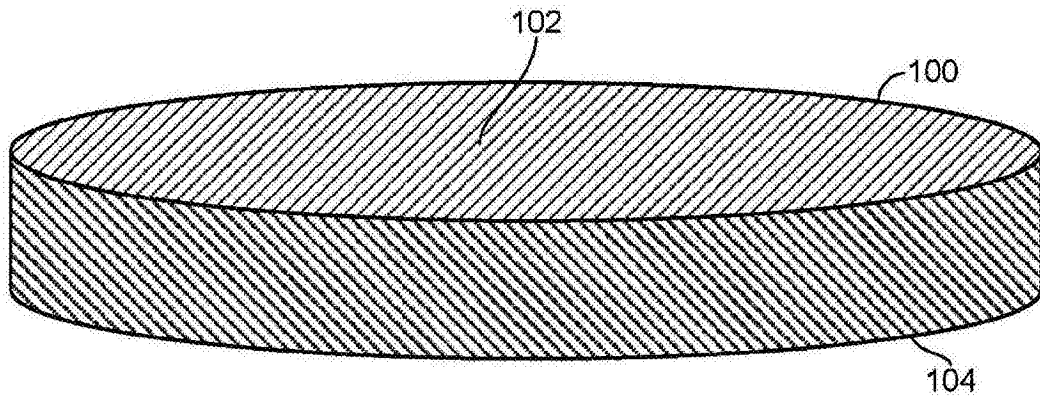


图1

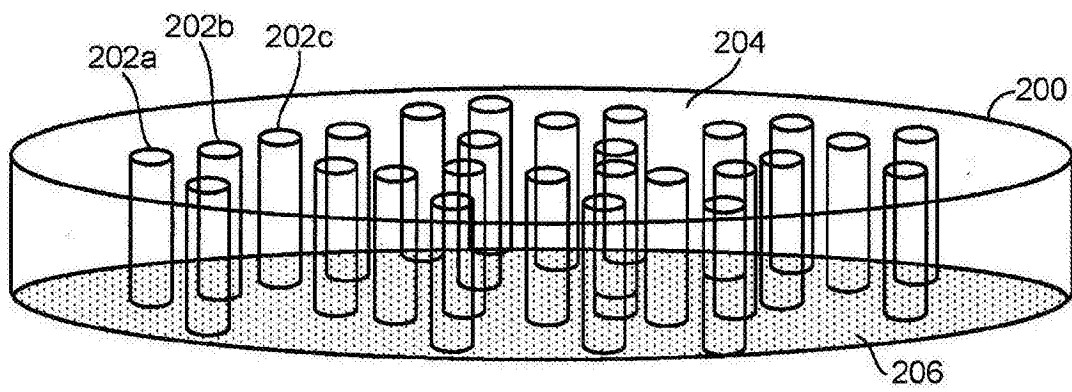


图2

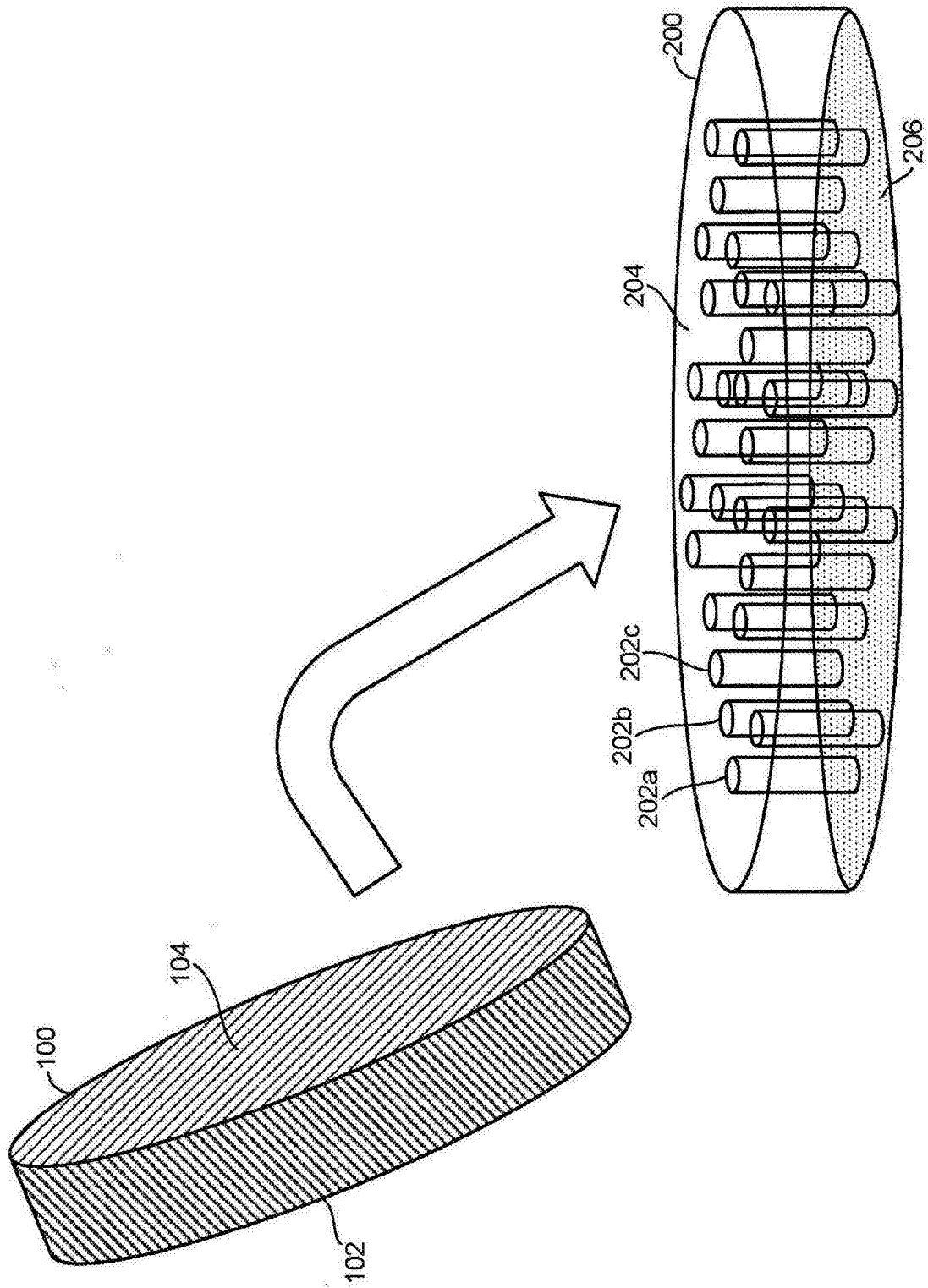


图3

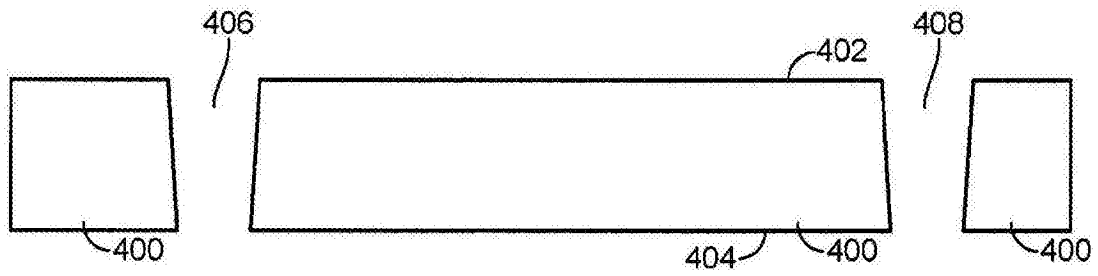


图4

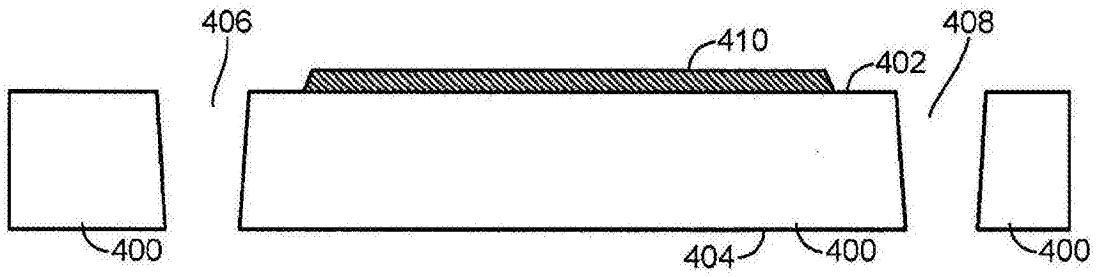


图5

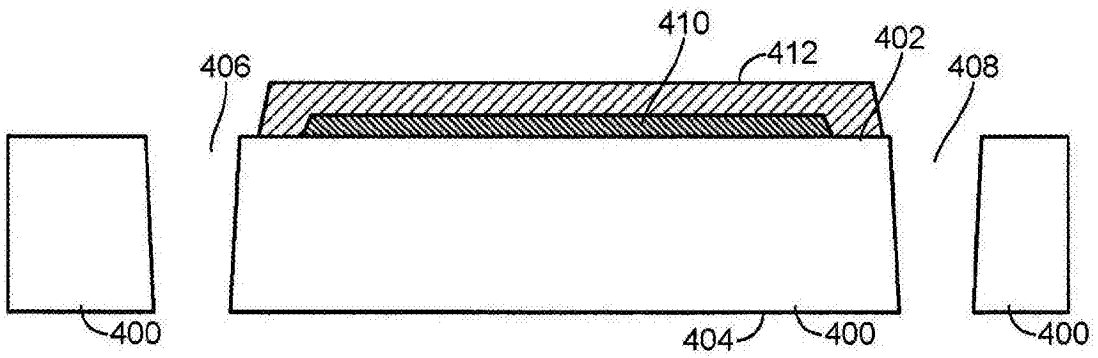


图6

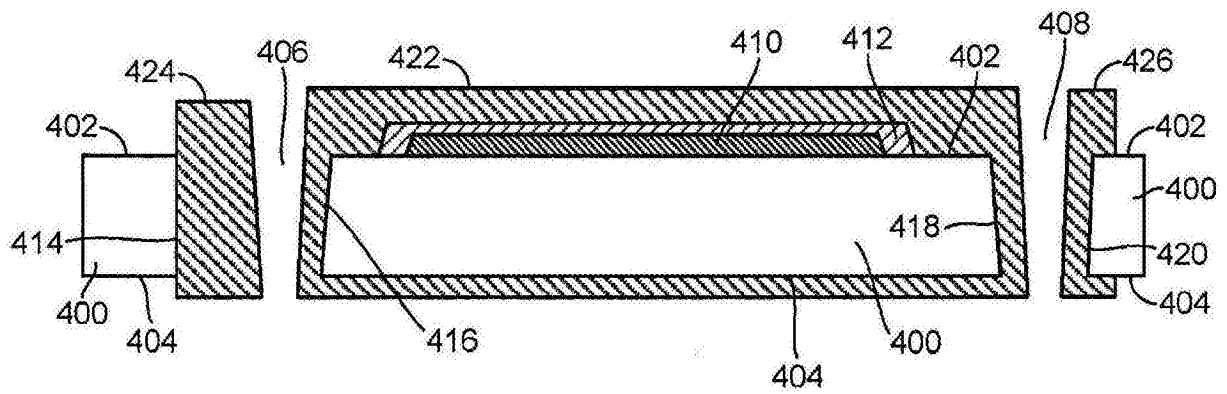


图7

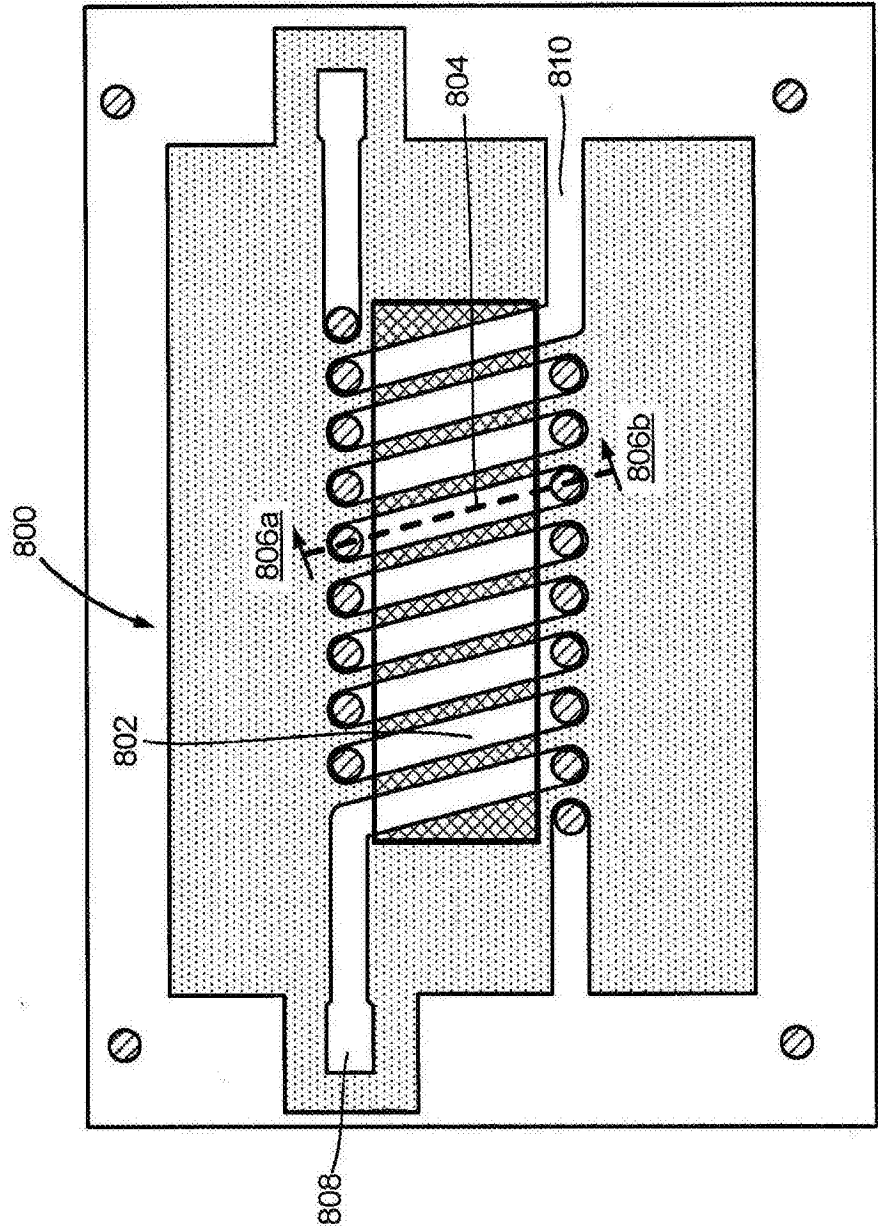


图8

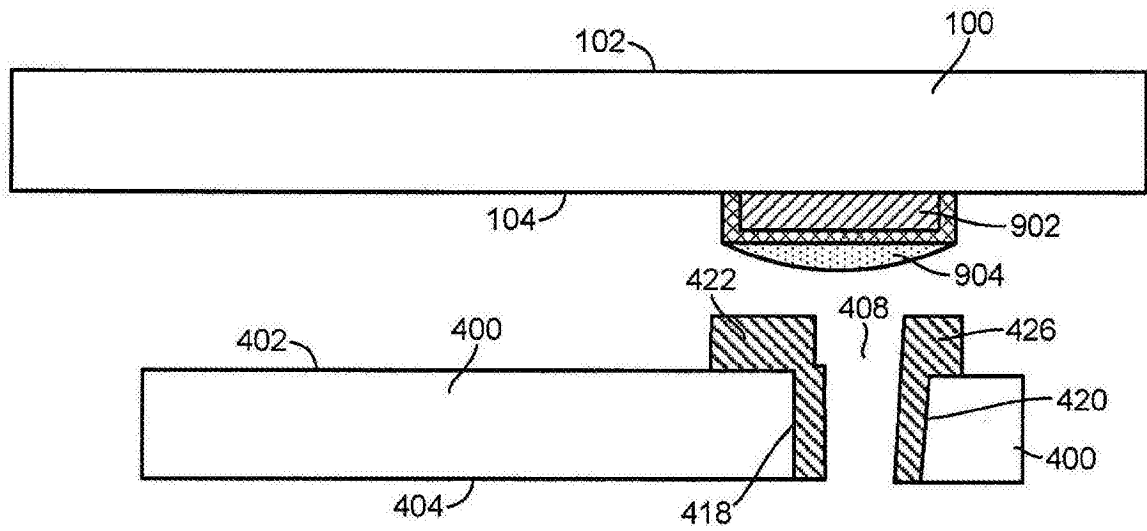


图9

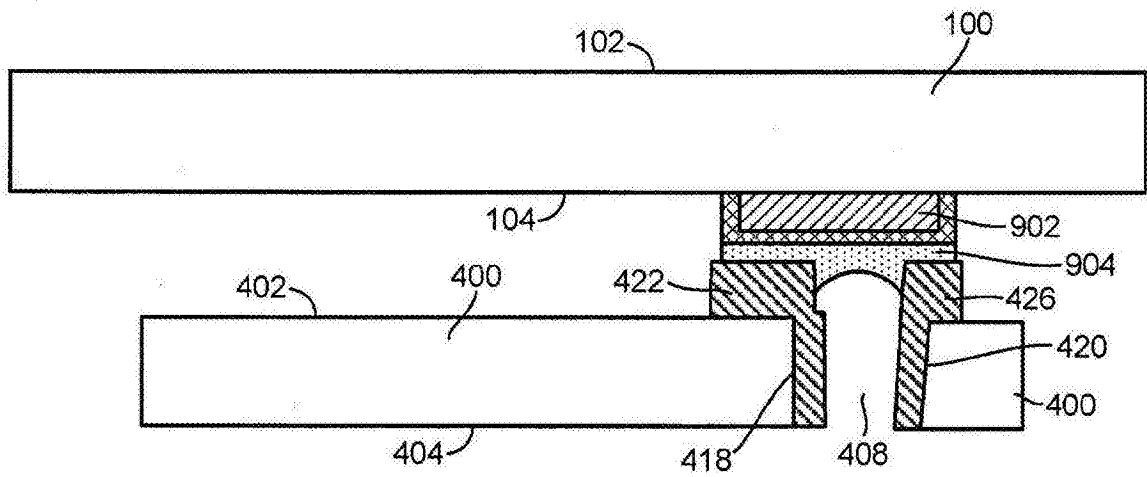


图10

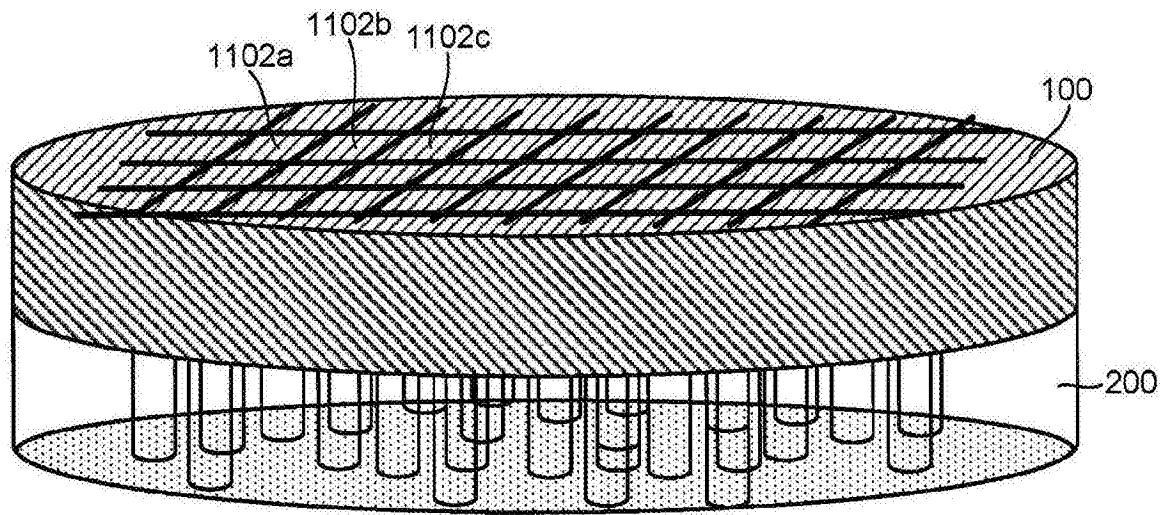


图11

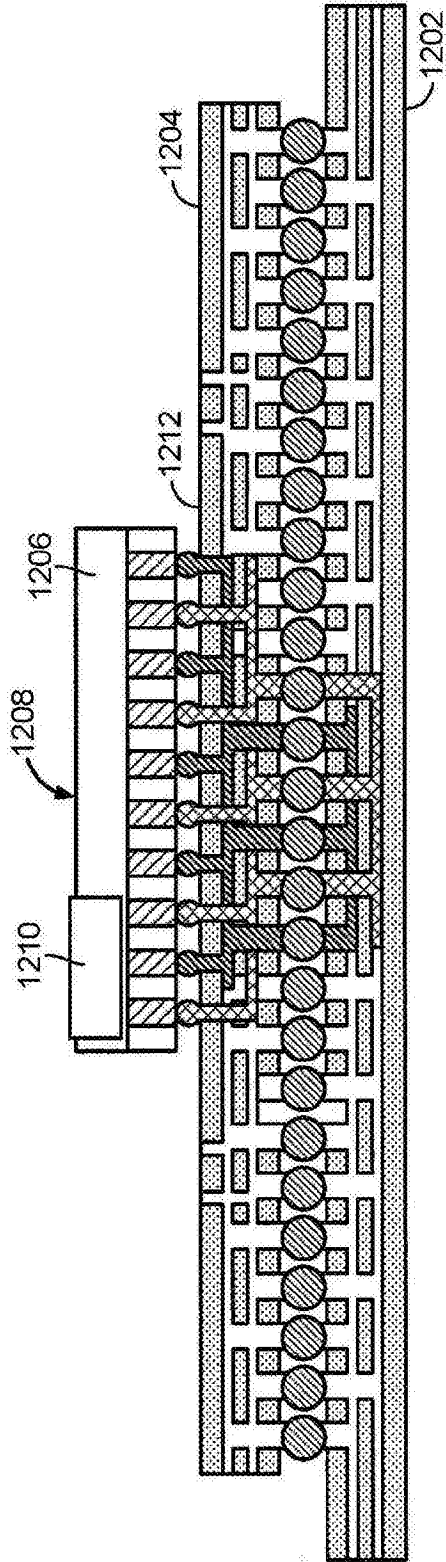


图12

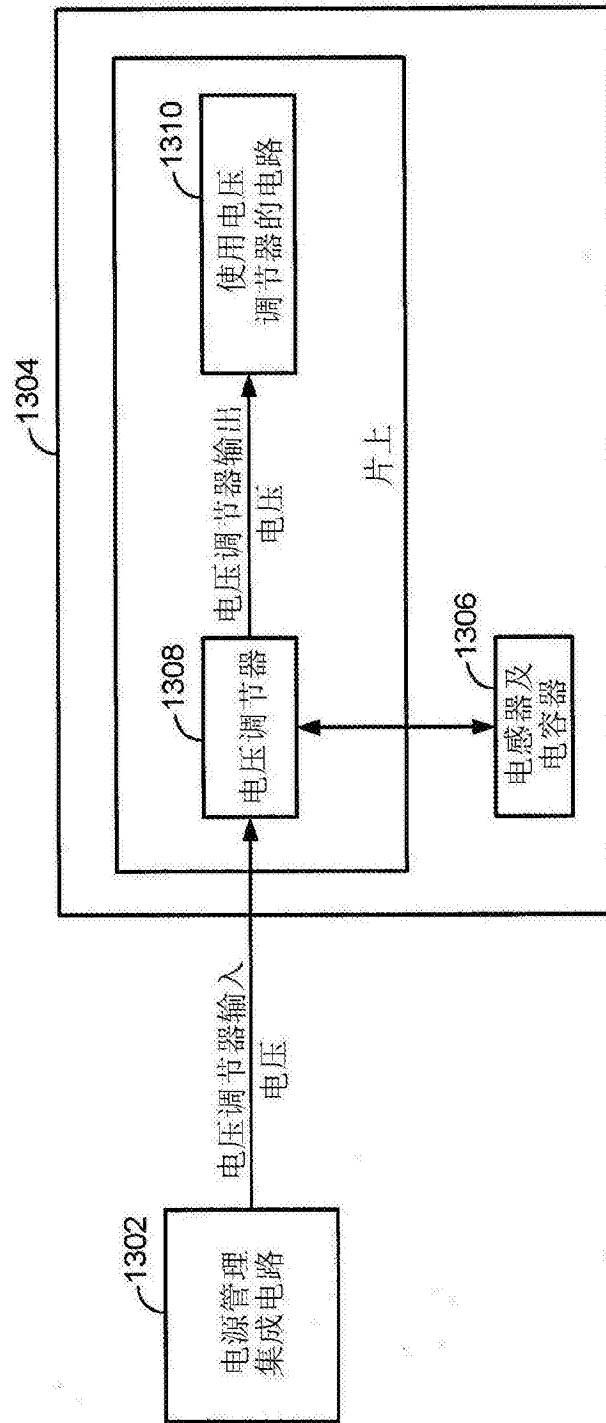


图13