

(21)申請案號：100114973

(22)申請日：中華民國 100 (2011) 年 04 月 28 日

(51)Int. Cl. : H01L27/115 (2006.01)

H01L21/8247(2006.01)

H01L29/788 (2006.01)

(30)優先權：2010/06/24 美國

12/822,992

(71)申請人：半導體組件工業公司 (美國) SEMICONDUCTOR COMPONENTS INDUSTRIES
L.L.C. (US)

美國

(72)發明人：姚 泰瑞 卡非 賀夫 YAO, THIERRY COFFI HERVE (FR)；史考特 葛瑞格
詹姆士 SCOTT, GREGORY JAMES (US)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：10 項 圖式數：16 共 56 頁

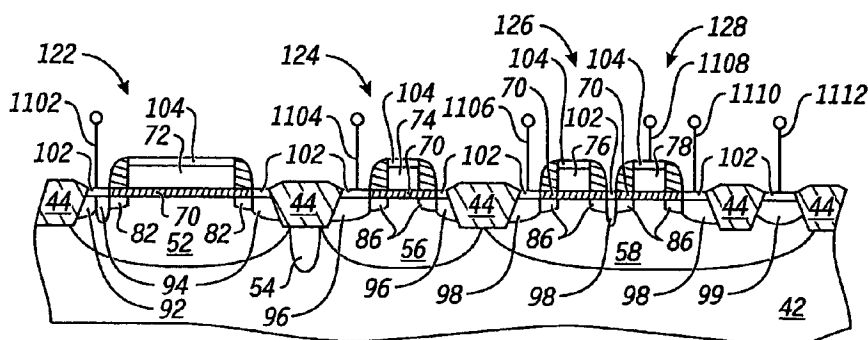
(54)名稱

包括非揮發性記憶單元的電子裝置

ELECTRONIC DEVICE INCLUDING A NONVOLATILE MEMORY CELL

(57)摘要

一種電子裝置可包括非揮發性記憶單元，該非揮發性記憶單元包括電容器、隧道結構、狀態電晶體、以及存取電晶體。在一個實施方式中，電容器和隧道結構可包括上電極，其中電容器的上電極具有第一傳導性類型，而隧道結構的上電極包括具有與第一傳導性類型相反的第二傳導性類型的至少一個部分。在另一個實施方式中，形成非揮發性記憶體的製程利用單一多晶製程而被執行。在另外的實施方式中，電荷載流子在編程期間可打開隧道穿過該狀態電晶體的閘極電介質層而且在抹除期間打開隧道穿過隧道電晶體的隧道電介質。



42：基板

44：場隔離區

52：井區

54：井區

56：井區

58：井區

70：電介質層

72：電極

74：電極

76：閘極電極

78：閘極電極

82：中度摻雜區

86：中度摻雜區

92：重度摻雜區

94：重度摻雜區
96：重度摻雜區
98：重度摻雜區
99：重度摻雜區
102：金屬半導體構件
104：金屬半導體構件
122：電容器
124：隧道結構
126：狀態電晶體
128：存取電晶體
1102：控制閘極端子
1104：抹除端子
1106：源極端子
1108：存取端子
1110：汲極端子
1112：地或 V_{SS} 端子

(21)申請案號：100114973

(22)申請日：中華民國 100 (2011) 年 04 月 28 日

(51)Int. Cl. : H01L27/115 (2006.01)

H01L21/8247(2006.01)

H01L29/788 (2006.01)

(30)優先權：2010/06/24 美國

12/822,992

(71)申請人：半導體組件工業公司 (美國) SEMICONDUCTOR COMPONENTS INDUSTRIES
L.L.C. (US)

美國

(72)發明人：姚 泰瑞 卡非 賀夫 YAO, THIERRY COFFI HERVE (FR)；史考特 葛瑞格
詹姆士 SCOTT, GREGORY JAMES (US)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：10 項 圖式數：16 共 56 頁

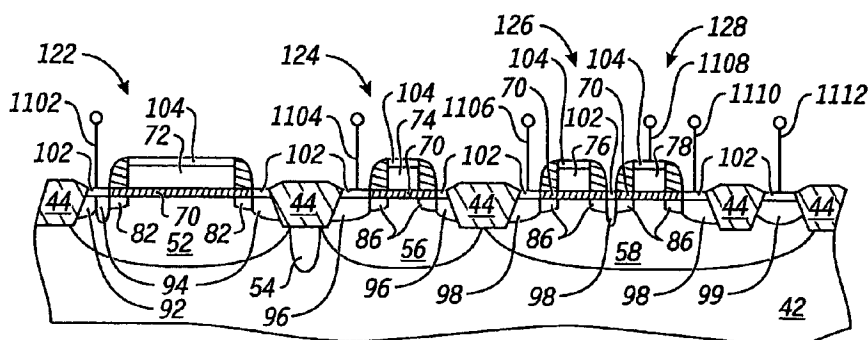
(54)名稱

包括非揮發性記憶單元的電子裝置

ELECTRONIC DEVICE INCLUDING A NONVOLATILE MEMORY CELL

(57)摘要

一種電子裝置可包括非揮發性記憶單元，該非揮發性記憶單元包括電容器、隧道結構、狀態電晶體、以及存取電晶體。在一個實施方式中，電容器和隧道結構可包括上電極，其中電容器的上電極具有第一傳導性類型，而隧道結構的上電極包括具有與第一傳導性類型相反的第二傳導性類型的至少一個部分。在另一個實施方式中，形成非揮發性記憶體的製程利用單一多晶製程而被執行。在另外的實施方式中，電荷載流子在編程期間可打開隧道穿過該狀態電晶體的閘極電介質層而且在抹除期間打開隧道穿過隧道電晶體的隧道電介質。



42：基板

44：場隔離區

52：井區

54：井區

56：井區

58：井區

70：電介質層

72：電極

74：電極

76：閘極電極

78：閘極電極

82：中度摻雜區

86：中度摻雜區

92：重度摻雜區

六、發明說明：

【發明所屬之技術領域】

本公開涉及電子裝置和形成電子裝置的製程，且更特別地，涉及包括非揮發性記憶單元的電子裝置和形成該電子裝置的製程。

【先前技術】

積體電路可包括邏輯塊，該邏輯塊包括資料處理單元，例如中央處理單元、圖形處理單元或類似物、以及儲存可由資料處理單元使用或在硬碟驅動器、儲存網路、或其他大的記憶體件內儲存的資料的儲存塊。儲存塊可包括揮發性記憶體、非揮發性記憶體、或其組合。許多非揮發性記憶體包括與邏輯塊內的電晶體比較的附加層。傳統的非揮發性記憶體可包括基板上佈置的電荷儲存層、和覆蓋在電荷儲存層上的控制閘極。電荷儲存層可包括浮閘層、氮化層、奈米晶體層或奈米團簇層、或類似物。附加層增加成本，增加生產時間，且減少產量。

一些積體電路具有記憶單元，其只具有一個閘極電極層。這種積體電路可使用單一的閘極層來形成用於邏輯塊內非揮發性記憶單元和電晶體的閘極電極。獨立的電荷儲存層和控制閘極層的組合不被需要。製造這種積體電路的製程被稱為單一多晶製程，同時非揮發性記憶單元可只用單層的多晶矽而被製造。

圖1包括一部分的可用單一多晶製程製造的傳統非揮發性記憶體陣列10的示意性圖。非揮發性記憶體陣列10包括

以列和行排列的四個記憶單元100、101、110和111。每個記憶單元包括電容器12和14、狀態電晶體16以及存取電晶體18。電容器12和14的電極與狀態電晶體16的閘極在電浮動節點相互連接。電容器12和14是以p通道-金屬-絕緣體-半導體場效應電晶體結構的形式。這種結構在下文中被稱作「PMOS電容器」。狀態電晶體16和存取電晶體18是n通道電晶體且在每個非揮發性記憶單元內串聯連接。

電容器12的其他電極被電連接到控制線140和141，而電容器14的其他電極被電連接到抹除線130和131。狀態電晶體16的源極被電連接到共同的地，且存取電晶體18的汲極被電連接到位元線170和171。存取電晶體18的閘極被電連接到存取線150和151。記憶體陣列還包括p通道電晶體1900和1901。p通道電晶體1900和1901的汲極分別在記憶單元100和101內被電連接到存取電晶體18的汲極，p通道電晶體1900和1901的源極被電連接到V_{DD}線180，而p通道電晶體1900和1901的閘極被電連接到讀取致能線。

圖2包括一表格，其中的電壓用來讀取、抹除、以及編程記憶單元100、101、110、和111。在圖2中，BL指的是位元線，AL指的是存取線，CL指的是控制線，EL指的是抹除線，以及RD_en指的是讀取致能線。如在本說明書中之後將更具體地討論的，非揮發性記憶單元的架構和它的使用可導致抹除干擾和可靠性問題。

【實施方式】

實施方式藉由實施例的方式被說明且不限於附圖。

技術人員理解到，圖中元件是為了簡單和清楚而被說明，且不一定按比例繪製。例如圖中一些元件的尺寸相對其他元件可以被誇大，以幫助改進對本發明的實施方式的理解。

與圖式結合的以下描述被提供，來幫助理解此處公開的教導。以下討論將本教導的具體實現和實施方式作為焦點。該焦點被提供用來幫助描述本教導，且不應被理解成限制本教導的適用性或範圍。然而，其他教導當然可在本應用中使用。當數值範圍在此描述以提供特定實施方式的更好理解時，在讀完本說明書之後，技術人員應理解到，在數值範圍外的值可以被使用而不偏離本發明的範圍。

術語「耦合」旨在意味著兩個或更多電子元件、電路、系統或以下項的任何組合的連接、鏈結、或關聯：(1)至少一個電子元件、(2)至少一個電路、或(3)至少一個系統，以此方式，信號(例如，電流、電壓或光信號)可以部分地或完全地從一個到另一個轉移。「耦合」的非限制性實施例可包括在電子元件、電路或電子元件或具有連接在它們之間的開關(例如電晶體)的電路之間的直接電連接。因此，電連接是一種具體類型的耦合；然而，不是所有的耦合都是電連接。

術語「重度摻雜」旨在意味著至少 1×10^{19} 原子/立方公分的摻雜濃度。

術語「中度摻雜」旨在意味著摻雜濃度在(1) 1×10^{17} 原子/立方公分和 1×10^{19} 原子/立方公分之間或(2)高於鄰近的輕

度摻雜區且低於鄰近的重度摻雜區。因此，當靠近具有 1×10^{15} 原子/立方公分的摻雜濃度的輕度摻雜區且靠近重度摻雜區時，中度摻雜區可具有 1×10^{16} 原子/立方公分的摻雜濃度。

術語「輕度摻雜」，除了當指的是輕度摻雜汲極(「LDD」)區時以外，旨在意味著不大於約 1×10^{17} 原子/立方公分的摻雜濃度。

術語「LDD區」旨在意味著靠近源極區、汲極區、或電晶體的源極/汲極區的摻雜區，其中這種摻雜區可幫助減少電晶體的熱電荷載流子的降低。在許多實施方式中，LDD區可具有在約 1×10^{16} 原子/立方公分至約 1×10^{18} 原子/立方公分的範圍中的摻雜濃度。LDD區也可以被稱作延伸區。

術語「金屬」或任何它的變形，當指的是材料時，旨在意味著包括在任何族1至12內、族13至16內的元素、沿著和低於由原子序數13(Al)、31(Ga)、50(Sn)、51(Sb)、以及84(Po)所限定的線的元素的材料。金屬不包括Si或Ge。

術語「包含(comprises)」、「包含(comprising)」、「包括(includes)」、「包括(including)」、「具有(has)」、「具有(having)」或其任何其他變形旨在覆蓋非排他的包含。例如，包含一系列特徵的方法、物品、或器械不一定僅限於那些特徵，但可以包括非明確列舉的、或這種方法、物品、或器械固有的其他特徵。進一步地，除非明確聲明相反，「或者」指的是「包括在內的或者」而不是「排他的

或者」。例如，狀態A或B滿足下列任何一種：A是真(或存在)且B是假(或不存在)、A是假(或不存在)且B是真(或存在)、以及A與B都是真(或存在)。

同樣，「一個(a)」或「一個(an)」的使用被用來描述此處所述的元件和元件。這樣做僅是為了方便並給出本發明範圍的通常認識。應閱讀該描述，使得複數包括一個或至少一個，而單數也包括複數，除非顯然另外特指。例如，當此處描述單一項目時，多於一個項目可以代替單一項目使用。類似地，當多於一個項目在此被描述時，單一項目便可以被替換以該多於一個項目。

對應於元素週期表內的行的族號使用「新表示法」約定，參見如第81版(2000-2001)的化學和物理CRC手冊(*CRC Handbook of Chemistry and Physics*)。

除非另外規定，此處使用的所有技術和科學術語具有如本發明所屬領域中具有通常知識者所普遍理解的相同含義。材料、方法、以及實施例僅僅是說明而不旨在限制。在非此處所述的範圍內，許多關於具體材料的細節和處理行為是傳統的且可以在半導體和電子技術內的課本和其他資源中找到。

用於非揮發性記憶體陣列、物理設計的新穎記憶體架構設計以及使用記憶體陣列的方法可被用來改進對於抹除干擾的抵抗和改進非揮發性記憶體陣列的可靠性。特別是，抹除線的朝向和編程與抹除方法可在記憶單元內的不同元件內允許電荷載流子穿越隧道。電荷載流子可以被轉移穿

過不同元件的電介質層，與單一元件內的單一電介質層相反。因此，當由於積累的陷井電荷導致的電介質失敗與根據圖1所描述的記憶體陣列相比持續更長時，可靠性被改進。進一步地，大體上防止未選中的記憶單元在抹除選中記憶單元期間其資料被干擾，因為用於未選中記憶單元的端子的電壓可被置於相互接近的電壓。關於記憶體架構、物理設計的更多細節和使用記憶體陣列的方法將根據以下圖式被更具體地描述。

圖3包括積體電路20的邏輯描述，該積體電路20包括耦合到編程單元24、抹除單元26、以及讀取單元28的非揮發性記憶(「NVM」)單元陣列。編程、抹除、以及讀取單元24、26和28中的每個可被用來給NVM單元陣列22提供合適電壓，用於在NVM單元陣列22內編程、抹除、以及讀取記憶單元。單元24、26和28可包括電晶體、電容器、電阻器、二極體以及類似物，其可被連接來形成邏輯閘、分壓器、電荷泵、開關、鎖存器、行或陣列選通(strobe)、感測放大器、與非揮發性記憶體陣列共同使用的另一個電路、或其任何組合。儘管單元24、26和28被描述成獨立單元，但是操作可被合併。例如，單一電荷泵可被用於編程和抹除，或者相同的分壓器可被用於編程和讀取。因此，圖3被呈現來在概念層次上提供積體電路20的不同部分的基本理解而且不限制NVM陣列的架構、物理設計、或操作。

圖4包括一部分NVM陣列31的示意性圖。在特定的實施

方式中，NVM陣列可在圖3的積體電路20中使用。NVM陣列31包括以列和行排列的四個記憶單元3100、3101、3110和3111。在特定的實施方式中，記憶單元3100、3101、3110和3111在相同部分內且沿著直接鄰近的列和行。在圖3中所示的實施方式中，NVM陣列31的每列由耦合到三條線的三個端子驅動：存取線、控制線以及抹除線。NVM陣列的每行由耦合到兩條線的兩個端子驅動：位元線和存取線。一個端子驅動整個陣列：主體(bulk)。

每個記憶單元包括電容器32、隧道結構34、狀態電晶體36以及存取電晶體38。電容器32和隧道結構34中的每個包括電極，電介質佈置在電極之間。在一個實施方式中，電容器32、電容器34、或兩者可從電晶體結構中形成。在本實施方式中，電容器32和隧道結構34中的每個具有被稱作閘極的電極，而另一個電極被稱作有效電極。在特定的實施方式中，電容器32是PMOS電容器。隧道結構34可包括之後在本說明書中更具體地描述的許多不同的物理設計。在另一個實施方式中(未說明)，電容器32、隧道結構34、或兩者可被實現為薄膜電容器。

狀態電晶體36和存取電晶體38中的每個包括源極區、汲極區、主體區、閘極電介質層以及閘極電極。在一個實施方式中，狀態電晶體36和存取電晶體38是n通道電晶體。電容器32、隧道結構34以及狀態電晶體36的閘極相互連接在被稱為浮閘的電浮動節點。狀態電晶體36的汲極區和存取電晶體38的源極區相互耦合，且在特定的實施方式中，

狀態電晶體和存取電晶體被串聯電連接。對於記憶單元3100、3101、3110和3111中的每個，存取電晶體38的汲極是記憶單元的汲極。狀態電晶體36的源極是記憶單元的源極。存取電晶體38的閘極是存取閘極記憶單元的存取閘極。電容器32的有效電極充當記憶單元的控制閘極。抹除結構34的有效電極充當記憶單元的抹除閘極。

每個位元線耦合到沿著對應行的至少部分的記憶單元的汲極。每個源極線耦合到沿著對應行的至少部分的記憶單元的源極。每個存取線耦合到沿著對應列的至少部分的記憶單元的存取閘極。每個控制線耦合到沿著對應列的至少部分的記憶單元的控制閘極。每個抹除線耦合到沿著對應列的至少部分的所有記憶單元的抹除閘極。參考NVM陣列31，單元3100和3101分別使其存取閘極、控制閘極以及抹除閘極耦合到存取線3150、控制線3140以及抹除線3130。單元3110和3111分別使其存取閘極、控制閘極以及抹除閘極耦合到存取線3151、控制線3141以及抹除線3131。單元3100和3110分別使其汲極和源極連接到位元線3170和源極線3160。單元3101和3111分別使其汲極和源極連接到位元線3171和源極線3161。所有單元的主體(例如，基板或基板內的井區)是接地的。在圖4中所示的實施方式中，本段落中提到的耦合中的每個可以是電連接的形式。例如，狀態電晶體36的源區電連接到源極線3170和3171，而狀態電晶體和存取電晶體36和38的主體電連接到地或 V_{ss} 。

圖5包括一表格，其中的電壓用來讀取、抹除以及編程

包括記憶單元3100、3101、3110和3111的NVM陣列31。在圖5中，BL指的是位元線，AL指的是存取線，CL指的是控制線，EL指的是抹除線，以及SL指的是源極線。在圖5中，在讀取操作期間， V_{Dread} 是應用到正被讀取的記憶單元的汲極的電壓。 V_{Access} 可大約在用於積體電路的 V_{DD} 。在特定的實施方式中， V_{DD} 可在大約0.9至5伏特的範圍中。 V_{Gread} 可被選定，使得電流可流出未編程或抹除的記憶單元。在特定的實施方式中， V_{Gread} 可在大約0伏特至大約 V_{DD} 的範圍中。關於抹除和編程脈衝， V_{PP} 可在大約8伏特至大約25伏特的範圍中。 $V_{inhibit}$ 可在大約1.8伏特至大約 $1/2 V_{PP}$ 的範圍中。

在閱讀本說明書之後，技術人員將理解到，所用的特定電壓可依靠記憶單元的技術和物理參數(例如，隧道電介質層的厚度)而變化。進一步地，儘管給出電壓的絕對值，但端子之間的電壓差比終端上電壓的絕對值更顯著。例如，在抹除脈衝期間，選中的抹除線和其他線之間的電壓差大約是 V_{PP} 。在另一個實施方式中，選中的抹除線可以在 $+3/4 V_{PP}$ 而其他線可在大約 $-1/4 V_{PP}$ 。如果擊穿電壓(例如，如果在抹除單元內的使可電晶體具有小於 V_{PP} 的汲極到源極的穿通電壓)或另一個關注物件被呈現，這種實施方式可以是有用的。除了抹除操作之外或代替抹除操作，讀取或編程操作可被執行。

NVM陣列31的記憶體架構和操作允許更好的可靠性和在抹除操作期間未選中的記憶單元中干擾資料的更少問題。

當比較圖1和4的示意圖時，抹除線的朝向是不同的。在圖4中，抹除線3130和3131在與控制線3140和3141的相同方向中被定向。在特定的實施方式中，抹除線和控制線3130、3131、3140以及3141沿著記憶單元的列被定向。將此比作在抹除線和控制線之間具有正交關係的圖1中的記憶體陣列10。更特別地，其中抹除線130和131沿著記憶單元的行被定向，而控制線140和141沿著記憶單元的行被定向。

參考NVM陣列31，在用於選定的記憶單元的編程脈衝期間，電子從狀態電晶體36的通道打開隧道至浮閘極電極，穿過狀態電晶體36的閘極電介質層。在抹除脈衝期間，電子從浮閘極電極打開隧道至隧道結構34的有效電極，經由隧道結構34的隧道電介質層。因此，電子在編程期間打開隧道穿過狀態電晶體36的閘極電介質層，而電子在抹除期間打開隧道穿過隧道結構34的隧道電介質層。參考圖1中的記憶體陣列10，電子在編程和抹除期間打開隧道穿過電容器14的電介質層。當更多的電荷載流子，例如電子，穿過相同元件的相同電介質層時，更多的缺陷在電介質內產生。如果電介質層內積累的缺陷變得過大，電介質層損壞且致使記憶單元不可操作。因此，NVM陣列31內的記憶單元可以具有更好的可靠性，因為與電荷載流子在編程和抹除期間打開隧道穿過相同元件的相同電介質層的記憶體陣列10內的記憶單元比較，電荷載流子在編程和抹除期間打開隧道穿過不同元件的不同電介質層。

抹除干擾可用NVM陣列31減少或甚至大體上消除。在抹除脈衝期間，記憶單元作為列或部分列被抹除，例如字(word)。選定的抹除線是在特定電壓，例如 V_{PP} ，而所有其他線處於大體上相同的電壓，例如0伏特，這與特定電壓不同。因此，除了浮閘極電極，未選中單元的所有電極處於大約相同的電壓，這顯著地減少未選中記憶單元在抹除脈衝期間被干擾的可能性。參考記憶體陣列10，記憶單元將在逐個位元的基礎上被抹除。因此，在抹除脈衝期間，不同電壓在未選中記憶單元的電極上使用。狀態電晶體16的源區接地，抹除線130在10伏特，抹除線131在 V_{DD} ，控制線140在0伏特，以及其他控制線141在0伏特。因此，在抹除脈衝期間，記憶體陣列10內的任何未選中的記憶單元將在(i)狀態電晶體16的源區、(ii)電容器12的電極、以及(iii)電容器14的電極的至少兩個之間具有電壓差。抹除干擾的可能性隨著電壓差和時間的乘積而增加。如果記憶體陣列10中的記憶單元100被頻繁地編程和抹除，其他記憶單元101、110以及111具有抹除干擾問題的更大可能性，特別是如果記憶單元101、110以及111很少被編程和抹除。因此，當使用圖5表格中的電壓時，關於NVM陣列31，抹除干擾問題的可能性顯著地少於當使用圖2表格中的電壓時，關於圖1中的記憶體陣列10的可能性。

多種物理設計可用於NVM陣列31。所示記憶單元的佈局僅是簡化記憶單元的不同部分的理解。技術人員將理解到，其他佈局可被用來獲得更緊湊的記憶單元。下面描述

提供可被使用的一些實施方式。例如，NVM陣列31可利用單一多晶類型的製程而形成。獨立的浮閘和控制層不被需要。在閱讀本說明書之後，技術人員應理解到許多其他的實施方式可被使用而不偏離所附申請專利範圍的範圍。

圖6包括工件40的一部分的橫截面視圖的圖示，工件40包含具有主表面43的基板42。基板42可包括單晶半導體晶片、半導體在絕緣體上的晶片、平板顯示(例如，玻璃板上方的矽層)、或傳統上用來形成電子裝置的另一個基板。圖6中所示的基板部分包括以n型或p型摻雜物被輕度摻雜的族14元素(例如，碳、矽、鍺、或其任何組合)。絕緣體層46在基板42上方形成，而且場隔離區44在部分基板42內形成。絕緣層46可包括焊墊層和停止層(例如，拋光停止層或蝕刻停止層)，該焊墊層和停止層利用熱生長技術、沉積技術、或其組合順序地在基板42上方形成。焊墊層和停止層中的每個可包括氧化物、氮化物、氮氧化合物、或其任何組合。在一個實施方式中，焊墊層與停止層相比具有不同成分。在特定的實施方式中，焊墊層包括氧化物，而停止層包括氮化物。場隔離區44可利用淺溝渠隔離、矽的局部氧化、或另一技術而形成。場隔離區44限定有效區48，其位於場隔離區44之間的基板42的部分。

在形成井區52、54、56和58之後，圖7包括圖6的工件。絕緣層46被移除且植入屏幕層50在有效區上方形成。井區52和56具有相同的傳導性類型，而且井區54和58與井區52和56相比具有相反的傳導性類型。在特定的實施方式中，

井區 52，56 和 58 至少部分確定隨後形成的結構的主體區的摻雜濃度。井區 54 可是通道停止區。場隔離區 44 和井區 54 的結合可說明井區 52 和 56 相互電隔離。在特定的實施方式中，井區 52 和 56 是 n 井區，而井區 54 和 58 是 p 井區。井區 52，54，56 和 58 是輕度摻雜，而且具有比基板 42 高的摻雜濃度。井區 52 和 56 可具有相同的摻雜濃度或不同的摻雜濃度，而且井區 54 和 58 可具有相同的摻雜濃度或不同的摻雜濃度。

井區 52 和 56 可在相同摻雜操作或不同摻雜操作期間形成，而且井區 54 和 58 可以在相同摻雜操作或不同摻雜操作期間形成。在一個實施方式中，當使用高能量離子植入物時，摻雜離子可被放置於充分高的能量下，使得摻雜物被植入到場隔離區 44 下的基板 42 中以形成井區 54。在本實施方式中，井區 54 和 58 可在相同摻雜操作期間形成。在另一個實施方式中(未說明)，任何或所有的井區 52、54、56 和 58 可在場隔離區 44 之前形成。在特定的實施方式中，高能量離子植入物不可用，而且所有的井區 52，54，56 和 58 可在場隔離區 44 之前形成。在另一個特定的實施方式中，在使絕緣層 46 圖案化以限定開口和摻雜基板 42 以在形成場隔離區 44 之前形成井區 54 之後，井區 54 可以被形成。其他井區 52、56 和 58 可在形成場隔離區之後被形成。

在另一個實施方式中(未說明)，一個或多個井區被省略。例如，如果用於隨後形成的電容器和(井區 52 和 56 所形成的)隧道結構的主體區的摻雜濃度大於隨後形成的存

取電晶體和狀態電晶體的主體區的摻雜濃度，則基板42可具有傳導性類型和摻雜濃度，使得井區58不被需要。

在讀取本說明書之後，技術人員將理解到，井區52、54、56和58的形成的時機和摻雜濃度既相對於彼此又關於場隔離區44而可被調節到特定的應用。進一步地，不是所有的井區52、54、56和58被需要。因此，井區52、54、56和58，或其不存在，可被調整，用於將在井區內形成的特定元件。

在移除植入屏幕層50以及形成電介質層70和圖案化的傳導層62之後，圖8和9包括分別頂視圖和橫截面視圖的說明。圖9包括在圖8中的剖面線9-9的橫截面視圖。植入屏幕層50被移除，而電介質層70在井區52，56和58上方形成。電介質層70可包括將作為井區52上方的電容器電介質層、井區56上方的隧道電介質層、以及井區58上方的閘極電介質層的多個部分。電介質層70可包括氧化物、氮化物、氮氧化合物、或其任何組合。在一個實施方式中，電介質層70的厚度不大於約20 nm，且在另一個實施方式中，電介質層70至少約5 nm。在特定的實施方式中，電介質層70具有約11 nm至約15 nm範圍中的厚度。電介質層的不同部分可具有相同成分或不同成分，和相同厚度或不同厚度。電介質層70可利用熱生長技術、沉積技術、或其組合而形成。

一層多晶的或非結晶的半導體材料藉由在基板42上方沉澱多晶或非結晶的半導體材料而形成，而且被摻雜來包括

p型的重度摻雜部分和n型的重度摻雜部分，以使層能夠傳導。多晶或非結晶的半導體材料包括一個或多個族14元素。在一個實施方式中，層具有不大於約500 nm的厚度，且在另一個實施方式中，層具有至少50 nm的厚度。在特定的實施方式中，層具有約100 nm至約300 nm的範圍中的厚度。層被圖案化以形成傳導構件62和字元線66，如圖8中所示。傳導構件62是用於記憶單元的浮閘。傳導構件62的部分622和624具有相反的傳導性類型。在特定的實施方式中，部分622具有p型傳導性，而部分624和字元線66具有n型傳導性。隨後形成的含金屬層將在部分622和624上方被形成，使得這些部分相互電連接，以形成用於記憶單元的浮閘極電極。參考圖9，在井區52上方所佈置的傳導構件62一部分是用於電容器的上電極72，在井區56上方所佈置的傳導構件62的另一部分是用於隧道結構的上電極74，而井區58上方所佈置的傳導構件62的又一部分是用於狀態電晶體的閘極電極76。井區58上方所佈置的字元線66的部分是用於存取電晶體的閘極電極78。

圖10包括在形成中度摻雜區82、84和86與絕緣分隔物88之後的橫截面視圖的圖示。在形成中度摻雜區82、84和86之前，氧化層(未示出)可藉由熱氧化傳導構件62和字元線66而形成，包括上電極72和74與閘極電極76和78。氧化層具有不大於約20 nm的厚度。在一個實施方式中，中度摻雜區82和84具有相同的傳導性類型，而中度摻雜區具有相反的傳導性類型。在特定的實施方式中，中度摻雜區82和

84具有p型傳導性，而中度摻雜區86具有n型傳導性。在一個實施方式中，中度摻雜區82、84和86具有少於 1×10^{19} 原子/立方公分的摻雜濃度，而在另一個實施方案中，中度摻雜區82、84和86具有分別大於井區52、56和58的摻雜濃度。在特定的實施方式中，中度摻雜區82、84和86具有約 1×10^{17} 原子/立方公分至約 1×10^{18} 原子/立方公分的範圍內的摻雜濃度。

絕緣層被共形地沉澱且非等向性地蝕刻，以形成絕緣分隔物88。絕緣分隔物88包括氧化物、氮化物、氮氧化合物、或其任何組合。如在它們底部所測量的，絕緣分隔物88的寬度一般對應於被沉澱的絕緣層的厚度。在一個實施方式中，所沉澱的絕緣層的厚度不大於約500 nm，而在另一個實施方式中，厚度至少約20 nm。在特定的實施方式中，厚度在約50至200 nm的範圍內。

圖11包括形成重度摻雜區92、94、96、98和99之後的橫截面視圖的圖示。在一個實施方式中，重度摻雜區92、96和98具有與重度摻雜區94和99相反的傳導性類型。在特定的實施方式中，重度摻雜區92、96和98具有n型的傳導性，而重度摻雜區94和99具有p型的傳導性。重度摻雜區92、96和99是分別用於井區52、56和58的井接觸區。如果井區58不存在，重度摻雜區99將是用於基板42的基板接觸區。重度摻雜區98是用於狀態電晶體和存取電晶體的源極、源極/汲極、以及汲極區。重度摻雜區92、94、96、98和99可具有相同的摻雜濃度或不同的摻雜濃度。在特定

的實施方式中，重度摻雜區92、94、96、98和99具有至少約 1×10^{20} 原子/立方公分的摻雜濃度。重度摻雜區92、94、96、98和99的深度相對淺，而且可具有不大於約500 nm的深度。在特定的實施方式中，重度摻雜區92、94、96、98和99是在約50nm至300 nm的範圍內。在所示的實施方式中，重度摻雜區92和96具有分別比中度摻雜區82和84更深的接面深度。

圖12包括在形成大體上完整的記憶單元之後的橫截面視圖的圖示。電介質層70的任何暴露部分被移除，而傳導層在工件上方形成。傳導層可以是包括諸如難熔金屬的含金屬材料的含金屬層。典型難熔金屬包括鈦、鉭、鎢、鈷、白金、鉭、或類似物。包括傳導層的工件被加熱，以允許傳導層與半導體材料的部分反應，以形成金屬半導體化合物。傳導層非顯著地與絕緣材料反應，例如場隔離區44和絕緣分隔物88。傳導層的未反應部分被移除，來形成金屬半導體構件102、104和106。

金屬半導體構件102包括有效區內的半導體材料，而金屬半導體構件104和106包括傳導構件62和字元線66內的半導體材料(見圖6)，傳導構件62包括上電極72和74與閘極電極76，字元線66包括閘極電極78。金屬半導體構件104相互電連接傳導構件62的不同摻雜部分622和624。如在此所使用的，難熔金屬和難熔含金屬化合物能承受高溫(例如，這種金屬的熔點至少可以是 1400°C)且比重度摻雜半導體材料具有較低的體電阻率。

記憶單元包括電容器122、隧道結構124、狀態電晶體126、以及存取電晶體128。在所示的實施方式中，電容器122是PMOS電容器，而狀態電晶體126和存取電晶體128是n通道電晶體。如本說明書中之後所提到的，其他隧道結構可用於圖12中的隧道結構124。

進一步的處理被實施，使得重度摻雜區92和94耦合到控制閘極端子1102，重度摻雜區96耦合到抹除端子1104，最接近圖12中心的重度摻雜區98耦合到源極端子1106，閘極電極78耦合到存取端子1108，最接近圖12右側的重度摻雜區98耦合到汲極端子1110，以及重度摻雜區99耦合到地或 V_{SS} 端子1112。在特定的實施方式中(未說明)，一個或多個層間電介質和互連層被形成，以完成積體電路的形成。在本實施方式中，重度摻雜區92和94耦合到控制線，重度摻雜區96耦合到抹除線，最接近圖12中心的重度摻雜區98耦合到源極線，閘極電極78耦合到存取線，最接近圖12右手側的重度摻雜區98耦合到位元線，以及重度摻雜區99耦合到積體電路的地或 V_{SS} 。在更特定的實施方式中，耦合可由電連接代替。例如，重度摻雜區92和94電連接到控制閘極端子1102，重度摻雜區電連接到抹除端子1104，最接近圖12中心的重度摻雜區98電連接到源極端子1106，閘極電極78電連接到存取端子1108，最接近圖12右手側的重度摻雜區98電連接到汲極端子1110，以及重度摻雜區99電連接到地或 V_{SS} 端子1112。

在一個實施方式中(未說明)，一個或多個層間電介質和

互連層被形成以完成積體電路的形成。在本實施方式中，重度摻雜區92和94耦合到控制線，重度摻雜區96耦合到抹除線，最接近圖12中心的重度摻雜區98耦合到源極線，閘極電極78耦合到存取線，最接近圖12右手側的重度摻雜區98耦合到位元線，以及重度摻雜區99耦合到積體電路的地或 V_{SS} 。

儘管未說明，其他電元件利用如前述的製程流程而形成。例如，編程、抹除和讀取單元內、(和如果存在)邏輯塊內的電子元件可利用上述製程流程而形成。因為NVM單元利用單一多晶製程而不是雙多晶製程而被形成，NVM單元可被形成而不添加用來在NVM單元陣列外部形成電子元件且特別是電晶體結構的任何額外操作。

記憶單元的操作根據圖4中的記憶單元3100和圖12中的物理設計而被討論。在編程脈衝期間，SL 1370、源極端子1106、AL 3150、存取端子1108、BL 3160、以及汲極端子1110大約是在0伏特或 V_{SS} 。CL 3140、控制閘極端子1102、EL 3130、以及抹除端子1104大約是在 V_{PP} 。在特定的實施方式中， V_{PP} 是在約10伏特至約18伏特的範圍中。在抹除脈衝期間，井區58內的電子隧道穿入狀態電晶體126的閘極電極76。因此，電荷載流子穿過狀態電晶體126的電介質層70(即閘極電介質層)。電荷載流子影響用於記憶單元的浮閘的電壓。當電荷載流子是電子時，浮閘的電壓在編程脈衝期間減少。

在抹除脈衝期間，CL 3140、控制閘極端子1102、SL

1370、源極端子 1106、AL 3150、存取端子 1108、BL 3160、以及汲極端子 1110大約是在 0 伏特或 V_{SS} 。EL 3130 和抹除端子 1104大約是在 V_{PP} 。在抹除脈衝期間，浮閘內的電子穿入隧道結構 124 的井區 56。因此，電荷載流子穿過隧道結構 124 的電介質層 70。電荷載流子影響用於記憶單元的浮閘的電壓。當電荷載流子是電子時，浮閘的電壓在抹除脈衝期間增加。

因此，關於圖 12 中所示的根據本發明的實施方式的記憶單元，電荷載流子在編程脈衝期間穿過狀態電晶體 126 的電介質層 70，且電荷載流子在抹除脈衝期間穿過隧道結構 124 的電介質層 70。比較圖 1 中所示的記憶單元，其中電荷載流子在編程脈衝和抹除脈衝兩者期間穿過電容器 14 的電介質層。因此，與狀態電晶體 126 的電介質層 70 和隧道結構 124 的電介質層 70 的每一個相比，對於相同數量的編程和抹除週期，更多電荷可困在電容器 14 的電介質內。因此，圖 4 和 12 中的記憶單元與圖 1 的記憶單元相比，在記憶單元的正常操作期間對電介質擊穿更有抵抗作用。

在讀取操作期間，SL 1370 和源極端子 1106 大約是在 0 伏特或 V_{SS} 。CL 3140、控制閘極端子 1102、EL 3130、以及抹除端子 1104 大約是在 V_{Gread} 。在一個實施方式中， V_{Gread} 大約是 V_{DD} 。AL 3150 和存取端子 1108 大約是在 V_{Access} ，這大約是 V_{DD} 。用於 V_{DD} 的電壓將依靠所用技術而改變。 V_{DD} 可在約 0.9 伏特至約 5.0 伏特的範圍中。BL 3160 和汲極端子 1110 可以在讀取操作之前被預充電到預定電壓，例如

V_{DD} 、 $1/2 V_{DD}$ 、或不同於SL 1370與源極端子1106上電壓的另一電壓。在讀取操作期間，讀取單元內的感測放大器和其他電路可耦合到BL 3160且可確定記憶單元3100的狀態。如果BL 3160上的電壓保持高於預定臨界值，沒有顯著的電流流過狀態電晶體126，而記憶單元被確定在編程狀態中。如果BL 3160上的電壓被減少低於預定臨界值，顯著的電流流過狀態電晶體126和存取電晶體128，而記憶單元被確定處在抹除狀態中。

隧道結構124具有顯著特徵。中度摻雜區84可以或不可以鄰接覆蓋在重度摻雜區96上的金屬半導體構件102。進一步地，中度摻雜區84與井區56相比，顯著地更加被重度摻雜。在特定的實施方式中，中度摻雜區84具有p型傳導性，而井區56和重度摻雜區96具有n型傳導性。中度摻雜區84可與金屬半導體構件102、重度摻雜區96、或兩者形成滲漏接合。在抹除脈衝和編程脈衝期間，抹除端子1104上的電壓可充分地高，足以引發中度摻雜區84與金屬半導體構件102和重度摻雜區96中任一個或兩者之間的擊穿。因此，在抹除或編程脈衝期間，中度摻雜區84上的電壓可接近抹除端子1104上的電壓。中度摻雜區84可幫助控制在井區56內形成的空間電荷區，以限制到直接位於上電極74下方的井區56的部分。因此，隧道結構124在抹除脈衝期間不可以進入深度耗盡。

另一個隧道結構可用於隧道結構124。圖13包括部分形成隧道結構134的頂視圖。場隔離區44、井區56、以及包

括上電極74的傳導構件利用前述實施方式中的任何一個被形成。遮罩形成且具有如虛線1384所示的形狀。遮罩遮蔽場隔離區44和直接鄰近場隔離區44的部分井區56。遮罩限定開口，其中上電極74和直接鄰近上電極74的部分井區56被暴露。摻雜操作形成大體上類似於中度摻雜區84的中度摻雜區，除了使用遮罩的中度摻雜區將不延伸到場隔離區44。例如，第一中度摻雜區可具有佈置在第二電極和有效區的外緣之間且與第二電極和有效區的外緣間隔開的邊緣，其中外緣由場隔離區所限定。遮罩被移除，儘管未說明，絕緣分隔物88和井區56內的重度摻雜區被形成。重度摻雜區將大體上類似於重度摻雜區96。不像重度摻雜區96，利用圖13中所示的實施方式而形成的重度摻雜區可具有比中度摻雜區淺的接面深度，而且仍然與井區56接觸良好。

圖14包括隧道結構144的橫截面視圖的圖示。隧道結構144大體上與隧道結構124或134相同，除了它不具有中度摻雜區84。隧道結構144具有在井區56內形成的空間電荷區，該空間電荷區將被限制到在重度摻雜區96之間的部分井區56。因此，隧道結構144在抹除或編程脈衝期間可能不進入深度耗盡。

圖15包括可以是PMOS電容器的隧道結構152的橫截面視圖的圖示。隧道結構152大體上類似於電容器122，除了隧道結構152稍小。隧道結構152內的特徵以電容器122中大體上對應的特徵而被形成。因此，隧道結構152的上電極

1572與電容器122的上電極72相比，具有相同的傳導性類型和大體上相同的摻雜濃度。進一步地，隧道結構152的中度摻雜區1582與電容器122的中度摻雜區82具有相同的傳導性類型和大體上相同的摻雜濃度和深度，隧道結構152的重度摻雜區1592與電容器122的重度摻雜區92具有相同的傳導性類型和大體上相同的摻雜濃度和深度，隧道結構152的重度摻雜區1594與電容器122的重度摻雜區94具有相同的傳導性類型和大體上相同的摻雜濃度和深度。

圖16包括隧道結構164的橫截面視圖的圖示，該隧道結構164包括類似於電晶體122的p通道電晶體結構的部分和類似於狀態電晶體126和存取電晶體128的n通道電晶體結構的部分。隧道結構164內的特徵以電容器122和狀態電晶體126和存取電晶體128中大體上對應的特徵而被形成。因此，隧道結構164的上電極的一部分1672與電容器122的上電極72相比，具有相同的傳導性類型和大體上相同的摻雜濃度，而隧道結構164的上電極的另一部分1676與電晶體的上電極76和78相比，具有相同的傳導性類型和大體上相同的摻雜濃度。儘管未說明，但是與金屬半導體構件104大體上相同的傳導區在部分1672和1676上方形成，使得所述部分相互電連接。

隧道結構164的中度摻雜區1682與電容器122的中度摻雜區82具有相同的傳導性類型和大體上相同的摻雜濃度和深度，而隧道結構164的中度摻雜區1686與狀態電晶體126和存取電晶體128的中度摻雜區86具有相同的傳導性類型和

大體上相同的摻雜濃度和深度。隧道結構164的重度摻雜區1692與電容器122的重度摻雜區92具有相同的傳導性類型和大體上相同的摻雜濃度和深度，而隧道結構164的重度摻雜區1698與狀態電晶體126和存取電晶體128的重度摻雜區98具有相同的傳導性類型和大體上相同的摻雜濃度和深度。

此處描述的不同隧道結構可具有不同的抹除電壓。用於抹除的電壓描述被單獨呈現，以允許不同隧道結構之間的抹除電壓的比較，而且不把任何隧道結構限於具體一組的抹除電壓。對於正被抹除的記憶單元，控制端子、源極端子、字元線、以及汲極端子全部在0伏特。在抹除脈衝期間，當抹除端子在約9.1伏特至約9.6伏特的範圍中時，隧道結構124和134可被抹除。對於隧道結構144，抹除端子可在約9.7伏特至約10.1伏特，而對於隧道結構152，抹除端子可在約10.6伏特至約11.0伏特的範圍中。儘管可使用比所描述的那些電壓更高的電壓，但是較低電壓可允許在抹除單元內使用較小的電荷泵。

其他實施方式被使用而不偏離本發明的範圍。記憶體陣列31的朝向可藉由反向列和行而被改變。在特定的實施方式中，圖4中的圖式可旋轉90°。抹除線保持平行於控制線。在另一個實施方式中，參考圖12，部分的重摻雜區94和96不需要佈置在用於電容器122和隧道結構124的有效區的兩側。例如，不在端子(即，控制閘極端子1102或抹除端子1104)下佈置的部分的重摻雜區94和96不被需要，而

重度摻雜區 94 和 96 的其他部分位於控制閘極端子 1102 或抹除端子 1104 之下，而且為對應的井區提供良好的歐姆接觸。

進一步地，金屬半導體構件 102、104 以及 106 可在不同時間形成或可以被另一種材料代替。參考圖 8，在形成和摻雜用於傳導構件 62 和 66 的傳導層之後，可在圖案化之前在傳導層上方形成含金屬層，以形成傳導構件 62 和 66。關於金屬半導體構件 102、104 以及 106，含金屬層可包括如前述材料中的任何一種。另外，含金屬層可包括金屬氮化物或金屬半導體氮化物的化合物。金屬氮化物或金屬半導體氮化物的化合物可以是傳導的，而且充當抗反射層。更進一步，反應可以或可以不被執行。含金屬層可以是元素形式，或可以作為化合物被沉澱。關於金屬半導體構件 102，可執行接觸矽化製程，而不是形成如所示的金屬半導體構件 102。

更堅固的對電介質擊穿更有抵抗作用的 NVM 單元可從 NVM 單元的重複編程和抹除週期而被形成。進一步地，當抹除選中的記憶單元時，NVM 陣列 31 的架構和它的操作減少未選中的記憶單元的抹除干擾的可能性。因此，資料完整性對 NVM 陣列 31 比對圖 1 的 NVM 陣列 10 更好。更進一步，用於形成 NVM 陣列 31 的製程流程可大體上與用於在積體電路的邏輯塊內形成電晶體的製程流程相同。

在閱讀本說明書之後，技術人員將理解到，許多不同佈局和處理操作可被使用而不偏離本發明。圖 8 中所示的佈

局被提供來簡化用於記憶單元的示範性佈局的理解。許多其他佈局可被使用，而且更緊湊的單元可在另一個實施方式中形成。記憶單元內每個元件的確切物理朝向可被改變，只要此處描述的耦合和電連接被保持。一些處理操作的順序在需要或期望時可被改變。

圖 12 中所示和所描述的實施方式中的記憶單元利用 Fowler-Nordheim tunneling 技術被編程和抹除。在另一個實施方式中，圖 12 的記憶單元可以利用熱電荷載流子的植入而被編程。在本實施方式中，CL 3140 上的電壓、控制閘極端子 1102、EL 3130、以及抹除端子 1104 可在約 6 伏特至約 8 伏特的範圍中，SL 3170 和源極端子 1106 大約是在 0 伏特或 V_{SS} ，而 AL 3150、存取端子 1108、BL 3160、以及汲極端子 1110 可在約 4 伏特至約 6 伏特的範圍中。在特定的實施方式中，電子可被植入在狀態電晶體 126 的閘極電極 76 的浮閘。所有未選中的線和端子將大體上在 0 伏特，並因此，與圖 1 中的 NVM 陣列 10 相比，NVM 陣列 31 可以對編程干擾問題更有抵抗作用。如果用於熱電荷載流子植入的編程性可被改進，p 型光暈(halo)區可靠近狀態電晶體 126 的汲極而被形成。抹除操作可保持相同，並因此，電荷載流子在編程和抹除脈衝期間穿過不同元件的電介質層。

在其他另外的實施方式中，編程狀態和抹除狀態可被反向，使得編程狀態對應於相對較高的浮閘電壓，而抹除狀態對應於相對較低的浮閘電壓。這種實施方式可藉由反向圖 5 中表格的抹除部分和編程部分中的電壓的極性而取

得。例如， V_{PP} 可是約-10伏特至約-18伏特。另外，傳導性類型可以被反向。

在閱讀本說明書之後，技術人員將認識到實現不同佈局、製程流程、操作技術(編程、抹除、讀取)、或其任何組合中的靈活性，其允許NVM記憶單元陣列適合於特定應用。因此，利用用於NVM記憶體的現有編程、抹除、以及讀取單元，沒有或僅有一些改變，NVM記憶單元陣列可被集成到現有的邏輯製程流程。

許多不同方面和實施方式是可能的。那些方面和實施方式中的一些在下面描述。在閱讀本說明書之後，技術人員將認識到，那些方面和實施方式僅是說明性的且不限制本發明的範圍。

在第一方面中，包括非揮發性記憶單元的電子裝置可包括具有第一電極和第二電極的電容器，其中控制閘極端子耦合到第一電極，而第二電極具有第一傳導性類型。非揮發性記憶單元也可包括具有第一電極和第二電極的隧道結構，其中抹除端子耦合到第一電極，而至少一部分的第二電極具有與第一傳導性類型相反的第二傳導性類型。非揮發性記憶單元還可包括含有源極區、汲極區、以及閘極電極的狀態電晶體，其中用於非揮發性記憶單元的浮閘極電極包括閘極電極、電容器的第二電極、以及隧道結構的第二電極。非揮發性記憶單元仍然還可包括含有源極區、汲極區、以及閘極電極的存取電晶體，其中存取電晶體的源極區耦合到狀態電晶體的汲極區。

在第一方面的實施方式中，電容器的第二電極、隧道結構的第二電極、狀態電晶體的閘極電極、以及存取電晶體的閘極電極由包括多晶矽或非晶矽的相同層而構成。在另一個實施方式中，電子裝置還包括佈置在浮閘上方且大體上與浮閘毗連的含金屬構件。

在第一方面的又一個實施方式中，電容器包括p通道電晶體結構，狀態電晶體是第一n通道電晶體，而存取電晶體是第二n通道電晶體。在特定的實施方式中，隧道結構的大體上所有的第二電極是n型摻雜。在更特定的實施方式中，隧道結構的第一電極包括n井區和佈置在n井區內且鄰近隧道結構的第二電極的p型區。在甚至更特定的實施方式中，電子裝置還包括佈置在n井區內且鄰近p型區的n井接觸區、和接觸n井接觸區的含金屬構件。在另一個更特定的實施方式中，隧道結構的第一電極包括不包含p型區的n井區。

在第一方面的另外的實施方式中，隧道結構的第一電極包括n井區，而隧道結構的第二電極包括p型部分和n型部分，其中p型部分鄰近第二電極的第一側，而n型部分鄰近與第一側相對的第二電極的第二側。p型區佈置在n井區內且鄰近第二電極的第一側，而n型區佈置在n井區內，具有比n井區高的摻雜濃度，且鄰近第二電極的第二側。

在第一方面的其他另外的實施方式中，電容器的第一電極包括第一n井區，隧道結構的第一電極包括第二n井區，而狀態電晶體和存取電晶體的源極區和汲極區被佈置在第

一p型區內。部分的場隔離區被佈置在第一n井區、第二n井區、以及第一p型區之間，而第一n井區、第二n井區、以及第一p型區相互電隔離。在特定的實施方式中，電子裝置還包括被佈置在場隔離區的特定部分下方的第二p型摻雜區，其中基板包括半導體材料和某摻雜濃度的摻雜物，第二p型摻雜區具有比半導體材料的摻雜濃度大的摻雜濃度，而且場隔離區的特定部分鄰接第一n井區和第二n井區。在更特定的實施方式中，電子裝置還包括被佈置在第一p型區內的p型主體接觸區，其中場隔離區的另一特定部分被佈置在p型主體接觸區和狀態電晶體和存取電晶體之間。

在第二方面中，形成包括非揮發性記憶單元的電子裝置的製程可包括在基板內形成場隔離區以限定第一有效區、第二有效區、以及第三有效區，其中第一有效區、第二有效區、以及第三有效區互相間隔開。製程還可包括在基板與場隔離區的一部份上方形成浮閘極電極，其中浮閘包括被佈置在第一有效區上方的第一部分、被佈置在第二有效區上方的第二部分、以及被佈置在第三有效區上方的第三部分。第一部分可具有第一傳導性類型而第一有效區具有與第一傳導性類型相反的第二傳導性類型，至少部分的第二部分可具有第二傳導性類型而第二有效區可具有第二傳導性類型，以及第三部分可具有第一傳導性類型而第三有效區可具有第二傳導性類型。製程還可包括在第三有效區上方形成存取閘極電極，其中存取閘極電極和浮閘極電極

互相間隔開。

在第二方面的實施方式中，製程還包括在第一有效區內形成第一n井區，和在第二有效區內形成第二n井區。在特定的實施方式中，製程還包括在第一有效區、第二有效區、以及第三有效區上方形成遮罩，其中遮罩限定被佈置在場隔離區的特定部分上方的開口，且在場隔離區的特定部分下方的位置，將p型摻雜物植入到基板中。在另一個特定的實施方式中，形成場隔離區還限定第四有效區，形成延伸到第三有效區和第四有效區的p井區，以及在第四有效區內形成p井接觸區。在另一個實施方式中，製程還包括在場隔離區上方形成含金屬層、第一有效區、第二有效區和第三有效區、浮閘極電極、以及存取閘極電極、含金屬層的反應部分與第一有效區、第二有效區和第三有效區的部分、浮閘極電極、以及存取閘極電極，以形成金屬半導體構件，其中金屬半導體構件大體上與浮閘極電極毗連，而另一個金屬半導體構件大體上與存取閘極電極毗連。製程也包括移除含金屬層的未反應部分。

在第三方面中，包括非揮發性記憶單元的電子裝置可包括具有第一電極和第二電極的電容器和具有第一電極、第二電極以及隧道電介質層的隧道結構，其中控制閘極端子耦合到第一電極，其中抹除端子耦合到第一電極。非揮發性記憶單元也可包括狀態電晶體，該狀態電晶體包括耦合到源極端子的源極區、汲極區、閘極電介質層、以及閘極電極，其中非揮發性記憶單元的浮閘包括閘極電極、電容

器的第二電極、以及隧道結構的第二電極。非揮發性記憶單元還可包括存取電晶體，該存取電晶體包括源極區、耦合到位元線端子的汲極區、以及耦合到存取端子的閘極電極，其中存取電晶體的源極區耦合到狀態電晶體的汲極區。非揮發性記憶單元仍然還可包括耦合到控制閘極端子、抹除端子、源極端子、位元線端子、以及存取端子的編程單元，其中編程單元配置為藉由將第一電荷載流子傳遞通過狀態電晶體的閘極電介質層而給非揮發性記憶單元編程。非揮發性記憶單元又可包括耦合到控制閘極端子、抹除端子、源極端子、位元線端子、以及存取端子的抹除單元，其中抹除單元配置為藉由將第二電荷載流子傳遞通過隧道結構的隧道電介質層而抹除非揮發性記憶單元。

在第三方面的實施方式中，電容器和隧道結構中的每個包括p型電晶體結構。在另一個實施方式中，控制閘極端子電連接到電容器的第一電極，抹除端子電連接到隧道結構的第一電極，源極端子電連接到狀態電晶體的源極區，位元線電連接到存取電晶體的汲極區，以及存取電晶體的源極區連接到狀態電晶體的汲極區。

注意，不是所有的上述活動在一般描述或實施例中是需要的，一部分具體活動可以不需要，而且除了所描述的那些活動之外，一個或多個另外的活動可以被執行。更進一步，活動被列出的順序不一定是它們被執行的順序。

為了清楚，在分別的實施方式的背景中在此所描述的某些特徵，也可以被共同提供在單一實施方式中。相反地，

為了簡潔，在單一實施方式的背景中所描述的各種特徵，也可以被分別提供或以任何子組合被提供。進一步地，提到範圍中所規定的值包括在那個範圍內的各個值和每一個值。

利益、其他優勢、以及問題的解決辦法根據具體實施方式而在上面被描述。然而，利益、優勢、問題的解決辦法、以及可引起任何利益、優勢或解決辦法發生或變得更加明顯的任何特徵將不被理解為任何或全部申請專利範圍的關鍵性的、期望的、必要的特徵。

在此描述的實施方式的說明書和圖示旨在提供各種實施方式的結構的一般理解。說明書和圖式不旨在用作使用在此描述的結構或方法的裝置和系統的全部元件和特徵的詳盡和全面的描述。分別的實施方式也可以被共同提供在單一實施方式中，而相反地，為了簡潔而在單一實施方式的背景中所描述的各種特徵，也可以被分別提供或以任何子組合被提供。進一步地，提到範圍中所規定的值包括在那個範圍內的各個值和每一個值。僅在閱讀本說明書之後，許多其他實施方式對技術人員可以是明顯的。其他實施方式可以被使用且來源於本公開，使得可進行結構替代、邏輯替代、或其他變化而不偏離本公開的範圍。因此，本內容被看作說明性的而不是限制性的。

【圖式簡單說明】

圖1包括傳統非揮發性記憶體陣列的一部分的示意圖。

(先前技術)

圖2包括一操作表格，其中的電壓在圖1的非揮發性記憶體陣列中用來讀取、抹除、以及編程記憶單元。(先前技術)

圖3根據實施方式包括積體電路的描述，該積體電路包括非揮發性記憶單元陣列、編程單元、抹除單元、以及讀取單元。

圖4根據實施方式包括非揮發性記憶體陣列的一部分的示意圖。

圖5包括一操作表格，其中的電壓在圖4的非揮發性記憶體陣列中用來讀取、抹除、以及編程記憶單元。

圖6包括在形成絕緣層和場隔離區之後，包括基板的工件的一部分橫截面視圖的圖示。

圖7包括在形成井區之後，圖6的工件的橫截面視圖的圖示。

圖8和圖9包括在形成電介質層和圖案化的傳導層之後，圖7的工件的分別的頂視圖和橫截面視圖的圖示。

圖10包括在未被圖案化的傳導層覆蓋的有效區內形成摻雜區之後且在形成絕緣分隔物之後，圖8和圖9的工件的橫截面視圖的圖示。

圖11包括在有效區的一些部分內形成重度摻雜區之後，圖10的工件的橫截面視圖的圖示。

圖12包括在形成大體上完整的非揮發性記憶單元之後，圖11的工件的橫截面視圖的圖示。

圖13至16根據其他實施方式包括隧道結構的橫截面視圖

的圖示。

【主要元件符號說明】

10	非揮發性記憶體陣列
12	電容器
14	電容器
16	狀態電晶體
18	存取電晶體
20	積體電路
22	NVM單元陣列
24	編程單元
26	抹除單元
28	讀取單元
31	NVM陣列
32	電容器
34	隧道結構
36	狀態電晶體
38	存取電晶體
40	工件
42	基板
43	主表面
44	場隔離區
46	絕緣體層
48	有效區
50	屏幕層

52	井 區
54	井 區
56	井 區
58	井 區
62	傳 導 層
66	字 元 線
70	電 介 質 層
72	電 極
74	電 極
76	閘 極 電 極
78	閘 極 電 極
82	中 度 摻 雜 區
86	中 度 摻 雜 區
88	絕 緣 分 隔 物
92	重 度 摻 雜 區
94	重 度 摻 雜 區
96	重 度 摻 雜 區
98	重 度 摻 雜 區
99	重 度 摻 雜 區
100	四 個 記 憶 單 元
101	四 個 記 憶 單 元
102	金 屬 半 導 體 構 件
104	金 屬 半 導 體 構 件
110	四 個 記 憶 單 元

111	四個記憶單元
122	電容器
124	隧道結構
126	狀態電晶體
128	存取電晶體
130	抹除線
131	抹除線
134	隧道結構
140	控制線
141	控制線
144	隧道結構
150	存取線
151	存取線
152	隧道結構
170	位元線
171	位元線
180	V_{DD} 線
622	傳導構件62的部分
624	傳導構件62的部分
1102	控制閘極端子
1104	抹除端子
1106	源極端子
1108	存取端子
1110	汲極端子

1112	地或VSS端子
1384	虛線
1572	電極
1582	中度摻雜區
1592	重度摻雜區
1594	重度摻雜區
1672	隧道結構164的上電極的一部分
1676	隧道結構164的上電極的另一部分
1682	中度摻雜區
1686	中度摻雜區
1692	重度摻雜區
1698	重度摻雜區
1900	p通道電晶體
1901	p通道電晶體
3100	四個記憶單元
3101	四個記憶單元
3110	四個記憶單元
3111	四個記憶單元
3130	抹除線
3131	抹除線
3140	控制線
3141	控制線
3150	存取線
3151	存取線

3160	源 極 線
3161	源 極 線
3170	位 元 線
3171	位 元 線

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：100114973

※申請日期：100.4.28

※IPC 分類：H01L 27/115 (2006.01)

一、發明名稱：(中文/英文)

H01L 27/18247 (2006.01)

包括非揮發性記憶單元的電子裝置

H01L 27/1788 (2006.01)

ELECTRONIC DEVICE INCLUDING A NONVOLATILE MEMORY CELL

二、中文發明摘要：

一種電子裝置可包括非揮發性記憶單元，該非揮發性記憶單元包括電容器、隧道結構、狀態電晶體、以及存取電晶體。在一個實施方式中，電容器和隧道結構可包括上電極，其中電容器的上電極具有第一傳導性類型，而隧道結構的上電極包括具有與第一傳導性類型相反的 second 傳導性類型的至少一個部分。在另一個實施方式中，形成非揮發性記憶體的製程利用單一多晶製程而被執行。在另外的實施方式中，電荷載流子在編程期間可打開隧道穿過該狀態電晶體的閘極電介質層而且在抹除期間打開隧道穿過隧道電晶體的隧道電介質。

三、英文發明摘要：

An electronic device can include a nonvolatile memory cell that includes a capacitor, a tunnel structure, a state transistor, and an access transistor. In an embodiment, the capacitor and tunnel structure can include upper electrodes, wherein the upper electrode of the capacitor has a first conductivity type, and the upper electrode of the tunnel structure includes at least a portion that has a second conductivity type opposite the first conductivity type. In another embodiment, a process of forming the nonvolatile memory is performed using a single poly process. In a further embodiment, charge carriers can tunnel through a gate dielectric layer of the state transistor during programming and tunnel through a tunnel dielectric of the tunnel transistor during erasing.

七、申請專利範圍：

1. 一種包括一非揮發性記憶單元的電子裝置，包括：

一電容器，其具有一第一電極和一第二電極，其中一控制閘極端子耦合到該第一電極，且該第二電極具有一第一傳導性類型；

一隧道結構，其具有一第一電極和一第二電極，其中一抹除端子耦合到該第一電極，且該第二電極的至少一部分具有與該第一傳導性類型相反的一第二傳導性類型；

一狀態電晶體，其包括一源極區、一汲極區、以及一閘極電極，其中用於該非揮發性記憶單元的一浮閘極電極包括該閘極電極、該電容器的該第二電極、以及該隧道結構的該第二電極；以及

一存取電晶體，其包括一源極區、一汲極區、以及一閘極電極，其中該存取電晶體的該源極區耦合到該狀態電晶體的該汲極區。

2. 如請求項1之電子裝置，其中該電容器的該第二電極、該隧道結構的該第二電極、該狀態電晶體的該閘極電極、以及該存取電晶體的該閘極電極由包括多晶矽或非晶矽的同一層構成。

3. 如請求項1之電子裝置，其中該電容器包括一p通道電晶體結構，該狀態電晶體是一第一n通道電晶體，且該存取電晶體是一第二n通道電晶體。

4. 如請求項3之電子裝置，其中該隧道結構的該第一電極

包括一n井區和佈置在該n井區內且鄰近於該隧道結構的該第二電極的一p型區。

5. 如請求項1之電子裝置，其中：

該隧道結構的該第一電極包括一n井區；

該隧道結構的該第二電極包括一p型部分和一n型部分，其中該p型部分鄰近於該第二電極的一第一側，且該n型部分鄰近於該第二電極的與該第一側相反的一第二側；

一p型區佈置在該n井區內，且鄰近於該第二電極的該第一側；以及

一n型區佈置在該n井區內、具有比該n井區高的一摻雜濃度，且鄰近於該第二電極的該第二側。

6. 如請求項1之電子裝置，更包括被佈置在一場隔離區的一特定部分下方的一第二p型摻雜區，

其中：

該電容器的該第一電極包括一第一n井區；

該隧道結構的該第一電極包括一第二n井區；

該狀態電晶體和該存取電晶體的該等源極區和該等汲極區被佈置在一第一p型區內；

該場隔離區的多個部分被佈置在該第一n井區、該第二n井區與該第一p型區之間；

該第一n井區、該第二n井區、以及該第一p型區相互電隔離；

該基板包括一半導體材料和以一摻雜濃度的一摻雜

物；

該第二p型摻雜區具有比該半導體材料的該摻雜濃度大的一摻雜濃度；以及

該場隔離區的該特定部分鄰接該第一n井區和該第二n井區。

7. 一種形成包括一非揮發性記憶單元的一電子裝置的製程，包括：

在一基板內形成一場隔離區，以限定第一有效區、第二有效區、以及第三有效區，其中該第一有效區、該第二有效區、以及該第三有效區互相間隔開；

在該基板與該場隔離區之一部分的上方形形成一浮閘極電極，其中該浮閘包括：

佈置在該第一有效區上方的一第一部分，其中該第一部分具有一第一傳導性類型，且該第一有效區具有與該第一傳導性類型相反的一第二傳導性類型；

佈置在該第二有效區上方的一第二部分，其中該第二部分之至少部分具有該第二傳導性類型，且該第二有效區具有該第二傳導性類型；以及

佈置在該第三有效區上方的一第三部分，其中該第三部分具有該第一傳導性類型，且該第三有效區具有該第二傳導性類型；以及

在該第三有效區上方形成一存取閘極電極，其中該存取閘極電極和該浮閘極電極互相間隔開。

8. 如請求項7之製程，更包括：

在該第一有效區、該第二有效區、以及該第三有效區上方形成一遮罩，其中該遮罩限定被佈置在該場隔離區的一特定部分上方的一開口；以及

在該場隔離區的該特定部分下方的一位置處將一p型摻雜物植入到該基板中。

9. 一種包含一非揮發性記憶單元的電子裝置，包括：

一電容器，其具有一第一電極和一第二電極，其中一控制閘極端子耦合到該第一電極；

一隧道結構，其具有一第一電極、一第二電極以及一隧道電介質層，其中一抹除端子耦合到該第一電極；

一狀態電晶體，其包括耦合到一源極端子的一源極區、一汲極區、一閘極電介質層、以及一閘極電極，其中該非揮發性記憶單元的一浮閘包括該閘極電極、該電容器的該第二電極、以及該隧道結構的該第二電極；以及

一存取電晶體，其包括一源極區、耦合到一位元線端子的一汲極區、以及耦合到一存取端子的一閘極電極，其中該存取電晶體的該源極區耦合到該狀態電晶體的該汲極區；

一編程單元，其耦合到該控制閘極端子、該抹除端子、該源極端子、該位元線端子、以及該存取端子，其中該編程單元配置為藉由將一第一電荷載流子傳遞通過該狀態電晶體的該閘極電介質層而給該非揮發性記憶單元編程；以及

一抹除單元，其耦合到該控制閘極端子、該抹除端

子、該源極端子、該位元線端子、以及該存取端子，其中該抹除單元配置為藉由將一第二電荷載流子傳遞通過該隧道結構的該隧道電介質層而抹除該非揮發性記憶單元。

10. 如請求項9之電子裝置，其中：

該控制閘極端子電連接到該電容器的該第一電極；

該抹除端子電連接到該隧道結構的該第一電極；

該源極端子電連接到該狀態電晶體的該源極區；

該位元線電連接到該存取電晶體的該汲極區；以及

該存取電晶體的該源極區連接到該狀態電晶體的該汲極區。

八、圖式：

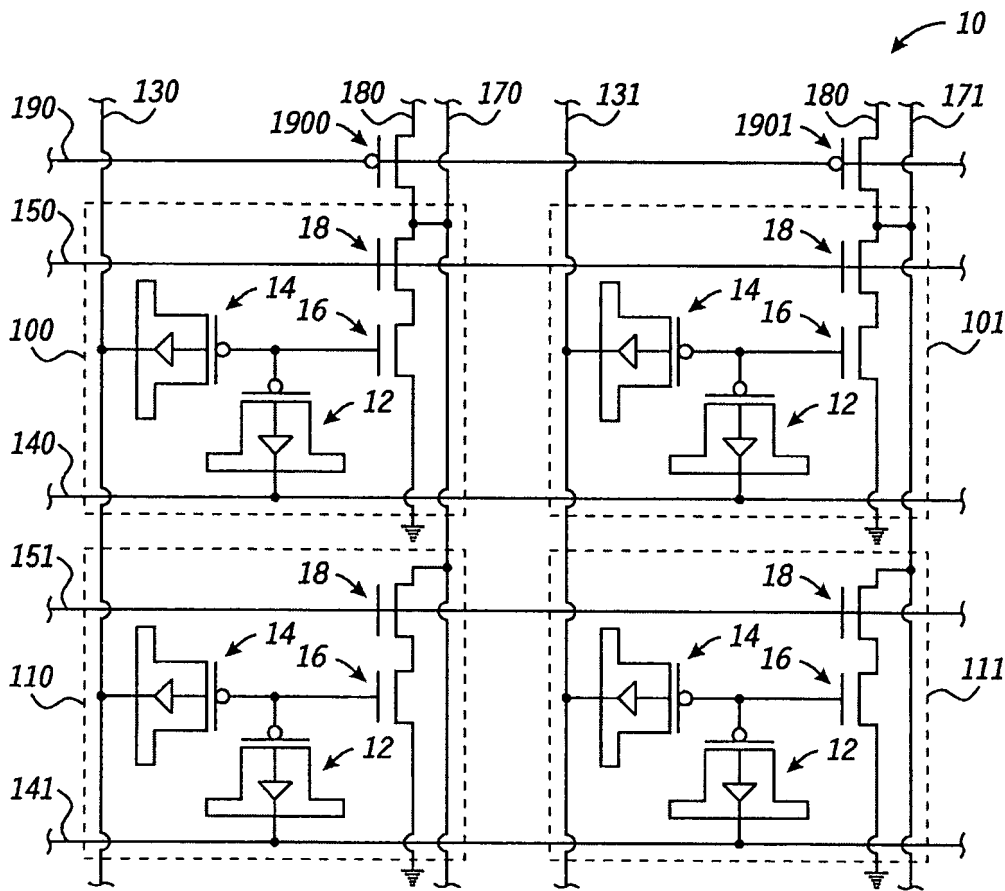


圖 1(先前技術)

	列	行	BL	AL	CL	EL	RD_en
讀取	選中	選中	0V/VDD	VDD	VDD/2	VDD	0V
	選中	未選中	0V/VDD	VDD	VDD/2	VDD	0V
	未選中	選中	0V/VDD	0V	0V	VDD	0V
	未選中	未選中	0V/VDD	0V	0V	VDD	0V
抹除	選中	選中	NA	0V	0V	10V	VDD
	選中	未選中	NA	0V	0V	VDD	VDD
	未選中	選中	NA	0V	VDD	10V	VDD
	未選中	未選中	NA	0V	VDD	VDD	VDD
編程	選中	選中	NA	0V	10V	0V	VDD
	選中	未選中	NA	0V	10V	VDD	VDD
	未選中	選中	NA	0V	0V	0V	VDD
	未選中	未選中	NA	0V	0V	VDD	VDD

圖 2(先前技術)

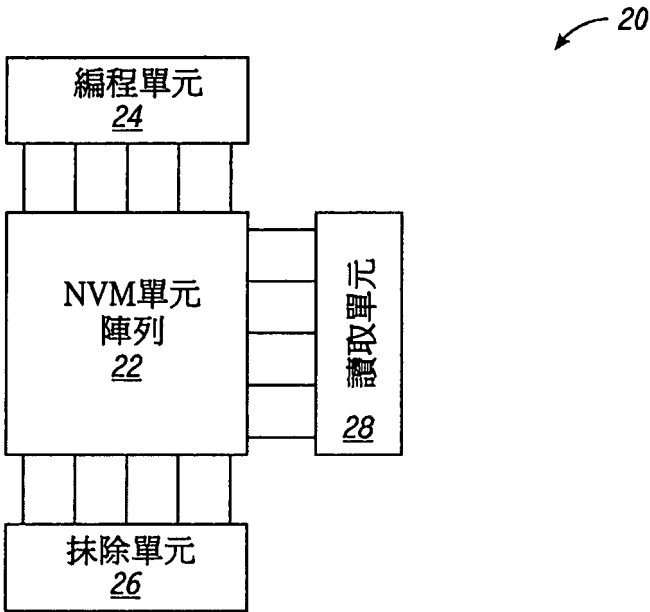


圖 3

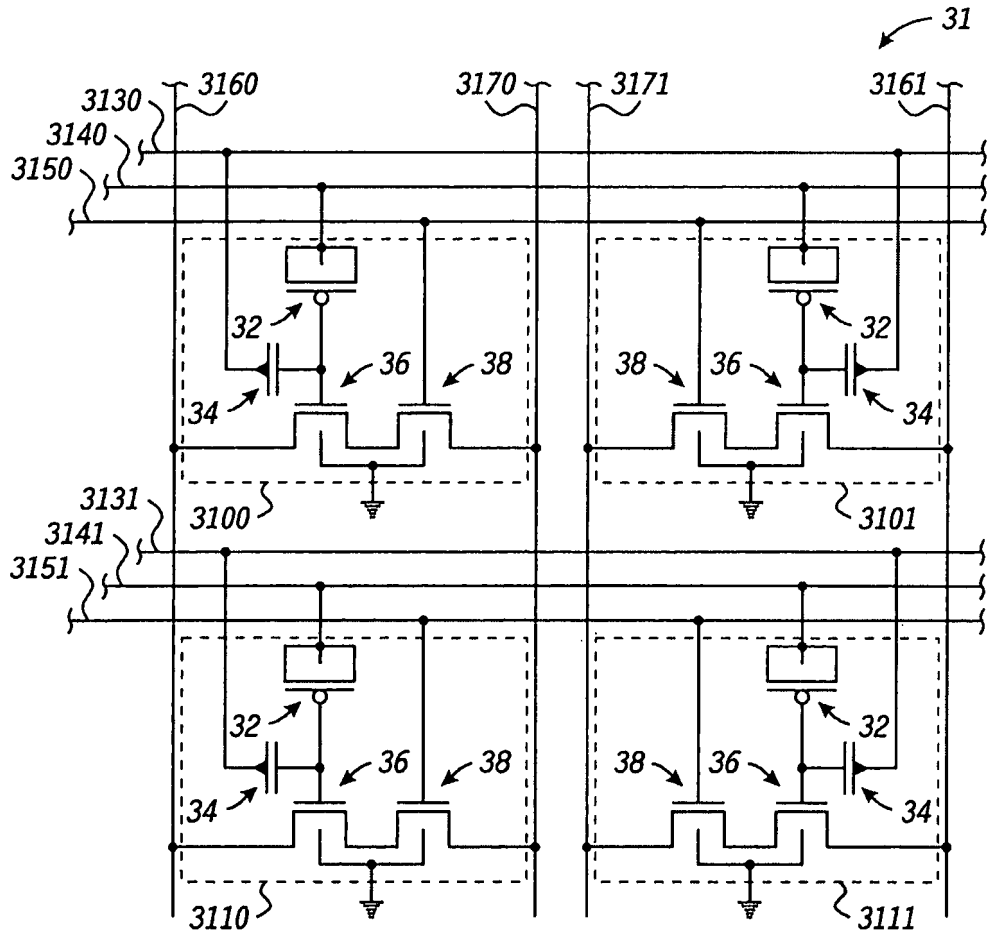


圖 4

	列	行	BL	AL	CL	EL	SL
讀取	選中	選中	VDread	VAccess	VGread	VGread	0V
	選中	未選中	0V	VAccess	VGread	VGread	0V
	未選中	選中	VDread	0V	0V	0V	0V
	未選中	未選中	0V	0V	0V	0V	0V
抹除	選中	NA	0V	0V	0V	VPP	0V
	未選中	NA	0V	0V	0V	0V	0V
編程	選中	選中	0V	0V	VPP	VPP	0V
	選中	未選中	0V	0V	VPP	VPP	Vinhibit
	未選中	選中	0V	0V	0V	0V	0V
	未選中	未選中	0V	0V	0V	0V	Vinhibit

圖 5

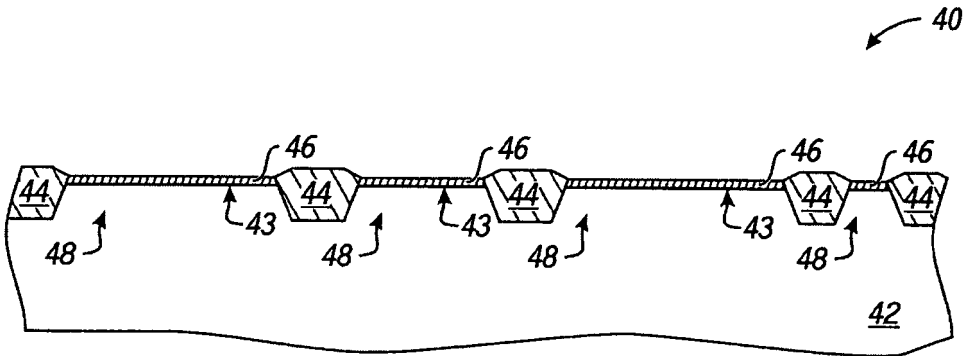


圖 6

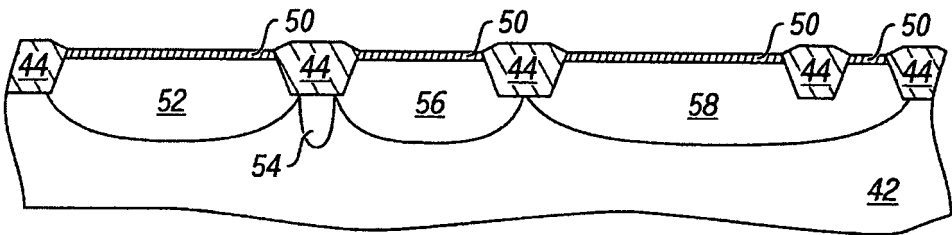


圖 7

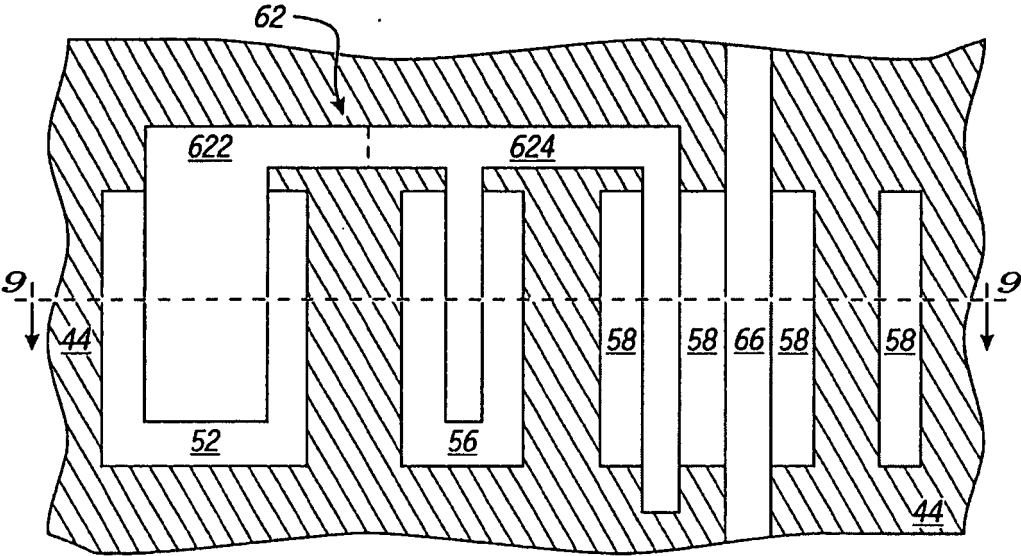


圖 8

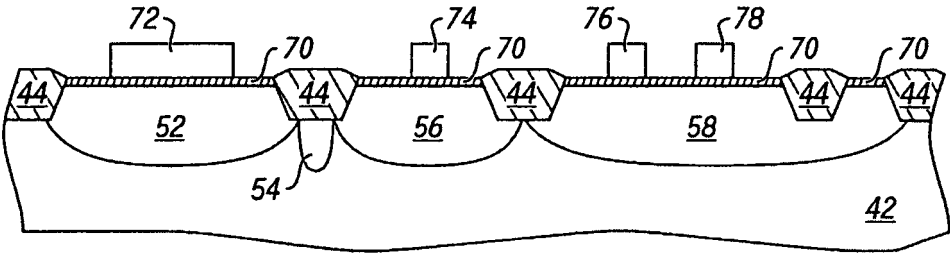


圖 9

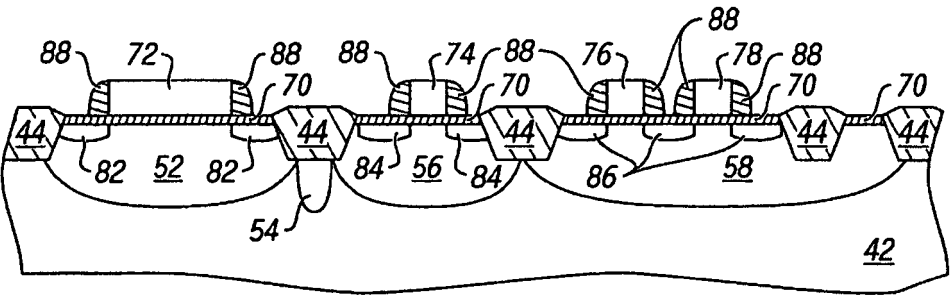


圖 10

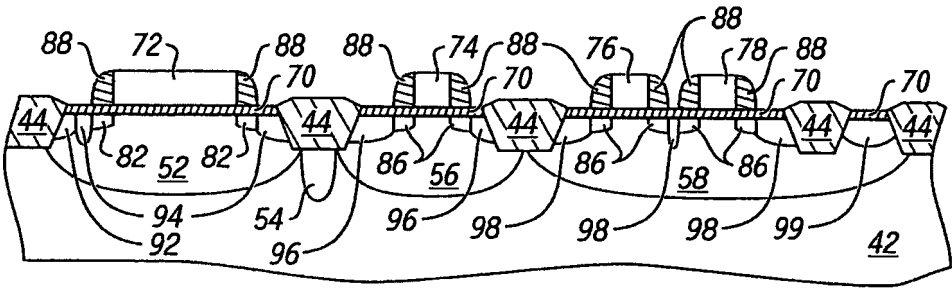


圖 11

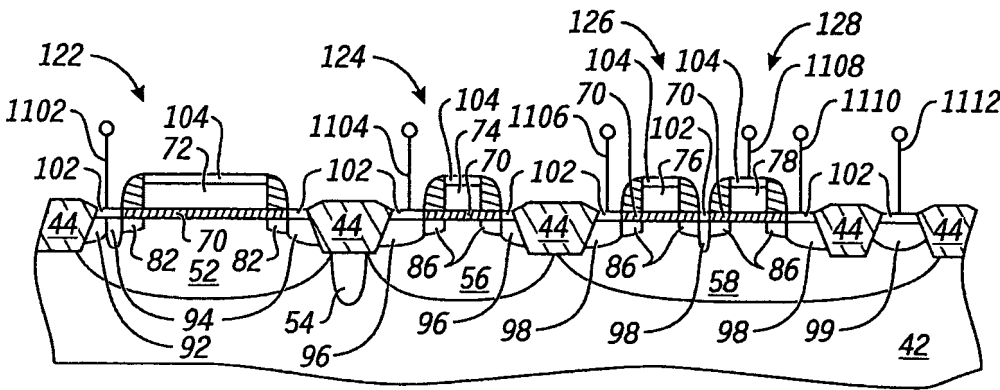


圖 12

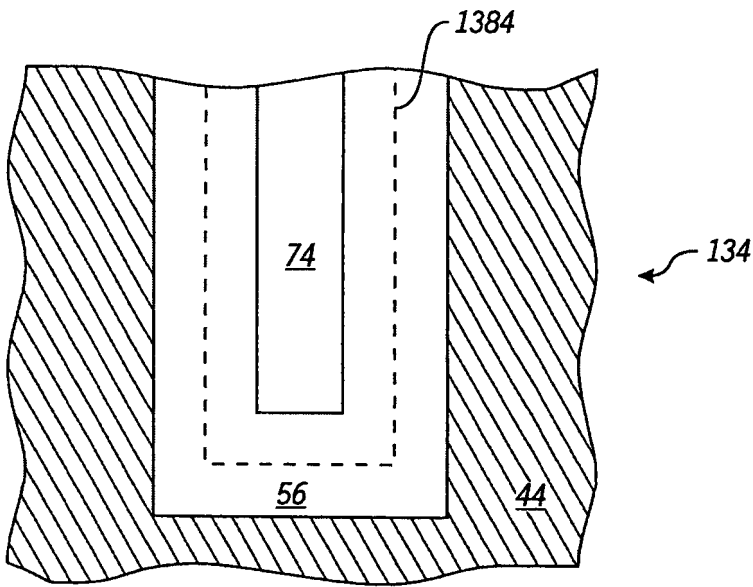


圖 13

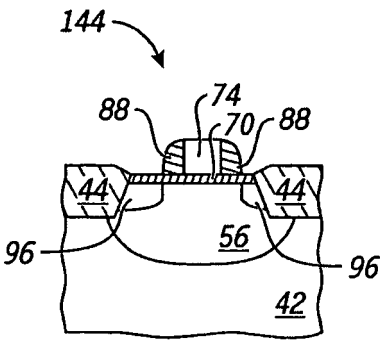


圖 14

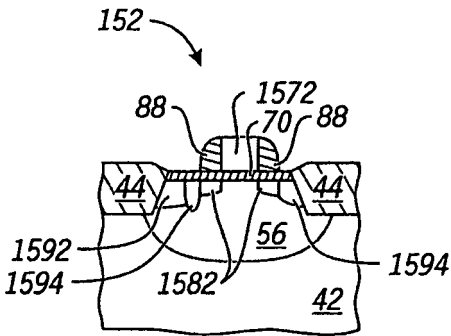


圖 15

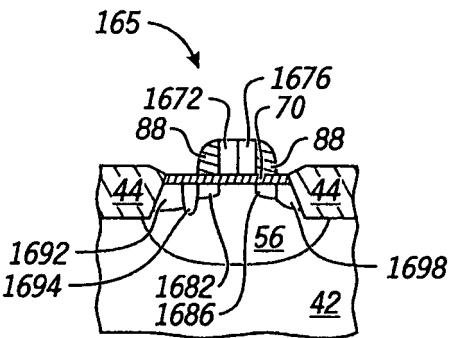


圖 16

四、指定代表圖：

(一)本案指定代表圖為：第（ 12 ）圖。

(二)本代表圖之元件符號簡單說明：

42	基板
44	場隔離區
52	井區
54	井區
56	井區
58	井區
70	電介質層
72	電極
74	電極
76	閘極電極
78	閘極電極
82	中度摻雜區
86	中度摻雜區
92	重度摻雜區
94	重度摻雜區
96	重度摻雜區
98	重度摻雜區
99	重度摻雜區
102	金屬半導體構件
104	金屬半導體構件
122	電容器

124	隧道結構
126	狀態電晶體
128	存取電晶體
1102	控制閘極端子
1104	抹除端子
1106	源極端子
1108	存取端子
1110	汲極端子
1112	地或 V_{SS} 端子

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)