

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
H01L 21/76 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200410090539.7

[45] 授权公告日 2007 年 4 月 18 日

[11] 授权公告号 CN 1311539C

[22] 申请日 2004.11.5

[21] 申请号 200410090539.7

[30] 优先权

[32] 2003.11.6 [33] JP [31] 376639/03

[73] 专利权人 株式会社瑞萨科技

地址 日本东京都

[72] 发明人 辻内干夫 岩松俊明

[56] 参考文献

JP2000-164569A 2000.6.16

JP10-209446A 1998.8.7

JP8-340044A 1996.12.24

CN 1202727A 1998.12.23

审查员 杨子芳

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 杨 凯 叶恺东

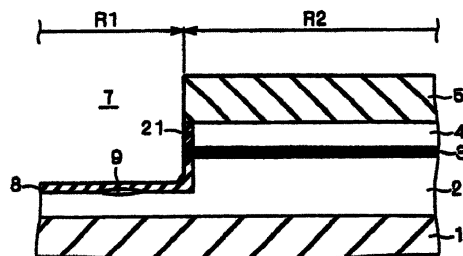
权利要求书 4 页 说明书 14 页 附图 10 页

[54] 发明名称

半导体装置的制造方法

[57] 摘要

由氧化硅衬底(1)和硅膜(2)形成 SOI 衬底。硅膜(2)的表面被氧化而形成氧化硅膜(3)。在该氧化硅膜(3)上依次形成多晶硅(4)和氮化硅膜(5)。然后,沟槽(7)形成于区域(R1)上。在沟槽(7)内埋入绝缘材料即氧化硅膜(13)。从而防止半导体器件的性能与可靠性因金属污染物质而降低的情形。



1. 一种半导体装置的制造方法，其特征在于包括以下工序：
  - (a) 在氧化硅衬底上的硅膜上将氧化硅膜、多晶硅、氮化硅膜
- 5 按该顺序层叠的工序；
  - (b) 在预定区域上将所述氮化硅膜、所述多晶硅、所述氧化硅膜和所述硅膜蚀刻，然后在所述硅膜中形成具有底面的沟槽的工序；
  - (c) 在所述沟槽中露出的所述硅膜的表面上在 600℃以下形成绝缘膜的工序；
- 10 (d) 除去所述绝缘膜的工序；以及
  - (e) 向所述沟槽埋入绝缘材料的工序。
2. 如权利要求 1 所述的半导体装置的制造方法，其特征在于：

所述工序 (c) 中，在 200℃至 600℃对所述硅膜的表面进行自由基氧化、等离子体氧化或等离子体氮化。
- 15 3. 如权利要求 1 所述的半导体装置的制造方法，其特征在于：

所述工序 (c) 中，用臭氧系溶液在 20℃至 120℃对所述硅膜的表面进行氧化。
4. 如权利要求 1 至权利要求 3 中任一项所述的半导体装置的制造方法，其特征在于：

在所述工序 (d) 和所述工序 (e) 之间，还包括在所述沟槽中露出的所述硅膜的表面上形成氧化膜的工序。
- 20 5. 如权利要求 1 至权利要求 3 中任一项所述的半导体装置的制造方法，其特征在于还包括：

在向所述沟槽埋入绝缘材料的工序之后，在 600℃以下进行 1 小时以上退火的工序。
- 25 6. 如权利要求 1 至权利要求 3 中任一项所述的半导体装置的制造方法，其特征在于还包括：

在向所述沟槽埋入绝缘材料的工序之后，将在表面露出的所述绝

缘材料的所述硅膜侧作成曲面形状的工序。

7. 一种 半导体装置的制造方法，其特征在于包括以下工序：

(a) 在氧化硅衬底上的硅膜上将氧化硅膜、多晶硅、氮化硅膜等按该顺序层叠的工序；

5 (b) 在预定区域上将所述氮化硅膜、所述多晶硅、所述氧化硅膜和所述硅膜蚀刻，然后在所述硅膜中形成具有底面的沟槽的工序；

(c) 在 800℃ 至 1200℃ 进行 30 秒至 4 小时的退火，在所述沟槽中露出的所述硅膜的表面上形成绝缘膜的工序；

(d) 除去所述绝缘膜的工序；以及

10 (e) 向所述沟槽埋入绝缘材料的工序。

8. 如权利要求 7 所述的半导体装置的制造方法，其特征在于：

所述工序 (c) 的所述退火在氮气气氛中或氩气/氧气气氛中进行。

9. 如权利要求 7 至权利要求 8 中任一项所述的半导体装置的制  
15 造方法，其特征在于：

在所述工序 (d) 和所述工序 (e) 之间，还包括在所述沟槽中露出的所述硅膜的表面上形成氧化膜的工序。

10. 如权利要求 7 至权利要求 8 中任一项所述的半导体装置的制造方法，其特征在于还包括：

20 在向所述沟槽埋入绝缘材料的工序之后，在 600℃ 以下进行 1 小时以上退火的工序。

11. 如权利要求 7 至权利要求 8 中任一项所述的半导体装置的制造方法，其特征在于还包括：

25 在向所述沟槽埋入绝缘材料的工序之后，将在表面露出的所述绝缘材料的所述硅膜侧作成曲面形状的工序。

12. 一种 半导体装置的制造方法，其特征在于包括以下工序：

(a) 在氧化硅衬底上的硅膜上将氧化硅膜、多晶硅、氮化硅膜等按该顺序层叠的工序；

(b) 在预定区域上将所述氮化硅膜、所述多晶硅、所述氧化硅膜和所述硅膜蚀刻, 然后在所述硅膜中形成具有底面的沟槽的工序;

(c) 用湿蚀刻法将所述沟槽中露出的所述硅膜的表面除去 1nm 至 20nm 厚度的工序; 以及

5 (d) 向所述沟槽埋入绝缘材料的工序。

13. 如权利要求 12 所述的半导体装置的制造方法, 其特征在于:

所述工序 (c) 中进行的所述湿蚀刻采用氨过氢系溶液、氨水溶液、缓冲氟酸溶液和氢氧化钾溶液中的任一种, 并在 20℃ 至 150℃ 温度下进行。

10 14. 如权利要求 12 或权利要求 13 所述的半导体装置的制造方法, 其特征在于:

在所述工序 (c) 和所述工序 (d) 之间, 还包括在所述沟槽中露出的所述硅膜的表面上形成氧化膜的工序。

15 15. 如权利要求 12 至权利要求 13 中任一项所述的半导体装置的制造方法, 其特征在于还包括:

在向所述沟槽埋入绝缘材料的工序之后, 在 600℃ 以下进行 1 小时以上退火的工序。

16. 如权利要求 12 至权利要求 13 中任一项所述的半导体装置的制造方法, 其特征在于还包括:

20 在向所述沟槽埋入绝缘材料的工序之后, 将在表面露出的所述绝缘材料的所述硅膜侧作成曲面形状的工序。

17. 一种半导体装置的制造方法, 其特征在于包括以下工序:

(a) 在氧化硅衬底上的硅膜上将氧化硅膜、多晶硅、氮化硅膜等按该顺序层叠的工序;

25 (b) 在预定区域上将所述氮化硅膜、所述多晶硅、所述氧化硅膜和所述硅膜蚀刻, 然后在所述硅膜中形成具有底面的沟槽的工序;

(c) 在所述沟槽中露出的所述硅膜的表面上形成氧化硅膜的工序;

(d) 向所述沟槽埋入绝缘材料的工序; 以及

(e) 在 600℃以下进行 1 小时以上退火的工序。

18. 如权利要求 17 所述的半导体装置的制造方法, 其特征在于还包括:

5      在所述工序 (e) 之后, 在所述硅膜上形成阱区的工序。

19. 如权利要求 17 或权利要求 18 所述的半导体装置的制造方法, 其特征在于还包括:

在向所述沟槽埋入绝缘材料的工序之后, 将在表面露出的所述绝缘材料的所述硅膜侧作成曲面形状的工序。

10

## 半导体装置的制造方法

### 5 技术领域

本发明涉及半导体装置的制造方法，例如可适用于晶体管或集成电路、存储器的半导体装置的制造方法。

### 背景技术

10 一直以来，作为一种制造半导体器件的技术，将具有MOS（Metal Oxide Semiconductor）结构等的器件形成在SOI（Silicon on Insulating substrate）衬底上。并且，为将元件之间隔离，用pn结隔离或氧化膜隔离（例如LOCOS（Local Oxidation of Silicon）法等）等。

15 还有，在专利文献1特开平10-209446号公报中公开了降低硅衬底中的污染物质浓度，防止污染物质扩散到其后形成的氧化膜上的技术。在专利文献2特表平11-513538号公报中公开了形成用以将元件之间隔离的沟槽隔离区的技术。还有，在非专利文献1：K·Horita等7人文章“Advanced Shallow Trench Isolation to Suppress the Inverse Narrow Channel Effects for 0.24 $\mu$ m Pitch Isolation and Beyond”（2000  
20 Symposium on VLSI Technology Digest of Technical Papers, 2000年、p178-179）中介绍了将氮化硅膜和多晶硅/氧化硅膜的层叠结构用于CMP的掩模的技术。在非专利文献2“硅科学”（大见忠弘等主编，REALIZE Inc, p. 1015）中介绍了污染金属的扩散系数和温度之间的关系。

25 但是，在SOI衬底上形成器件时层间会残留金属污染物质，并且形成用于元件隔离的沟槽时在沟槽底部会附着金属污染物质。该金属污染物质成为降低半导体器件的性能与可靠性的原因之一。

迄今为止，还有人提出了除去金属污染物质的方法。即，在硅

表面上形成栅绝缘膜前，在形成该栅绝缘膜的位置上形成牺牲氧化膜。然后，使金属污染物质扩散并凝聚在硅和牺牲氧化膜的界面，再连同牺牲氧化膜一起除去金属污染物质。

5 但是，据认为这种方法会有以下的问题。即，该凝聚的金属污染物质在硅表面上留有凹部的痕，若在该硅表面上形成栅绝缘膜，则在该凹部的痕上产生应力，因而在绝缘膜上出现龟裂而造成绝缘破坏。

### 发明内容

10 本发明鉴于上述问题构思而成，旨在防止半导体器件的性能与可靠性的降低。

本发明第一方面的半导体装置的制造方法中包括以下工序：（a）在氧化硅衬底上的硅膜上将氧化硅膜、多晶硅、氮化硅膜等按该顺序层叠的工序；（b）在预定区域上将所述氮化硅膜、所述多晶硅、  
15 所述氧化硅膜和所述硅膜蚀刻，然后在所述硅膜中形成具有底面的沟槽的工序；（c）在所述沟槽中露出的所述硅膜的表面上在 600℃ 以下形成绝缘膜的工序；（d）除去所述绝缘膜的工序；以及（e）向所述沟槽埋入绝缘材料的工序。

本发明第二方面的半导体装置的制造方法中包括以下工序：（a）  
20 在氧化硅衬底上的硅膜上将氧化硅膜、多晶硅、氮化硅膜等按该顺序层叠的工序；（b）在预定区域上将所述氮化硅膜、所述多晶硅、所述氧化硅膜和所述硅膜蚀刻，然后在所述硅膜中形成具有底面的沟槽的工序；（c）在 800℃ 至 1200℃ 进行 30 秒至 4 小时的退火，在所述沟槽中露出的所述硅膜的表面上形成绝缘膜的工序；（d）除去  
25 所述绝缘膜的工序；以及（e）向所述沟槽埋入绝缘材料的工序。

本发明第三方面的半导体装置的制造方法中包括以下工序：（a）在氧化硅衬底上的硅膜上将氧化硅膜、多晶硅、氮化硅膜等按该顺序层叠的工序；（b）在预定区域上将所述氮化硅膜、所述多晶硅、

所述氧化硅膜和所述硅膜蚀刻，然后在所述硅膜中形成具有底面的沟槽的工序；（c）用湿蚀刻法将所述沟槽中露出的所述硅膜的表面除去 1nm 至 20nm 厚度的工序；以及（d）向所述沟槽埋入绝缘材料的工序。

- 5        本发明第四方面的半导体装置的制造方法包括以下工序：（a）在氧化硅衬底上的硅膜上将氧化硅膜、多晶硅、氮化硅膜等按该顺序层叠的工序；（b）在预定区域上将所述氮化硅膜、所述多晶硅、所述氧化硅膜和所述硅膜蚀刻，然后在所述硅膜中形成具有底面的沟槽的工序；（c）在所述沟槽中露出的所述硅膜的表面上形成氧化膜的工序；（d）向所述沟槽埋入绝缘材料的工序；以及（e）在 600
- 10        °C 以下进行 1 小时以上退火的工序。

依据本发明第一或第二方面的半导体装置的制造方法，能够通过工序（c），使金属污染物质扩散并凝聚在硅膜和绝缘膜的界面上，并能够连同绝缘膜除去金属污染物质。因而，能够防止半导体装置

15        的性能与可靠性的降低。

依据本发明第三方面的半导体装置的制造方法，能够通过工序（c）除去附着在硅膜表面上的金属污染物质。因而，能够防止半导体装置的性能与可靠性的降低。

依据本发明第四方面的半导体装置的制造方法，能够通过工序（e）使金属污染物质扩散并凝聚在硅膜和氧化膜的界面上。因而，能够防止半导体装置的性能与可靠性的降低。

20       

#### 附图说明

图 1 是示意表示半导体装置的平面图。

25        图 2 是表示实施例 1 中说明的、制造阶段的半导体装置的剖视图。

图 3 是表示实施例 1 中说明的、制造阶段的半导体装置的剖视图。



图 4 是表示实施例 1 中说明的、制造阶段的半导体装置的剖视图。

图 5 是表示实施例 1 中说明的、制造阶段的半导体装置的剖视图。

5 图 6 是表示实施例 1 中说明的、制造阶段的半导体装置的剖视图。

图 7 是表示实施例 1 中说明的、制造阶段的半导体装置的剖视图。

10 图 8 是表示实施例 1 中说明的、制造阶段的半导体装置的剖视图。

图 9 是表示实施例 1 中说明的、制造阶段的半导体装置的剖视图。

图 10 是表示实施例 1 中说明的、制造阶段的半导体装置的剖视图。

15 图 11 是表示实施例 1 中说明的、制造的半导体装置的剖视图。

图 12 是表示实施例 2 中说明的、制造阶段的半导体装置的剖视图。

图 13 是表示在实施例 2 中说明的、制造阶段的半导体装置的剖视图。

20 图 14 是表示实施例 2 中说明的、制造阶段的半导体装置的剖视图。

图 15 是表示实施例 3 中说明的、制造阶段的半导体装置的剖视图。

25 图 16 是表示实施例 3 中说明的、制造阶段的半导体装置的剖视图。

图 17 是表示实施例 3 中说明的、制造阶段的半导体装置的剖视图。

图 18 是表示实施例 4 中说明的、制造阶段的半导体装置的剖视

图。

图 19 是表示实施例 4 中说明的、制造阶段的半导体装置的剖视图。

5 图 20 是表示实施例 4 中说明的、制造阶段的半导体装置的剖视图。

图 21 是表示在实施例 4 中说明的、制造阶段的半导体装置的剖视图。

图 22 是表示实施例 4 中说明的、制造阶段的半导体装置的剖视图。

10 图 23 是表示其绝缘材料与硅膜呈曲面形状的、制造阶段的半导体装置的剖视图。

图 24 是表示实施例 1 中说明的、Fe 的温度和扩散距离的关系的示图。

15 图 25 是表示实施例 1 中说明的、Ni 的温度和扩散距离的关系的示图。

图 26 是表示实施例 1 中说明的、Co 的温度和扩散距离的关系的示图。

图 27 是表示实施例 1 中说明的、Ti 的温度和扩散距离的关系的示图。

20 图 28 是表示实施例 1 中说明的、Al 的温度和扩散距离的关系的示图。

图 29 是表示实施例 1 中说明的、Cr 的温度和扩散距离的关系的示图。

(符号说明)

25 1 氧化硅衬底; 2 硅膜; 3、8、12、13、15、21、22、23 氧化硅膜; 4 多晶硅; 5 氮化硅膜; 7 沟槽; R1 区域。

## 具体实施方式

### 实施例1

本实施例中，将沟槽内部低温氧化。图1是用本实施例中说明的方法制作的半导体装置的平面图。图10与图11分别是图1所示的位置Y-Y与位置X-X处的示意剖视图，图2至图10是将在位置Y-Y的SOI衬底上形成MOS器件的过程顺序表示的剖视图。但是，本说明书中所述的MOS器件的栅电极材料并不限于金属（Metal），也包含用导电性半导体的场合。

第一，SOI衬底由氧化硅衬底1和硅膜2形成。在不与氧化硅衬底1相对的硅膜2的表面上，通过氧化形成氧化硅膜3。然后在氧化硅膜3上依次层叠了多晶硅4和氮化硅膜5。区域R1被设定为形成元件隔离的结构，区域R2被设定为形成元件。在氮化硅膜5上层叠了在区域R1上开口并覆盖区域R2的光刻胶树脂6。光刻胶树脂6的端面7a位于区域R1、R2的边界上（图2）。

在形成氧化硅膜3、多晶硅4、氮化硅膜5等的各阶段上都有可能附着金属污染物质。可看作金属污染物质的有：铁（Fe）、镍（Ni）、钴（Co）、钛（Ti）、铝（Al）、铬（Cr）等。

第二，按照在光刻胶树脂6的端面7a上形成的图案，将氮化硅膜5和多晶硅4、氧化硅膜3、硅膜2等蚀刻，从而在区域R1上形成沟槽7。在光刻胶树脂6的表面上开口，内部空心的沟槽7的底面位于硅膜2中（图3）。在形成沟槽7时，沟槽7的底面有可能附着上金属污染物质。

第三，除去光刻胶树脂6，在600℃以下在沟槽7中露出的硅膜2表面上形成绝缘膜。绝缘膜形成方法可采用将硅膜2自由基氧化或高密度等离子体氧化等方式。例如进行高密度等离子体氧化时，设衬底温度为200℃至600℃，将激发能以等离子体的方式提供。从而，在沟槽7中露出的硅膜2的表面上引起氧化反应，形成氧化硅膜8作为绝缘膜。同时，也对在沟槽7的侧面露出的多晶硅4实施氧化，形成氧化硅膜21。附着于沟槽7底面的金属污染物质在氧化硅膜8和硅膜2的界面或氧化硅膜8的内部凝聚后成为金属硅化物9（图4）。

形成的氧化硅膜8的厚度可由附着于沟槽7底面的金属污染物质向硅膜2浸入的深度和在哪里凝聚金属污染物质来确定。可以让金属污染物质在硅膜2和氧化硅膜8的界面凝聚，也可以让其在氧化硅膜8的内部凝聚。例如，若设金属污染物质浸入深度最大为10nm，则让污染金属凝聚在硅膜2和氧化硅膜8的界面上时，氧化硅膜8的厚度为1~10nm左右，而让金属污染物质凝聚在氧化硅膜8内部时，氧化硅膜的厚度为1~30nm左右。这种膜厚确定方法也适用于在硅膜2表面形成的绝缘膜为如后述的氮化硅膜的情况。

第四，用HF（氢氟酸）系溶液除去在第三工序中形成的氧化硅膜8。随之也除去金属硅化物9，在沟槽7的硅膜2中形成凹部11。这时，在沟槽7侧面露出的部分中由第一工序形成的氧化硅膜3也因HF系溶液而被浸蚀，该被浸蚀的部分成为凹部10。并且，在第三工序中形成的氧化硅膜21也被HF系溶液除去（图5）。

第五，通过再氧化，在沟槽7中露出的硅膜2表面上形成氧化硅膜12。同时，在沟槽7侧面露出的部分中多晶硅4也被氧化，形成氧化硅膜22。这时的氧化与形成氧化硅膜8时不同，并不需要在600℃以下进行。然后，淀积埋入沟槽7且覆盖氮化硅膜5表面上的绝缘材料，例如氧化硅膜13。在前者和后者上淀积的氧化硅膜13连续（图6）。

氧化硅膜12形成时，可能在凹部10产生应力而出现龟裂。但是，埋入了氧化硅膜13的沟槽7起着将元件隔离的作用，龟裂的发生不影响其功能。

第六，用CMP（Chemical and Mechanical Polishing：化学机械研磨），将在第五工序中形成的氧化硅膜13研磨并平坦化，同时使氮化硅膜5的整个表面露出（图7）。这时，残留在沟槽7内部的氧化硅膜12、13成为将元件隔离的氧化膜即隔离氧化膜30。

第七，除去氮化硅膜5和多晶硅4、氧化硅膜3、氧化硅膜22等（图8）。将通过除去上述部分而露出的硅膜2的表面氧化，从而形成氧化硅膜40（图9）。然后，在氧化硅膜13、40的表面上淀积多晶硅50

(图10)。

5 第八,第七工序后,再经多晶硅50的图案蚀刻、绝缘膜形成以及绝缘膜的图案蚀刻,在多晶硅50的侧面形成绝缘膜60。然后,通过注入杂质离子以及形成金属硅化物膜70来制作半导体器件(图11)。

金属污染物质容易扩散并凝聚在半导体器件中应力相对较大的部分上。由于沟槽7中的应力比其它部分大,附着在沟槽7底面的金属污染物质在氧化时容易滞留在该底面。

10 另一方面,金属污染物质的扩散依赖于温度。图24至图29中示出不同金属污染物质时的金属污染物质的温度和扩散距离的关系。金属污染物质的扩散距离由 $(D \times t)^{1/2}$ 求得。其中,D表示扩散系数(单位:  $\text{cm}^2/\text{sec}$ ),t表示扩散时间(单位: sec)。扩散系数D可根据非专利文献2中的Fig. 1中介绍的扩散系数D和温度之间的关系,按每种金属污染物质求得。

15 由于在硅膜2表面上形成氧化硅膜8时的温度在 $600^\circ\text{C}$ (图中曲线的横轴表示的温度单位是开尔文(K),对应于873K)以下,由图24~图29可知金属污染物质的扩散距离较小。因此,在沟槽7底面的金属污染物质难以从区域R1扩散到区域R2,而容易凝聚在氧化硅膜8和硅膜2的界面或者氧化硅膜8的内部。如图26~图29所示,在 $600^\circ\text{C}$ 以下,20 Co、Ti、Al、Cr的扩散距离非常小,这说明对这些污染物质本实施例特别有效。因而,在半导体器件的制作工艺中能够清除混入的金属污染物质,防止半导体器件的性能与可靠性的降低。

25 在清除附着在沟槽7底面的金属污染物质的场合,还是在清除在第一工序中记载的硅膜2或氧化硅膜3、多晶硅4、氮化硅膜5等各部分的界面(在区域R2的界面)上存在的金属污染物质的场合,形成氧化硅膜8都是有效的。就是说,通过形成氧化硅膜8,使在区域R2中的界面上存在的金属污染物质扩散并凝聚在硅膜2和氧化硅膜8的界面或者氧化硅膜8的内部,该金属污染物质成为金属硅化物9。因

而，如图24、图25所示，在600℃以下，对扩散距离较大的Fe、Ni等特别有效。

这时也与上述内容一样地，金属硅化物9同氧化硅膜8一起被HF系溶液除去。因而，能够清除在半导体器件的制作过程中混入的金属污染物质，并能防止半导体器件的性能与可靠性的降低。

上述第三工序中，可对沟槽7中露出的硅膜2表面实施等离子体氮化。这时，衬底温度设为200℃至600℃，以等离子体的方式供给激发能。从而，在沟槽7中露出的硅膜2和多晶硅4表面上引起氮化反应，形成氮化硅膜作为绝缘膜。金属污染物质扩散并凝聚在氮化硅膜和硅膜2的界面或者氮化硅膜的内部而成为金属硅化物9。然后，在第四工序中用磷酸系溶液取代HF系溶液，从而将金属硅化物9同氮化硅膜一起除去。

在上述第三工序中，也可以用臭氧系溶液氧化沟槽7中露出的硅膜2的表面。这时，衬底温度设为20℃至120℃。从而，在沟槽7中露出的硅膜2和多晶硅4的表面上引起氧化反应，形成氧化硅膜8作为绝缘膜。金属污染物质扩散并凝聚在氧化硅膜8和硅膜2的界面或者氧化硅膜8的内部而成为金属硅化物9。然后，在第四工序中，金属硅化物9同氧化硅膜8一起被HF系溶液除去。

不管将硅膜2的表面用等离子体氮化还是用臭氧系溶液氧化，都与上述例如用等离子体氧化的方法同样地，能够清除在半导体器件的制作过程中混入的金属污染物质。因而，能够防止半导体器件的性能与可靠性的降低。

## 实施例2

本实施例中，在氮气气氛中进行退火。图12至图14是图1所示的位置Y-Y的示意剖视图，依次表示在SOI衬底上形成MOS器件的过程。

第一，与实施例中记载的第一与第二工序一样，在SOI衬底上形成各种膜，然后形成沟槽7（图3）。这时有可能在形成硅膜2或氧化

硅膜3、多晶硅4、氮化硅膜5等的各阶段上附着金属污染物质，并且，也有可能

5 第二，除去光刻胶树脂6并进行氮化。该氮化过程中，在800℃至1200℃的氮气气氛中对硅膜2表面退火30秒至4小时，从而在沟槽7中露出的硅膜2的表面形成氮化硅膜15作为绝缘膜。与此同时，在沟槽7侧面露出的部分中多晶硅4也被氮化，形成氮化硅膜23。在硅膜2或氧化硅膜3、多晶硅4、氮化硅膜5等的各界面上的金属污染物质，扩散并凝聚在硅膜2和氮化硅膜15的界面或者氮化硅膜15的内部，成为金属硅化物9（图12）。

10 与实施例1同样地，形成的氮化硅膜15的厚度取决于附着在沟槽7底面的金属污染物质浸入硅膜2的深度和在哪里凝聚金属污染物质。

15 第三，用20℃至180℃的磷酸系溶液除去在第二工序中形成的氮化硅膜15。与此同时，也除去金属硅化物9，在沟槽7的硅膜2上形成凹部11。这时，在沟槽7侧面露出的部分中由第一工序形成的氮化硅膜5也被磷酸系溶液浸蚀。并且，氮化硅膜23也被磷酸系溶液除去。这时，由于氧化硅膜3与磷酸系溶液不反应，氧化硅膜3以突出的形状16呈现在沟槽7的侧面（图13）。

20 在除去氮化硅膜15时，也可用20℃至100℃的HF溶液。这时也同样能够除去金属硅化物9。

25 第四，通过氧化在沟槽7中露出的硅膜2表面上形成氧化硅膜12。与此同时，在沟槽7侧面露出的部分中多晶硅4也被氧化，形成氧化硅膜22。然后，埋入沟槽7且覆盖氮化硅膜5表面上的绝缘材料，例如氧化硅膜13被淀积。在前者和后者上淀积的氧化硅膜13相连续（图14）。

氧化硅膜12形成时，有可能在凹部10产生应力而出现龟裂。但是，埋入氧化硅膜13的沟槽7起着将元件隔离的作用，因此龟裂的发生不会对该作用产生影响。

第五，与实施例1中记载的第六至第八工序一样，制作半导体器件。

与半导体器件的其它部分相比，沟槽7上所受的应力较大。因此，通过退火而扩散到硅膜2和氮化硅膜15的界面的金属污染物质，容易  
5 在该界面滞留并凝聚。并且，设定为30秒至4小时的退火时间，足以使金属污染物质到达硅膜2和氮化硅膜15的界面。

例如，若Fe或Ni、Co、Cr等金属污染物质必须扩散的距离为0.1mm，则1200℃下需要1.22秒至18.3秒的扩散时间，在800℃下需要2.60秒至53.6分钟的扩散时间。另外，若必须扩散的距离设为1mm，  
10 则在1200℃下需要2.03分钟至30.4分钟的扩散时间，在800℃下需要4.34分钟至89.4小时的扩散时间。如此，退火时间根据金属污染物质的种类或温度、扩散距离等来设定。

由上述内容可知，通过在800℃至1200℃的氮气气氛中经30秒至4小时对硅膜2的表面进行退火，区域R2中的金属污染物质容易扩散  
15 到区域R1，在硅膜2和氮化硅膜15的界面中凝聚。因而，能够清除在半导体器件的制作过程混入的金属污染物质，防止半导体器件的性能与可靠性的降低。

不仅在清除在硅膜2或氧化硅膜3、多晶硅4、氮化硅膜5等的各界面中存在的金属污染物质时，在清除附着在沟槽7底面的金属污染  
20 物质时，本实施例的特征中的800℃至1200℃的氮气气氛退火也是有效的。

上述第二工序中，也可将沟槽7中露出的硅膜2的表面，在800℃至1200℃的氩气/氧气气氛中进行退火。这时，将硅膜2的表面氧化而形成的氧化硅膜作为绝缘膜，并在硅膜2和氧化硅膜的界面上形成微  
25 小的凹凸。从而，易在该处滞留的金属污染物质，在氧化硅膜和硅膜2的界面上或氧化硅膜的内部凝聚，成为金属硅化物9。然后，在第三工序中，金属硅化物9连同氧化硅膜一起被HF系溶液除去。

### 实施例3



本实施例中，将沟槽内部蚀刻。图15至图17是图1所示的位置Y-Y的示意剖视图，依次表示在SOI衬底上形成MOS器件的过程。

5 第一，与实施例1中记载的第一与第二工序一样，在SOI衬底上形成各种膜，然后形成沟槽7（图3）。这时，沟槽7的底面有可能附着金属污染物质。

第二，除去光刻胶树脂6，用20℃至150℃的氨过氢（ $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ ：APM）系溶液，对沟槽7中露出的硅膜2表面进行湿蚀刻。从而，能够清除附着于硅膜2的金属污染物质。例如，当金属污染物质对硅膜2的浸入深度为10nm左右时，通过湿蚀刻除去的硅膜厚度最好为10nm至20nm。氨过氢系溶液也将多晶硅4蚀刻，因此，在沟槽7侧面的多晶硅4和硅膜2的各端面退后，在沟槽7侧面呈现氧化硅膜3突出的形状14（图15）。10

第三，将在沟槽7中露出的硅膜2表面氧化而形成氧化硅膜12。与此同时，在沟槽7侧面露出的部分中多晶硅4也被氧化，形成氧化硅膜22（图16）。然后，淀积埋入沟槽7且覆盖氮化硅膜5的表面上15的绝缘材料，例如氧化硅膜13。在前者和后者上淀积的氧化硅膜13相连续（图17）。

第四，与实施例1中记载的第六至第八工序一样，制作半导体器件。

20 通过用氨过氢系溶液蚀刻在沟槽7中露出的硅膜2的表面，除去附着在沟槽7底面的金属污染物质。因而，能够清除在半导体器件的制作过程中混入的金属污染物质，并能防止半导体器件的性能与可靠性的降低。

上述第二工序中，可以用20℃至150℃的氨水溶液或20℃至150℃的缓冲氟酸（BHF）溶液、20℃至150℃的氢氧化钾（KOH）溶液等，对在沟槽7中露出的硅膜表面进行湿蚀刻。这时，也能得到与上述用20℃至150℃的氨过氢系溶液时一样的效果。25

在上述实施例1的第五工序、实施例2的第四工序、实施例3的第

三工序中，通过分别在沟槽7中露出的硅膜2的表面上形成氧化硅膜12，在硅膜2的沟槽7侧的边缘部分25成为曲面状（图6、图14、图16）。从而，能够减小边缘部25成尖角时有可能引起的电场集中。因而，能够防止半导体装置的性能与可靠性的降低。

- 5           以上实施例中均考虑不形成氧化硅膜12时的情况，但例如能够通过形成氧化硅膜12来回避电场集中。

#### 实施例4

本实施例中，在低温下进行退火。图18至图22是图1所示的位置Y-Y处的示意剖视图，依次表示在SOI衬底上形成MOS器件的过程。

- 10           第一，与实施例1中记载的第一与第二工序一样，在SOI衬底上形成各种膜，然后形成沟槽7（图3）。这时，有可能在形成硅膜2或氧化硅膜3、多晶硅4、氮化硅膜5等的各阶段上附着金属污染物质，并且，也有可能

- 15           第二，通过除去光刻胶树脂6并进行氧化来形成露出于沟槽7的氧化硅膜8。与此同时，在沟槽7的侧面露出的部分中多晶硅4也被氧化，形成氧化硅膜21（图18）。然后，淀积埋入沟槽7且覆盖氮化硅膜5的表面的绝缘材料，例如氧化硅膜13。在前者和后者上淀积的氧化硅膜13相连续（图19）。

- 20           第三，用CMP方法将在第二工序中形成的氧化硅膜13研磨并平坦化，同时使氮化硅膜5的整个表面露出（20）。这时，在沟槽7的内部残留的氧化硅膜8、13、21成为隔离氧化膜30。然后，氮化硅膜5和多晶硅4被除去（图21）。

- 25           第四，在600℃以下对制作到第三工序的整个半导体器件退火1小时以上。从而，在第一工序中混入的金属污染物质在硅膜2和氧化硅膜8的界面中凝聚，成为金属硅化物17a、17b。金属硅化物17a是沟槽7形成时附着的金属污染物质凝聚而形成，而金属硅化物17b是在硅膜2或氧化硅膜3、多晶硅4、氮化硅膜5等各自界面上存在的金属污染物质扩散并凝聚而形成（图22）。

第五，在氧化硅膜3、13、21表面上淀积多晶硅50。以下，与实施例1的第八工序一样制作半导体器件。

与半导体器件的其它部分相比，金属污染物质容易滞留在其应力较大的沟槽7。因此，此处凝聚的金属污染物质成为金属硅化物17a、17b。因而，在器件工作的主要部分（区域R2）中大致不存在金属污染物质，能够防止半导体器件的性能与可靠性的降低。

在上述半导体器件的制作过程中，需要在硅膜2上形成阱区时，可在第三工序和第四工序之间即在图21所示的状态下，向硅膜2从氧化硅膜3侧注入杂质，形成阱区。这时，通过第四工序进行的退火，使注入到阱区的杂质与金属污染物质一起扩散，阱区的杂质浓度有可能偏离设定值。因此，退火后最好再调整阱区的杂质浓度。

需要在硅膜2上形成阱区时，也可以在第四工序后在所述硅膜2上形成阱区。这时，无需再次调整阱区的杂质浓度，从而简化工序。

在实施例1的第七工序（包含被实施例2的第四工序或实施例3的第五工序中采用的场合）中，在除去氧化硅膜3之前，可采用本实施例的第四工序中说明的退火方法，从而能够更有效地防止半导体器件的性能与可靠性的降低。

在上述任何实施例中，向沟槽7埋入绝缘材料13后，也可以使表面上露出的绝缘材料13的氧化硅膜2侧成为曲面形状。图23例如与图8对应，表示在表面上露出的绝缘材料13的氧化硅膜2侧的部分26呈现曲面形状的情况。

当绝缘材料13的部分26呈现曲面形状时，对应于绝缘材料13的部分26的硅膜2表面的斜率得以缓和。因而，使形成栅极的工艺变得容易。

图 1

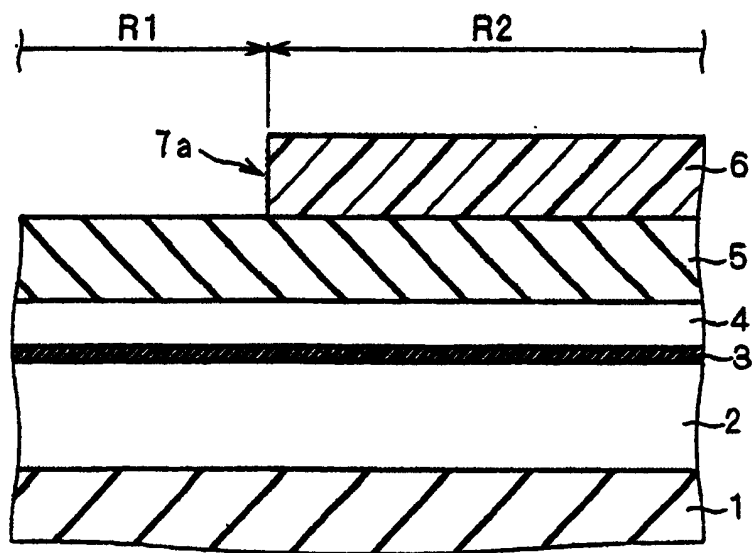
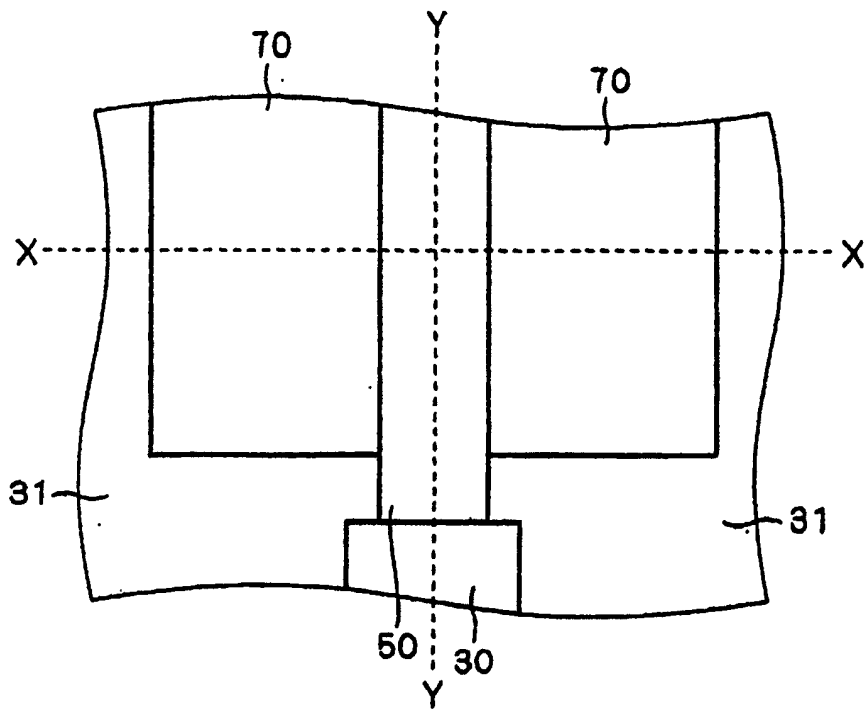


图 2

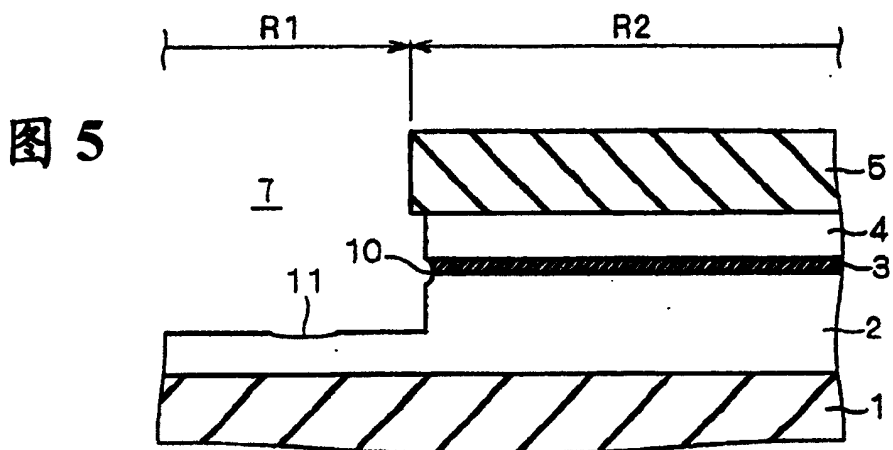
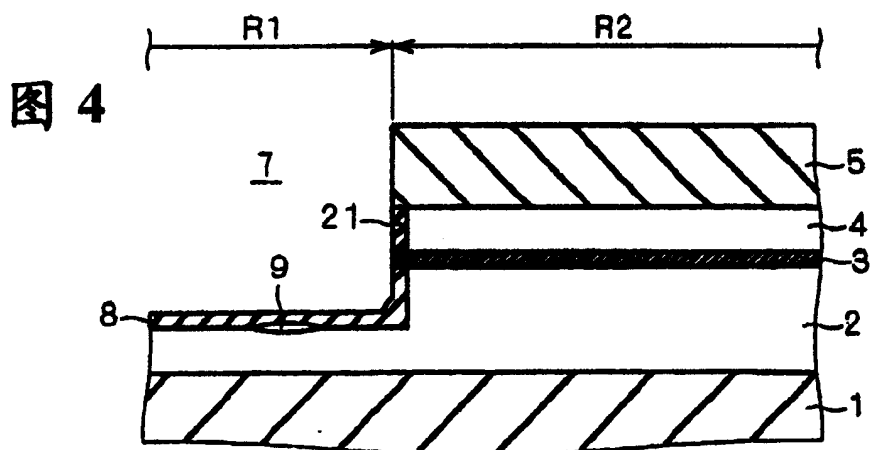
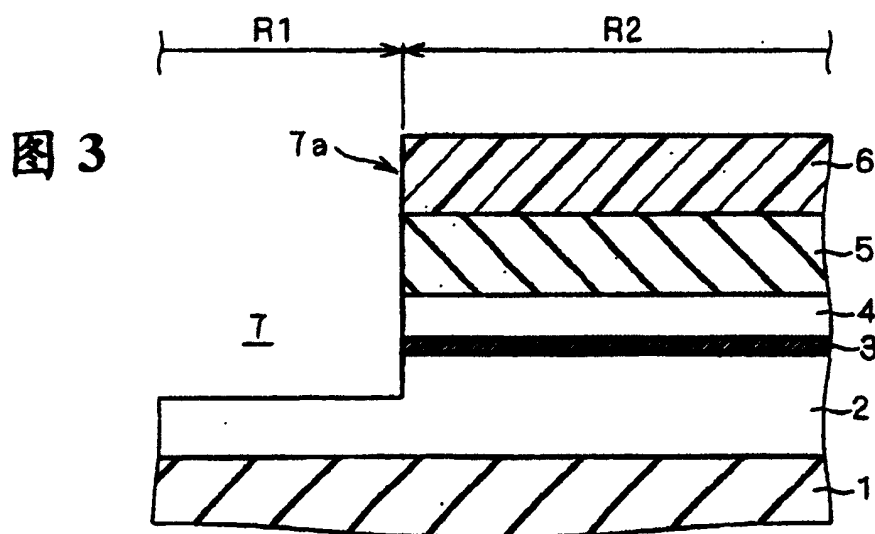


图 6

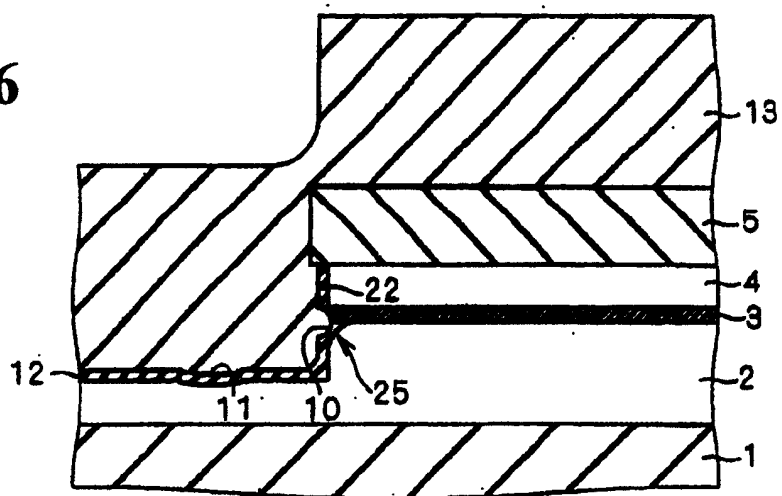


图 7

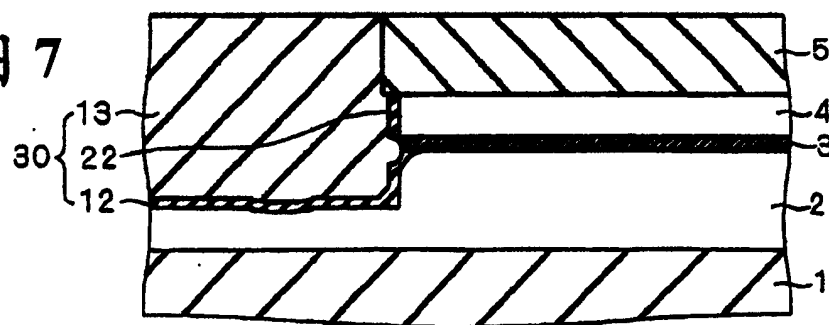


图 8

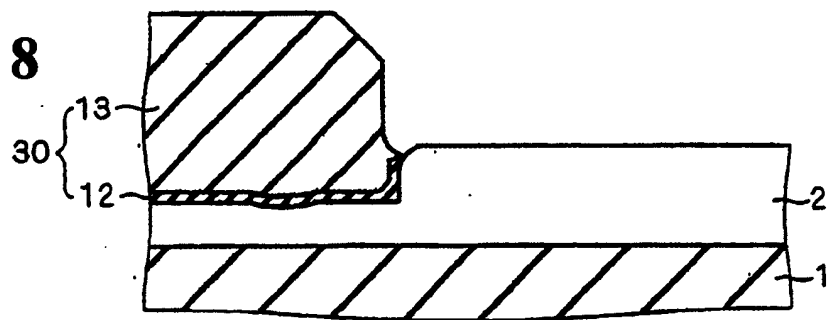


图 9

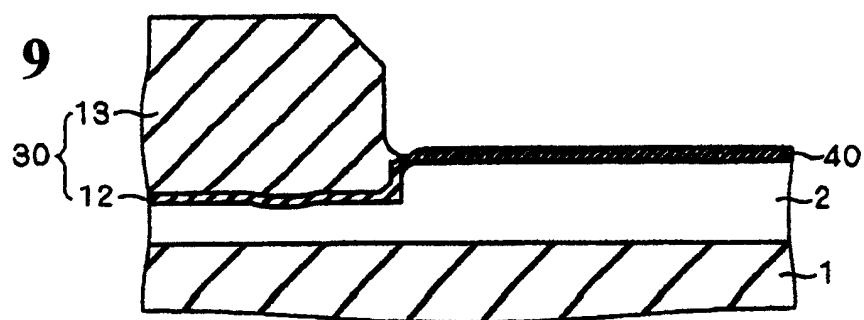


图 10

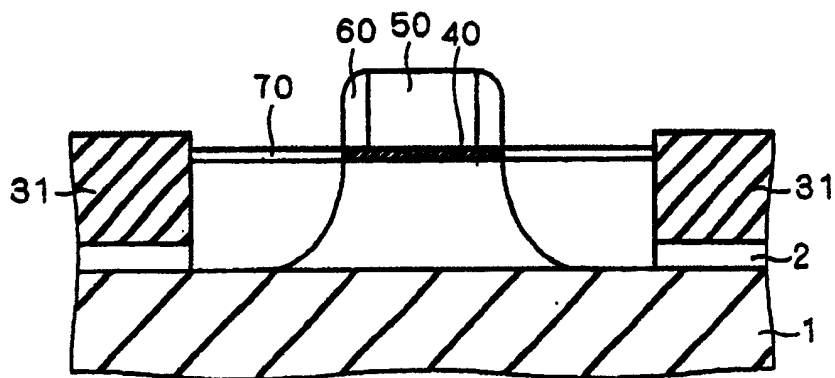
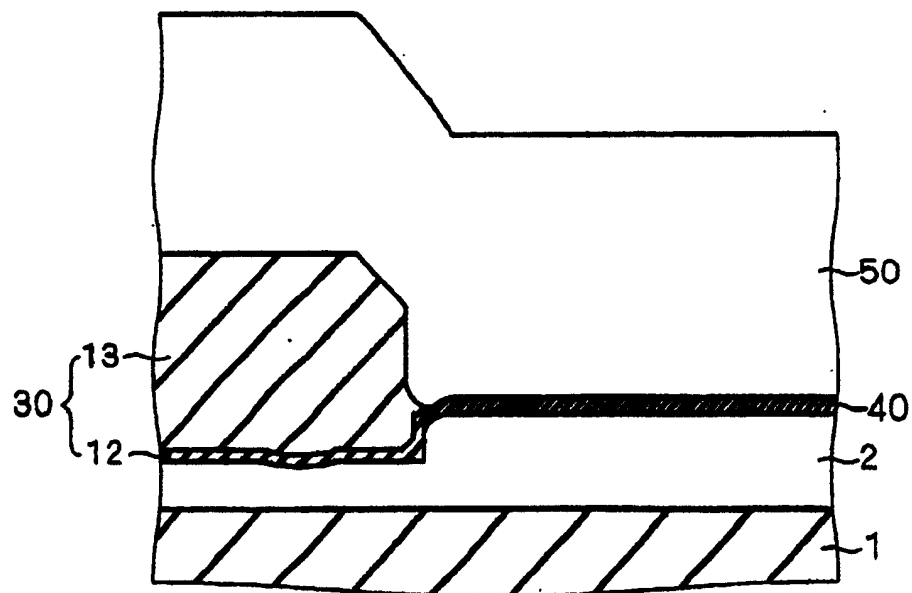


图 11

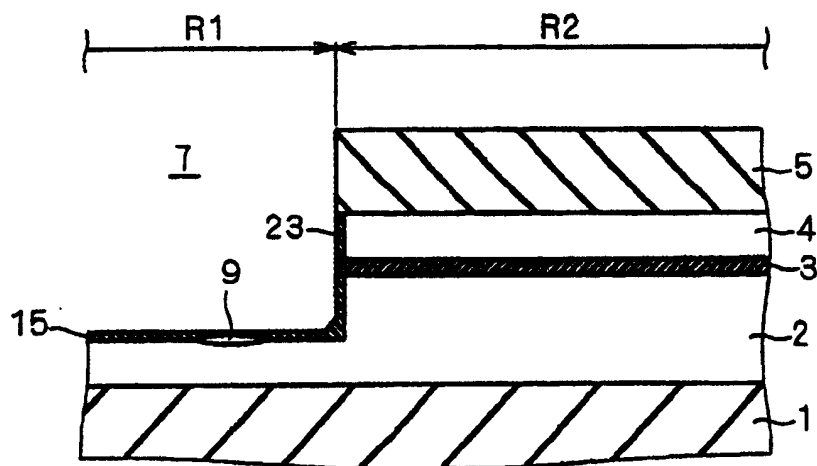


图 12

图 13

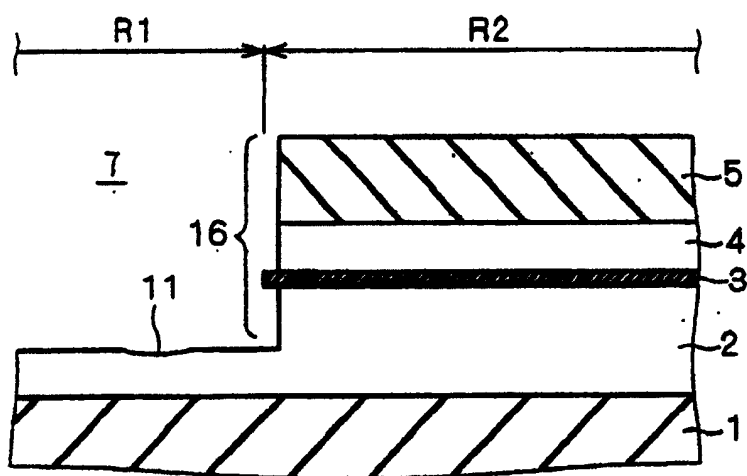


图 14

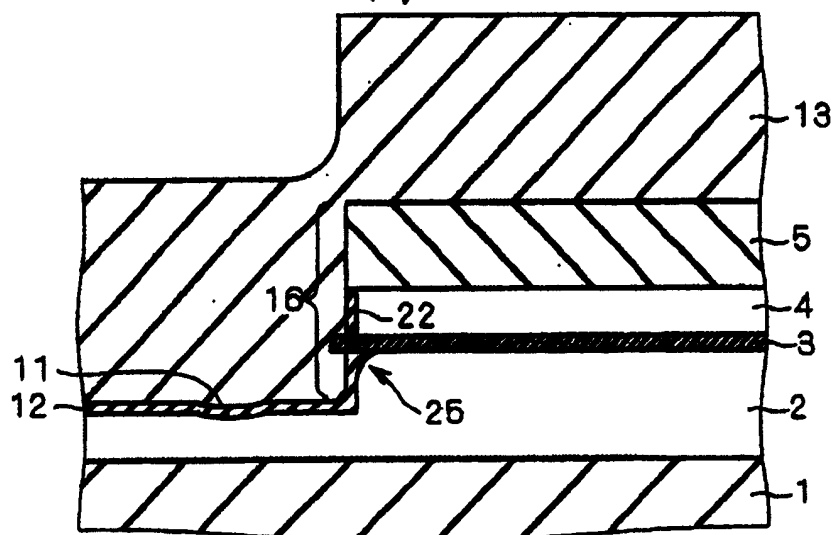


图 15

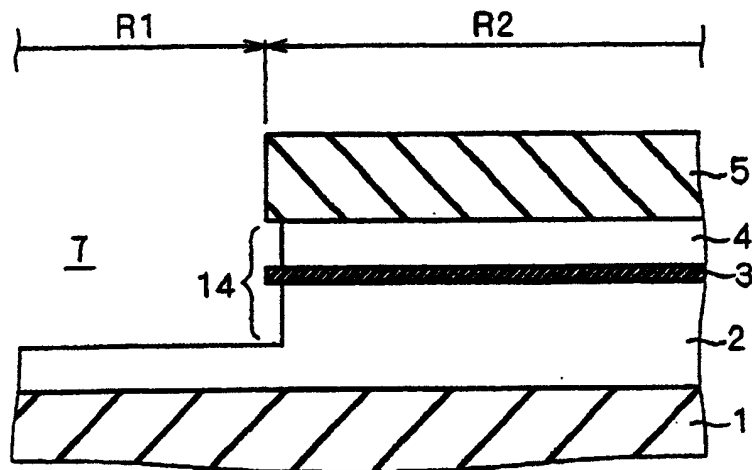




图 16

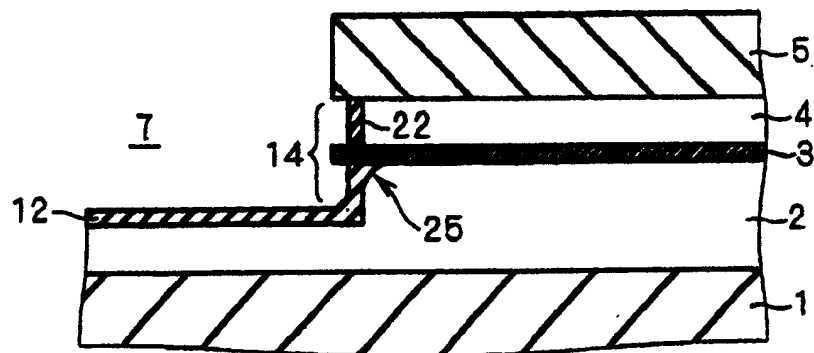


图 17

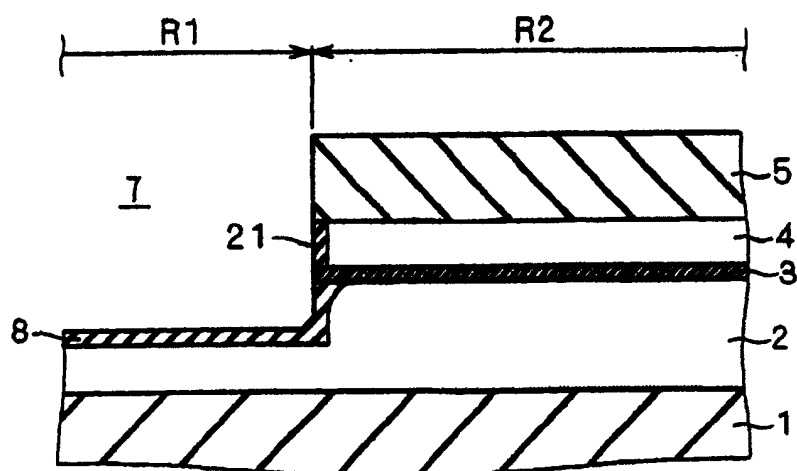
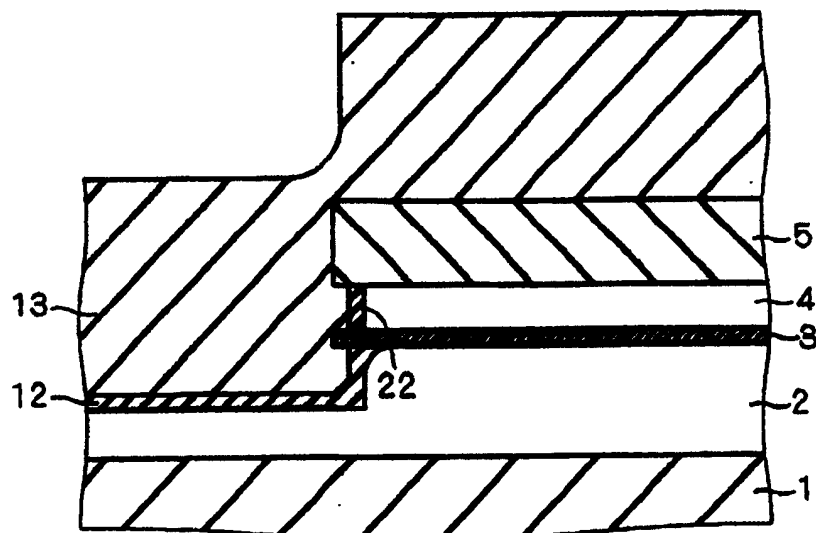


图 18

图 19

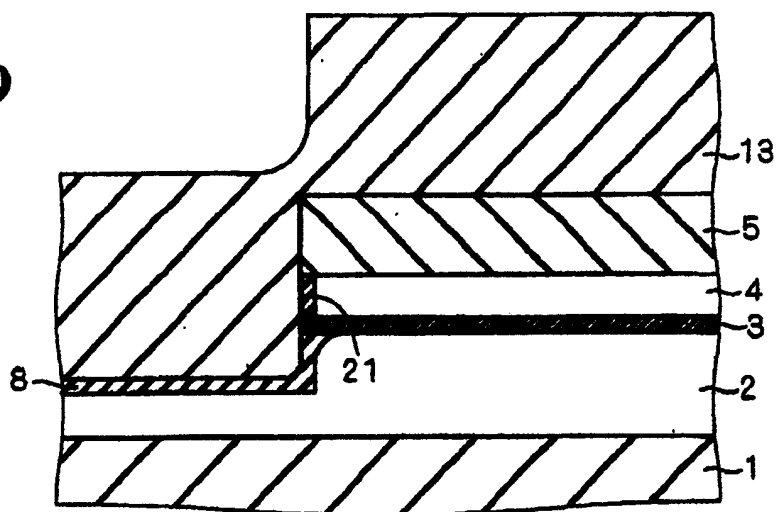


图 20

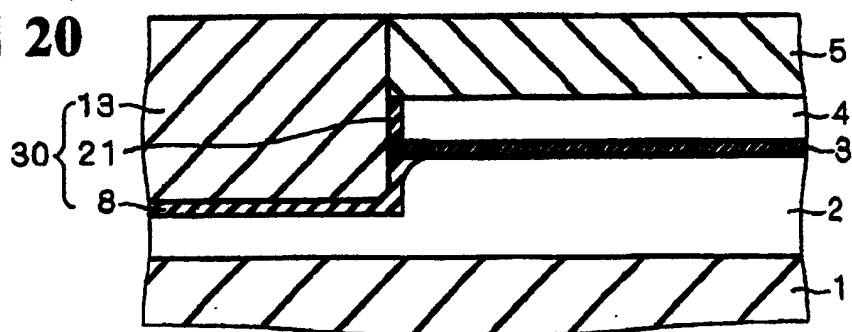


图 21

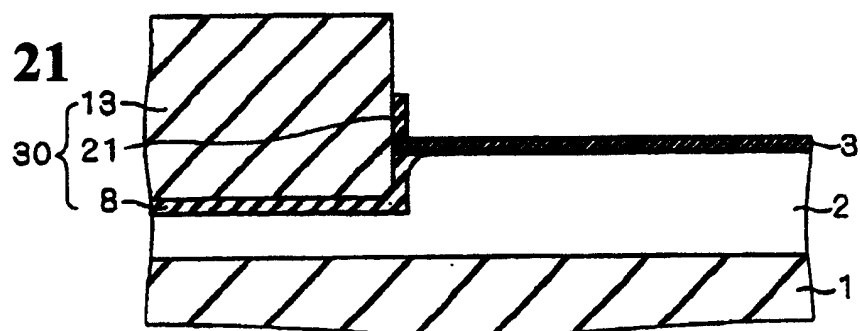
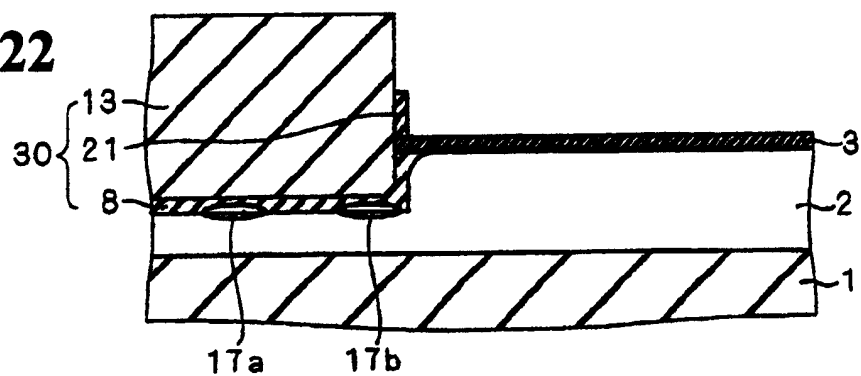


图 22



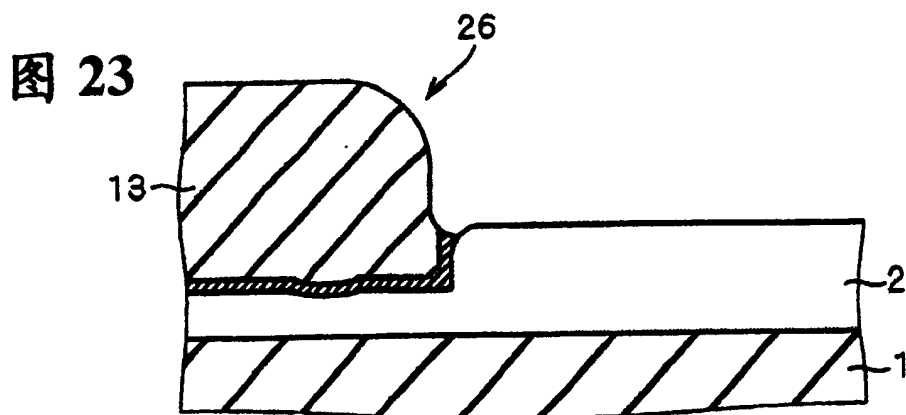


图 24

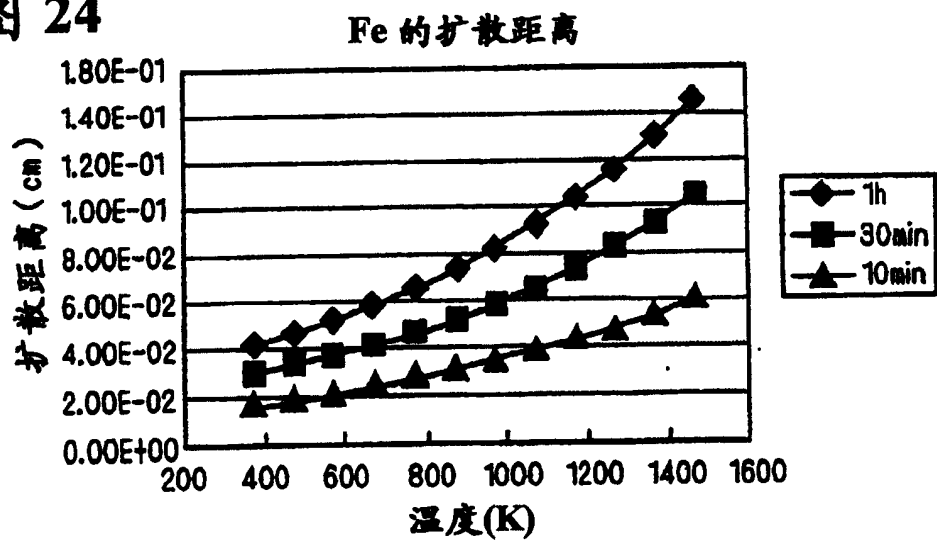


图 25

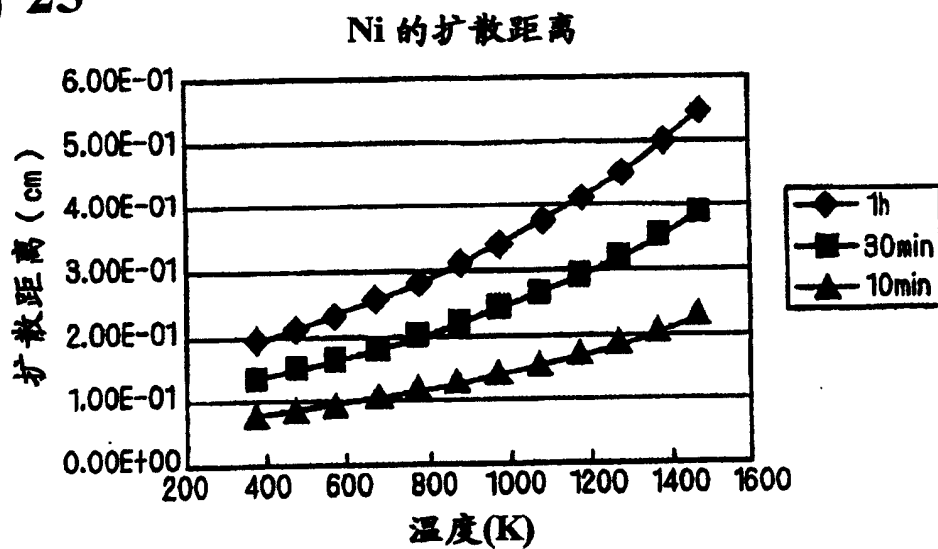


图 26

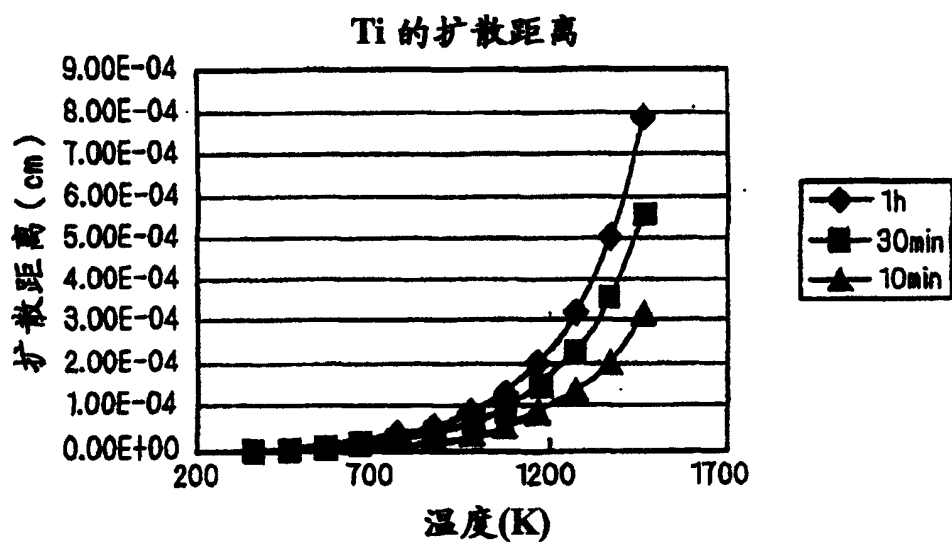
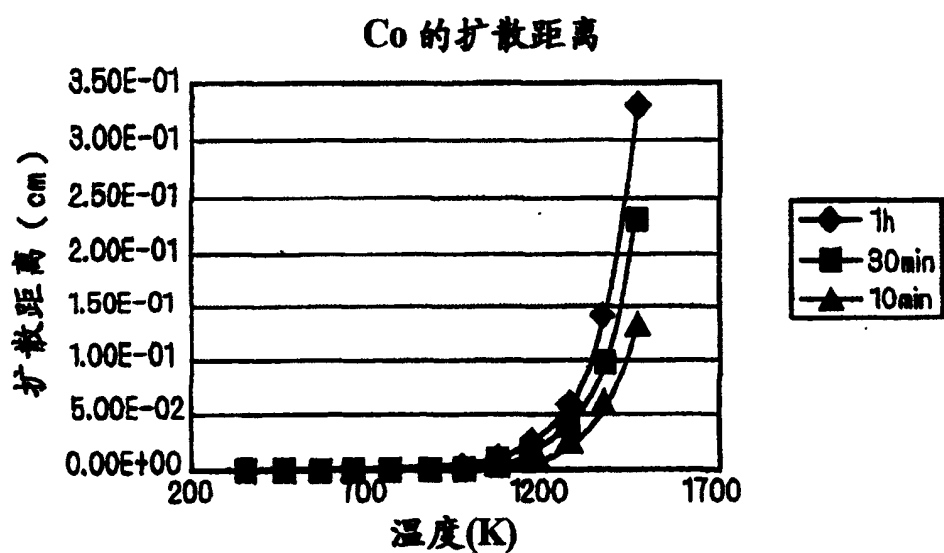


图 27

图 28

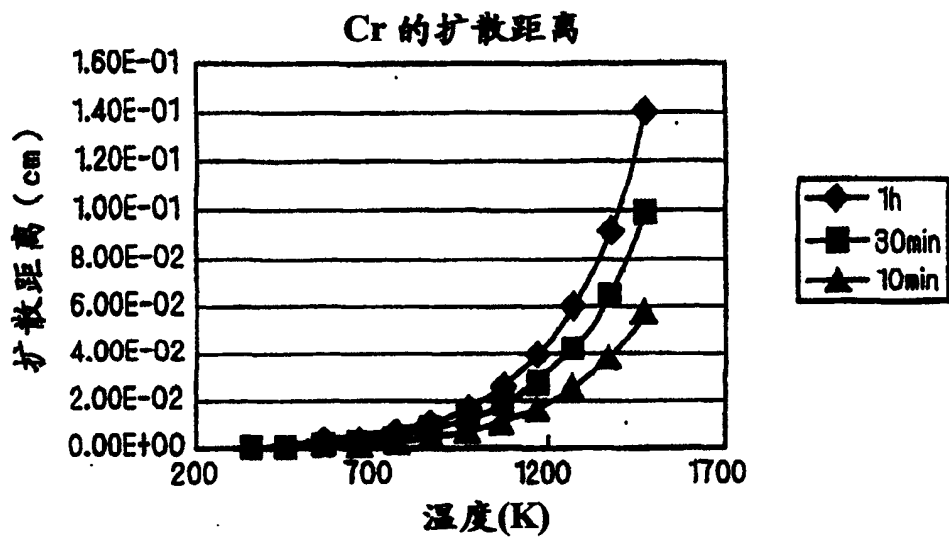
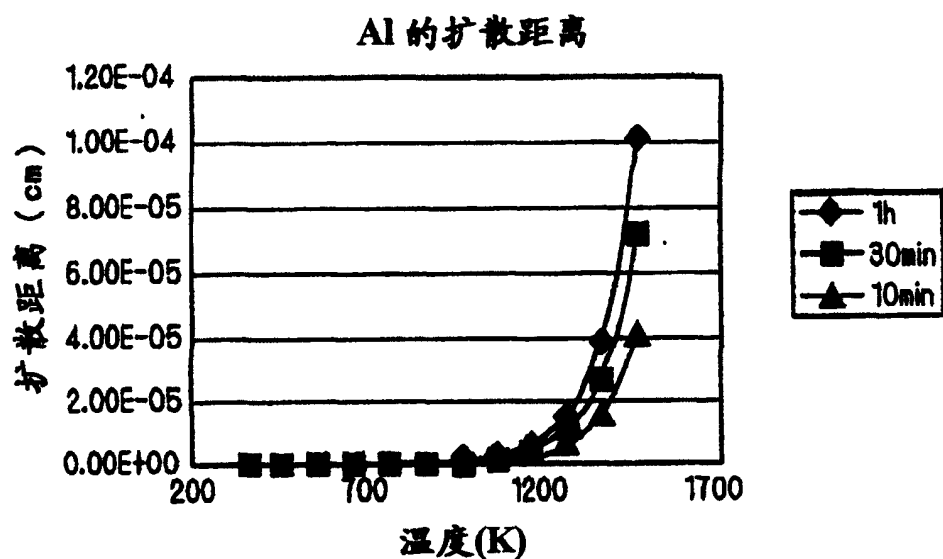


图 29