

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6057602号
(P6057602)

(45) 発行日 平成29年1月11日(2017.1.11)

(24) 登録日 平成28年12月16日(2016.12.16)

(51) Int.Cl.	F 1
HO4N 5/378 (2011.01)	HO4N 5/335 780
HO4N 5/363 (2011.01)	HO4N 5/335 630
HO1L 27/146 (2006.01)	HO1L 27/14 A

請求項の数 13 (全 17 頁)

(21) 出願番号 特願2012-178366 (P2012-178366)
 (22) 出願日 平成24年8月10日 (2012.8.10)
 (65) 公開番号 特開2014-36416 (P2014-36416A)
 (43) 公開日 平成26年2月24日 (2014.2.24)
 審査請求日 平成27年5月1日 (2015.5.1)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100090273
 弁理士 國分 孝悦
 (72) 発明者 岩田 公一郎
 東京都大田区下丸子3丁目30番2号 キ
 ャノン株式会社内
 (72) 発明者 斎藤 和宏
 東京都大田区下丸子3丁目30番2号 キ
 ャノン株式会社内
 (72) 発明者 中村 恒一
 東京都大田区下丸子3丁目30番2号 キ
 ャノン株式会社内

最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【特許請求の範囲】

【請求項 1】

光電変換により信号を生成する複数の第1の単位画素と、
 前記複数の第1の単位画素に接続された第1の出力線と、
 前記第1の出力線の信号を增幅する第1のアンプとを有し、
 前記第1のアンプは、
 第1の演算增幅器と、
 一端が前記第1の演算增幅器の出力端子に接続される1つの第1の初期化スイッチと、
 前記1つの第1の初期化スイッチの他端と前記第1の演算增幅器の入力端子との間に接
 続される第1のトランジスタと、

前記1つの第1の初期化スイッチの制御信号のハイレベルの電圧を制御する電源回路と
 を有し、

前記第1のトランジスタは、相互に接続されたソース及びドレインを有し、
 前記第1のトランジスタの前記ソース及び前記ドレインが前記1つの第1の初期化スイ
 ッチに接続されていることを特徴とする固体撮像装置。

【請求項 2】

光電変換により信号を生成する複数の第1の単位画素と、
 前記複数の第1の単位画素に接続された第1の出力線と、
 前記第1の出力線の信号を增幅する第1のアンプとを有し、
 前記第1のアンプは、

10

20

第 1 の演算増幅器と、

一端が前記第 1 の演算増幅器の出力端子に接続される 1 つの第 1 の初期化スイッチと、

前記 1 つの第 1 の初期化スイッチの他端と前記第 1 の演算増幅器の入力端子との間に接続される第 1 のトランジスタと、

前記第 1 のトランジスタのゲートに供給する制御信号のハイレベルの電圧を制御する電源回路とを有し、

前記第 1 のトランジスタは、相互に接続されたソース及びドレインを有し、

前記第 1 のトランジスタの前記ソース及び前記ドレインが前記 1 つの第 1 の初期化スイッチに接続されていることを特徴とする固体撮像装置。

【請求項 3】

10

前記 1 つの第 1 の初期化スイッチの他端と前記第 1 の演算増幅器の入力端子との間に接続される前記第 1 のトランジスタを含む複数の第 1 のトランジスタを有し、

前記複数の第 1 のトランジスタのそれぞれは、相互に接続されたソース及びドレインを有し、

前記複数の第 1 のトランジスタのそれぞれの前記ソース及び前記ドレインが前記 1 つの第 1 の初期化スイッチに接続されていることを特徴とする請求項 1 又は 2 記載の固体撮像装置。

【請求項 4】

さらに、前記複数の第 1 のトランジスタのうち駆動する第 1 のトランジスタの数を制御するドライバを有することを特徴とする請求項 3 記載の固体撮像装置。

20

【請求項 5】

さらに、光電変換により信号を生成する複数の第 2 の単位画素と、

前記複数の第 2 の単位画素に接続された第 2 の出力線と、

前記第 2 の出力線の信号を増幅する第 2 のアンプとを有し、

前記第 2 のアンプは、

第 2 の演算増幅器と、

一端が前記第 2 の演算増幅器の出力端子に接続される 1 つの第 2 の初期化スイッチと、

前記 1 つの第 2 の初期化スイッチの他端と前記第 2 の演算増幅器の入力端子との間に接続される複数の第 2 のトランジスタとを有し、

前記複数の第 2 のトランジスタのそれぞれは、相互に接続されたソース及びドレインを有し、

前記複数の第 2 のトランジスタのそれぞれの前記ソース及び前記ドレインが前記 1 つの第 2 の初期化スイッチに接続されていることを特徴とする請求項 3 又は 4 記載の固体撮像装置。

【請求項 6】

30

前記複数の第 1 のトランジスタは第 1 のオフセット調整部を構成し、

前記複数の第 2 のトランジスタは第 2 のオフセット調整部を構成し、

前記第 2 のオフセット調整部は、前記第 1 のオフセット調整部に対してオフセットキャンセル量が異なることを特徴とする請求項 5 記載の固体撮像装置。

【請求項 7】

40

前記複数の第 1 のトランジスタは第 1 のオフセット調整部を構成し、

前記第 1 のオフセット調整部は、動作モードに応じて、オフセットキャンセル量を変えることを特徴とする請求項 3 ~ 6 のいずれか 1 項に記載の固体撮像装置。

【請求項 8】

加算モード及び非加算モードを有し、

前記複数の第 1 のトランジスタは第 1 のオフセット調整部を構成し、

前記第 1 のオフセット調整部は、前記加算モードにおける調整量の方が前記非加算モードにおける調整量よりも大きいことを特徴とする請求項 3 ~ 7 のいずれか 1 項に記載の固体撮像装置。

【請求項 9】

50

光電変換により信号を生成する複数の第1の単位画素と、
 前記複数の第1の単位画素に接続された第1の出力線と、
 前記第1の出力線の信号を増幅する第1のアンプとを有し、
 前記第1のアンプは、
 第1の演算増幅器と、
 一端が前記第1の演算増幅器の出力端子に接続される第1の初期化スイッチと、
 前記第1の初期化スイッチの他端と前記第1の演算増幅器の入力端子との間に接続される第1のトランジスタと、
 前記第1の初期化スイッチの制御信号のハイレベルの電圧を制御する電源回路とを有し、

10

前記第1のトランジスタは、相互に接続されたソース及びドレインを有し、
 前記第1のトランジスタは、容量素子を介さずに、前記第1の演算増幅器の前記入力端子に接続されていることを特徴とする固体撮像装置。

【請求項10】

光電変換により信号を生成する複数の第1の単位画素と、
 前記複数の第1の単位画素に接続された第1の出力線と、
 前記第1の出力線の信号を増幅する第1のアンプとを有し、
 前記第1のアンプは、
 第1の演算増幅器と、
 一端が前記第1の演算増幅器の出力端子に接続される第1の初期化スイッチと、
 前記第1の初期化スイッチの他端と前記第1の演算増幅器の入力端子との間に接続される第1のトランジスタと、
 前記第1のトランジスタのゲートに供給する制御信号のハイレベルの電圧を制御する電源回路とを有し、

20

前記第1のトランジスタは、相互に接続されたソース及びドレインを有し、
 前記第1のトランジスタは、容量素子を介さずに、前記第1の演算増幅器の前記入力端子に接続されていることを特徴とする固体撮像装置。

【請求項11】

前記第1の初期化スイッチの他端と前記第1の演算増幅器の入力端子との間に接続される前記第1のトランジスタを含む複数の第1のトランジスタを有し、
 前記複数の第1のトランジスタのそれぞれは、相互に接続されたソース及びドレインを有し、
 前記複数の第1のトランジスタのそれぞれは、容量素子を介さずに、前記第1の演算増幅器の前記入力端子に接続されていることを特徴とする請求項9又は10記載の固体撮像装置。

30

【請求項12】

さらに、前記複数の第1のトランジスタのゲートに個別の制御信号を供給する制御信号供給部を有することを特徴とする請求項3又は11記載の固体撮像装置。

【請求項13】

前記制御信号供給部は、
 1つの制御信号を受ける入力ノードと、
 前記複数の第1のトランジスタに対応して設けられ、前記制御信号を前記複数の第1のトランジスタのゲートのそれぞれに対して供給するか否かを個別に選択する複数の選択部とを有することを特徴とする請求項12記載の固体撮像装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置に関する。

【背景技術】

【0002】

50

近年の固体撮像装置は、デジタルカメラ、デジタルビデオカメラ、携帯電話など、様々な機器に使用されており、さらなる高機能化が求められている。特に、多画素化に対する要望が強く、画素サイズ及び画素の信号を読み出すための読み出し回路の縮小が必要不可欠である。列毎に容量帰還型の增幅回路を有する構成の読み出し回路を縮小する場合、容量値の低減が必要となる。この場合、增幅回路を初期化する時に発生するチャージインジェクションによる電荷注入に起因するオフセットが増大する。容量帰還型の增幅回路を初期化する時に生じる、チャージインジェクションやクロックフィードスルーを低減する方法として、以下の方法が知られている。

【0003】

リセットスイッチと反転増幅回路の負入力端子間に、ソースとドレインを短絡したダミートランジスタを接続する。この時、ダミートランジスタのゲートに印加するパルスは、リセットスイッチを制御するパルスの反転パルスである。これにより、チャージインジェクションやクロックフィードスルーをダミートランジスタのチャネルに吸収する。

【0004】

上記の手法の一例として、特許文献1が知られている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開平8-204509号公報

【発明の概要】

10

【発明が解決しようとする課題】

【0006】

しかしながら、上述のオフセットキャンセル方法は、例えばトランジスタの製造ばらつきにより、設計値の通りにオフセットを低減できないおそれがある。

【0007】

本発明の目的は、オフセット量を精度よく調整することができる固体撮像装置を提供することである。

【課題を解決するための手段】

【0008】

本発明の固体撮像装置は、光電変換により信号を生成する複数の第1の単位画素と、前記複数の第1の単位画素に接続された第1の出力線と、前記第1の出力線の信号を増幅する第1のアンプとを有し、前記第1のアンプは、第1の演算増幅器と、一端が前記第1の演算増幅器の出力端子に接続される1つの第1の初期化スイッチと、前記1つの第1の初期化スイッチの他端と前記第1の演算増幅器の入力端子との間に接続される第1のトランジスタと、前記1つの第1の初期化スイッチの制御信号のハイレベルの電圧を制御する電源回路とを有し、前記第1のトランジスタは、相互に接続されたソース及びドレインを有し、前記第1のトランジスタの前記ソース及び前記ドレインが前記1つの第1の初期化スイッチに接続されていることを特徴とする。

20

【発明の効果】

【0009】

30

オフセット量を精度よく調整することができる固体撮像装置を提供することができる。

【図面の簡単な説明】

【0010】

【図1】第1及び第2の実施形態の固体撮像装置のプロック図である。

【図2】第1及び第2の実施形態の単位画素の回路図である。

【図3】第1及び第2の実施形態の1列分の読み出し回路の等価回路図である。

【図4】第1の実施形態の列アンプの回路図である。

【図5】第1の実施形態の固体撮像装置の駆動タイミング図である。

【図6】第1及び第2の実施形態のオフセット調整部の回路図である。

【図7】第1及び第2の実施形態の制御部の一部の回路図である。

40

50

【図8】第1及び第2の実施形態のドライバ回路図である。

【図9】第1及び第2の実施形態のドライバの電源供給回路図である。

【図10】第1及び第2の実施形態のパルス図である。

【図11】オフセットキャンセル量自動調整部の回路図である。

【図12】第2の実施形態の列アンプの回路図である。

【図13】第2の実施形態の固体撮像装置の駆動タイミング図である。

【発明を実施するための形態】

【0011】

(第1の実施形態)

図1は、本発明の第1の実施形態による固体撮像装置の構成例を示すブロック図である。10
101は単位画素102が行列状に配置された光電変換領域である。114は垂直出力線であり、複数の単位画素102が接続されている。単位画素102は、光電変換により信号を生成する。光電変換領域101の下の読み出し回路ブロック103は、垂直読み出し回路104aと、列アンプ(第1のアンプ)105aと、信号保持部106aと、水平シフトレジスタ107aと、出力アンプ108aを有し、奇数列の第1の単位画素102の信号を読み出す。奇数列の第1の単位画素102は、奇数列の第1の垂直出力線(第1の出力線)114に接続される。光電変換領域101の上の読み出し回路ブロック103は、垂直読み出し回路104bと、列アンプ(第2のアンプ)105bと、信号保持部106bと、水平シフトレジスタ107bと、出力アンプ108bを有し、偶数列の第2の単位画素102の信号を読み出す。偶数列の第2の単位画素102は、偶数列の第2の垂直出力線(第2の出力線)114に接続される。ドライバ109aは垂直読み出し回路104aを制御し、ドライバ109bは垂直読み出し回路104bを制御する。ドライバ110aは列アンプ105aを制御し、ドライバ110bは列アンプ105bを制御する。ドライバ111aは信号保持部106aを制御し、ドライバ111bは信号保持部106bを制御する。垂直走査回路112は、2次元に配列された単位画素102を垂直方向に順次走査する。タイミングジェネレータ(TG)113は、各回路ブロックを制御し、ドライバ109~111の各々を独立に制御することできる。オフセットキャンセル量自動調整部115aは、列アンプ105aの出力信号116aを入力し、出力信号117aをタイミングジェネレータ113に出力する。同様に、オフセットキャンセル量自動調整部115bは、列アンプ105bの出力信号116bを入力し、出力信号117bをタイミングジェネレータ113に出力する。図1には、ドライバ109、110、111をそれぞれ異なる回路ブロックとして示したが、一つの回路ブロックにしたものであっても良い。また、列アンプ105で増幅された信号をA/D変換するために、各列アンプ105に対応してA/D変換器を設けても良い。

【0012】

図2は、図1の単位画素102の構成例を示す回路図である。201は、光を電荷(電子)に変換する光電変換素子である。202は、光電変換素子201で発生した電荷を浮遊部203に転送するための転送MOSトランジスタである。204は、浮遊部203の電位を所定のレベルにリセットするためのリセットMOSトランジスタである。光電変換素子201の電荷をリセットする場合は、トランジスタ204及び202を同時にオンさせればよい。205は増幅MOSトランジスタであり、垂直出力線114に設けられた不図示の電流源とともに、浮遊部203の電位に応じて、ソースの電位が変わるソースフォロアとして動作する。206は増幅MOSトランジスタ205のソースを垂直出力線114に接続するための選択MOSトランジスタである。読み出したい行の選択MOSトランジスタ206をオンさせることで、読み出したい光電変換素子201の信号を垂直出力線114に読み出すことができる。

【0013】

図3は、図1の読み出し回路ブロック103の1列分の構成例を示す回路図である。垂直線読み出し回路104aは、増幅MOSトランジスタ205の負荷としての電流源である。この電流源104aの電流値と、増幅MOSトランジスタ205のゲート電圧によつ

10

20

30

40

50

て、垂直出力線 114 の電位が決まる。列アンプ 105a は、垂直出力線 114 のノード X の電圧を増幅し、信号保持部 106a のノード Y に出力する。信号保持部 106a は、スイッチ 301, 302 と、N 信号保持容量 303 と、S 信号保持容量 304 と、スイッチ 305, 306 とを有する。N 信号保持容量 303 は、単位画素 102 の浮遊部 203 をリセットした時の、列アンプ 105a で増幅された垂直出力線 114 の電位（ノイズ信号）を保持する。S 信号保持容量 304 は、列アンプ 105a で増幅された、単位画素 102 の光電変換素子 201 で発生した電荷が、浮遊部 203 に転送された後の垂直出力線 114 の電位（画素信号）を保持する。水平走査回路 107a は、N 信号保持容量 303 及び S 信号保持容量 304 が信号を保持した後の水平転送期間に、スイッチ 305 及び 306 をオンさせて、N 信号保持容量 303 及び S 信号保持容量 304 の信号を、それぞれ水平転送線 307 及び 308 に転送する。出力アンプ 108a は、水平転送線 307 のノイズ信号と水平転送線 308 の画素信号とを差動増幅して出力する。
10

【0014】

図 4 は、列アンプ 105a の構成例を示す回路図である。列アンプ 105b も、列アンプ 105a と同様の構成を有する。入力容量 402 は、ノード X と演算増幅器（差動増幅器）401 の反転入力端子との間に接続され、垂直出力線 114 の電位をクランプする。フィードバック容量 403 は、演算増幅器 401 の反転入力端子と出力端子との間に接続される。列アンプ 105a のゲインは、フィードバック容量 403 と入力容量 402 との容量値の比で決まる。初期化 MOS トランジスタ 404 は、入力容量 402 を初期化するための初期化スイッチであり、制御信号 o_pc により制御される。初期化 MOS トランジスタ 404 は、その一端が演算増幅器 401 の出力端子に接続される。オフセット調整部 405 は、初期化 MOS トランジスタ 404 の他端と演算増幅器 401 の反転入力端子間に接続される。オフセット調整部 405 及び初期化 MOS トランジスタ 404 の直列接続回路は、演算増幅器 401 の反転入力端子と出力端子との間に接続される。演算増幅器 401 の非反転入力端子は、基準電位 Vref に接続される。演算増幅器 401 の出力端子は、ノード Y に接続される。
20

【0015】

図 5 は、本実施形態による固体撮像装置の駆動方法を示すタイミングチャートである。信号 pres は、図 2 のリセット MOS トランジスタ 204 を制御するパルスである。信号 o_pc は、図 4 の初期化 MOS トランジスタ 404 を制御するパルスである。信号 o_pc_b は、図 4 のオフセット調整部 405 を制御するパルスである。信号 ptx は、図 2 の転送 MOS トランジスタ 202 を制御するパルスである。信号 ptm は、図 3 のスイッチ 301 を制御するパルスである。信号 pts は、図 3 のスイッチ 302 を制御するパルスである。信号 pse1 は、図 2 の選択 MOS トランジスタ 206 を制御するパルスである。
30

【0016】

時刻 t1 の前では、信号 pres がハイレベルになり、リセット MOS トランジスタ 204 がオンし、浮遊部 203 が電源電圧にリセットされた状態にある。

【0017】

時刻 t1 では、読み出す行の信号 pres がローレベルになり、リセット MOS トランジスタ 204 がオフする。これにより、浮遊部 203 は、フローティングノードとなる。この時、読み出す行の信号 pse1 がハイレベルとなり、選択 MOS トランジスタ 206 がオンする。これにより、増幅 MOS トランジスタ 205 のソースが、選択 MOS トランジスタ 206 を介して、垂直出力線 114 に接続される。垂直出力線 114 に接続された電流源 104a の電流を増幅 MOS トランジスタ 205 がゲート電位で決まる。つまり、垂直出力線 114 の電位は、増幅 MOS トランジスタ 205 のゲート電位で決まる。つまり、垂直出力線 114 の電位は、浮遊部 204 の電位から増幅 MOS トランジスタ 205 の閾値電圧 Vth とオーバードライブ電圧 Vov だけ下がった電位に固定される。
40

【0018】

時刻 t2 では、信号 o_pc がハイレベルになる。これにより、列アンプ 105a の初

10

20

30

40

50

期化MOSトランジスタ404がオンし、リセットされた浮遊部203の電位で決まった垂直出力線114の電位を、入力容量402にクランプする。時刻t2では、信号o_pcも遷移しているが、信号o_pcに関してはオフセット調整部405の説明を行う時に詳しく述べるので、今は説明を省略する。

【0019】

時刻t3では、信号o_pcがローレベルになり、列アンプ105aの初期化MOSトランジスタ404がオフする。この時、発生するチャージインジェクションやクロックフイードスルーハ、列アンプ105aのオフセットを増長する。

【0020】

時刻t4では、信号ptnがハイレベルになり、スイッチ301がオンし、N信号保持容量303に、アンプ初期化時の列アンプ105aの出力信号（N信号）を書き込む。 10

【0021】

時刻t5では、信号ptnがローレベルになり、N信号保持容量303へのN信号の書き込みが終了する。

【0022】

時刻t6では、信号ptxがハイレベルになり、転送MOSトランジスタ202がオンし、光電変換素子201で光電変換された電子が浮遊部203に転送される。この転送された電子によって、浮遊部203の電圧がリセット時から低下する。これに従って、垂直出力線114の電位が低下する。低下した垂直出力線114の電位は、列アンプ105aで反転増幅される。この時の反転増幅のゲインは、入力容量402とフィードバック容量403の比で決まる。増幅された光電変換素子201の信号をS信号と呼ぶことにする。 20

【0023】

時刻t7では、信号ptxがローレベルになり、転送MOSトランジスタ202がオフし、光電変換素子201から浮遊部203への電子の転送が終了する。

【0024】

時刻t8では、信号ptsがハイレベルになり、スイッチ302がオンし、列アンプ105aで増幅されたS信号がS信号保持容量304に書き込まれる。

【0025】

時刻t9では、信号ptsがローレベルになり、スイッチ302がオフし、S信号保持容量304へのS信号の書き込みが終了する。 30

【0026】

時刻t10では、信号pse1がローレベルになり、選択MOSトランジスタ206がオフし、単位画素102が垂直出力線114から切り離される。

【0027】

その後、水平走査が開始され、水平走査回路107aは、順次、スイッチ305及び306をオンする信号を出力する。水平走査回路107aからハイレベルの信号がスイッチ305及び306に供給されると、N信号保持容量303に保持されていた信号は、水平転送線307へ転送され、S信号保持容量304に保持されていた信号は、水平転送線308に転送される。水平転送線308は、出力アンプ108aの正転入力端子に接続され、水平転送線307は、出力アンプ108aの反転入力に接続される。そして、出力アンプ108aは、S信号からN信号を引いた電圧を出力する。 40

【0028】

水平転送期間が終了すると、次の行の読み出しシーケンスに移行する。次の行の読み出しシーケンスは、先に述べた動作の繰り返しである。

【0029】

図6は、オフセット調整部405の構成例を示す回路図である。600、601、…、60nは、それぞれチャージインジェクション時に再分布した電荷をチャネルに吸収するためのダミーMOSトランジスタである。各トランジスタ600～60nのソース及びドレインは、相互に接続しており、図4の演算増幅器401の反転入力端子に接続されている。オフセット調整部405は、任意のn個のダミーMOSトランジスタ600～6 50

0 n を有している。ダミーMOSトランジスタ 600 ~ 60n のゲートには、それぞれ信号 p c b 0 ~ p c b n が入力される。信号 p c b 0 ~ p c b n により、駆動するダミーMOSトランジスタ 600 ~ 60n の個数を変え、ダミーMOSトランジスタ 600 ~ 60n のゲートサイズを制御することにより、チャージインジェクションにより再分布した電荷の吸収量を変える。

【0030】

図7は、図6のオフセット調整部405を制御するためのドライバ110aの一部の構成例を示す回路図である。700、701、…、70nは、それぞれ図6のダミーMOSトランジスタ 600、601、…、60nを駆動するためのバッファ回路である。710、711、…、71nは、それぞれ、バッファ回路 700、701、…、70nを動作させるか、させないかを決める論理積(AND)回路である。論理積回路 710、711、…、71nは、信号 p c b と、信号 s e l 0、s e l 1、…、s e l n との論理積をとる。信号 s e l 0、s e l 1、…、s e l n は、どのダミーMOSトランジスタ 600、601、…、60nに制御信号 p c b を印加するかを決める信号である。信号 s e l 0 ~ s e l n がそれぞれハイレベルの時に、信号 p c b はバッファ回路 700 ~ 70n に伝達され、制御信号 p c b 0 ~ p c b n として、ダミーMOSトランジスタ 600 ~ 60n のゲートに印加される。信号 s e l 0 ~ s e l n がそれぞれローレベルの時に、信号 p c b はバッファ回路 700 ~ 70n に伝達されず、制御信号 p c b 0 ~ p c b n は、ダミーMOSトランジスタ 600 ~ 60n のゲートに印加されない。

10

20

【0031】

オフセット調整部405で吸収する電荷量は、次式(1)で決まる。

$$Q [C] = C o x \cdot W \cdot L \cdot V g s \quad \dots \quad (1)$$

【0032】

ここで、C o x は単位面積当たりのゲート容量、W はダミーMOSトランジスタのゲート幅、L はダミーMOSトランジスタのゲート長、V g s はダミーMOSトランジスタのゲート及びソース間の電圧である。

【0033】

例えば、ダミーMOSトランジスタ 600、601、…、60n のサイズは、列アンプ105aの初期化MOSトランジスタ404の1/10程度のサイズである。この時、n = 9 とし、ダミーMOSトランジスタは全部で10個あるとする。この場合、吸収できる電荷量は、0 ~ C o x · W · L · V g s [C] の間であり、最少調整幅は、次式(2)になる。

$$1 / 10 \cdot C o x \cdot W \cdot L \cdot V g s [C] \quad \dots \quad (2)$$

30

【0034】

一般的に言われるチャージインジェクションの再分布量は、列アンプ105aの初期化MOSトランジスタ404のソース及びドレインに対して、それぞれ、次式(3)になると言われている。

$$Q 1 [C] = 1 / 2 \cdot C o x \cdot W 1 \cdot L 1 \cdot V g s 1 \quad \dots \quad (3)$$

【0035】

ここで、W 1 は初期化MOSトランジスタ404のゲート幅、L 1 は初期化MOSトランジスタ404のゲート長、V g s 1 は初期化MOSトランジスタ404のゲート及びソース間の電圧である。

40

【0036】

また、次式(4)が成り立つので、本実施形態ではオフセットが正に出ても負に出ても、それをキャンセルするように調整可能である。

$$1 / 2 \cdot C o x \cdot W 1 \cdot L 1 \cdot V g s 1 \\ = 1 / 10 \cdot 5 \cdot C o x \cdot W \cdot L \cdot V g s \quad (V g s 1 = V g s) \quad \dots \quad (4)$$

【0037】

図8(A)は、図7のバッファ回路 700、701、…、70n の構成例を示す回

50

路図である。バッファ回路 700、701、…、70n は、信号 p_c_b を入力し、信号 o_p_c_b を出力する。電流源 802 は、インバータの PMOS トランジスタのソースと電源電圧 V_p_c_b_h のノードとの間に接続されている。この電流源 802 の電流値を変えることにより、図 10 に示すように、信号 o_p_c_b の立ち上がりの傾きを制御することができる。電流源 802 は、有効 / 無効設定が可能で、無効時は電流源 802 が無いものとして動作する。

【0038】

図 8 (B) は、ドライバ 110a 内のバッファ回路の構成例を示す回路図であり、このバッファ回路は、図 4 の初期化 MOS トランジスタ 404 のゲートに信号 o_p_c を出力する。このバッファ回路は、信号 p_c を入力し、信号 o_p_c を出力する。信号 p_c は、信号 p_c_b の反転信号である。電流源 801 は、インバータの NMOS トランジスタのソースとグランド電位ノードとの間に接続されている。電流源 801 の電流値を変えることにより、図 10 に示すように、信号 o_p_c の立ち下がりの傾きを制御することができる。電流源 801 は、有効 / 無効設定が可能で、無効時は電流源 801 が無いものとして動作する。

10

【0039】

固体撮像装置は、図 1 に示すように、列アンプ 105a 及び 105b の片側に、ドライバ 110a 及び 110b を配置する。従って、ドライバ 110a 及び 110b の近くと遠くで、信号 o_p_c 及び o_p_c_b の遅延時間が異なる。これにより、オフセットの左右差が発生する。信号 o_p_c 及び o_p_c_b のパルスの立ち下がり及び立ち上がりを制御することにより、遅延時間を低減することができ、オフセットの左右差を低減することができる。

20

【0040】

図 10 のように、信号 o_p_c は、時刻 t2 でローレベルから電源電圧 (ハイレベル) V_p_c_h に立ち上がり、時刻 t3 で電源電圧 (ハイレベル) V_p_c_h からローレベルに向けて立ち下がりを開始する。時刻 t3 - 2 で、初期化 MOS トランジスタ 404 の電圧 V_gs が閾値電圧 V_th 以下となり、初期化 MOS トランジスタ 404 のチャネルが消失する。時刻 t3 - 3 で、信号 o_p_c はローレベルになる。

【0041】

これに対して、信号 o_p_c_b は、時刻 t2 で電源電圧 (ハイレベル) V_p_c_b_h からローレベルに立ち下がり、時刻 t3 でローレベルから電源電圧 (ハイレベル) V_p_c_b_h に向けて立ち上がりを開始する。時刻 t3 - 2 では、ダミー MOS トランジスタ 600、601、…、60n の電圧 V_gs は閾値電圧 V_th になる。初期化 MOS トランジスタ 404 のチャネルが消失した後の、時刻 t3 - 2 以降にチャネルが発生する。時刻 t3 - 4 では、信号 o_p_c_b は電源電圧 (ハイレベル) V_p_c_b_h になる。

30

【0042】

以上のように、初期化 MOS トランジスタ 404 のチャネルが消失してから、ダミー MOS トランジスタ 600、601、…、60n のチャネルを発生させた方が、水平方向のオフセットキャンセル量のばらつきを抑制できる。したがって、そうなるように、信号 o_p_c 及び o_p_c_b を制御することが好ましい。

40

【0043】

図 9 は、図 8 (A) の電源電圧 V_p_c_b_h 又は図 8 (B) の電源電圧 V_p_c_h を生成する電源回路の構成例を示す図である。制御信号 o_p_c 及び o_p_c_b のハイレベルの電圧 V_p_c_h 及び V_p_c_b_h は、図 9 の電源回路を使用することで変更制御することができる。図 9 の電源回路は、図 8 (A) の電源電圧 V_p_c_b_h のための電源回路及び図 8 (B) の電源電圧 V_p_c_h のための電源回路の 2 つ有する。なお、読み出し回路ブロック 103 の個数分だけ、別々に用意しても良い。

【0044】

900 はユニティーゲインバッファであり、反転入力端子が出力端子に接続される。スイッチ 901、902、…、90(n-2)、90(n-1)、90n のどれかをオ

50

ンにする。これにより、電源電圧ノード及びグランド電位ノード間に接続された抵抗によって抵抗分割された電圧が、ユニティーゲインバッファ900の正転入力端子に供給される。ユニティーゲインバッファ900の出力端子は、図8(A)の電源電圧V_{p c b h}又は図8(B)の電源電圧V_{p c h}のノードに接続される。これにより、図10の信号o_{_p c}及びo_{_p c b}のハイレベルV_{p c h}及びV_{p c b h}を変えることができる。

【0045】

信号o_{_p c}及びo_{_p c b}のハイレベルV_{p c h}及びV_{p c b h}を変えることは、初期化MOSトランジスタ404又はダミーMOSトランジスタ600、601、・・・、60nの電圧V_{g s}を変えることである。つまり、再分布するチャネルの電荷量の制御、又はダミーMOSトランジスタ600、601、・・・、60nのチャネルに吸収する電荷量を制御することができる。

10

【0046】

本実施形態では、(1)ダミーMOSトランジスタ600、601、・・・、60nの個数の制御、(2)信号o_{_p c}のハイレベルの制御、(3)信号o_{_p c b}のハイレベルの制御を行う。これにより、チャージインジェクションのキャンセル量、つまり列アンプ105a及び105bの出力オフセット量を調整することができる。上記の(1)～(3)を同時にやっても良いし、どれか1つ、あるいは2つ用いてオフセットを調整してもよい。

【0047】

図11は、オフセットキャンセル量自動調整部115a及び115bの構成例を示す図である。コンパレータ1101は、正転入力端子に任意の基準電圧V_{c o m p}が入力され、反転入力端子に列アンプ105a又は105bの出力信号116a又は116bが入力される。この時の出力信号116a又は116bは、単位画素102が遮光されたオプティカルブラック画素のレベルを出力する列の列アンプ105a又は105bを用いる。キャリブレーションの初期状態は、オフセットキャンセル量の調整無しの状態で始める。本実施形態では、初期化MOSトランジスタ404はNMOSトランジスタであるため、オフセットキャンセル無しの状態では、列アンプ105a又は105bの出力オフセットはプラスになる。以下に、詳しい調整方法を示す。

20

【0048】

論理回路1102は、コンパレータ1101の出力が反転するまで、1垂直走査期間(1V)に1回入るパルスV_Dを、カウンタ1103のクロック端子に供給する。カウンタ1103のカウント値は、出力信号117a又は117bとしてタイミングジェネレータ113に入力される。タイミングジェネレータ113は、このカウンタ値に対応したオフセットキャンセル調整量を、図7の制御信号s_{e11}～s_{e1n}としてドライバ110a及び110bに出力する。

30

【0049】

以上のように、列アンプ105a又は105bの出力信号116a又は116bが基準電圧V_{c o m p}より低くなり、コンパレータ1101の出力信号が反転するまで、カウンタ1103はカウントアップし、オフセットキャンセル調整量を増やしていく。この動作により、プラスのオフセットを減らしていく。コンパレータ1101の基準電圧V_{c o m p}を列アンプ105a及び105bの基準電位V_{r e f}と同じ電圧にしておけば、列アンプ105a及び105bの出力信号116a及び116bが基準電位V_{r e f}近辺に来るようオフセットを調整することができる。

40

【0050】

本実施形態では、ドライバ110aとドライバ110bとは、それぞれ異なる制御をしてもよいし、同じ制御をしてもよい。すなわち、列アンプ105bのオフセット調整部405は、列アンプ105aのオフセット調整部405に対してオフセットキャンセル量が異なるようにすることができる。また、他の調整方法として、半導体チップ出荷時にオフセット量を測定し、それをキャンセルする設定値を半導体チップ毎に設定することもできる。

50

【0051】

(第2の実施形態)

図12は、本発明の第2の実施形態による列アンプ105aの構成例を示す回路図である。列アンプ105bも、列アンプ105aと同様の構成を有する。以下、本実施形態が第1の実施形態と異なる点を説明する。図12の列アンプ105aは、図4の列アンプ105aに対して、スイッチ1201が追加されている。スイッチ1201は、フィードバック容量403及びノードY間に接続され、加算モードにおいて、フィードバック容量403を用いて信号の加算を行うためのスイッチである。スイッチ1201は、制御信号paddとその反転信号paddbによって制御される。非加算モードでは、スイッチ1201を常にオン状態にしていれば、第1の実施形態で説明した動作ができる。

10

【0052】

図13は、本実施形態による固体撮像装置の駆動方法を示すタイミングチャートである。以下、図13のタイミングチャートが図5のタイミングチャートと異なる点を説明する。先に述べたように、信号paddは、図12のスイッチ1201を制御するパルスである。スイッチ1201を制御するためのもう一つのパルスである信号paddbは、信号paddの反転信号なので、図13には記載しない。

【0053】

時刻t8a～t9aでは、信号pt sはローレベルのままであり、スイッチ302はオフしたままである。よって、N行目のS信号をS信号保持容量304に書き込まない。

20

【0054】

時刻t11～t12の間、信号paddがローレベルになり、スイッチ1201がオフする。これにより、時刻t6～t7の間に増幅されたS信号をフィードバック容量403に保持する。スイッチ1201がオフしている間の、時刻t2b～t3bで、信号o_pcがハイレベルになり、列アンプ105a及び105bが初期化される。この時、スイッチ1201がオフしているので、フィードバック容量403に保持しているN行目のS信号はリセットされない。N行目のS信号は、N行目読み出し時の列アンプオフセットを含んだ次式(5)の電圧Vout1sになる。

$$V_{out1s} = V_{s1} + V_{ofs} \quad \dots (5)$$

【0055】

ここで、Vs1はN行目のS信号を列アンプ105a又は105bで増幅した信号、Vofs列アンプ105a又は105bの出力オフセットである。

30

【0056】

時刻t3bでは、信号o_pcがローレベルになり、N+1行目読み出しのための列アンプ105a及び105bのリセットが終了する。この時、列アンプ105a及び105bの出力には、列アンプ105a及び105bのリセット時のチャージインジェクションによるオフセットが現れる。

【0057】

時刻t12では、信号paddがハイレベルになり、スイッチ1201がオンする。これにより、列アンプ105a及び105bの出力電圧Vout2nは、次式(6)のように、N行目のS信号Vsと、N+1行目の列アンプのオフセットVofsが重畠した電圧になる。

$$\begin{aligned} V_{out2n} &= V_s + V_{ofs} \\ &= (V_{s1} + V_{ofs}) + V_{ofs} \\ &= V_{s1} + 2V_{ofs} \quad \dots (6) \end{aligned}$$

40

【0058】

時刻t4b～t5bにおいて、この時刻の列アンプ105a及び105bの出力はN行目のS信号を含んだレベルであるため、信号ptnをローレベルのままにしてN信号保持容量303への信号の書き込みを行わない。この時、N信号保持容量303に保持されている信号Vout1nは、次式(7)である。

$$V_{out1n} = V_{ofs} \quad \dots (7)$$

50

【0059】

$N + 1$ 行目読み出し期間内の時刻 $t_6 \sim t_7$ では、 $N + 1$ 行目の S 信号が読み出され、列アンプ 105a 又は 105b で増幅される。この時の列アンプ 105a 又は 105b の出力電圧 V_{out2} は、次式(8)となる。

$$V_{out2} = V_{s1} + V_{s2} + 2V_{of} \quad \dots (8)$$

【0060】

ここで、 V_{s2} は、 $N + 1$ 行目の S 信号を列アンプ 105a 又は 105b で増幅した信号である。

【0061】

時刻 $t_8b \sim t_9b$ では、信号 p_{ts} がハイレベルになり、スイッチ 302 がオンし、
10 S 信号保持容量 304 に電圧 V_{out2} が書き込まれる。

【0062】

その後、水平転送期間にスイッチ 305 及び 306 がオンして、 N 信号保持容量 303 及び S 信号保持容量 304 に保持していた信号がそれぞれ水平転送線 307 及び 308 に読み出され、出力アンプ 108a 又は 108b で差動増幅されて出力される。

【0063】

この時の出力電圧は、次式(9)となる。

$$\begin{aligned} G \cdot (V_{out2} - V_{out1n}) \\ = G \cdot (V_{s1} + V_{s2} + V_{of}) \quad \dots (9) \end{aligned}$$

【0064】

ここで、 G は、次式(10)で表される。

$$G = G_{amp} \cdot C_1 / (C_1 + C_2) \quad \dots (10)$$

【0065】

ここで、 G_{amp} は出力アンプ 108a 又は 108b のゲイン、 C_1 は保持容量 303 又は 304 の容量、 C_2 は水平転送線 307 又は 308 の寄生容量である。 G_{amp} が 1 であって、水平転送線 307 及び 308 に N 信号及び S 信号を転送した時には、水平転送線 307 及び 308 の寄生容量により、 G は 1 倍以下になる。

【0066】

式(8)から分かるように、本実施形態の動作方法では、列アンプ 105a 及び 105b の出力電圧に、2回分の列アンプオフセット V_{of} が乗る。第1の実施形態のようないくつかの動作モードにおいて、オフセットキャセル無しの時に、オフセット V_{of} だけ列アンプ 105a 及び 105b にオフセットが発生する。つまり、駆動の違い(動作モードの違い)により、オフセットキャセル量の調整量を変える必要がある。例えば、本実施形態の加算モードの駆動では、第1の実施形態の非加算モードの駆動に対して、2倍のオフセットが発生するので、キャセル量の調整量を、第1の実施形態の2倍に大きく設定するとよい。

【0067】

このように、オフセット調整部 405 は、動作モードに応じて、オフセットキャセル量を変えると、どの動作モードにおいても同じダイナミックレンジを確保することができる。また、フィードバック容量 403 を可変にして、列アンプ 105a 及び 105b のゲインを可変にした場合においても、出力に現れるオフセット量が変わる。従って、ゲイン設定毎(モード毎)に、オフセットキャセル量の調整値を変えた方がよい。

【0068】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されなければならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

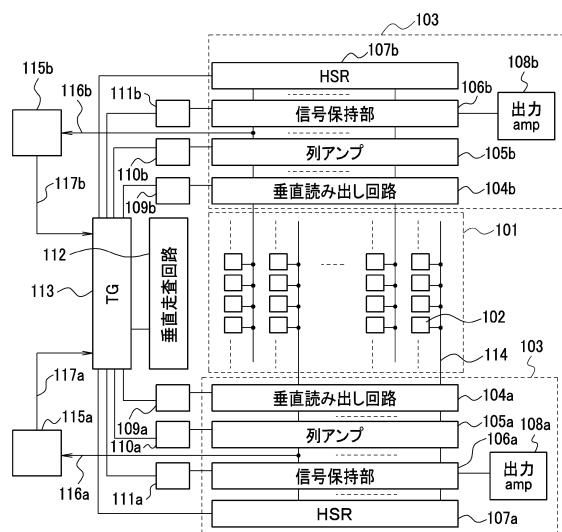
【符号の説明】

【0069】

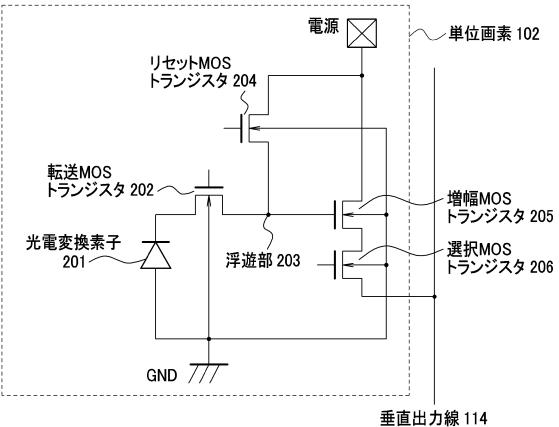
102 単位画素、105a, 105b 列アンプ、114 垂直出力線、401 演算 50

増幅器、404 初期化MOSトランジスタ、405 オフセット調整部

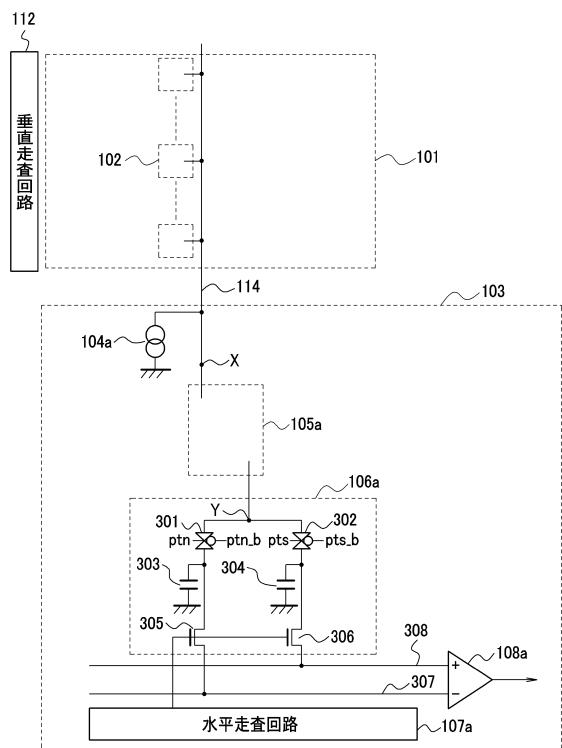
【図1】



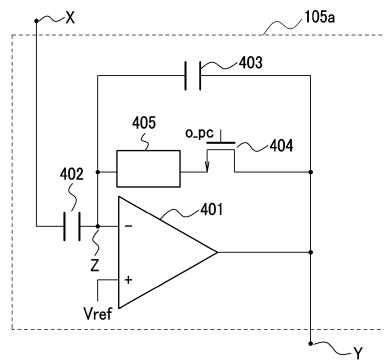
【図2】



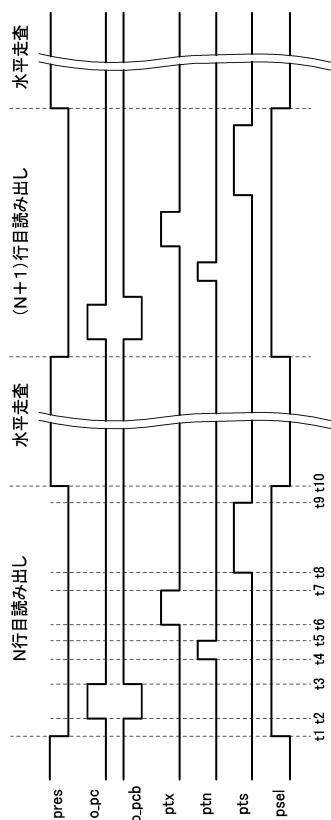
【図3】



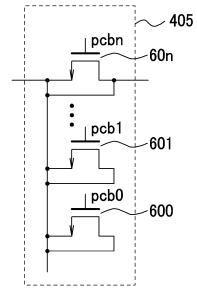
【図4】



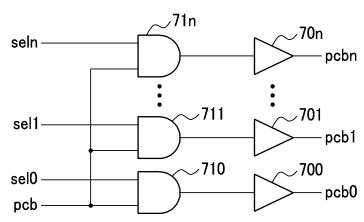
【図5】



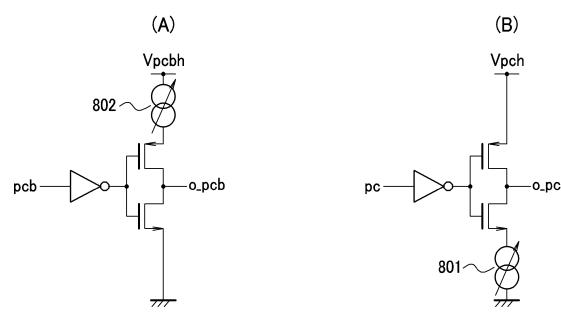
【図6】



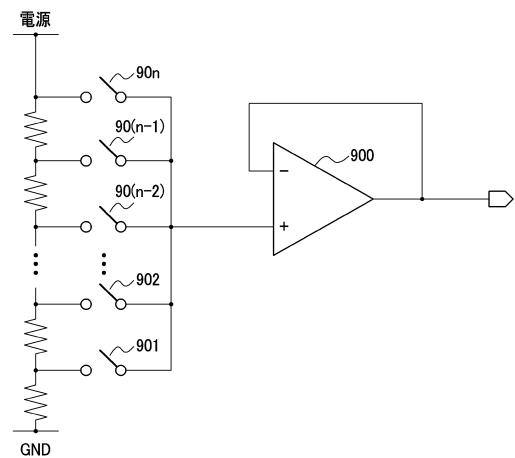
【図7】



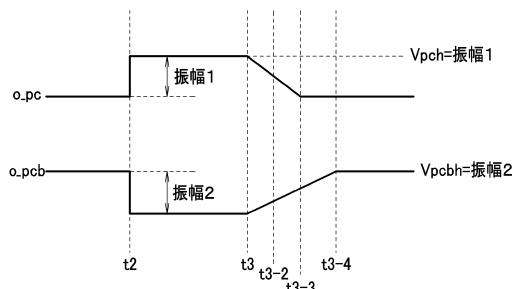
【図8】



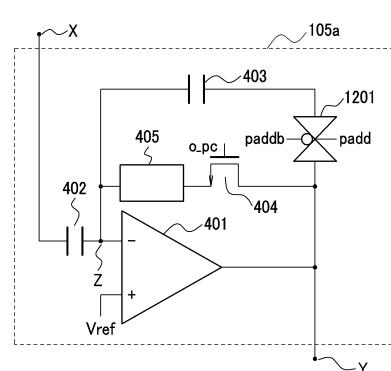
【図9】



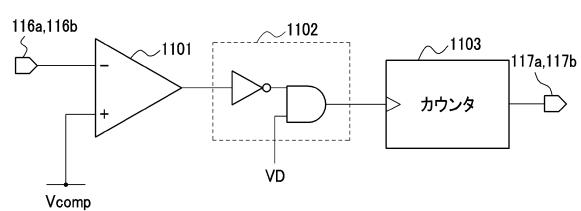
【図10】



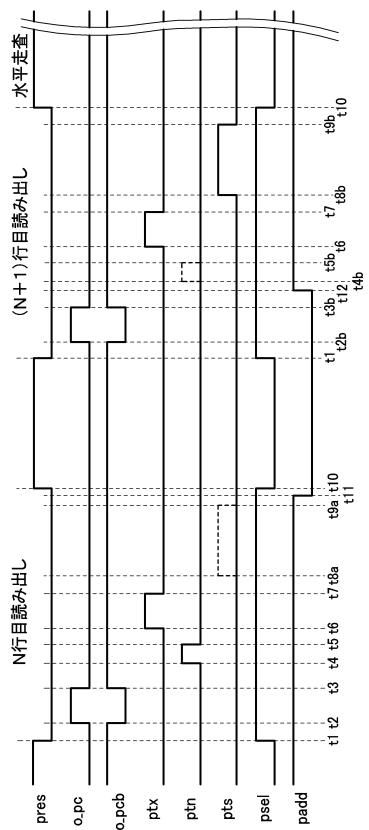
【図12】



【図11】



【図13】



フロントページの続き

(72)発明者 秋山 健史

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 松永 隆志

(56)参考文献 特開平08-204509 (JP, A)

特開2006-148320 (JP, A)

特開2009-182383 (JP, A)

特開2011-091774 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/378

H01L 27/146

H04N 5/363