

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7216623号
(P7216623)

(45)発行日 令和5年2月1日(2023.2.1)

(24)登録日 令和5年1月24日(2023.1.24)

(51)国際特許分類

F I

H 0 4 R 19/00 (2006.01)

H 0 4 R

19/00

3 3 0

H 0 1 L 21/822 (2006.01)

H 0 1 L

27/04

F

H 0 1 L 27/04 (2006.01)

H 0 1 L

27/04

Z

請求項の数 5 (全13頁)

(21)出願番号 特願2019-146036(P2019-146036)
 (22)出願日 令和1年8月8日(2019.8.8)
 (65)公開番号 特開2021-27538(P2021-27538A)
 (43)公開日 令和3年2月22日(2021.2.22)
 審査請求日 令和3年10月8日(2021.10.8)

(73)特許権者 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74)代理人 110001678
 藤央弁理士法人
 (72)発明者 町田 俊太郎
 東京都千代田区丸の内一丁目6番6号
 株式会社日立製作所内
 審査官 辻 勇貴

最終頁に続く

(54)【発明の名称】 半導体チップ

(57)【特許請求の範囲】

【請求項1】

半導体チップであって、

半導体基板と、前記半導体基板の上に形成された内部応力を持つ薄膜と、前記薄膜が形成された前記半導体基板の上に形成された半導体デバイスと、を有し、

前記薄膜の内部応力によって湾曲し、

前記半導体基板の上に、前記半導体チップが湾曲する方向と直交する方向に整列した複数の前記薄膜のパターンが形成されることを特徴とする半導体チップ。

【請求項2】

請求項1に記載の半導体チップであって、

前記薄膜は、前記半導体基板に接して形成されることを特徴とする半導体チップ。

【請求項3】

請求項1に記載の半導体チップであって、

各々の前記薄膜のパターンの前記半導体チップが湾曲する方向のサイズは、前記半導体チップが湾曲する方向と直交する方向のサイズより大きいことを特徴とする半導体チップ。

【請求項4】

請求項1に記載の半導体チップであって、

前記半導体デバイスは、静電容量型の超音波トランスデューサであることを特徴とする半導体チップ。

【請求項5】

請求項 4 に記載の半導体チップであって、

前記半導体デバイスが形成される層に、前記静電容量型の超音波トランスデューサの複数のセルが形成され、

前記半導体デバイスが形成される層の前記複数のセル間を区切る位置に溝が形成されることを特徴とする半導体チップ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体チップを製造する技術に関する。

【背景技術】

【0002】

国際公開第 2012/154211 号（特許文献 1）には、湾曲チップベースの非平面デバイスの組立方法及び組立用装置が記載されている。特許文献 1 には、「ある実施形態において、応力薄膜（例えば、応力膜層 207）は、薄構造又は薄チップの片側又は両側に堆積して、チップに対して所望の変形（例えば、ある程度の曲げを伴う）を達成し得る。例えば、応力薄膜を事前圧縮又は事前伸長して、異なる方向に曲げ力を付与し得る。」と記載されている。

【先行技術文献】

【特許文献】

【0003】

【文献】国際公開第 2012/154211 号

【発明の概要】

【発明が解決しようとする課題】

【0004】

半導体デバイスには、その用途によって、湾曲させて実装することが求められる場合がある。一例として、体内に挿入されるカテーテルの側面に実装される超音波トランスデューサが挙げられる。多数の超音波トランスデューサからなる半導体チップをカテーテルの表面に巻きつけるように実装することで、全周に超音波を出力して所望の観測を行うことが可能となる。

【0005】

そのような実装を実現するために、半導体チップを薄く加工することによってフレキシブル性を与えることが考えられる。しかし、その場合、半導体チップをカテーテルに巻きつけるときの取り扱いが難しく、破損が生じやすい。あるいは、超音波トランスデューサの素子の一つ一つカテーテルの表面に装着することで組み立てを行うことも可能であるが、微細な作業工程が増加することによって製造コストが上昇する。

【0006】

特許文献 1 には、応力薄膜を利用してチップに所望の変形を与える方法が記載されている。しかし、特許文献 1 には、そのようなデバイスを製造する具体的な方法は記載されていない。製造したチップを事前に圧縮又は伸長された応力薄膜に貼り付けるとすれば、そのための組立工程が必要となる。

【課題を解決するための手段】

【0007】

上記の課題の少なくとも一つを解決するため、本発明は、半導体チップであって、半導体基板と、前記半導体基板の上に形成された内部応力を持つ薄膜と、前記薄膜が形成された前記半導体基板の上に形成された半導体デバイスと、を有し、前記薄膜の内部応力によって湾曲し、前記半導体基板の上に、前記半導体チップが湾曲する方向と直交する方向に整列した複数の前記薄膜のパターンが形成されることを特徴とする。

【発明の効果】

【0008】

本発明の一形態によれば、所望の曲率半径を持つ半導体チップを簡便に作製することが

10

20

30

40

50

できる。上記した以外の課題、構成及び効果は、以下の実施形態の説明によって明らかにされる。

【図面の簡単な説明】

【0009】

【図1A】本発明の実施例の半導体チップの構成を示す説明図である。

【図1B】本発明の実施例の半導体チップの構成を示す説明図である。

【図1C】本発明の実施例の半導体チップの構成を示す説明図である。

【図2A】本発明の実施例の半導体チップの製造プロセスのうち、半導体基板上に薄膜を形成する工程の説明図である。

【図2B】本発明の実施例の半導体チップの製造プロセスのうち、半導体基板上に薄膜を形成する工程の説明図である。

【図2C】本発明の実施例の半導体チップの製造プロセスのうち、半導体基板上に薄膜を形成する工程の説明図である。

【図2D】本発明の実施例の半導体チップの製造プロセスのうち、薄膜をパターニングする工程の説明図である。

【図2E】本発明の実施例の半導体チップの製造プロセスのうち、薄膜をパターニングする工程の説明図である。

【図2F】本発明の実施例の半導体チップの製造プロセスのうち、薄膜をパターニングする工程の説明図である。

【図2G】本発明の実施例の半導体チップの製造プロセスのうち、半導体デバイスを作製する工程の説明図である。

【図2H】本発明の実施例の半導体チップの製造プロセスのうち、半導体デバイスを作製する工程の説明図である。

【図2I】本発明の実施例の半導体チップの製造プロセスのうち、半導体デバイスを作製する工程の説明図である。

【図2J】本発明の実施例の半導体チップの製造プロセスのうち、半導体基板を薄膜化する工程の説明図である。

【図2K】本発明の実施例の半導体チップの製造プロセスのうち、半導体基板を薄膜化する工程の説明図である。

【図2L】本発明の実施例の半導体チップの製造プロセスのうち、半導体基板を薄膜化する工程の説明図である。

【図2M】本発明の実施例の製造プロセスによって製造された半導体チップの説明図である。

【図2N】本発明の実施例の製造プロセスによって製造された半導体チップの説明図である。

【図2O】本発明の実施例の製造プロセスによって製造された半導体チップの説明図である。

【図2P】本発明の実施例の製造プロセスによって製造された半導体チップの説明図である。

【図3A】本発明の実施例の変形例の半導体チップの構成を示す説明図である。

【図3B】本発明の実施例の変形例の半導体チップの構成を示す説明図である。

【図3C】本発明の実施例の変形例の半導体チップの構成を示す説明図である。

【図4】本発明の実施例において参照される半導体基板の厚さと曲率半径との関係の説明図である。

【図5A】本発明の実施例の半導体チップの適用例の説明図である。

【図5B】本発明の実施例の半導体チップの適用例における超音波トランスデューサの構造の説明図である。

【図6】本発明の実施例の半導体チップの適用例の変形例の説明図である。

【発明を実施するための形態】

【0010】

以下、本発明の実施例を、図面を参照して説明する。

【0011】

図1A～図1Cは、本発明の実施例の半導体チップ100の構成を示す説明図である。

【0012】

具体的には、図1A、図1B及び図1Cは、それぞれ、本実施例の半導体チップ100の平面図、AA'断面図及びBB'断面図を示す。図1Bに示すように、本実施例の半導体チップ100は、半導体基板101と、その上に形成された内部応力を持つ複数の薄膜102（応力薄膜）と、さらにその上に形成された半導体デバイス103と、を有する。

【0013】

半導体基板は、例えば一般的なシリコンウェハである。薄膜102は、絶縁膜又は金属膜のいずれでもよい。複数の薄膜102が一方向に整列して形成される。各薄膜102の整列方向のサイズとそれに直交する方向のサイズとが異なってもよい。図1Aの例では、各薄膜102は、整列方向（図1AのAA'間を結ぶ線の方

10

向、以下これをAA'方向とも記載する）の短辺とそれに直交する方向（図1AのBB'間を結ぶ線の方

20

【0014】

向、以下これをBB'方向とも記載する）の長辺とを有する長方形に形成される。すなわち、各薄膜102の整列方向に直交する方向のサイズは、整列方向のサイズより大きい。

【0015】

半導体デバイス103は、例えば一般的な集積回路又はMEMS（Micro-Electro-Mechanical Systems）など、いかなる種類のものであってもよい。本実施例では、後述するように、半導体デバイス103としてCMUT（Capacitive Micro-machined Ultrasonic Transducers）などの超音波トランスデューサが形成される。

【0016】

薄膜102が内部応力を持つように半導体基板上に形成されるため、半導体チップ100が湾曲する。図1Cの例では、薄膜102が圧縮応力を持つため、それによって伸長して、上面（すなわち半導体デバイス103側の面）が凸になるように湾曲する。

30

【0017】

次に、半導体チップ100の製造プロセスを説明する。半導体チップ100は、半導体基板101上に薄膜102を形成し（図2A～図2C）、形成した薄膜102をパターニングし（図2D～図2F）、パターニングした薄膜102の上に所望の半導体デバイス103を作製し（図2G～図2I）、半導体基板101を薄膜化する（図2J～図2L）、という工程を経て製造される。

40

【0018】

図2A～図2Cは、本発明の実施例の半導体チップ100の製造プロセスのうち、半導体基板101上に薄膜102を形成する工程の説明図である。

【0019】

具体的には、図2A、図2B及び図2Cは、それぞれ、半導体基板101上に薄膜102が形成された時点の半導体チップ100の平面図、AA'断面図及びBB'断面図を示す。

【0020】

薄膜102の材料としては、一般的な半導体製造プロセスで使用されるものを採用することができる。例えば、薄膜102は、SiO₂、Si₃N₄、SiN又はTiNといった絶縁膜であってもよいし、Al、W又はTiといった金属膜であってもよい。また、薄膜

50

102を形成する方法としては、例えばCVD（Chemical Vapor Deposition）法又はスパッタ法など、一般的な半導体製造プロセスで使用される方法を採用することができる。

【0021】

薄膜102の材料、成膜時の温度又は使用するガスの組成等を調整することによって、薄膜102に与える応力（例えば圧縮応力又は引っ張り応力のいずれを与えるか、どの程度の強さの応力を与えるか）を調整することができる。

【0022】

図2D～図2Fは、本発明の実施例の半導体チップ100の製造プロセスのうち、薄膜102をパターニングする工程の説明図である。

【0023】

具体的には、図2D、図2E及び図2Fは、それぞれ、薄膜102のパターニングが行われた時点の半導体チップ100の平面図、AA'断面図及びBB'断面図を示す。この例では、BB'方向の長辺とAA'方向の短辺とを有する長方形がAA'方向に整列するように薄膜102がパターニングされる。このようなパターニングは、例えば、一般的な半導体製造プロセスで使用されるフォトリソグラフィ技術等によって行うことができる。

【0024】

なお、この時点では半導体基板101が十分な厚さを有しているため、内部応力を持つ薄膜102がその上に形成されても、半導体基板101はほとんど湾曲しない（すなわち十分に大きい曲率半径を有している）。半導体基板101の厚さと曲率半径との関係については後述する（図4参照）。

【0025】

図2G～図2Iは、本発明の実施例の半導体チップ100の製造プロセスのうち、半導体デバイス103を作製する工程の説明図である。

【0026】

具体的には、図2G、図2H及び図2Iは、それぞれ、半導体デバイス103が作製された時点の半導体チップ100の平面図、AA'断面図及びBB'断面図を示す。前述のようにこの半導体デバイス103はいかなる種類のものであってもよいが、本実施例ではCMUTが作製される。具体的には、多数のCMUTが、薄膜102が形成された半導体基板101上に配列されるように作製される。このようなCMUT等の半導体デバイス103は、一般的な半導体製造プロセスによって作製することができる。

【0027】

図2J～図2Lは、本発明の実施例の半導体チップ100の製造プロセスのうち、半導体基板101を薄膜化する工程の説明図である。

【0028】

具体的には、図2J、図2K及び図2Lは、それぞれ、半導体基板101を薄膜化する工程における半導体チップ100の平面図、AA'断面図及びBB'断面図を示す。半導体基板101の厚さが減少するように加工する具体的な方法は限定しない。例えば、半導体基板101の裏面（すなわち薄膜102が形成されていない側の面）を、一般的な半導体プロセスにおけるものと同様の方法でエッチングしてもよいし、あるいは基板101の裏面を研磨することで薄膜化をおこなってもよい。後述するように、半導体基板101の厚さを調整することによって、所望の曲率半径をもった半導体チップ100を製造することができる。

【0029】

図2M～図2Pは、本発明の実施例の製造プロセスによって製造された半導体チップ100の説明図である。

【0030】

具体的には、図2M及び図2Nは、それぞれ、半導体基板101の薄膜化が行われた後の半導体チップ100の平面図及びAA'断面図を示す。また、図2O及び図2Pは、いずれも、半導体基板101の薄膜化が行われた後の半導体チップ100のBB'断面図であるが、前者は圧縮応力を持つ薄膜102が形成された場合、後者は引っ張り応力を持つ薄膜

10

20

30

40

50

１０２が形成された場合を示す。

【００３１】

図２０に示すように、圧縮応力を持つ薄膜１０２が形成された場合、半導体チップ１００は、ＢＢ'断面において、上面（すなわち半導体デバイス１０３側の面）が凸になるように湾曲する。一方、図２Ｐに示すように、引っ張り応力を持つ薄膜１０２が形成された場合、半導体チップ１００は、ＢＢ'断面において、下面（すなわち半導体デバイス１０３の反対の面）が凸になるように湾曲する。

【００３２】

また、この例では、ＡＡ'方向の短辺とＢＢ'方向の長辺とを有する長方形がＡＡ'方向に整列するように薄膜１０２が形成されている。このため、図２Ｎに示すように、半導体チップ１００の湾曲は、ＡＡ'断面にはほとんど表れない。

10

【００３３】

図３Ａ～図３Ｃは、本発明の実施例の変形例の半導体チップ１００の構成を示す説明図である。

【００３４】

図１Ａ～図１Ｃに示した半導体チップ１００は、半導体チップ１００自体の（すなわち半導体基板１０１の）長辺方向と、パターニングされた薄膜１０２の長辺方向とが直交していた。このため、図１Ｂ及び図１Ｃに示すように、製造後の半導体チップ１００はその短辺方向に湾曲していた。

【００３５】

20

一方、図３Ａ～図３Ｃに示す半導体チップ１００は、半導体チップ１００自体の長辺方向と、パターニングされた薄膜１０２の長辺方向とが平行する。このため、製造後の半導体チップ１００は、図３Ｂ及び図３Ｃに示すように、その長辺方向に湾曲する。すなわち、半導体チップ１００の湾曲は、図３ＢのＡＡ'断面には顕著に表れるが、図３ＣのＢＢ'断面にはほとんど表れない。

【００３６】

図３Ａ～図３Ｃに示す半導体チップ１００の製造プロセスは、パターニングされる薄膜１０２の形状（具体的には長辺の向き）が異なることを除いて、図２Ａ～図２Ｐに示したものと同様であるため、説明を省略する。

【００３７】

30

図４は、本発明の実施例において参照される半導体基板１０１の厚さと曲率半径との関係の説明図である。

【００３８】

内部応力を持つ薄膜１０２を成膜した半導体基板１０１の湾曲の曲率半径Ｒは、以下の式（１）によって計算される。

【００３９】

【数１】

$$\text{曲率半径} R = \frac{E \times d^2}{6(1 - \nu) \times \sigma \times t} \quad \dots (1)$$

40

【００４０】

ここで、

Ｅ：シリコン基板（すなわち半導体基板１０１）のヤング率

ｄ：シリコン基板の厚さ

ν：シリコン基板のポワソン比

σ：薄膜１０２の応力

ｔ：薄膜１０２の厚さ

である。

【００４１】

50

図４のグラフは、上記の式（１）によって計算された、膜応力が２ＧＰａの薄膜１０２を半導体基板１０１上に成膜した場合の半導体基板１０１の湾曲の曲率半径を示す。横軸は半導体基板１０１の厚さ、縦軸は曲率半径である。また、表示されている実線、破線及び一点鎖線は、それぞれ、薄膜１０２の膜厚１０００ｎｍ、５００ｎｍ及び１００ｎｍに対応する。

【００４２】

このように、薄膜１０２の応力、薄膜１０２の厚さ、及び半導体基板１０１の厚さを調整することによって、曲率半径を例えば１ｍｍ程度から１００ｍ程度までの広い範囲で変更することができる。

【００４３】

図５Ａは、本発明の実施例の半導体チップ１００の適用例の説明図である。

【００４４】

ここでは、半導体デバイス１０３として、ＣＭＵＴ等の超音波トランスデューサ５０１が作製される例を示す。ここでは、超音波トランスデューサ５０１の例として、ＣＭＵＴを示す。この場合、それぞれの超音波トランスデューサ５０１のセル（ＣＭＵＴセル）は、絶縁膜５０３に設けられた空洞５０４と、それを上下から挟みこむように設けられた一対の電極５０５と、からなる。その詳細は構造については図５Ｂを参照して後述する。

【００４５】

湾曲した半導体チップ１００は、曲率を持った貼り付け部材５０２に貼り付けられる。貼り付け部材５０２はどのようなものであってもよいが、一例をあげるとすれば、血管に挿入されるカテーテルである。図５Ａに示すように多数のＣＭＵＴセルが配列された半導体チップ１００を貼り付け部材５０２に巻きつけることで、カテーテルの全周に超音波を送信して、その反射を受信することが可能になる。これによって、例えば血管の内壁に付着したプラーク等を検出することが容易になる。

【００４６】

貼り付け部材５０２が血管に挿入されるカテーテルである場合、その曲率半径は一般に１ｍｍ程度である。本実施例によれば、図４に示すように半導体基板１０１の厚さ等を調整することによって、曲率半径が貼り付け部材５０２のそれと同程度になるように半導体チップ１００を製造し、それを貼り付け部材５０２の表面に貼り付けることができる。これによって、破損なく、また、一つ一つのＣＭＵＴセルを貼り付けるといった手間もなく、容易に多数のＣＭＵＴセルが配列されたカテーテルを組み立てることができる。

【００４７】

図５Ｂは、本発明の実施例の半導体チップ１００の適用例における超音波トランスデューサ５０１の構造の説明図である。

【００４８】

ここでは、超音波トランスデューサ５０１のセルの一例であるＣＭＵＴセルは、絶縁膜５０３に設けられた空洞５０４と、それを上下から挟みこむように設けられた一対の電極５０５と、からなる。一対の電極５０５には、直流バイアス電圧に交流電圧を重ねた電圧が印加される。これによって上下の電極５０５間に静電気力が発生し、空洞５０４の上部の電極５０５が振動することによって超音波信号が送信される。

【００４９】

一方、超音波信号を受信するときは、受信した超音波信号によって空洞５０４の上部の電極５０５が振動し、それによる電極５０５の変位量が静電容量の変化として検出される。

【００５０】

図６は、本発明の実施例の半導体チップ１００の適用例の変形例の説明図である。

【００５１】

図６に示す半導体チップ１００は、半導体デバイス１０３の層に溝６０１が形成される点を除いて、図５Ａに示したものと同様である。この溝６０１は、図６に示すように、ＣＭＵＴセル間を区切る位置に形成される。半導体チップ１００が湾曲することによって半導体デバイス１０３の層に内部応力が発生し、それがＣＭＵＴセルの特性に影響を与える

10

20

30

40

50

る。これに対して、図 6 に示す溝 6 0 1 を設けることによって、半導体デバイス 1 0 3 の層の内部応力が分断され、その結果、C M U T セルの特性が受ける影響が軽減することが期待できる。

【 0 0 5 2 】

上記の図 5 A ～図 6 には超音波トランスデューサの例として C M U T を挙げたが、これを P M U T (Piezoelectric Micro-machined Ultrasound Transducers) によって置き換えることもできる。あるいは、超音波トランスデューサ以外の任意の M E M S 又は任意の集積回路によって置き換えることもできる。

【符号の説明】

【 0 0 5 3 】

- 1 0 0 半導体チップ
- 1 0 1 半導体基板
- 1 0 2 内部応力を持つ薄膜
- 1 0 3 半導体デバイス

10

20

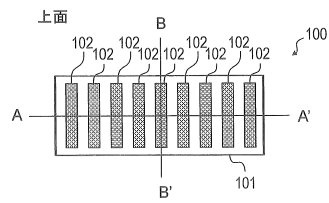
30

40

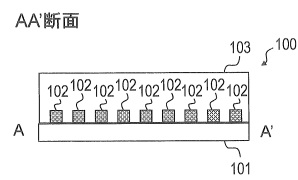
50

【図面】

【図 1 A】

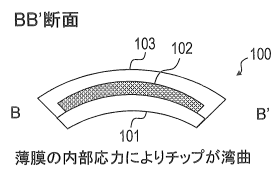


【図 1 B】

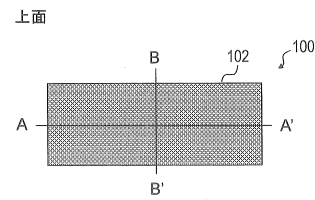


10

【図 1 C】

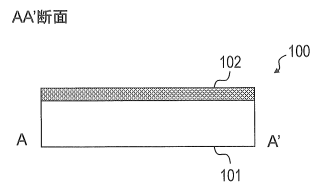


【図 2 A】

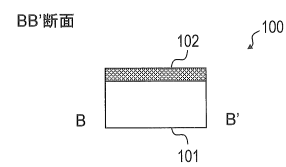


20

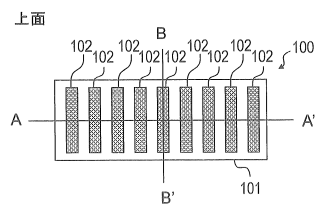
【図 2 B】



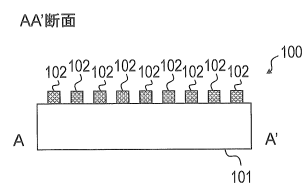
【図 2 C】



【図 2 D】



【図 2 E】

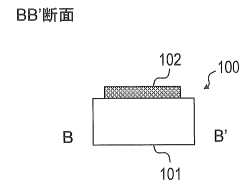


30

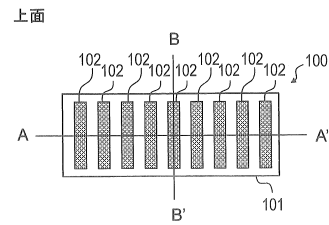
40

50

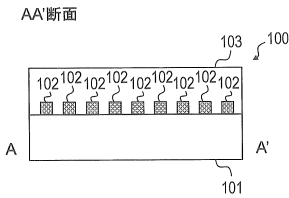
【図 2 F】



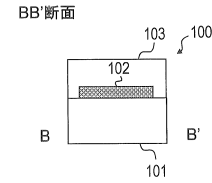
【図 2 G】



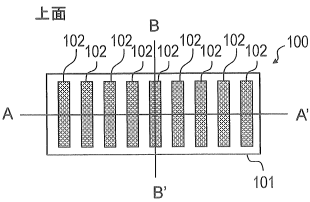
【図 2 H】



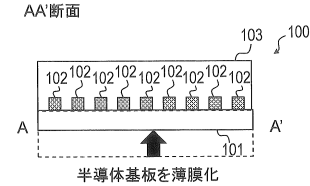
【図 2 I】



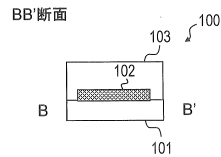
【図 2 J】



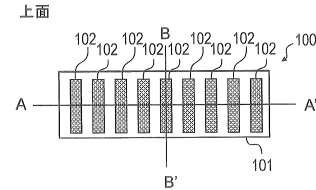
【図 2 K】



【図 2 L】



【図 2 M】



10

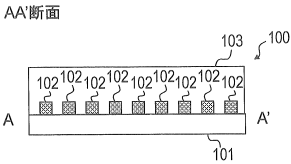
20

30

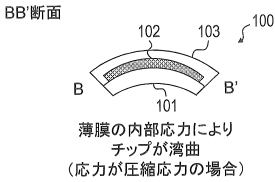
40

50

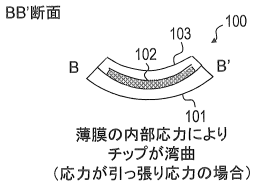
【図 2 N】



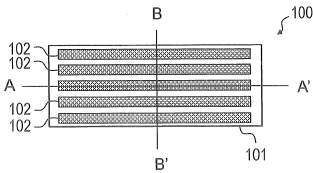
【図 2 O】



【図 2 P】

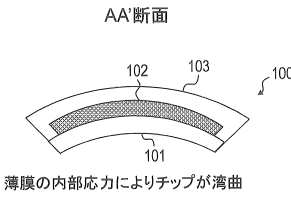


【図 3 A】

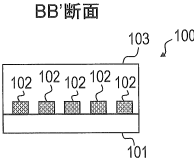


10

【図 3 B】



【図 3 C】



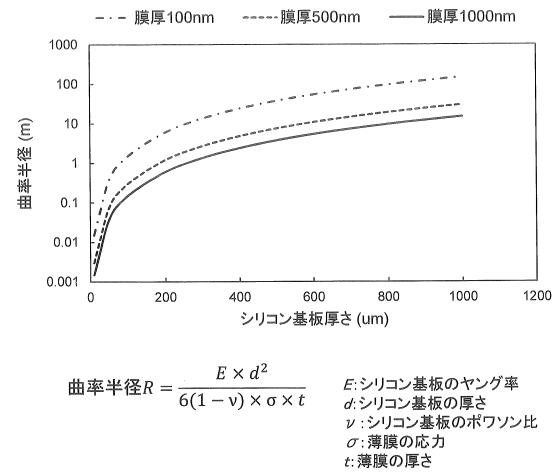
20

30

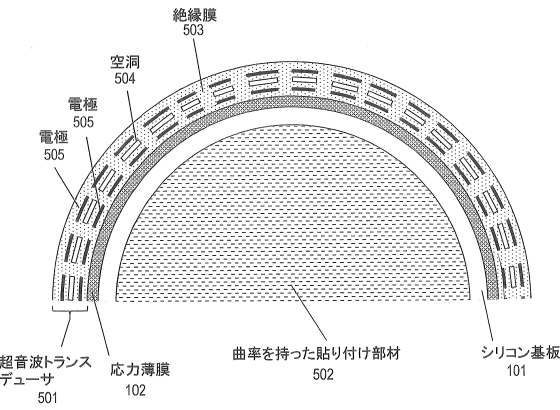
40

50

【図 4】

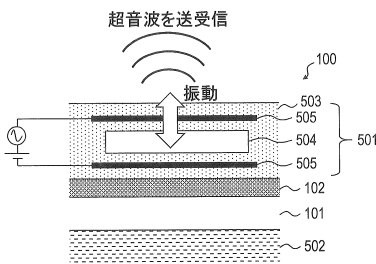


【図 5 A】

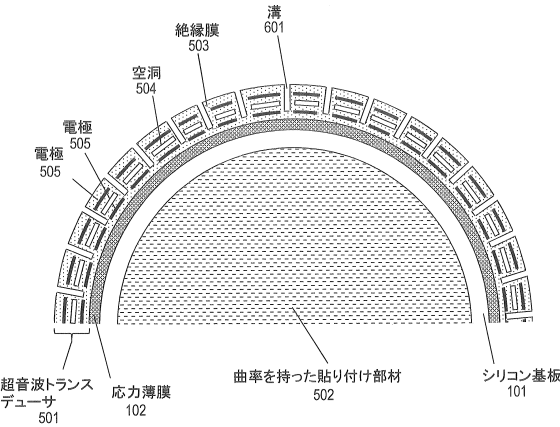


10

【図 5 B】



【図 6】



20

30

40

50

フロントページの続き

- (56)参考文献 特開平11-204566 (JP, A)
特開2013-141524 (JP, A)
特開2018-183426 (JP, A)
特開2005-210710 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)
H04R 19/00
H01L 21/822