



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2024년01월23일  
(11) 등록번호 10-2628930  
(24) 등록일자 2024년01월19일

(51) 국제특허분류(Int. Cl.)  
H04L 5/00 (2006.01) H04W 72/04 (2009.01)  
(52) CPC특허분류  
H04L 5/0053 (2013.01)  
H04L 5/001 (2013.01)  
(21) 출원번호 10-2019-7030993  
(22) 출원일자(국제) 2018년02월09일  
심사청구일자 2021년01월26일  
(85) 번역문제출일자 2019년10월21일  
(65) 공개번호 10-2019-0127902  
(43) 공개일자 2019년11월13일  
(86) 국제출원번호 PCT/US2018/017604  
(87) 국제공개번호 WO 2018/175011  
국제공개일자 2018년09월27일  
(30) 우선권주장  
62/476,653 2017년03월24일 미국(US)  
15/892,054 2018년02월08일 미국(US)  
(56) 선행기술조사문헌  
3GPP R1-1611639  
(뒷면에 계속)  
전체 청구항 수 : 총 23 항

(73) 특허권자  
퀄컴 인코포레이티드  
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775  
(72) 발명자  
호세이니, 세이드키아노쉬  
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 퀄컴 인코포레이티드 (내)  
첸, 완시  
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 퀄컴 인코포레이티드 (내)  
(74) 대리인  
특허법인 남앤남

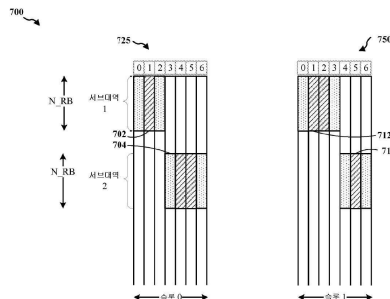
심사관 : 노상민

(54) 발명의 명칭 슬롯내 주파수 hopping에 대한 지원을 갖는 단일 슬롯 슷 PUCCH

(57) 요약

단일 슬롯 sPUCCH의 설계 및 구현과 관련된 다양한 특징들이 설명된다. 일 양상에서, 단일 슬롯 sPUCCH는 sTTI 내 주파수 hopping을 지원한다. 일부 구성들에서, 슬롯내 주파수 hopping이 지원되고, 슬롯당 하나 또는 2개의 hopping이 활용될 수 있다. 장치, 예를 들어, UE는, 슬롯 내의 sPUCCH의 제1 세트의 심볼들 내의 제1 세트의 자원들에서 제1 UCI를 송신하고, 슬롯 내의 sPUCCH의 제2 세트의 심볼들 내의 제2 세트의 자원들에서 제2 UCI를 송신하도록 구성될 수 있고, 여기서 제2 세트의 심볼들은 제1 세트의 심볼들에 후속할 수 있다. 일부 구성들에서, 제1 및 제2 세트들의 심볼들 각각에서 심볼들의 수는 슬롯이 서브프레임의 제1 슬롯인지 또는 서브프레임의 제2 슬롯인지 여부에 기초할 수 있다.

대표도



(52) CPC특허분류

*H04L 5/0048* (2023.05)

*H04W 72/0446* (2023.01)

*H04W 72/21* (2023.01)

(56) 선행기술조사문헌

3GPP R1-1702306

3GPP R1-1702784\*

3GPP R1-1703262

3GPP R1-1703263\*

\*는 심사관에 의하여 인용된 문헌

---

## 명세서

### 청구범위

#### 청구항 1

사용자 장비(UE)의 무선 통신 방법으로서,

슬롯 내의 sPUCCH(shortened physical uplink control channel)의 제1 세트의 심볼들 내의 제1 세트의 자원들에서 제1 UCI(uplink control information)를 송신하는 단계; 및

상기 슬롯 내의 상기 sPUCCH의 제2 세트의 심볼들 내의 제2 세트의 자원들에서 제2 UCI를 송신하는 단계를 포함하고,

상기 제2 세트의 심볼들은 상기 제1 세트의 심볼들에 후속하고;

상기 제1 세트의 심볼들에서 심볼들의 수 및 상기 제2 세트의 심볼들에서 심볼들의 수는 상기 슬롯이 서브프레임의 제1 슬롯인지 또는 상기 서브프레임의 제2 슬롯인지 여부에 기초하고,

상기 슬롯이 상기 서브프레임의 상기 제1 슬롯이고 슬롯당 단일 홉 슬롯내 주파수 홉핑이 상기 sPUCCH와 함께 사용되는 경우, 상기 제1 세트의 심볼들은 3개의 심볼들을 포함하고, 상기 제2 세트의 심볼들은 4개의 심볼들을 포함하고,

상기 슬롯이 상기 서브프레임의 상기 제2 슬롯이고 상기 슬롯당 단일 홉 슬롯내 주파수 홉핑이 상기 sPUCCH와 함께 사용되는 경우, 상기 제1 세트의 심볼들은 4개의 심볼들을 포함하고, 상기 제2 세트의 심볼들은 3개의 심볼들을 포함하고,

상기 슬롯이 상기 서브프레임의 상기 제1 슬롯인 경우, 상기 sPUCCH의 상기 제1 세트의 심볼들의 첫 번째 심볼 및 세 번째 심볼은 상기 제1 UCI를 반송하는 한편, 상기 제1 세트의 심볼들의 두 번째 심볼은 DM-RS(demodulation reference signal)를 반송하고, 상기 sPUCCH의 상기 제2 세트의 심볼들의 첫 번째 심볼 및 네 번째 심볼은 상기 제2 UCI를 반송하는 한편, 상기 제2 세트의 심볼들의 두 번째 심볼 및 세 번째 심볼 각각은 DM-RS를 반송하고, 그리고

상기 슬롯이 상기 서브프레임의 상기 제2 슬롯인 경우, 상기 sPUCCH의 상기 제1 세트의 심볼들의 첫 번째 심볼 및 네 번째 심볼은 상기 제1 UCI를 반송하는 한편, 상기 제1 세트의 심볼들의 두 번째 심볼 및 세 번째 심볼 각각은 DM-RS를 반송하고, 상기 sPUCCH의 상기 제2 세트의 심볼들의 첫 번째 심볼 및 세 번째 심볼은 상기 제2 UCI를 반송하는 한편, 상기 제2 세트의 심볼들의 두 번째 심볼은 DM-RS를 반송하는, 무선 통신 방법.

#### 청구항 2

제1 항에 있어서,

상기 sPUCCH는 상이한 슬롯에서 제2 sPUCCH의 제2 구조와 상이한 제1 구조를 갖고, 상기 제1 구조 및 상기 제2 구조는 자원 블록들의 수, DM-RS(demodulation reference signals)의 수, DM-RS에 대한 위치들, 콤(comb) 구조 또는 OCC(orthogonal cover code) 길이 중 적어도 하나에 대해 상이한, 무선 통신 방법.

#### 청구항 3

제1 항에 있어서,

상기 제1 세트의 심볼들에서 심볼들의 수 및 상기 제2 세트의 심볼들에서 심볼들의 수는, 슬롯내 주파수 홉핑이 상기 sPUCCH와 함께 사용될 때, 상기 슬롯 내의 주파수 홉들의 수에 추가로 기초하는, 무선 통신 방법.

#### 청구항 4

삭제

#### 청구항 5

삭제

## 청구항 6

제3 항에 있어서,

상기 슬롯이 상기 서브 프레임의 상기 제1 슬롯이고 슬롯당 이중 홉 슬롯내 주파수 홉핑이 사용될 때, 상기 제1 세트의 심볼들은 3개의 심볼들을 포함하고, 상기 제2 세트의 심볼들은 2개의 심볼들을 포함하고; 그리고

상기 제1 세트의 심볼들 및 상기 제2 세트의 심볼들 각각은, 상기 슬롯이 상기 서브프레임의 상기 제2 슬롯이고 상기 슬롯당 이중 홉 슬롯내 주파수 홉핑이 사용될 때 2개의 심볼들을 포함하는, 무선 통신 방법.

## 청구항 7

제6 항에 있어서,

상기 슬롯 내의 상기 sPUCCH의 제3 세트의 심볼들 내의 제3 세트의 자원들에서 제3 UCI를 송신하는 단계를 더 포함하고, 상기 제3 세트의 심볼들은 상기 제2 세트의 심볼들에 후속하고, 상기 슬롯이 상기 서브프레임의 상기 제1 슬롯일 때 2개의 심볼들을 포함하고, 상기 슬롯이 상기 서브프레임의 상기 제2 슬롯일 때 3개의 심볼들을 포함하는, 무선 통신 방법.

## 청구항 8

제2 항에 있어서,

상기 sPUCCH에 대해 사용될 상기 제1 구조를 상기 UE에게 할당하는 표시를 기지국으로부터 수신하는 단계를 더 포함하고, 상기 제1 구조는 복수의 구조들 중 하나인, 무선 통신 방법.

## 청구항 9

제8 항에 있어서,

상기 표시는 상기 기지국으로부터 RRC(radio resource control) 메시지에서 또는 상기 기지국으로부터 수신되는 다운링크 제어 정보의 비트 필드에서 수신되는, 무선 통신 방법.

## 청구항 10

무선 통신을 위한 장치로서,

메모리; 및

상기 메모리에 커플링되는 적어도 하나의 프로세서를 포함하고,

상기 적어도 하나의 프로세서는,

슬롯 내의 sPUCCH(shortened physical uplink control channel)의 제1 세트의 심볼들 내의 제1 세트의 자원들에서 제1 UCI(uplink control information)를 송신하고;

상기 슬롯 내의 상기 sPUCCH의 제2 세트의 심볼들 내의 제2 세트의 자원들에서 제2 UCI를 송신하도록 구성되고,

상기 제2 세트의 심볼들은 상기 제1 세트의 심볼들에 후속하고;

상기 제1 세트의 심볼들에서 심볼들의 수 및 상기 제2 세트의 심볼들에서 심볼들의 수는 상기 슬롯이 서브프레임의 제1 슬롯인지 또는 상기 서브프레임의 제2 슬롯인지 여부에 기초하고,

상기 슬롯이 상기 서브프레임의 상기 제1 슬롯이고 슬롯당 단일 홉 슬롯내 주파수 홉핑이 상기 sPUCCH와 함께 사용되는 경우, 상기 제1 세트의 심볼들은 3개의 심볼들을 포함하고, 상기 제2 세트의 심볼들은 4개의 심볼들을 포함하고,

상기 슬롯이 상기 서브프레임의 상기 제2 슬롯이고 상기 슬롯당 단일 홉 슬롯내 주파수 홉핑이 상기 sPUCCH와 함께 사용되는 경우, 상기 제1 세트의 심볼들은 4개의 심볼들을 포함하고, 상기 제2 세트의 심볼들은 3개의 심볼들을 포함하고,

상기 슬롯이 상기 서브프레임의 상기 제1 슬롯인 경우, 상기 sPUCCH의 상기 제1 세트의 심볼들의 첫 번째 심볼

및 세 번째 심볼은 상기 제1 UCI를 반송하는 한편, 상기 제1 세트의 심볼들의 두 번째 심볼은 DM-RS(demodulation reference signal)를 반송하고, 상기 sPUCCH의 상기 제2 세트의 심볼들의 첫 번째 심볼 및 네 번째 심볼은 상기 제2 UCI를 반송하는 한편, 상기 제2 세트의 심볼들의 두 번째 심볼 및 세 번째 심볼 각각은 DM-RS를 반송하고, 그리고

상기 슬롯이 상기 서브프레임의 상기 제2 슬롯인 경우, 상기 sPUCCH의 상기 제1 세트의 심볼들의 첫 번째 심볼 및 네 번째 심볼은 상기 제1 UCI를 반송하는 한편, 상기 제1 세트의 심볼들의 두 번째 심볼 및 세 번째 심볼 각각은 DM-RS를 반송하고, 상기 sPUCCH의 상기 제2 세트의 심볼들의 첫 번째 심볼 및 세 번째 심볼은 상기 제2 UCI를 반송하는 한편, 상기 제2 세트의 심볼들의 두 번째 심볼은 DM-RS를 반송하는, 무선 통신을 위한 장치.

#### 청구항 11

제10 항에 있어서,

상기 sPUCCH는 상이한 슬롯에서 제2 sPUCCH의 제2 구조와 상이한 제1 구조를 갖고, 상기 제1 구조 및 상기 제2 구조는 자원 블록들의 수, DM-RS(demodulation reference signals)의 수, DM-RS에 대한 위치들, 콤(comb) 구조 또는 OCC(orthogonal cover code) 길이 중 적어도 하나에 대해 상이한, 무선 통신을 위한 장치.

#### 청구항 12

제10 항에 있어서,

상기 제1 세트의 심볼들에서 심볼들의 수 및 상기 제2 세트의 심볼들에서 심볼들의 수는, 슬롯내 주파수 홉핑이 상기 sPUCCH와 함께 사용될 때, 상기 슬롯 내의 주파수 홉들의 수에 추가로 기초하는, 무선 통신을 위한 장치.

#### 청구항 13

삭제

#### 청구항 14

삭제

#### 청구항 15

제12 항에 있어서,

상기 슬롯이 상기 서브프레임의 상기 제1 슬롯이고 슬롯당 이중 홉 슬롯내 주파수 홉핑이 사용될 때, 상기 제1 세트의 심볼들은 3개의 심볼들을 포함하고, 상기 제2 세트의 심볼들은 2개의 심볼들을 포함하고; 그리고

상기 제1 세트의 심볼들 및 상기 제2 세트의 심볼들 각각은, 상기 슬롯이 상기 서브프레임의 상기 제2 슬롯이고 상기 슬롯당 이중 홉 슬롯내 주파수 홉핑이 사용될 때 2개의 심볼들을 포함하는, 무선 통신을 위한 장치.

#### 청구항 16

제15 항에 있어서,

상기 적어도 하나의 프로세서는,

상기 슬롯 내의 상기 sPUCCH의 제3 세트의 심볼들 내의 제3 세트의 자원들에서 제3 UCI를 송신하도록 추가로 구성되고, 상기 제3 세트의 심볼들은 상기 제2 세트의 심볼들에 후속하고, 상기 슬롯이 상기 서브프레임의 상기 제1 슬롯일 때 2개의 심볼들을 포함하고, 상기 슬롯이 상기 서브프레임의 상기 제2 슬롯일 때 3개의 심볼들을 포함하는, 무선 통신을 위한 장치.

#### 청구항 17

제11 항에 있어서,

상기 적어도 하나의 프로세서는,

상기 sPUCCH에 대해 사용될 상기 제1 구조를 상기 장치에게 할당하는 표시를 기지국으로부터 수신하도록 추가로 구성되고, 상기 제1 구조는 복수의 구조들 중 하나인, 무선 통신을 위한 장치.

## 청구항 18

제17 항에 있어서,

상기 표시는 상기 기지국으로부터 RRC(radio resource control) 메시지에서 또는 상기 기지국으로부터 수신되는 다운링크 제어 정보의 비트 필드에서 수신되는, 무선 통신을 위한 장치.

## 청구항 19

제17 항에 있어서,

하나 이상의 안테나들을 포함하는 통신 인터페이스를 더 포함하고, 상기 적어도 하나의 프로세서는 상기 하나 이상의 안테나들을 통해 상기 기지국으로부터 RRC 메시지 또는 다운링크 제어 정보를 수신하도록 추가로 구성되는, 무선 통신을 위한 장치.

## 청구항 20

무선 통신을 위한 장치로서,

저장하기 위한 수단; 및

슬롯 내의 sPUCCH(shortened physical uplink control channel)의 제1 세트의 심볼들 내의 제1 세트의 자원들에서 제1 UCI(uplink control information)를 송신하고, 상기 슬롯 내의 상기 sPUCCH의 제2 세트의 심볼들 내의 제2 세트의 자원들에서 제2 UCI를 송신하기 위한 수단을 포함하고,

상기 제2 세트의 심볼들은 상기 제1 세트의 심볼들에 후속하고;

상기 제1 세트의 심볼들에서 심볼들의 수 및 상기 제2 세트의 심볼들에서 심볼들의 수는 상기 슬롯이 서브프레임의 제1 슬롯인지 또는 상기 서브프레임의 제2 슬롯인지 여부에 기초하고,

상기 슬롯이 상기 서브프레임의 상기 제1 슬롯이고 슬롯당 단일 홉 슬롯내 주파수 홉핑이 상기 sPUCCH와 함께 사용되는 경우, 상기 제1 세트의 심볼들은 3개의 심볼들을 포함하고, 상기 제2 세트의 심볼들은 4개의 심볼들을 포함하고,

상기 슬롯이 상기 서브프레임의 상기 제2 슬롯이고 상기 슬롯당 단일 홉 슬롯내 주파수 홉핑이 상기 sPUCCH와 함께 사용되는 경우, 상기 제1 세트의 심볼들은 4개의 심볼들을 포함하고, 상기 제2 세트의 심볼들은 3개의 심볼들을 포함하고,

상기 슬롯이 상기 서브프레임의 상기 제1 슬롯인 경우, 상기 sPUCCH의 상기 제1 세트의 심볼들의 첫 번째 심볼 및 세 번째 심볼은 상기 제1 UCI를 반송하는 한편, 상기 제1 세트의 심볼들의 두 번째 심볼은 DM-RS(demodulation reference signal)를 반송하고, 상기 sPUCCH의 상기 제2 세트의 심볼들의 첫 번째 심볼 및 네 번째 심볼은 상기 제2 UCI를 반송하는 한편, 상기 제2 세트의 심볼들의 두 번째 심볼 및 세 번째 심볼 각각은 DM-RS를 반송하고, 그리고

상기 슬롯이 상기 서브프레임의 상기 제2 슬롯인 경우, 상기 sPUCCH의 상기 제1 세트의 심볼들의 첫 번째 심볼 및 네 번째 심볼은 상기 제1 UCI를 반송하는 한편, 상기 제1 세트의 심볼들의 두 번째 심볼 및 세 번째 심볼 각각은 DM-RS를 반송하고, 상기 sPUCCH의 상기 제2 세트의 심볼들의 첫 번째 심볼 및 세 번째 심볼은 상기 제2 UCI를 반송하는 한편, 상기 제2 세트의 심볼들의 두 번째 심볼은 DM-RS를 반송하는, 무선 통신을 위한 장치.

## 청구항 21

제20 항에 있어서,

상기 sPUCCH는 상이한 슬롯에서 제2 sPUCCH의 제2 구조와 상이한 제1 구조를 갖고, 상기 제1 구조 및 상기 제2 구조는 자원 블록들의 수, DM-RS(demodulation reference signals)의 수, DM-RS에 대한 위치들, 콤(comb) 구조 또는 OCC(orthogonal cover code) 길이 중 적어도 하나에 대해 상이한, 무선 통신을 위한 장치.

## 청구항 22

제20 항에 있어서,

상기 제1 세트의 심볼들에서 심볼들의 수 및 상기 제2 세트의 심볼들에서 심볼들의 수는, 슬롯내 주파수 홉핑이 상기 sPUCCH와 함께 사용될 때, 상기 슬롯 내의 주파수 홉들의 수에 추가로 기초하는, 무선 통신을 위한 장치.

#### 청구항 23

삭제

#### 청구항 24

삭제

#### 청구항 25

제22 항에 있어서,

상기 슬롯이 상기 서브프레임의 상기 제1 슬롯이고 슬롯당 이중 홉 슬롯내 주파수 홉핑이 사용될 때, 상기 제1 세트의 심볼들은 3개의 심볼들을 포함하고, 상기 제2 세트의 심볼들은 2개의 심볼들을 포함하고; 그리고

상기 제1 세트의 심볼들 및 상기 제2 세트의 심볼들 각각은, 상기 슬롯이 상기 서브프레임의 상기 제2 슬롯이고 상기 슬롯당 이중 홉 슬롯내 주파수 홉핑이 사용될 때 2개의 심볼들을 포함하는, 무선 통신을 위한 장치.

#### 청구항 26

제25 항에 있어서,

상기 송신하기 위한 수단은, 상기 슬롯 내의 상기 sPUCCH의 제3 세트의 심볼들 내의 제3 세트의 자원들에서 제3 UCI를 송신하도록 추가로 구성되고, 상기 제3 세트의 심볼들은 상기 제2 세트의 심볼들에 후속하고, 상기 슬롯이 상기 서브프레임의 상기 제1 슬롯일 때 2개의 심볼들을 포함하고, 상기 슬롯이 상기 서브프레임의 상기 제2 슬롯일 때 3개의 심볼들을 포함하는, 무선 통신을 위한 장치.

#### 청구항 27

제21 항에 있어서,

상기 sPUCCH에 대해 사용될 상기 제1 구조를 상기 장치에게 할당하는 표시를 기지국으로부터 수신하기 위한 수단을 더 포함하고, 상기 제1 구조는 복수의 구조들 중 하나인, 무선 통신을 위한 장치.

#### 청구항 28

제27 항에 있어서,

상기 표시는 상기 기지국으로부터 RRC(radio resource control) 메시지에서 또는 상기 기지국으로부터 수신되는 다운링크 제어 정보의 비트 필드에서 수신되는, 무선 통신을 위한 장치.

#### 청구항 29

컴퓨터 실행가능 코드를 저장하는 컴퓨터 판독가능 저장 매체로서,

상기 컴퓨터 실행가능 코드는,

슬롯 내의 sPUCCH(shortened physical uplink control channel)의 제1 세트의 심볼들 내의 제1 세트의 자원들에서 제1 UCI(uplink control information)를 송신하기 위한 코드;

상기 슬롯 내의 상기 sPUCCH의 제2 세트의 심볼들 내의 제2 세트의 자원들에서 제2 UCI를 송신하기 위한 코드를 포함하고,

상기 제2 세트의 심볼들은 상기 제1 세트의 심볼들에 후속하고;

상기 제1 세트의 심볼들에서 심볼들의 수 및 상기 제2 세트의 심볼들에서 심볼들의 수는 상기 슬롯이 서브프레임의 제1 슬롯인지 또는 상기 서브프레임의 제2 슬롯인지 여부에 기초하고,

상기 슬롯이 상기 서브프레임의 상기 제1 슬롯이고 슬롯당 단일 홉 슬롯내 주파수 홉핑이 상기 sPUCCH와 함께 사용되는 경우, 상기 제1 세트의 심볼들은 3개의 심볼들을 포함하고, 상기 제2 세트의 심볼들은 4개의 심볼들을

포함하고,

상기 슬롯이 상기 서브프레임의 상기 제2 슬롯이고 상기 슬롯당 단일 홉 슬롯내 주파수 홉핑이 상기 sPUCCH와 함께 사용되는 경우, 상기 제1 세트의 심볼들은 4개의 심볼들을 포함하고, 상기 제2 세트의 심볼들은 3개의 심볼들을 포함하고,

상기 슬롯이 상기 서브프레임의 상기 제1 슬롯인 경우, 상기 sPUCCH의 상기 제1 세트의 심볼들의 첫 번째 심볼 및 세 번째 심볼은 상기 제1 UCI를 반송하는 한편, 상기 제1 세트의 심볼들의 두 번째 심볼은 DM-RS(demodulation reference signal)를 반송하고, 상기 sPUCCH의 상기 제2 세트의 심볼들의 첫 번째 심볼 및 네 번째 심볼은 상기 제2 UCI를 반송하는 한편, 상기 제2 세트의 심볼들의 두 번째 심볼 및 세 번째 심볼 각각은 DM-RS를 반송하고, 그리고

상기 슬롯이 상기 서브프레임의 상기 제2 슬롯인 경우, 상기 sPUCCH의 상기 제1 세트의 심볼들의 첫 번째 심볼 및 네 번째 심볼은 상기 제1 UCI를 반송하는 한편, 상기 제1 세트의 심볼들의 두 번째 심볼 및 세 번째 심볼 각각은 DM-RS를 반송하고, 상기 sPUCCH의 상기 제2 세트의 심볼들의 첫 번째 심볼 및 세 번째 심볼은 상기 제2 UCI를 반송하는 한편, 상기 제2 세트의 심볼들의 두 번째 심볼은 DM-RS를 반송하는, 컴퓨터 판독가능 저장 매체.

## 발명의 설명

### 기술 분야

[0001] 본 특허 출원은, 2018년 2월 8일에 출원되고 발명의 명칭이 "SINGLE SLOT SHORT PUCCH WITH SUPPORT FOR INTRA SLOT FREQUENCY HOPPING"인 미국 정식 출원 제15/892,054호, 및 2017년 3월 24일에 출원되고 발명의 명칭이 "SINGLE SLOT SHORT PUCCH WITH SUPPORT FOR INTRA SLOT FREQUENCY HOPPING"인 미국 가출원 일련번호 제62/476,653호를 우선권으로 주장하고, 상기 출원들은 모든 적용가능한 목적들을 위해 그 전체가 아래에서 완전히 기술된 것처럼 그 전체가 인용에 의해 본원에 명시적으로 포함된다.

[0002] 아래에서 논의되는 기술은 일반적으로 통신 시스템들에 관한 것이고, 더 상세하게는, 슬롯내 주파수 홉핑의 사용을 지원하는 sPUCCH(shortened physical uplink control channel)의 설계 및 구현에 관한 것이다. 특정 실시예들은 높은 신뢰도를 갖는 더 낮은 레이턴시 통신 시나리오들을 도출할 수 있는 개선된 통신 기술들을 가능하게 하고 제공한다.

### 배경 기술

[0003] 무선 통신 시스템들은 텔레포니(telephony), 비디오, 데이터, 메시징, 및 브로드캐스트들과 같은 다양한 전기통신 서비스들을 제공하도록 널리 배치되어 있다. 통상적인 무선 통신 시스템들은 이용가능한 시스템 자원들을 공유함으로써 다수의 사용자들과의 통신을 지원할 수 있는 다중-액세스 기술들을 이용할 수 있다. 이러한 다중-액세스 기술들의 예들은 코드 분할 다중 액세스(CDMA) 시스템들, 시분할 다중 액세스(TDMA) 시스템들, 주파수 분할 다중 액세스(FDMA) 시스템들, 직교 주파수 분할 다중 액세스(OFDMA) 시스템들, 싱글-캐리어 주파수 분할 다중 액세스(SC-FDMA) 시스템들, 및 시분할 동기식 코드 분할 다중 액세스(TD-SCDMA) 시스템들을 포함한다.

[0004] 이러한 다중 액세스 기술들은 상이한 무선 디바이스들이, 도시 레벨, 국가 레벨, 지역 레벨, 및 심지어 글로벌 레벨 상에서 통신할 수 있게 하는 공통 프로토콜을 제공하기 위해 다양한 전기통신 표준들에서 채택되어 왔다. 예시적인 전기통신 표준은 5G NR(New Radio)이다. 5G NR은 레이턴시, 신뢰도, 보안, (예를 들어, IoT(Internet of Things)에 의한) 확장가능성 및 다른 요건들과 연관된 새로운 요건들을 충족시키기 위해, 3GPP(Third Generation Partnership Project)에 의해 공표된 연속적인 모바일 브로드밴드 에볼루션의 일부이다. 5G NR의 일부 양상들은 4G LTE(Long Term Evolution) 표준에 기초할 수 있다. 5G NR 기술에서 추가적인 개선들에 대한 요구가 존재한다. 이러한 개선들은 또한 다른 다중-액세스 기술들 및 이러한 기술들을 이용하는 전기통신 표준들에 적용가능할 수 있다.

### 발명의 내용

[0005] 다음은, 이러한 양상들의 기본적인 이해를 제공하기 위해 하나 이상의 양상들의 간략화된 요약들을 제시한다. 이러한 요약은 모든 고려된 양상들의 포괄적인 개관이 아니며, 모든 양상들의 핵심적인 또는 중요한 엘



리먼트들을 식별하거나 임의의 또는 모든 양상들의 범위를 서술하도록 의도되지 않는다. 이러한 요약의 유일한 목적은, 이후에 제시되는 더 상세한 설명에 대한 서론으로서 간략화된 형태로 하나 이상의 양상들의 일부 개념들을 제시하는 것이다.

[0006] 본 개시의 양상에서, 방법, 컴퓨터 판독가능 매체 및 장치가 제공된다. 일 양상에서, 예시적인 장치, 예를 들어, 사용자 장비(UE)는 메모리 및 메모리에 커플링된 적어도 하나의 프로세서를 포함할 수 있다. 이러한 양상에서, 적어도 프로세서는 슬롯 내의 sPUCCH(shortened physical uplink control channel)의 제1 세트의 심볼들 내의 제1 세트의 자원들에서 제1 UCI(uplink control information)를 송신하도록 구성될 수 있다. 적어도 하나의 프로세서는 슬롯 내의 sPUCCH의 제2 세트의 심볼들 내의 제2 세트의 자원들에서 제2 UCI를 송신하도록 추가로 구성될 수 있고, 제2 세트의 심볼들은 제1 세트의 심볼들에 후속할 수 있다. 일부 구성들에서, 슬롯 내의 제1 및 제2 세트들의 심볼들 각각에서 심볼들의 수는 서브프레임 내의 주어진 슬롯의 슬롯 인덱스에 기초할 수 있다. 예를 들어, 일 양상에서, 제1 세트의 심볼들에서 심볼들의 수 및 제2 세트의 심볼들에서 심볼들의 수는 슬롯이 서브프레임의 제1 슬롯(슬롯 0)인지 또는 서브프레임의 제2 슬롯(슬롯 1)인지 여부에 기초한다. 일부 구성들에서, sPUCCH는 자원 블록들의 수, DM-RS(demodulation reference signals)의 수, DM-RS에 대한 위치들, 콤(comb) 구조 또는 OCC(orthogonal cover code) 길이 중 적어도 하나에 대해 제2 sPUCCH의 제2 구조와 상이한 제1 구조를 가질 수 있다.

[0007] 일 양상에서, UE의 예시적인 무선 통신 방법은, 슬롯 내의 sPUCCH의 제1 세트의 심볼들 내의 제1 세트의 자원들에서 제1 UCI를 송신하는 단계, 슬롯 내의 sPUCCH의 제2 세트의 심볼들 내의 제2 세트의 자원들에서 제2 UCI를 송신하는 단계를 포함하고, 제2 세트의 심볼들은 제1 세트의 심볼들에 후속할 수 있다. 하나의 이러한 양상에서, 제1 세트의 심볼들에서 심볼들의 수 및 제2 세트의 심볼들에서 심볼들의 수는 슬롯이 서브프레임의 제1 슬롯인지 또는 서브프레임의 제2 슬롯인지 여부에 기초한다.

[0008] 일 양상에서, 예시적인 장치(예를 들어, UE)는 저장하기 위한 수단, 및 슬롯 내의 sPUCCH의 제1 세트의 심볼들 내의 제1 세트의 자원들에서 제1 UCI를 송신하기 위한 수단을 포함할 수 있다. 송신하기 위한 수단은 슬롯 내의 sPUCCH의 제2 세트의 심볼들 내의 제2 세트의 자원들에서 제2 UCI를 송신하도록 추가로 구성될 수 있고, 제2 세트의 심볼들은 제1 세트의 심볼들에 후속할 수 있다. 하나의 이러한 양상에서, 제1 세트의 심볼들에서 심볼들의 수 및 제2 세트의 심볼들에서 심볼들의 수는 슬롯이 서브프레임의 제1 슬롯인지 또는 서브프레임의 제2 슬롯인지 여부에 기초한다.

[0009] 일 양상에서, 컴퓨터 판독가능 매체가 제공된다. 컴퓨터 판독가능 저장 매체는 컴퓨터 실행가능 코드를 저장할 수 있고, 컴퓨터 실행가능 코드는, 슬롯 내의 sPUCCH의 제1 세트의 심볼들 내의 제1 세트의 자원들에서 제1 UCI를 송신하기 위한 코드, 및 슬롯 내의 sPUCCH의 제2 세트의 심볼들 내의 제2 세트의 자원들에서 제2 UCI를 송신하기 위한 코드를 포함한다. 제2 세트의 심볼들은 제1 세트의 심볼들에 후속할 수 있다. 하나의 이러한 양상에서, 제1 세트의 심볼들에서 심볼들의 수 및 제2 세트의 심볼들에서 심볼들의 수는 슬롯이 서브프레임의 제1 슬롯인지 또는 서브프레임의 제2 슬롯인지 여부에 기초한다.

[0010] 본 기술의 다른 양상들, 특징들 및 실시예들은, 첨부된 도면들과 관련하여 특정한 예시적인 실시예들의 후속 설명을 검토할 때, 당업자들에게 자명해질 것이다. 아래에서 논의되는 기술의 특징들은 아래의 특정 실시예들 및 도면들에 대해 설명될 수 있지만, 모든 실시예들은 논의된 유리한 특징들 중 하나 이상을 포함할 수 있다. 하나 이상의 실시예들은 특정한 유리한 특징들을 갖는 것으로 논의될 수 있지만, 이러한 특징들 중 하나 이상은 또한 논의된 다양한 실시예들에 따라 사용될 수 있다. 유사한 방식으로, 예시적인 실시예들은 디바이스, 시스템 또는 방법 실시예들로서 아래에서 논의될 수 있지만, 이러한 예시적인 실시예들은 다양한 형상들, 크기들, 레이아웃들, 어레이먼트들, 회로들, 디바이스들, 시스템들 및 방법들로 구현될 수 있음을 이해해야 한다.

## 도면의 간단한 설명

[0011] 도 1은 무선 통신 시스템 및 액세스 네트워크의 예를 예시하는 도면이다.

[0012] 도 2a, 도 2b, 도 2c 및 도 2d는 DL 프레임 구조, DL 프레임 구조 내의 DL 채널들, UL 프레임 구조 및 UL 프레임 구조 내의 UL 채널들의 예들을 각각 예시하는 도면들이다.

[0013] 도 3은 액세스 네트워크에서 기지국 및 사용자 장비(UE)의 예를 예시하는 도면이다.

[0014] 도 4는 단일 슬롯 sPUCCH 및 그에 사용되는 제1 STTI(short transmission time interval)내 주파수 홉

핑 패턴의 2개의 구성들을 예시한다.

[0015] 도 5는 단일 슬롯 sPUCCH 구성들 및 그에 사용되는 제2 sTTI내 주파수 홉핑 패턴의 다른 세트를 예시한다.

[0016] 도 6은 단일 슬롯 sPUCCH 및 그에 사용되는 단일 홉 sTTI내 주파수 홉핑 패턴의 다른 2개의 구성들을 예시한다.

[0017] 도 7은, 단일 홉 sTTI내 주파수 홉핑 패턴이 사용되는 단일 슬롯 sPUCCH의 또 다른 2개의 구성들을 예시한다.

[0018] 도 8은 IFDMA(interleaved frequency division multiple access) 기반 2-심볼 sPUCCH의 예를 예시한다.

[0019] 도 9는 무선 통신 방법의 흐름도이다.

[0020] 도 10은 예시적인 장치에서 상이한 수단들/컴포넌트들 사이의 데이터 흐름을 예시하는 개념적 데이터 흐름도이다.

[0021] 도 11은 프로세싱 시스템을 이용하는 장치에 대한 하드웨어 구현의 예를 예시하는 도면이다.

### 발명을 실시하기 위한 구체적인 내용

[0012] [0022] 첨부 도면들과 관련하여 아래에 기술되는 상세한 설명은 다양한 구성들의 설명으로 의도되며, 본 명세서에서 설명된 개념들이 실시될 수 있는 유일한 구성들을 표현하도록 의도되는 것은 아니다. 상세한 설명은 다양한 개념들의 철저한 이해를 제공할 목적으로 특정 세부사항들을 포함한다. 그러나, 이러한 특정 세부사항들 없이도 이러한 개념들이 실시될 수 있음은 당업자들에게 자명할 것이다. 일부 예들에서, 이러한 개념들을 불명료하게 하는 것을 피하기 위해, 잘 알려진 구조들 및 컴포넌트들은 블록도 형태로 도시된다.

[0013] [0023] 이제 전기통신 시스템들의 몇몇 양상들이 다양한 장치 및 방법들을 참조하여 제시될 것이다. 이러한 장치 및 방법들은, 다양한 블록들, 컴포넌트들, 회로들, 프로세스들, 알고리즘들 등(집합적으로, "엘리먼트들"로 지칭됨)에 의해 다음의 상세한 설명에서 설명되고 첨부한 도면들에서 예시될 것이다. 이러한 엘리먼트들은 전자 하드웨어, 컴퓨터 소프트웨어, 또는 이들의 임의의 조합을 사용하여 구현될 수 있다. 이러한 엘리먼트들이 하드웨어로서 구현될지 또는 소프트웨어로서 구현될지는 특정한 애플리케이션 및 전체 시스템에 부과된 설계 제약들에 의존한다.

[0014] [0024] 예로서, 엘리먼트, 또는 엘리먼트의 임의의 일부, 또는 엘리먼트들의 임의의 조합은, 하나 이상의 프로세서들을 포함하는 "프로세싱 시스템"으로서 구현될 수도 있다. 프로세서들의 예들은 마이크로프로세서들, 마이크로제어기들, GPU들(graphics processing units), CPU들(central processing units), 애플리케이션 프로세서들, DSP들(digital signal processors), RISC(reduced instruction set computing) 프로세서들, SoC(systems on a chip), 기저대역 프로세서들, FPGA들(field programmable gate arrays), PLD들(programmable logic devices), 상태 머신들, 게이팅된 로직, 이산적 하드웨어 회로들, 및 본 개시 전반에 걸쳐 설명되는 다양한 기능을 수행하도록 구성되는 다른 적절한 하드웨어를 포함한다. 프로세싱 시스템의 하나 이상의 프로세서들은 소프트웨어를 실행할 수 있다. 소프트웨어는, 소프트웨어, 펌웨어, 미들웨어, 마이크로코드, 하드웨어 디스크립션 언어, 또는 다른 용어로서 지칭되는지에 관계없이, 명령들, 명령 세트들, 코드, 코드 세그먼트들, 프로그램 코드, 프로그램들, 서브프로그램들, 소프트웨어 컴포넌트들, 애플리케이션들, 소프트웨어 애플리케이션들, 소프트웨어 패키지들, 루틴들, 서브루틴들, 오브젝트들, 실행가능물들, 실행 스레드들, 절차들, 함수들 등을 의미하도록 광범위하게 해석되어야 한다.

[0015] [0025] 따라서, 하나 이상의 예시적인 실시예들에서, 설명된 기능들은 하드웨어, 소프트웨어, 또는 이들의 임의의 조합으로 구현될 수 있다. 소프트웨어로 구현되면, 기능들은 컴퓨터 판독가능 매체 상에 하나 이상의 명령 또는 코드로서 저장되거나 이로서 인코딩될 수 있다. 컴퓨터 판독가능 매체들은 컴퓨터 저장 매체들을 포함한다. 저장 매체들은 컴퓨터에 의해 액세스될 수 있는 임의의 이용가능한 매체들일 수 있다. 제한이 아닌 예로써, 이러한 컴퓨터-판독가능 매체는 RAM(random-access memory), ROM(read-only memory), EEPROM(electrically erasable programmable ROM), 광학 디스크 저장소, 자기 디스크 저장소, 다른 자기 저장 디바이스들, 전송한 타입들의 컴퓨터 판독가능 매체의 조합들, 또는 컴퓨터에 의해 액세스될 수 있는 명령들 또는 데이터 구조들의 형태로 컴퓨터 실행가능 코드를 저장하기 위해 사용될 수 있는 임의의 다른 매체를 포함할

수 있다.

- [0016] [0026] 양상들 및 실시예들은 일부 예들에 대한 예시에 의해 본 출원에서 설명되지만, 당업자들은 추가적인 구현들 및 사용 사례들이 많은 상이한 배열들 및 시나리오들에서 발생할 수 있음을 이해할 것이다. 본원에 설명된 혁신들은 많은 상이한 플랫폼 타입들, 디바이스들, 시스템들, 형상들, 크기들, 패키징 배열들에 걸쳐 구현될 수 있다. 예를 들어, 실시예들 및/또는 사용예들은 집적 칩 실시예들 및 다른 비-모듈-컴포넌트 기반 디바이스들(예를 들어, 최종 사용자 디바이스들, 차량들, 통신 디바이스들, 컴퓨팅 디바이스들, 산업 장비, 소매/구매 디바이스들, 의료 디바이스들, AI-가능 디바이스들 등)을 통해 발생할 수 있다. 일부 예들은 구체적으로 사용 사례들 또는 애플리케이션들에 관한 것일 수 있거나 그렇지 않을 수 있지만, 많은 종류의 설명된 혁신들의 적용 가능성이 발생할 수 있다. 구현들은 칩-레벨 또는 모듈식 컴포넌트들로부터 비-모듈식, 비-칩-레벨 구현들까지 그리고 추가로 설명된 혁신들의 하나 이상의 양상들을 통합하는 어그리게이트, 분산형 또는 OEM 디바이스들 또는 시스템들까지의 범위에 이를 수 있다. 일부 실용적인 세팅들에서, 설명된 양상들 및 특징들을 통합하는 디바이스들은 또한 청구되고 설명된 실시예들의 구현 및 실시를 위한 추가적인 컴포넌트들 및 특징들을 필수적으로 포함할 수 있다. 예를 들어, 무선 신호들의 송신 및 수신은 필수적으로 아날로그 및 디지털 목적으로 다수의 컴포넌트들(예를 들어, 안테나, RF-체인들, 전력 증폭기들, 변조기들, 버퍼, 프로세서(들), 인터리버, 가산기들/합산기들 등을 포함하는 하드웨어 컴포넌트들)을 포함한다. 본원에 설명된 혁신들은 변하는 크기들, 형상들 및 구성의 광범위한 디바이스들, 칩-레벨 컴포넌트들, 시스템들, 분산형 배열들, 최종 사용자 디바이스들 등에서 실시될 수 있는 것으로 의도된다.
- [0017] [0027] 도 1은 무선 통신 시스템 및 액세스 네트워크(100)의 예를 예시하는 도면이다. 무선 통신 시스템(또한 WWAN(wireless wide area network)으로 지칭됨)은 기지국들(102), UE들(104) 및 EPC(Evolved Packet Core)(160)를 포함한다. 기지국들(102)은 매크로 셀들(고전력 셀룰러 기지국) 및/또는 소형 셀들(저전력 셀룰러 기지국)을 포함할 수 있다. 매크로 셀들은 기지국들을 포함한다. 소형 셀들은 펌토셀들, 피코셀들 및 마이크로셀들을 포함한다.
- [0018] [0028] 기지국들(102)(총괄적으로 E-UTRAN(Evolved UMTS(Universal Mobile Telecommunications System) Terrestrial Radio Access Network)으로 지칭됨)은 백홀 링크들(132)(예를 들어, S1 인터페이스)을 통해 EPC(160)와 인터페이싱한다. 다른 기능들에 추가로, 기지국들(102)은 하기 기능들, 즉, 사용자 데이터의 전송, 라디오 채널 암호화 및 암호해독, 무결성 보호, 헤더 압축, 모빌리티 제어 기능들(예를 들어, 핸드오버, 듀얼 접속), 셀간 간섭 조정, 접속 셋업 및 해제, 로드 밸런싱, NAS(non-access stratum) 메시지들에 대한 분배, NAS 노드 선택, 동기화, RAN(radio access network) 공유, MBMS(multimedia broadcast multicast service), 가입자 및 장비 트레이스, RIM(RAN information management), 페이징, 포지셔닝 및 경고 메시지들의 전달 중 하나 이상을 수행할 수 있다. 기지국들(102)은 백홀 링크들(134)(예를 들어, X2 인터페이스)을 통해 서로 (예를 들어, EPC(160)를 통해) 간접적으로 또는 직접적으로 통신할 수 있다. 백홀 링크들(134)은 유선 또는 무선일 수 있다.
- [0019] [0029] 기지국들(102)은 UE들(104)과 무선으로 통신할 수 있다. 기지국들(102) 각각은 각각의 지리적 커버리지 영역(110)에 대한 통신 커버리지를 제공할 수 있다. 중첩하는 지리적 커버리지 영역들(110)이 존재할 수 있다. 예를 들어, 소형 셀(102')은 하나 이상의 매크로 기지국들(102)의 커버리지 영역(110)과 중첩하는 커버리지 영역(110')을 가질 수 있다. 소형 셀 및 매크로 셀들 둘 모두를 포함하는 네트워크는 이중 네트워크로 공지될 수 있다. 이중 네트워크는 또한, CSG(closed subscriber group)로 공지된 제한된 그룹에 서비스를 제공할 수 있는 HeNB들(Home eNBs(Evolved Node Bs))을 포함할 수 있다. 기지국들(102)과 UE들(104) 사이의 통신 링크들(120)은 UE(104)로부터 기지국(102)으로의 업링크(UL)(또한 역방향 링크로 지칭됨) 송신들 및/또는 기지국(102)으로부터 UE(104)로의 다운링크(DL)(또한 순방향 링크로 지칭됨) 송신들을 포함할 수 있다. 통신 링크들(120)은 공간 멀티플렉싱, 빔형성 및/또는 송신 다이버시티를 포함하는 MIMO(multiple-input and multiple-output) 안테나 기술을 사용할 수 있다. 통신 링크들은 하나 이상의 캐리어들을 통할 수 있다. 기지국들(102)/UE들(104)은 각각의 방향에서 송신을 위해 사용되는 총  $Y_x$  MHz( $x$  컴포넌트 캐리어들)까지의 캐리어 어그리게이션에서 할당되는 캐리어 당  $Y$  MHz(예를 들어, 5, 10, 15, 20, 100 MHz) 대역폭까지 스펙트럼을 사용할 수 있다. 캐리어들은 서로 인접할 수 있거나 인접하지 않을 수 있다. 캐리어들의 할당은 DL 및 UL에 대해 비대칭일 수 있다.(예를 들어, 더 많거나 더 적은 캐리어들이 UL보다 DL에 대해 할당될 수 있다). 컴포넌트 캐리어들은 1차 컴포넌트 캐리어 및 하나 이상의 2차 컴포넌트 캐리어들을 포함할 수 있다. 1차 컴포넌트 캐리어는 1차 셀(PCell)로 지칭될 수 있고, 2차 컴포넌트 캐리어는 2차 셀(SCell)로 지칭될 수 있다.
- [0020] [0030] 무선 통신 시스템은 5 GHz의 비허가된 주파수 스펙트럼에서 통신 링크들(154)을 통해 Wi-Fi 스테이션들

(STA들)(152)과 통신하는 Wi-Fi 액세스 포인트(AP)(150)를 더 포함할 수 있다. 비허가된 주파수 스펙트럼에서 통신하는 경우, STA들(152)/AP(150)는, 채널이 이용가능한지 여부를 결정하기 위해 통신하기 전에 CCA(clear channel assessment)를 수행할 수 있다.

[0021] [0031] 소형 셀(102')은 허가된 및/또는 비허가된 주파수 스펙트럼에서 동작할 수 있다. 비허가된 주파수 스펙트럼에서 동작하는 경우, 소형 셀(102')은 NR을 이용할 수 있고, Wi-Fi AP(150)에 의해 사용되는 것과 동일한 5 GHz 비허가된 주파수 스펙트럼을 사용할 수 있다. 비허가된 주파수 스펙트럼에서 NR을 이용하는 소형 셀(102')은 액세스 네트워크에 대한 커버리지를 부스팅하고 그리고/또는 용량을 증가시킬 수 있다.

[0022] [0032] gNodeB(gNB)(180)는 UE(104)와의 통신에서 밀리미터파(mmW) 주파수들 및/또는 근 mmW 주파수들에서 동작할 수 있다. gNB(180)가 mmW 또는 근 mmW 주파수들에서 동작하는 경우, gNB(180)는 mmW 기지국으로 지칭될 수 있다. EHF(extremely high frequency)는 전자기 스펙트럼에서 RF의 일부이다. EHF는 30 GHz 내지 300 GHz의 범위 및 1 밀리미터 내지 10 밀리미터의 파장을 갖는다. 이 대역의 라디오 파들은 밀리미터파로 지칭될 수 있다. 근 mmW는 100 밀리미터의 파장을 갖는 3 GHz의 주파수까지 확장될 수 있다. SHF(super high frequency) 대역은 3 GHz 내지 30 GHz로 확장되고 또한 센티미터파로 지칭된다. mmW/근 mmW 라디오 주파수 대역을 사용하는 통신들은 극도로 높은 경로 손실 및 짧은 범위를 갖는다. mmW 기지국(180)은 극도로 높은 경로 손실 및 짧은 범위를 보상하기 위해 UE(104)와의 빔형성(184)을 활용할 수 있다.

[0023] [0033] EPC(160)는 MME(Mobility Management Entity)(162), 다른 MME들(164), 서빙 게이트웨이(166), MBMS(Multimedia Broadcast Multicast Service) 게이트웨이(168), BM-SC(Broadcast Multicast Service Center)(170) 및 PDN(Packet Data Network) 게이트웨이(172)를 포함할 수 있다. MME(162)는 HSS(Home Subscriber Server)(174)와 통신할 수 있다. MME(162)는 UE들(104)과 EPC(160) 사이의 시그널링을 프로세싱하는 제어 노드이다. 일반적으로, MME(162)는 베어러 및 접속 관리를 제공한다. 모든 사용자 인터넷 프로토콜(IP) 패킷들은, 자체로 PDN 게이트웨이(172)에 연결된 서빙 게이트웨이(166)를 통해 전송된다. PDN 게이트웨이(172)는 UE IP 어드레스 할당 뿐만 아니라 다른 기능들을 제공한다. PDN 게이트웨이(172) 및 BM-SC(170)는 IP 서비스들(176)에 연결된다. IP 서비스들(176)은 인터넷, 인트라넷, IMS(IP Multimedia Subsystem), PSS(PS Streaming Service), 및/또는 다른 IP 서비스들을 포함할 수 있다. BM-SC(170)는 MBMS 사용자 서비스 프로비저닝(provisioning) 및 전달을 위한 기능들을 제공할 수 있다. BM-SC(170)는 콘텐츠 제공자 MBMS 송신을 위한 엔트리 포인트로서 기능할 수 있고, PLMN(public land mobile network) 내의 MBMS 베어러 서비스들을 인가 및 개시하기 위해 사용될 수 있으며, MBMS 송신들을 스케줄링하기 위해 사용될 수 있다. MBMS 게이트웨이(168)는, 특정 서비스를 브로드캐스트하는 MBSFN(Multicast Broadcast Single Frequency Network) 영역에 속하는 기지국들(102))에 MBMS 트래픽을 분배하기 위해 사용될 수 있고, 세션 관리(시작/중단)를 담당하고 eMBMS 관련 과금 정보를 수집하는 것을 담당할 수 있다.

[0024] [0034] 기지국은 또한, gNB, 노드 B, eNB(evolved Node B), 액세스 포인트, 베이스 트랜시버 스테이션, 라디오 기지국, 라디오 트랜시버, 트랜시버 기능부, BSS(basic service set), ESS(extended service set), 또는 일부 다른 적절한 용어로 지칭될 수 있다. 기지국(102)은 UE(104)에 대해 EPC(160)로의 액세스 포인트를 제공한다. UE들(104)의 예들은 셀룰러 폰, 스마트 폰, SIP(session initiation protocol) 폰, 랩탑, PDA(personal digital assistant), 위성 라디오, 글로벌 포지셔닝 시스템, 멀티미디어 디바이스, 비디오 디바이스, 디지털 오디오 플레이어(예를 들어, MP3 플레이어), 카메라, 게임 콘솔, 태블릿, 스마트 디바이스, 웨어러블 디바이스, 차량, 엔터테인먼트 디바이스, 의료 디바이스, 산업용 동작 장비, 차량들 또는 차량 모듈들, 자동차들, 전기 검침기, 가스 펌프, 토스터, 또는 무선 통신 능력들을 갖도록 구성될 수 있는 많은 다른 디바이스들을 포함한다. UE들(104) 중 일부는 IoT 디바이스들(예를 들어, 주차 검침기, 가스 펌프, 토스터, 차량들 등)로 지칭될 수 있다. UE(104)는 또한 스테이션, 이동국, 가입자국, 모바일 유닛, 가입자 유닛, 무선 유닛, 원격 유닛, 모바일 디바이스, 무선 디바이스, 무선 통신 디바이스, 원격 디바이스, 모바일 가입자국, 액세스 단말, 모바일 단말, 무선 단말, 원격 단말, 핸드셋, 사용자 에이전트, 모바일 클라이언트, 클라이언트, 또는 다른 어떤 적당한 전문 용어로 지칭될 수 있다.

[0025] [0035] 도 1을 다시 참조하면, 특정 양상들에서, UE(104)는 슬롯 내의 sPUCCH의 제1 세트의 심볼들 내의 제1 세트의 자원들에서 제1 UCI를 송신하고, 슬롯 내의 sPUCCH의 제2 세트의 심볼들 내의 제2 세트의 자원들에서 제2 UCI를 송신하도록 구성될 수 있다(198). 일 양상에서, 제2 세트의 심볼들은 제1 세트의 심볼들에 후속한다. 일 양상에서, 제1 세트의 심볼들에서 심볼들의 수 및 제2 세트의 심볼들에서 심볼들의 수는 슬롯의 슬롯 인덱스, 예를 들어, 슬롯이 서브프레임의 제1 슬롯인지 또는 서브프레임의 제2 슬롯인지 여부에 기초한다(198). 일 양상에서, sPUCCH는 상이한 슬롯에서 제2 sPUCCH의 제2 구조와 상이한 제1 구조를 가질 수 있다. 제1 및 제



2 구조들은 자원 블록들의 수, DM-RS의 수, DM-RS에 대한 위치들, 콤 구조 또는 OCC 길이 중 적어도 하나에 대해 상이할 수 있다. 다양한 추가적인 양상들 및 특징들이 도 4 내지 도 9에 대해 아래에서 더 상세히 논의된다.

[0026] [0036] 도 2a는 DL 프레임 구조의 예를 예시하는 도면(200)이다. 도 2b는 DL 프레임 구조 내의 채널들의 예를 예시하는 도면(230)이다. 도 2c는 UL 프레임 구조의 예를 예시하는 도면(250)이다. 도 2d는 UL 프레임 구조 내의 채널들의 예를 예시하는 도면(280)이다. 다른 무선 통신 기술들은 상이한 프레임 구조 및/또는 상이한 채널들을 가질 수 있다. 프레임(10 ms)은 10개의 동등한 크기의 서브프레임들로 분할될 수 있다. 각각의 서브프레임은 2개의 연속적인 시간 슬롯들을 포함할 수 있다. 2개의 시간 슬롯들을 표현하기 위해 자원 그리드가 사용될 수 있고, 각각의 시간 슬롯은 하나 이상의 시간 동시적 RB들(resource blocks)(또한 PRB들(physical RBs)로 지칭됨)을 포함한다. 자원 그리드는 다수의 RE들(resource elements)로 분할된다. 정규의 사이클릭 프리픽스의 경우, RB는 총 84개의 RE들에 대해, 주파수 도메인에서 12개의 연속적인 서브캐리어들 및 시간 도메인에서 7개의 연속적인 심볼들(DL의 경우 OFDM 심볼들; UL의 경우 SC-FDMA 심볼들)을 포함한다. 확장된 사이클릭 프리픽스의 경우, RB는 총 72개의 RE들에 대해, 주파수 도메인에서 12개의 연속적인 서브캐리어들 및 시간 도메인에서 6개의 연속적인 심볼들을 포함한다. 각각의 RE에 의해 반송되는 비트들의 수는 변조 방식에 의존한다.

[0027] [0037] 도 2a에 예시된 바와 같이, RE들 중 일부는 UE에서의 채널 추정을 위해 DL 기준(파일럿) 신호들(DL-RS)을 반송한다. DL-RS는 CRS(cell-specific reference signals)(또한 때때로 공통 RS로 지칭됨), UE-특정 기준 신호들(UE-RS) 및 CSI-RS(channel state information reference signals)를 포함할 수 있다. 도 2a는 안테나 포트들 0, 1, 2 및 3에 대한 CRS( $R_0$ ,  $R_1$ ,  $R_2$  및  $R_3$ 으로 각각 표시됨), 안테나 포트 5에 대한 UE-RS( $R_5$ 로 표시됨), 및 안테나 포트 15에 대한 CSI-RS( $R$ 로 표시됨)를 예시한다. 도 2b는 프레임의 DL 서브프레임 내의 다양한 채널들의 예를 예시한다. PCFICH(physical control format indicator channel)는 슬롯 0의 심볼 0 내에 있고, PDCCH(physical downlink control channel)가 1개, 2개 또는 3개의 심볼들을 점유하는지 여부를 표시하는 CFI(control format indicator)를 반송한다(도 2b는 3개의 심볼들을 점유하는 PDCCH를 예시한다). PDCCH는 하나 이상의 CCE들(control channel elements) 내에서 DCI(downlink control information)를 반송하고, 각각의 CCE는 9개의 REG들(RE groups)을 포함하고, 각각의 REG는 OFDM 심볼에서 4개의 연속적인 RE들을 포함한다. UE는, 또한 DCI를 반송하는 UE-특정 ePDCCH(enhanced PDCCH)로 구성될 수 있다. ePDCCH는 2개, 4개 또는 8개의 RB 쌍들을 가질 수 있다(도 2b는 2개의 RB 쌍들을 도시하고, 각각의 서브세트는 하나의 RB 쌍을 포함한다). 물리 HARQ(hybrid ARQ(automatic repeat request)) 표시자 채널(PHICH)은 또한 슬롯 0의 심볼 0 내에 있고, PUSCH(physical uplink shared channel)에 기초하여 HARQ ACK(acknowledgement)/NACK(negative ACK) 피드백을 표시하는 HARQ 표시자(HI)를 반송한다. PSCH(primary synchronization channel)는 프레임의 서브프레임들 0 및 5 내의 슬롯 0의 심볼 6 내에 있을 수 있다. PSCH는, 서브프레임/심볼 타이밍 및 물리 계층 아이덴티티를 결정하기 위해 UE에 의해 사용되는 PSS(primary synchronization signal)를 반송한다. SSCH(secondary synchronization channel)는 프레임의 서브프레임들 0 및 5 내의 슬롯 0의 심볼 5 내에 있을 수 있다. SSCH는 물리 계층 셀 아이덴티티 그룹 번호 및 라디오 프레임 타이밍을 결정하기 위해 UE에 의해 사용되는 SSS(secondary synchronization signal)를 반송한다. 물리 층 아이덴티티 및 물리 층 셀 아이덴티티 그룹 번호에 기초하여, UE는 PCI(physical cell identifier)를 결정할 수 있다. PCI에 기초하여, UE는 전술한 DL-RS의 위치들을 결정할 수 있다. MIB(master information block)를 반송하는 PBCH(physical broadcast channel)는 SS(synchronization signal) 블록을 형성하기 위해 PSCH 및 SSCH와 논리적으로 그룹화될 수 있다. MIB는 DL 시스템 대역폭에서 다수의 RB들, PHICH 구성 및 SFN(system frame number)을 제공한다. PDSCH(physical downlink shared channel)는 사용자 데이터, SIB들(system information blocks)과 같이 PBCH를 통해 송신되지 않는 브로드캐스트 시스템 정보 및 페이징 메시지들을 반송한다.

[0028] [0038] 도 2c에 예시된 바와 같이, RE들 중 일부는 기지국에서의 채널 추정을 위해 DM-RS(demodulation reference signals)를 반송한다. UE는 추가적으로 서브프레임의 마지막 심볼에서 SRS(sounding reference signals)를 송신할 수 있다. SRS는 콤(comb) 구조를 가질 수 있고, UE는 콤들 중 하나 상에서 SRS를 송신할 수 있다. SRS는 UL 상에서의 주파수-의존적 스케줄링을 가능하게 하기 위한 채널 품질 추정을 위해 기지국에 의해 사용될 수 있다. 도 2d는 프레임의 UL 서브프레임 내의 다양한 채널들의 예를 예시한다. PRACH(physical random access channel)는 PRACH 구성에 기초하여 프레임 내의 하나 이상의 서브프레임들 내에 있을 수 있다. PRACH는 서브프레임 내에 6개의 연속적인 RB 쌍들을 포함할 수 있다. PRACH는 UE가 초기 시스템 액세스를 수행하고 UL 동기화를 달성하도록 허용한다. PUCCH(physical uplink control channel)는 UL 시스템 대역폭의 에지들 상에 위치될 수 있다. PUCCH는 UCI(uplink control information), 예를 들어, 스케줄링 요청들,

CQI(channel quality indicator), PMI(precoding matrix indicator), RI(rank indicator) 및 HARQ ACK/NACK 피드백을 반송한다. PUSCH는 데이터를 반송하고, 추가적으로 BSR(buffer status report), PHR(power headroom report) 및/또는 UCI를 반송하기 위해 사용될 수 있다.

[0029] [0039] 도 3은 액세스 네트워크에서 UE(350)와 통신하는 기지국(310)의 블록도이다. DL에서, EPC(160)로부터의 IP 패킷들은 제어기/프로세서(375)에 제공될 수 있다. 제어기/프로세서(375)는 계층 3 및 계층 2 기능을 구현한다. 계층 3은 RRC(radio resource control) 계층을 포함하고, 계층 2는 PDCP(packet data convergence protocol) 계층, RLC(radio link control) 계층 및 MAC(media access control) 계층을 포함한다. 제어기/프로세서(375)는 시스템 정보(예를 들어, MIB, SIB들)의 브로드캐스팅, RRC 접속 제어(예를 들어, RRC 접속 페이지징, RRC 접속 설정, RRC 접속 수정 및 RRC 접속 해제), RAT(radio access technology)간 모빌리티, 및 UE 측정 보고를 위한 측정 구성과 연관된 RRC 계층 기능; 헤더 압축/압축해제, 보안(암호화, 암호해독, 무결성 보호, 무결성 검증) 및 핸드오버 지원 기능들과 연관된 PDCP 계층 기능; 상위 계층 PDU들(packet data units)의 전송, ARQ를 통한 에러 정정, 연결, 세그먼트화 및 RLC SDU들(service data units)의 리어셈블리, RLC 데이터 PDU들의 리-세그먼트화, 및 RLC 데이터 PDU들의 재순서화와 연관된 RLC 계층 기능; 및 로직 채널들과 전송 채널들 사이의 맵핑, TB들(transport blocks) 상으로의 MAC SDU들의 멀티플렉싱, TB들로부터 MAC SDU들의 디멀티플렉싱, 스케줄링 정보 보고, HARQ를 통한 에러 정정, 우선순위 핸들링 및 로직 채널 우선순위화와 연관된 MAC 계층 기능을 제공한다.

[0030] [0040] 송신(TX) 프로세서(316) 및 수신(RX) 프로세서(370)는 다양한 신호 프로세싱 기능들과 연관된 계층 1 기능을 구현한다. 물리(PHY) 계층을 포함하는 계층 1은 전송 채널들 상에서 에러 검출, 전송 채널들의 FEC(forward error correction) 코딩/디코딩, 인터리빙, 레이트 매칭, 물리 채널들 상으로의 맵핑, 물리 채널들의 변조/복조 및 MIMO 안테나 프로세싱을 포함할 수 있다. TX 프로세서(316)는 다양한 변조 방식들(예를 들어, BPSK(binary phase-shift keying), QPSK(quadrature phase-shift keying), M-PSK(M-phase-shift keying), M-QAM(M-quadrature amplitude modulation))에 기초한 신호 성상도(constellation)들로의 맵핑을 핸들링한다. 그 다음, 코딩되고 변조된 심볼들은 병렬적 스트림들로 분할될 수 있다. 그 다음, 각각의 스트림은, OFDM 서브캐리어에 맵핑되고, 시간 및/또는 주파수 도메인에서 기준 신호(예를 들어, 파일럿)와 멀티플렉싱될 수 있고, 그 다음, IFFT(Inverse Fast Fourier Transform)를 사용하여 함께 결합되어, 시간 도메인 OFDM 심볼 스트림을 반송하는 물리 채널을 생성할 수 있다. OFDM 스트림은 다수의 공간 스트림들을 생성하기 위해 공간적으로 프리코딩된다. 채널 추정기(374)로부터의 채널 추정치들은 코딩 및 변조 방식을 결정하기 위해 뿐만 아니라 공간 프로세싱을 위해 사용될 수 있다. 채널 추정치는, 기준 신호 및/또는 UE(350)에 의해 송신된 채널 조건 피드백으로부터 도출될 수 있다. 그 다음, 각각의 공간 스트림은 별개의 송신기(318TX)를 통해 상이한 안테나(320)에 제공될 수 있다. 각각의 송신기(318TX)는 송신을 위해 각각의 공간 스트림으로 RF 캐리어를 변조할 수 있다.

[0031] [0041] UE(350)에서, 각각의 수신기(354RX)는 자신의 각각의 안테나(352)를 통해 신호를 수신한다. 각각의 수신기(354RX)는 RF 캐리어 상으로 변조된 정보를 복원하고, 그 정보를 수신(RX) 프로세서(356)에 제공한다. TX 프로세서(368) 및 RX 프로세서(356)는 다양한 신호 프로세싱 기능들과 연관된 계층 1 기능을 구현한다. RX 프로세서(356)는 정보에 대해 공간 프로세싱을 수행하여, UE(350)를 목적지로 하는 임의의 공간 스트림들을 복원할 수 있다. 다수의 공간 스트림들이 UE(350)를 목적지로 하면, 이들은 RX 프로세서(356)에 의해 단일 OFDM 심볼 스트림으로 결합될 수 있다. 그 다음, RX 프로세서(356)는 FFT(Fast Fourier Transform)를 사용하여 OFDM 심볼 스트림을 시간-도메인으로부터 주파수 도메인으로 변환한다. 주파수 도메인 신호는, OFDM 신호의 각각의 서브캐리어에 대한 별개의 OFDM 심볼 스트림을 포함한다. 각각의 서브캐리어 상의 심볼들, 및 기준 신호는 기지국(310)에 의해 송신된 가장 가능성있는 신호 성상도 포인트들을 결정함으로써 복원 및 복조된다. 이러한 연관정들은, 채널 추정기(358)에 의해 컴퓨팅된 채널 추정치들에 기초할 수 있다. 그 다음, 연관정들은, 물리 채널 상에서 기지국(310)에 의해 원래 송신되었던 데이터 및 제어 신호들을 복원하기 위해 디코딩 및 디인터리빙된다. 그 다음, 데이터 및 제어 신호들은, 계층 3 및 계층 2 기능을 구현하는 제어기/프로세서(359)에 제공된다.

[0032] [0042] 제어기/프로세서(359)는 프로그램 코드들 및 데이터를 저장하는 메모리(360)와 연관될 수 있다. 메모리(360)는 컴퓨터 판독가능 매체로 지칭될 수 있다. UL에서, 제어기/프로세서(359)는, 전송 채널과 로직 채널 사이의 디멀티플렉싱, 패킷 리어셈블리, 암호해독, 헤더 압축해제, 및 제어 신호 프로세싱을 제공하여, EPC(160)로부터의 IP 패킷들을 복원한다. 제어기/프로세서(359)는 또한, HARQ 동작들을 지원하기 위해 ACK 및/또는 NACK 프로토콜을 사용하여 에러 검출을 담당한다.

[0033] [0043] 기지국(310)에 의한 DL 송신과 관련하여 설명된 기능과 유사하게, 제어기/프로세서(359)는 시스템 정보

(예를 들어, MIB, SIB들) 포착, RRC 접속들 및 측정 보고와 연관된 RRC 계층 기능; 헤더 압축/압축해제 및 보안 (암호화, 암호해독, 무결성 보호, 무결성 검증)과 연관된 PDCP 계층 기능; 상위 계층 PDU들의 전송, ARQ를 통한 에러 정정, 연결, 세그먼트화 및 RLC SDU들의 리어셈블리, RLC 데이터 PDU들의 리-세그먼트화, 및 RLC 데이터 PDU들의 재순서화와 연관된 RLC 계층 기능; 및 로직 채널들과 전송 채널들 사이의 맵핑, TB들 상으로의 MAC SDU들의 멀티플렉싱, TB들로부터 MAC SDU들의 디멀티플렉싱, 스케줄링 정보 보고, HARQ를 통한 에러 정정, 우선순위 핸들링 및 로직 채널 우선순위화와 연관된 MAC 계층 기능을 제공한다.

[0034] [0044] 기준 신호 또는 기지국(310)에 의해 송신된 피드백으로부터 채널 추정기(358)에 의해 도출된 채널 추정치들은, 적절한 코딩 및 변조 방식들을 선택하고 공간 프로세싱을 용이하게 하기 위해 TX 프로세서(368)에 의해 사용될 수 있다. TX 프로세서(368)에 의해 생성된 공간 스트림들은 별개의 송신기들(354TX)을 통해 상이한 안테나(352)에 제공될 수 있다. 각각의 송신기(354TX)는 송신을 위해 각각의 공간 스트림으로 RF 캐리어를 변조할 수 있다.

[0035] [0045] UL 송신은, UE(350)의 수신기 기능과 관련하여 설명된 것과 유사한 방식으로 기지국(310)에서 프로세싱된다. 각각의 수신기(318RX)는 자신의 각각의 안테나(320)를 통해 신호를 수신한다. 각각의 수신기(318RX)는 RF 캐리어 상으로 변조된 정보를 복원하고, 그 정보를 RX 프로세서(370)에 제공한다.

[0036] [0046] 제어기/프로세서(375)는 프로그램 코드들 및 데이터를 저장하는 메모리(376)와 연관될 수 있다. 메모리(376)는 컴퓨터 판독가능 매체로 지칭될 수 있다. UL에서, 제어기/프로세서(375)는, 전송 채널과 로직 채널 사이의 디멀티플렉싱, 패킷 리어셈블리, 암호해독, 헤더 압축해제, 제어 신호 프로세싱을 제공하여, UE(350)로부터의 IP 패킷들을 복원한다. 제어기/프로세서(375)로부터의 IP 패킷들은 EPC(160)에 제공될 수 있다. 제어기/프로세서(375)는 또한, HARQ 동작들을 지원하기 위해 ACK 및/또는 NACK 프로토콜을 사용하여 에러 검출을 담당한다.

[0037] [0047] LTE 및 NR 시스템들에서는 sTTI(short transmission time interval) 동작들을 개선하는데 관심이 증가되어 왔다. 일부 이러한 개선들은 sPUCCH의 새로운 및 개선된 설계 및 구현을 포함할 수 있다. 새로운 설계는 슬롯-기반 sPUCCH(shortened PUCCH)에서 sTTI내 주파수 hopping 지원을 허용할 수 있다. 예를 들어, sPUCCH에 대해, 예를 들어, sPUCCH가 서브프레임 또는 그 일부의 슬롯을 점유할 수 있는 경우, 예를 들어, 일부 경우들에서 서브프레임의 슬롯에 대응할 수 있는 sTTI 내의 주파수 hopping이 일부 구성들에서 허용될 수 있다. 일부 구성들에서, 슬롯당 하나의 홉이 사용될 수 있다. 일부 다른 구성들에서, 슬롯당 2개의 홉들이 사용될 수 있다. 그러나, 다양한 구성들에서, 적어도 하나의 다른 슬롯-기반 sPUCCH 포맷은 또한 sTTI내 주파수 hopping 없이 지원될 수 있다. 또한, 일부 구성들에서, 동일한 슬롯-기반 sPUCCH 포맷에 대해 sTTI내 주파수 hopping과 sTTI내 주파수 hopping 없음 사이의 동적 스위칭은 허용되지 않을 수 있다. 일 양상에서, 동일한 슬롯-기반 sPUCCH 포맷은 sTTI내 주파수 hopping 및 sTTI내 주파수 hopping 없음 둘 모두를 지원할 수 있다.

[0038] [0048] sPUCCH의 설계 및 구현과 관련된 다양한 특징들이 설명된다. 일 양상에서, sTTI 주파수 hopping을 갖는 단일 슬롯 sPUCCH 포맷이 지원된다. 일부 구성들에서, 슬롯내 주파수 hopping이 지원되고 슬롯당 하나의 홉이 활용될 수 있는 한편, 일부 다른 구성들에서는 슬롯당 2개의 홉들이 활용될 수 있다. 고려되는 일 양상은, sTTI내 hopping이 채택되는 일부 구성들에서, 2-심볼 sPUCCH와의 공존, 예를 들어, 호환성 또는 준수성이다. 예를 들어, 2-심볼 sTTI에 대한 업링크 레이아웃은 예를 들어, [3,2,2,2,2,3]이다. 즉, 서브프레임에서, PUCCH의 처음 및 마지막 부분들 각각은 3개의 심볼들(예를 들어, SC-FDM 심볼들 또는 OFDM 심볼들)을 포함할 수 있는 한편, PUCCH의 다른 부분(들) 각각은 2개의 SC-FDM 심볼들 또는 2의 배수의 SC-FDM 심볼들, 예를 들어, 2개 또는 4개의 SC-FDM 심볼들을 포함할 수 있다. sTTI내 hopping을 채택할 때, 상기 레이아웃에 따라 슬롯 내의 주파수 hopping 패턴을 구성하는 것이 유용하다. 이러한 2-심볼 sTTI 레이아웃을 사용하는 이점들 중 일부는 개선된 멀티플렉싱 및 슬롯 내의 심볼들의 더 효율적인 사용을 포함한다. 일 양상에 따르면, 복수의 상이한 주파수 hopping 패턴들은 단일 슬롯 sPUCCH를 갖는 것으로 고려될 수 있다. 일 양상에서, 서브프레임의 슬롯당 단일 홉이 사용된다. 다른 양상에서, 도 4 및 도 5에 대해 예시된 바와 같이 서브프레임의 슬롯당 2개의 홉들이 활용될 수 있다.

[0039] [0049] 도 4는 단일 슬롯 sPUCCH 및 그에 사용되는 sTTI내 주파수 hopping 패턴의 2개의 구성들을 예시하는 도면(400)이다. 주파수(대역폭)는 수직 방향(Y-축을 따름)에서 플로팅되고, 수평 방향(X-축)은 시간을 표현한다. 도면(400)은, sPUCCH가 서브프레임의 제1 슬롯(슬롯 0)에 있을 때 단일 슬롯 sPUCCH의 제1 구성(425), 및 sPUCCH가 서브프레임의 제2 슬롯(슬롯 1)에 있을 때 단일 슬롯 sPUCCH의 제2 구성(450)을 도시한다. 인식될 수 있는 바와 같이, 서브프레임 내의 슬롯 인덱스에 따라, sPUCCH의 구성/레이아웃은 상이할 수 있다. 예시된 예



에서, 슬롯당 2개의 홉들을 갖는 주파수 홉핑 패턴이 사용된다. 앞서 논의된 바와 같이, 일 양상에 따르면, 도면(400)에 도시된 주파수 패턴은 [3, 2, 2, 2, 2, 3]으로 표현될 수 있는 2-심볼 sTTI의 업링크 레이아웃에 따라 구성될 수 있다. 즉, sPUCCH가 서브프레임의 제1 슬롯에 있을 때, sPUCCH는 구성(425)에 예시된 바와 같이 3+2+2의 심볼들의 형태로 구성될 수 있는 한편, sPUCCH가 구성(450)에 예시된 바와 같이 서브프레임의 제2 슬롯에 있을 때 sPUCCH는 2+2+3의 심볼들의 형태로 구성될 수 있다. 슬롯당 2개의 홉들이 허용될 때, 일 구성에서, sPUCCH의 제1 및 제3 부분들(심볼들의 세트들)은 제1 서브대역을 점유할 수 있는 한편, 중간 부분은 주파수 대역폭의 상이한 서브대역을 점유할 수 있다. 예시된 바와 같이, sPUCCH 구성(425)(예를 들어, 서브프레임의 제1 슬롯(슬롯 0)의 sPUCCH)에서 슬롯 홉핑 패턴당 2개의 홉에 있어서, sPUCCH에 대응하는 제1 세트의 3개의 심볼들(402)은 제1 주파수 서브대역(서브대역 1)과 연관되고, sPUCCH에 대응하는 다음 세트의 2개의 심볼들(404)은 제2 주파수 서브대역(서브대역 2)과 연관되고, sPUCCH의 마지막 2개의 심볼들(406)은 다시 제1 주파수 서브대역에 있다. 제1 sPUCCH 구성(425)에서, 서브대역 1에서 심볼들의 세트(402)의 제1 및 세 번째 심볼들에 대응하는 자원들(예를 들어, 자원 엘리먼트들/서브캐리어들)은 업링크 제어 데이터, 예를 들어, 제1 UCI(점선 패턴으로 도시됨)를 반송할 수 있는 한편, 심볼들의 세트(402)의 두 번째 심볼의 자원들(예를 들어, 서브대역 1에 대응하는 서브캐리어들)은 예를 들어, 기지국에서의 채널 추정을 위해 DM-RS(대각선 패턴)를 반송할 수 있다. 서브대역 2에 대응하는 2개의 심볼들의 세트(404)의 첫 번째 심볼에 대응하는 자원들은 업링크 제어 데이터(예를 들어, 제2 UCI)를 반송할 수 있는 한편, 심볼들의 세트(404)의 두 번째 심볼의 자원들은 DM-RS를 반송할 수 있다. 서브대역 1에서 2개의 심볼들의 세트(406)의 제1 및 두 번째 심볼들에 대응하는 자원들은 업링크 제어 데이터(예를 들어, 제3 UCI)를 반송할 수 있다. 그러나, 일부 다른 구성들에서, 심볼들의 세트(406)의 심볼들 중 하나는 DM-RS 심볼일 수 있다(선택적). 일 양상에 따르면, 제1 UCI, 제2 UCI 및 제3 UCI는 동일할 수 있다. 예를 들어, 제2/제3 UCI는 제1 UCI의 반복/재송신일 수 있다. 다른 양상에 따르면, 제1 UCI, 제2 UCI 및 제3 UCI는 상이할 수 있다.

[0040] [0050] 다른 sPUCCH 구성(450)(예를 들어, 서브프레임의 제2 슬롯(슬롯 1)에서 구성된 sPUCCH)에서 동일한 홉핑 패턴에 있어서, sPUCCH의 제1 세트의 2개의 심볼들(412)은 제1 주파수 서브대역(서브대역 1)과 연관되고, sPUCCH의 다음 세트의 2개의 심볼들(414)은 제2 주파수 서브대역(서브대역 2)과 연관되고, sPUCCH의 마지막 세트의 3개의 심볼들(416)은 다시 제1 주파수 서브대역(서브대역 1)에 있다. sPUCCH 구성(450)에서, 서브대역 1의 심볼들의 세트(412)의 첫 번째 심볼에 대응하는 자원들은 업링크 제어 데이터를 반송할 수 있는 한편, 서브대역 1의 세트(412)의 두 번째 심볼의 자원들은 DM-RS를 반송할 수 있다. 서브대역 2의 심볼들의 세트(414)의 첫 번째 심볼에 대응하는 자원들은 업링크 제어 데이터를 반송할 수 있는 한편, 심볼들의 세트(414)의 두 번째 심볼의 자원들은 DM-RS를 반송할 수 있다. 마지막으로, 서브대역 1의 심볼들의 세트(416)의 제1 및 세 번째 심볼들에 대응하는 자원들은 업링크 제어 데이터를 반송할 수 있는 한편, 서브대역 1의 세트(416)의 중간 심볼의 자원들은 DM-RS를 반송할 수 있다.

[0041] [0051] 일부 다른 구성들에서, 도 5에 예시된 바와 같은 대안적인 슬롯내 주파수 홉핑 패턴이 사용될 수 있고, 여기서 단일 슬롯 sPUCCH의 각각의 부분(심볼들의 세트)은 상이한 서브대역을 점유할 수 있다. 도 5는 단일 슬롯 sPUCCH 및 그에 사용되는 다른 sTTI내 주파수 홉핑 패턴의 2개의 구성들을 예시하는 도면(500)이다. 도면(500)은, sPUCCH가 서브프레임의 제1 슬롯에 있을 때 단일 슬롯 sPUCCH의 제1 구성(525), 및 sPUCCH가 서브프레임의 제2 슬롯에 있을 때 단일 슬롯 sPUCCH의 제2 구성(550)을 예시한다. 앞서 논의된 것과 동일한 방식으로, 도면(500)의 주파수 홉핑 패턴은 2-심볼 sTTI [3,2,2,2,2,3]의 업링크 레이아웃에 따라 구성될 수 있다. 예시된 바와 같이, sPUCCH 구성(525)(예를 들어, 슬롯 0의 sPUCCH)에서 슬롯 홉핑 패턴당 2개의 홉에 있어서, sPUCCH에 대응하는 제1 세트의 3개의 심볼들(502)은 제1 주파수 서브대역(서브대역 1)에 있고, sPUCCH에 대응하는 다음 세트의 2개의 심볼들(504)은 제2 주파수 서브대역(서브대역 2)에 있고, sPUCCH의 마지막 세트의 2개의 심볼들(506)은 제3 주파수 서브대역(서브대역 3)에 있다. 제1 sPUCCH 구성(525)에서, 서브대역 1에서 심볼들의 세트(502)의 제1 및 세 번째 심볼들에 대응하는 자원들은 업링크 제어 데이터(점선 패턴으로 도시됨)를 반송할 수 있는 한편, 심볼들의 세트(402)의 두 번째 심볼의 자원들은 DM-RS(대각선 패턴)를 반송할 수 있다. 서브대역 2의 다음 세트의 2개의 심볼들(504)의 첫 번째 심볼에 대응하는 자원들은 업링크 제어 데이터를 반송할 수 있는 한편, 심볼들의 세트(504)의 두 번째 심볼의 자원들은 DM-RS를 반송할 수 있다. 서브대역 3의 2개의 심볼들의 세트(506)의 첫 번째 심볼에 대응하는 자원들은 업링크 제어 데이터를 반송할 수 있는 한편, 서브대역 3의 심볼들의 세트(506)의 두 번째 심볼의 자원들은 DM-RS를 반송할 수 있다.

[0042] [0052] 다른 sPUCCH 구성(550)(예를 들어, 슬롯 1에 구성된 sPUCCH)에서 동일한 홉핑 패턴에 있어서, sPUCCH에 대응하는 처음 2개의 심볼들(512)은 제1 주파수 서브대역(서브대역 1)에 있고, sPUCCH에 대응하는 다음 2개의 심볼들(514)은 제2 주파수 서브대역(서브대역 3)에 있고, sPUCCH의 마지막 세트의 2개의 심볼들(516)은 제3 주



파수 서브대역(서브대역 3)에 있다. sPUCCH 구성(550)에서, 서브대역 1의 심볼들의 세트(512)의 첫 번째 심볼에 대응하는 자원들은 업링크 제어 데이터를 반송할 수 있는 한편, 서브대역 1의 세트(512)의 두 번째 심볼의 자원들은 DM-RS를 반송할 수 있다. 서브대역 2의 심볼들의 세트(514)의 첫 번째 심볼에 대응하는 자원들은 업링크 제어 데이터를 반송할 수 있는 한편, 심볼들의 세트(514)의 두 번째 심볼의 자원들은 DM-RS를 반송할 수 있다. 서브대역 3의 심볼들의 세트(516)의 제1 및 세 번째 심볼들에 대응하는 자원들은 업링크 제어 데이터를 반송할 수 있는 한편, 서브대역 1의 세트(516)의 중간 심볼의 자원들은 DM-RS를 반송할 수 있다.

[0043] [0053] 도 4 및 도 5에서, 대역폭의 관점에서, 예시된 주파수 서브대역들(예를 들어, 서브대역 1, 서브대역 2, 서브대역 3) 각각은 단일 RB에 대응할 수 있거나 또는 1 미만/초과의 RB를 포함할 수 있다. sPUCCH의 상이한 세트들의 심볼들의 자원들에 의해 반송되는 정보는 sPUCCH 포맷에 의존할 수 있다. 예를 들어, 일부 심볼들은 앞서 논의된 바와 같이, 업링크 제어 정보를 반송할 수 있는 한편, 다른 것들은 기준 신호, 예를 들어, DM-RS를 반송할 수 있다.

[0044] [0054] 일 양상에 따르면, 주파수 홉핑이 채택되는지 여부와 무관하게, 주어진 UCI(uplink control information) 페이로드 크기에 대해, 상이한 구조들 및 자원들이 단일 슬롯 sPUCCH에 대해 정의될 수 있다. 예를 들어, 각각의 구조는 상이한 수의 RB들, 상이한 수의 DM-RS들, 상이한 DM-RS 위치들, 상이한 OCC(orthogonal cover code) 길이 등을 가질 수 있다. UE 및/또는 UCI 페이로드 크기의 조건에 기초하여, UCI를 통신하기 위한 가장 적합한 구조가 선택될 수 있다. 주어진 sPUCCH 포맷 및 고정된 페이로드 크기의 경우에도, 상이한 UE 조건들(예를 들어, 채널 조건들)에 대해 복수의 상이한 구조들이 정의될 수 있다. 특정 양상들에서, 각각의 sPUCCH 구조는 특정 페이로드 크기를 지원하도록 또는 대안적으로 최대 페이로드 크기까지 지원하도록 설계될 수 있다. 다양한 상이한 구조들 및 자원들을 갖는 sPUCCH를 구성하는 것은, 예를 들어, UE의 조건에 따라 각각의 UE에 대해 올바른 구조/자원(들)이 선택되는 것, 및 예를 들어 sPUCCH 상에서 다수의 UE들을 멀티플렉싱하기 위해 상이한 멀티플렉싱 능력들이 달성될 수 있는 것을 보장한다. 가능한 구조들/자원들의 세트는 예를 들어, RRC 메시지를 통하는 것 또는 SIB에서와 같이, 상위 계층 시그널링을 통해 각각의 UE에 표시될 수 있다. 일부 구성들에서, 상이한 가능한 구조들 및 자원들에 관한 정보는 UE들에서 미리 구성될 수 있고, 기지국은, 상이한 가능한 구조들 및 자원들 중 어느 것이 UE에 의해 사용될지의 표시를 시그널링할 수 있다. 일부 구성들에서, sPUCCH에 대해 UE에 의해 사용될 구조/자원의 표시는 기지국으로부터 RRC 시그널링을 통해 할 수 있다. 일 구성에서, UE에 의해 사용될 구조/자원의 할당의 표시는 명시적 표시(예를 들어, DCI(downlink control information)에서의 비트 필드) 또는 예를 들어, ARI(ACK/NACK resource indicator) 메커니즘과 유사한 묵시적 표시일 수 있다. 예를 들어, 일부 구성들에서, DCI에서의 비트 필드는 구조/자원들의 어느 세트가 사용을 위해 주어진 UE에 할당되는지를 표시할 수 있다. 예를 들어, DCI의 2-비트 필드는, (structure1, resource1), (structure1, resource2), (structure2, resource3), (structure2, resource4) 등 중 하나를 표시할 수 있다. UE 관점에서, 구조는, 예를 들어, 얼마나 많은 RB들이 sPUCCH에 대해 사용될지, 얼마나 많은 DM-RS들이 sPUCCH 및 그들의 포지션들(위치들)에 있을 수 있는지, 예를 들어, sPUCCH의 슬롯에서 DM-RS 심볼들의 포지션/위치, 동일한/상이한 서브대역들에서 심볼들에 걸친 OCC 길이 등을 표시할 수 있다. 따라서, sPUCCH의 각각의 구조는 특정한 최대 페이로드 크기를 지원할 수 있고, RB들의 특정 수, DM-RS들의 특정 수, 슬롯 내에서 DM-RS의 포지션들/위치들 및 OCC 길이와 연관할 수 있다. 일부 구성들에서, sPUCCH의 하나 이상의 심볼들에 걸친 콤 구조가 사용될 수 있다. 심볼당 콤들의 수는 또한 구조의 일부로서 정의 및 표시될 수 있다. 예를 들어, 상이한 구조들이 심볼당 상이한 수의 콤들과 연관될 수 있다. 콤들의 수는 sPUCCH에 대응하는 상이한 심볼들에 걸쳐 상이할 수 있다.

[0045] [0055] 일부 구성들에서, 단일 슬롯 sPUCCH 설계는, 예를 들어, 일부 sPUCCH 구성들에서, 각각의 슬롯이 포맷 2/3과 유사한 2개의 DM-RS 심볼들을 가질 수 있다는 관점에서, PUCCH 포맷 2 또는 3에 부분적으로 기초할 수 있고 그리고/또는 그와 호환가능할 수 있다. 하나의 이러한 단일 슬롯 sPUCCH 포맷이 도 6에 도시되어 있지만, 예시적인 구성들에서 sTTI내 주파수 홉핑이 레거시 PUCCH 포맷들과 달리 채택된다. 도 6은 단일 슬롯 sPUCCH 및 그에 사용되는 sTTI내 주파수 홉핑 패턴의 2개의 구성들을 예시하는 도면(600)이다. 도면(600)은, sPUCCH가 서브프레임의 제1 슬롯(슬롯 0)에 있을 때 단일 슬롯 sPUCCH의 제1 구성(625), 및 sPUCCH가 서브프레임의 제2 슬롯(슬롯 1)에 있을 때 단일 슬롯 sPUCCH의 제2 구성(650)을 도시한다. 또한, 인식될 수 있는 바와 같이, 도면(600)의 주파수 홉핑 패턴은 슬롯당 하나의 홉을 허용한다. 도 6에 예시된 주파수 홉핑을 갖는 sPUCCH 구성들은 또한 2-심볼 sTTI [3,2,2,2,2,3]의 업링크 레이아웃에 따를 수 있다. 예시된 바와 같이, sPUCCH 구성(625)(예를 들어, 슬롯 0의 sPUCCH)에서 슬롯 홉핑 패턴당 단일 홉에 있어서, sPUCCH에 대응하는 제1 세트의 3개의 심볼들(602)은 제1 주파수 서브대역(서브대역 1)과 연관되고, sPUCCH에 대응하는 다음 4개의 심볼들(604)은 제2 주파수 서브대역(서브대역 2)과 연관된다. 제1 sPUCCH 구성(625)에서, 3개의 심볼들의 세트(602)의 제1

및 세 번째 심볼들에 대응하는 자원들은 업링크 제어 데이터(예를 들어, 제1 UCI)를 반송할 수 있는 한편, 3개의 심볼들의 세트(602)의 두 번째 심볼에 대응하는 RE들은 DM-RS를 반송할 수 있다. 유사하게, 4개의 심볼들의 세트(604)의 제1, 제2 및 네 번째 심볼들에 대응하는 자원들은 업링크 제어 데이터(예를 들어, 제2 UCI)를 반송할 수 있는 한편, 4개의 심볼들의 세트(604)의 세 번째 심볼의 자원들은 DM-RS를 반송할 수 있다.

[0046] [0056] 슬롯 hopping 패턴당 동일한 단일 홉을 사용하는 다른 sPUCCH 구성(650)(예를 들어, 서브프레임의 슬롯 1에서 구성된 sPUCCH)에서, 제1 세트의 심볼들은 4개의 심볼들(612)을 포함하고 제2 세트는 3개의 심볼들을 포함한다(예를 들어, sPUCCH와 같은 4+3 심볼 레이아웃은 서브프레임의 제2 슬롯에 있다). sPUCCH에 대응하는 제1 세트의 심볼들(612)은 제1 주파수 서브대역(서브대역 1)과 연관되고, sPUCCH에 대응하는 다음 세트의 3개의 심볼들(614)은 제2 주파수 서브대역(서브대역 2)과 연관된다. sPUCCH 구성(650)에서, 심볼들의 세트(612)의 제1, 제2 및 네 번째 심볼들에 대응하는 자원들은 업링크 제어 데이터를 반송할 수 있는 한편, 세 번째 심볼의 RE들은 DM-RS를 반송할 수 있다. 심볼들의 세트(614)의 제1 및 세 번째 심볼들에 대응하는 자원들은 업링크 제어 데이터를 반송할 수 있는 한편, 세트(614)의 두 번째 심볼의 자원들은 DM-RS를 반송할 수 있다. 대역폭의 관점에서, 예시된 주파수 서브대역들(예를 들어, 서브대역 1, 서브대역 2) 각각은 단일 RB를 포함할 수 있거나 또는 1 미만/초과의 RB를 포함할 수 있다. 따라서, 도면에 표시된  $N_{RB}$ (RB들의 수)는 하나의 RB 또는 하나 미만/초과의 RB를 포함할 수 있다. 2개의 구성들의 비교로부터, 구성(625)에서 단일 슬롯 sPUCCH의 구조는 예를 들어, DM-RS의 포지션/위치의 관점에서, 구성(650)에서 단일 슬롯 sPUCCH의 구조와 상이함을 인식할 수 있다. 도면으로부터 명백하지 않을 수 있지만, 구조들은 또한 심볼당 콤들의 수, OCC가 사용되는 심볼들, 심볼들에 걸친 OCC 길이 등의 관점에서 상이할 수 있다.

[0047] [0057] 도 6에 예시된 2개의 sPUCCH 구성들의 비교로부터, 주어진 sPUCCH 구성(예를 들어, 레이아웃)은 서브프레임의 슬롯 인덱스에 기초할 수 있음을 인식할 수 있다. 예를 들어, 슬롯내 주파수 hopping이 인에이블되면, sPUCCH가 제1 구성(625)에서와 같이 서브프레임의 제1 슬롯(슬롯 0)에 있을 때, sPUCCH 레이아웃은 3+4 심볼들의 형태일 수 있다. 그러나, sPUCCH가 제2 구성(650)에서와 같이 서브프레임의 제2 슬롯(슬롯 1)에 있을 때, sPUCCH 레이아웃은 4+3 심볼들의 형태일 수 있다.

[0048] [0058] 도 7은 UCI를 통신하기 위해 UE(예를 들어, UE(104))에 의해 사용될 수 있는 단일 슬롯 sPUCCH의 다른 세트의 구성들을 도시하는 도면(700)을 예시한다. 도 6에 도시된 바와 같은 슬롯 주파수 hopping 패턴당 동일한 하나의 홉이 sPUCCH 구성들(725 및 750)에서 사용될 수 있는 한편, 도 7에 도시된 구성들의 단일 슬롯 sPUCCH의 구조 및/또는 포맷은 도 6에 도시된 것들과 상이하다. 예시된 바와 같이, 슬롯 hopping 패턴당 1 홉에 있어서, sPUCCH 구성(725)(예를 들어, 서브프레임의 슬롯 0의 sPUCCH)에서, sPUCCH의 심볼들의 세트(702)의 제1 및 세 번째 심볼들에 대응하는 자원들은 업링크 제어 데이터, 예를 들어, 제1 UCI(점선 패턴으로 도시됨)인 한편, 심볼들의 세트(702)의 두 번째 심볼에 대응하는 자원들은 DM-RS(대각선 패턴으로 도시됨)를 반송할 수 있다. (서브대역 2와 연관된) 심볼들의 세트(704)의 제1 및 네 번째 심볼들에 대응하는 자원들은 업링크 제어 데이터, 예를 들어, 제2 UCI를 반송할 수 있는 한편, 심볼들의 세트(704)의 제2 및 세 번째 심볼들의 자원들은 DM-RS를 반송할 수 있다. 일 양상에 따르면, 제1 UCI 및 제2 UCI는 동일할 수 있다. 예를 들어, 제2 UCI는 제1 UCI의 반복/재송신일 수 있다. 다른 예에서, 제1 및 제2 UCI는 상이할 수 있다.

[0049] [0059] 다른 sPUCCH 구성(750)(예를 들어, 서브프레임의 슬롯 1에서 구성된 sPUCCH)에서, (서브대역 1과 연관된) 심볼들(712)의 세트의 제1 및 네 번째 심볼들에 대응하는 자원들은 업링크 제어 데이터를 반송할 수 있는 한편, 제2 및 세 번째 심볼들의 자원들은 DM-RS를 반송할 수 있다. 또한, (서브대역 2와 연관된) 심볼들의 세트(714)의 제1 및 세 번째 심볼들에 대응하는 자원들은 업링크 제어 데이터를 반송할 수 있는 한편, 세트(714)의 두 번째 심볼의 자원들은 DM-RS를 반송할 수 있다. 또한, 일 양상에 따르면, 동일한 대역에서 sPUCCH의 데이터 심볼들에 걸쳐 OCC가 존재할 수 있다.

[0050] [0060] 더 앞서 논의된 바와 같이, 특정 양상들에서, 주어진 sPUCCH 포맷 및 고정된 페이로드 크기에 대해, 복수의 상이한 구조들이 존재할 수 있다. 예를 들어, 일 양상에서, 주어진 sPUCCH 포맷 및 주어진 페이로드 크기에 대해 2개의 상이한 sPUCCH 구조들(예를 들어, 제1 구조 및 제2 구조)이 존재할 수 있다. 하나의 이러한 양상에서, 제1 구조는 슬롯내 주파수 hopping 없이 OCC를 갖도록 정의될 수 있는 한편, 제2 구조는 OCC 없이 슬롯내 주파수 hopping을 갖도록 정의될 수 있다. 따라서, 이러한 제1 구조를 갖는 단일 슬롯 sPUCCH는 슬롯 내의 심볼들에 걸쳐 적용된 OCC를 가질 수 있고, 이러한 제2 구조를 갖는 단일 슬롯 sPUCCH는 슬롯 내의 심볼들에 걸쳐 OCC를 갖지 않을 수 있다.

[0051] [0061] 다양한 구성들에서, 단일 슬롯 sPUCCH의 포맷에 따라, sPUCCH의 상이한 심볼들이 업링크 제어 데이터

및 기준 신호들을 반송할 수 있다. 일부 구성들에서, sPUCCH에 대해 사용될 포맷 및/또는 구조는 기지국(예를 들어, 기지국(102/180))으로부터 RRC 시그널링을 통해 표시될 수 있거나 또는 이러한 표시는 기지국으로부터의 다운링크 제어 정보에서 수신될 수 있다. 또한, sPUCCH의 포맷에 기초하여, sPUCCH의 데이터 심볼에 의해 반송되는 업링크 데이터는 후속 데이터 심볼에서 반복될 수 있다. 도 4 내지 도 7로부터, 단일 슬롯 sPUCCH의 다양한 설계 구성들 및 구조들이 가능함을 인식할 수 있다. 앞서 논의된 바와 같이, sPUCCH에 대한 구조 및 자원들은 UE 조건 및/또는 송신될 업링크 제어 정보의 주어진 페이로드 크기에 기초하여 구성될 수 있다.

[0052] [0062] 일부 구성들에서, 동일한 서브대역 내의 데이터 심볼들 및/또는 동일한 서브대역 내의 DM-RS 심볼들에 걸쳐 OCC가 존재할 수 있다. 예를 들어, 동일한 서브대역(서브대역 1)의 심볼들의 세트(602)에서 2개의 데이터 심볼들에 걸쳐 길이 2의 OCC가 간섭 및 잡음에 대한 더 많은 보호를 위해 활용될 수 있다. 유사하게, 도 7에 도시된 구성(725)에서, 동일한 서브대역(서브대역 1) 내의 심볼들의 세트(702)에서 2개의 데이터 심볼들에 걸쳐 길이 2의 OCC가 사용될 수 있고, 세트(704) 내의 2개의 DM-RS 심볼들에 걸쳐 길이 2의 OCC가 사용될 수 있다. 일부 구성들에서, 작은 페이로드 크기들, 예를 들어, 1-2 비트 ACK/NACK 및/또는 SR(scheduling request)의 경우, 파형 생성은, 레거시 PUCCH 포맷 1a 또는 1b와 동일하거나 유사할 수 있는데, 예를 들어, 변조된 심볼은 PUCCH 포맷 1a 또는 1b에서와 동일하거나 유사한 방식으로 데이터 심볼에 맵핑될 수 있다. 그러나, 동일한 파형 생성을 갖는 것은 필수적이지 아니며, 레거시 PUCCH 포맷들에서 사용되는 것과 상이할 수 있다.

[0053] [0063] 일부 구성들에서, 1-슬롯 sPUCCH는 레거시 PUCCH 포맷 3에 기초할 수 있고, 이러한 구성들에서, 예를 들어, 슬롯내 주파수 hopping이 채택되고 상이한 세트들의 심볼들에서 반송되는 UCI가 주파수 hopping될 때, 상이한 서브대역들 내의 심볼에 걸쳐 OCC가 없을 수 있다.

[0054] [0064] 다른 양상에 따르면, 큰 페이로드 크기들에 대해, 주파수 hopping의 사용에 대해 2개의 접근법들이 채택될 수 있다. 제1 접근법에서, 큰 페이로드 크기들을 반송하는 sPUCCH 포맷들에 대해 어떠한 hopping도 사용되지 않는다. 예를 들어, sPUCCH가 PUCCH 포맷 4 및 5에 기초하여 설계되는 일부 구성들에서, sTTI내 주파수 hopping은, 예를 들어, UCI 페이로드가 클 때 사용되지 않는다. 이는, 주파수 hopping이 채택될 때, hopping이 발생하는 각각의 서브대역에 대해 DM-RS 심볼이 필요할 수 있다는 사실로 인한 것이다. 이는 낭비적인 것으로 간주될 수 있는데, 반송될 페이로드가 이미 크고 오버헤드가 광범위하고 데이터를 반송하기 위해 더 많은 수의 심볼들이 필요한 상황에서 더욱 그러하다. 이러한 경우들에서, (DM-RS에 대한) 서브대역당 적어도 하나의 심볼을 포기해야 하는 것은 주파수 hopping의 사용을 포기하기에 충분할만큼 낭비적으로 간주될 수 있다.

[0055] [0065] 제2 접근법에서, 큰 페이로드 크기들을 반송하는 sPUCCH에 대해서도 주파수 hopping이 사용된다. 예를 들어, PUCCH 포맷 2 및 3에 기초하여 설계된 sPUCCH 포맷들에 대한 일부 구성들에서, hopping이 사용될 수 있다. 앞서 논의된 바와 같이, 도 6은, 예를 들어, 파형 생성 및/또는 슬롯당 DM-RS 심볼들의 수의 관점에서, 주파수 hopping이 활용되고 sPUCCH 포맷이 PUCCH 포맷 2 또는 3에 기초할 수 있는 sPUCCH의 이러한 구성의 예를 예시한다.

[0056] [0066] 도 8은 IFDMA 기반 2-심볼 sPUCCH를 예시하는 도면(800)이다. 2-심볼 sPUCCH는 N개의 RB들로 확장될 수 있는 DM-RS 심볼(802) 및 데이터 심볼(804)을 포함한다. 2-심볼 sPUCCH에서, DM-RS 및 데이터 심볼들에 걸쳐 콤 구조가 가정된다. 즉, 각각의 심볼에 걸쳐 상이한 콤들의 콤 구조가 사용될 수 있다. 예를 들어, 예시된 예에서, 각각의 심볼에 걸친 콤 구조는 심볼 전반에 걸쳐 반복되는 4개의 콤들을 포함할 수 있고, 여기서 각각의 콤은 상이한 패턴을 사용하여 도면에 표현된다. 일부 구성들에서, 제1 UE는 제1 콤을 할당받을 수 있고 자신의 DM-RS 및/또는 데이터를 콤 상에서 송신할 수 있는 한편, 다른 UE는 상이한 콤을 획득할 수 있고 직교성을 유지하기 위해 자신의 DM-RS 및/또는 데이터를 상이한 콤 상에서 송신할 수 있다. 일부 다른 구성에서, UE들은 동일한 콤 그러나 상이한 사이클릭 시프트들을 할당받을 수 있거나, 또는 UE 송신들이 직교가 되도록 상이한 콤들을 할당받을 수 있다. 일 양상에 따르면, 도 8에 도시된 2개의 심볼들에 걸친 콤들의 수가 예를 들어, 4로 동일하지만, 콤들의 수는 심볼들에 걸쳐 상이할 수 있다. 예를 들어, DM-RS 심볼(802)로부터 데이터 심볼(804)까지의 콤들의 수는 상이할 수 있다. 유사하게, 데이터 심볼로부터 다른 데이터 심볼까지 콤들의 수는 상이할 수 있거나 또는 하나의 DM-RS 심볼로부터 다른 DM-RS 심볼까지 상이할 수 있다.

[0057] [0067] 일부 구성들에서, 콤들을 사용한 DM-RS 심볼에 걸친 시퀀스 기반 송신이 수행될 수 있다. 예를 들어, 일부 구성들에서, 상이한 콤들/사이클릭 시프트들이 상이한 사용자들에게 할당될 수 있다. 이러한 구성들에서, 할당된 연속적 서브캐리어들 상에서 DM-RS 시퀀스를 송신하기 보다는, UE는 할당된 콤 상에서 DM-RS 시퀀스를 송신할 수 있다. 사이클릭 시프트에 추가로 콤들의 사용은 다른 치수의 직교성을 제공하고 상이한 사용자들의 더 양호한 멀티플렉싱을 허용한다. UE가 DM-RS 시퀀스를 생성하면, 시퀀스는 UE에 할당된 콤에 맵핑될 수 있고, 그 다음 송신될 수 있다.



- [0058] [0068] 데이터 송신의 경우, 2개의 접근법들이 고려될 수 있다. 제1 접근법에서, 콤들을 사용한 데이터 심볼을 통한 시퀀스 기반 데이터 송신은 작은 페이로드 크기들, 예를 들어, BPSK/QPSK 심볼들에 대해 수행될 수 있다. 예를 들어, 각각의 UE가 4개의 사이클릭 시프트들 및 콤을 할당받고, UE는 2-비트 ACK/NACK를 송신해야 한다고 고려한다. UE는 송신할 데이터 시퀀스, 예를 들어, UE가 0001을 송신해야 하는지 또는 1011을 송신해야 하는지 여부에 기초하여 사용할 사이클릭 시프트를 선택하고, 그 다음, 데이터 시퀀스를 송신하기 위해 할당된 콤을 사용할 수 있다. 기지국은 송신을 수신하고, 송신을 위해 UE에 의해 선택된 사이클릭 시프트를 검출하고, ACK/NACK의 어떤 조합, 예를 들어, ACK/NACK, ACK/ACK, NACK/ACK 또는 다른 조합이 UE에 의해 송신되도록 의도되었는지를 결정할 수 있다. 제2 접근법에서, 큰 페이로드 크기들에 대해, DFT(discrete Fourier transform) 기반 송신이 할당된 콤들에 대해 사용된다. 따라서, 송신될 데이터 스트림에 대해, DFT가 생성되고, 그 다음, 연속적인 서브캐리어들을 통한 송신보다는, 송신은 할당된 콤에 대응하는 서브캐리어들에 걸쳐 발생한다.
- [0059] [0069] 도면(800)의 예시 및 상기 논의는 2-심볼 sPUCCH에 대한 것이지만, 동일한 개념은 도 4 내지 도 7에 예시된 바와 같이 단일 슬롯 다중-심볼 sPUCCH에 대한 일부 구성들에서 확장된다. 따라서, 일부 구성들에서, 7개의 심볼들을 갖는 단일 슬롯 sPUCCH는 sPUCCH의 심볼들 각각에 걸쳐 콤 구조와 함께 사용될 수 있다. 도 8의 2심볼 sPUCCH에 대해 앞서 논의된 바와 같은 동일한 데이터 및 DM-RS 구조들(또는 이들의 변형)은 단일 슬롯 sPUCCH를 설계하기 위해 사용될 수 있다. sPUCCH의 상이한 구조들에 관한 정보의 일부로서, 심볼당 콤들의 수가 또한 UE에 표시될 수 있다. 따라서, UE는 데이터당 얼마나 많은 콤들 및/또는 DM-RS 심볼들이 존재하는지 및 어느 콤이 UE에 할당되는지를 결정할 수 있다. 이전에 논의된 바와 같이, 일부 구성들에서, 상이한 수의 콤들이 앞서 논의된 바와 같은 상이한 심볼들에 걸쳐 사용될 수 있는데, 예를 들어, 하나의 심볼에 걸쳐 사용되는 콤들의 수는 sPUCCH의 다른 심볼에 걸친 콤들의 수와 상이할 수 있다.
- [0060] [0070] 도 9는 무선 통신 방법의 흐름도(900)이다. 방법은 장치(예를 들어, 이를테면 UE(104, 350), 장치(1002, 1002'))에 의해 수행될 수 있다. 동작들 중 일부는 파선 박스들로 표현된 바와 같이 선택적일 수 있고, 전부가 아닌 일부 실시예들에서 수행될 수 있다. 아래의 논의의 경우, 장치는 단순히 UE로 지칭된다.
- [0061] [0071] 일 구성에서, 902에서, UE는 예를 들어, 주어진 페이로드 크기의 UCI를 송신하기 위해, sPUCCH에 대해 사용될 UE에 제1 구조를 할당하는 기지국(예를 들어, 기지국(102/180))으로부터의 표시를 수신할 수 있다. 제1 구조는 복수의 구조들 중 하나일 수 있다. 앞서 논의된 바와 같이, 주어진 UCI 페이로드 크기에 대해 다양한 상이한 구조들이 존재할 수 있다. 일 양상에서, 주어진 포맷(예를 들어, 1, 1a, 1b, 2, 3, 4)의 sPUCCH에 대해, 복수의 상이한 구조들이 존재할 수 있다. 각각의 구조는 RB들의 수, DM-RS들의 수, DM-RS 위치들, OCC(orthogonal cover code) 길이 등에 의해 특성화될 수 있다. UE의 조건 및/또는 UCI 페이로드 크기에 기초하여, 기지국은 UCI를 통신하기 위해 UE에 대한 주어진 포맷으로 sPUCCH의 가장 적합한 구조를 선택할 수 있다. 예를 들어, 일부 구성들에서, 다수의 다양한 상이한 구조들 sPUCCH 포맷들은 UE에 알려질 수 있다(예를 들어, UE에서 미리 구성/저장되거나, 또는 기지국이 시그널링을 통해 이러한 정보로 UE를 구성할 수 있다). UE가 자신의 UCI 페이로드 크기(예를 들어, UCI의 최대 2개의 비트들에 대해 1, 1a, 1b, 2 초과 비트들에 대해 2/3 및 심지어 더 큰 페이로드에 대해 3 및 4 등)에 기초하여 어느 sPUCCH 포맷을 사용할지를 이미 알 수 있지만, 동일한 페이로드 크기에 대해 하나 초과 구조가 존재할 수 있기 때문에, UE는 (sPUCCH에 대해) 어느 구조를 사용할지에 관한 표시를 기지국으로부터 필요로 할 수 있다. 따라서, 일 양상에서, 기지국은 UE로부터 UCI를 반송할 수 있는 sPUCCH에 대해 구조들 중 어느 것이 UE에 의해 사용될지를 UE에 시그널링할 수 있다. 따라서, 902에서, UE는 주어진 UCI 페이로드 크기에 대해 사용될 구조에 관한 이러한 표시를 기지국으로부터 수신할 수 있다. 일부 구성들에서, sPUCCH에 대해 UE에 의해 사용될 구조의 표시는 기지국으로부터 RRC 시그널링을 통해 수신될 수 있다. 일부 구성들에서, 표시는 DCI의 명시적 표시 또는 묵시적 표시(예를 들어, ARI 메커니즘과 유사함)일 수 있다.
- [0062] [0072] 904에서, UE는 서브프레임의 슬롯 내의 sPUCCH의 제1 세트의 심볼들 내의 제1 세트의 자원들에서 제1 UCI를 송신할 수 있다. 예를 들어, sPUCCH는 도 4 내지 도 7에 도시된 것들과 같은 단일 슬롯 sPUCCH일 수 있다. 예를 들어, sPUCCH는 단일 슬롯 sPUCCH(625)으로 고려될 수 있다(예를 들어, sPUCCH는 서브프레임의 슬롯 0에서 구성될 수 있다). 이러한 예에서, 제1 세트의 심볼들 내의 제1 세트의 자원들은, 심볼들의 세트(602)에 대응하는 자원들, 예를 들어, 서브대역 1의 RE들 및/또는 서브캐리어들일 수 있다. 제1 세트의 심볼들 내의 제1 세트의 자원들에서 송신되는 제1 UCI는 심볼들의 세트(602)의 제1 및 세 번째 심볼들에서 반송되는 업링크 제어 데이터를 포함할 수 있는 한편, 심볼들의 세트(602)의 두 번째 심볼은 DM-RS를 반송할 수 있다. 개시된 방법들의 특징들에 따르면, sPUCCH는 902에 대해 논의된 바와 같이 기지국으로부터의 시그널링에서 사용되도록 표시되는 제1 구조를 가질 수 있다.

[0063]

[0073] 906에서, UE는 슬롯 내의 sPUCCH의 제2 세트의 심볼들 내의 제2 세트의 자원들에서 제2 UCI를 송신할 수 있고, 제2 세트의 심볼들은 제1 세트의 심볼들에 후속할 수 있다. 예를 들어, 예로서 도 6의 sPUCCH 구성(625)에 있어서, sPUCCH의 제2 세트의 심볼들 내의 제2 세트의 자원들은 심볼들의 세트(604)에 대응하는 자원들일 수 있다. 일부 구성들에서, 제1 세트의 심볼들에서 심볼들의 수 및 제2 세트의 심볼들에서 심볼들의 수는 서브프레임 내의 슬롯의 슬롯 인덱스에 기초한다. 즉, 단일 슬롯 sPUCCH의 제1 세트의 심볼들에서 심볼들의 수 및 제2 세트의 심볼들에서 심볼들의 수는 슬롯(여기서 sPUCCH가 구성됨)이 서브프레임의 제1 슬롯인지 또는 서브프레임의 제2 슬롯인지 여부에 기초할 수 있다. 예를 들어, 도 6을 참조하면, sPUCCH가 (예를 들어, 구성(625)에서와 같이) 서브프레임의 제1 슬롯에서 구성될 때 제1 세트(602)의 심볼들의 수는 3이고 제2 세트(604)의 심볼들의 수는 4임을 알 수 있다(예를 들어, 3+4 심볼 레이아웃을 갖는 sPUCCH). 그러나, sPUCCH가 (예를 들어, 구성(650)에서와 같이) 서브프레임의 제2 슬롯에서 구성될 때, sPUCCH(650)의 제1 세트(612)에서 심볼들의 수는 4이고 sPUCCH의 제2 세트의 심볼들(614)에서 심볼들의 수는 +3이다(예를 들어, 3+4 심볼 레이아웃을 갖는 sPUCCH). 일 양상에서, 제1 및 제2 UCI를 반송하는 sPUCCH는 상이한 슬롯에서 제2 sPUCCH의 제2 구조와 상이한 제1 구조를 갖고, 제1 및 제2 구조들은 자원 블록들의 수, DM-RS의 수, DM-RS에 대한 위치, 콤 구조 또는 OCC(orthogonal cover code) 길이 중 적어도 하나에 대해 상이할 수 있다. 예를 들어, 도 4 내지 도 7에 도시된 sPUCCH 구성들에 대해 앞서 논의된 바와 같이, 주어진 UCI 페이로드 크기에 대해 복수의 상이한 sPUCCH 구조들이 존재할 수 있고, 2개의 구조들은 자원 블록들의 수, DM-RS의 수, sPUCCH의 슬롯 내의 DM-RS에 대한 포지션/위치, sPUCCH에서 콤 구조/심볼당 콤들의 수 또는 OCC 길이 등 중 하나 이상의 관점에서 서로 상이할 수 있다. 따라서, 제2 sPUCCH가 동일한 크기의 UCI 페이로드를 반송하지만 제2 sPUCCH가 제2 sPUCCH와 상이한 서브프레임의 슬롯에서 송신되는 경우에도 sPUCCH와 상이한 구조를 가질 수 있다. 예를 들어, 도 7을 참조하면, 동일한 UCI 페이로드 크기에 대해, sPUCCH에 대한 2개의 상이한 구조들이 존재할 수 있다. 서브프레임의 제1 슬롯(슬롯 0)을 점유하는 sPUCCH(725)는, (예를 들어, DM-RS의 포지션/위치의 관점에서) 상이한 슬롯, 즉, 서브프레임의 제2 슬롯(슬롯 1)을 점유하는 sPUCCH(750)의 구조와 상이한 구조를 갖는다.

[0064]

[0074] 일부 구성들의 양상에 따르면, 슬롯 인덱스에 기초하는 것에 추가로, 제1 세트의 심볼들에서 심볼들의 수 및 제2 세트의 심볼들에서 심볼들의 수는, 슬롯내 주파수 홉핑이 sPUCCH와 함께 사용되는지 여부에 추가로 기초할 수 있다. 일부 구성들에서, 주파수 홉핑이 채택되는 경우, sPUCCH에서 제1 세트의 심볼들에서 심볼들의 수 및 제2 세트의 심볼들에서 심볼들의 수는 슬롯 내의 주파수 홉들의 수에 의존할 수 있다. 예를 들어, 도 4 내지 도 7에 대해 논의된 바와 같이, sPUCCH의 상이한 부분들에 대응하는 심볼들의 수는, (예를 들어, 도 4 및 도 5에 예시된 바와 같이) 이중 홉(슬롯당 2개의 홉들) 주파수 홉핑이 사용될 때와 (예를 들어, 도 6 및 도 7에 예시된 바와 같이) 단일 홉(슬롯당 하나의 홉) 주파수 홉핑이 사용될 때에 상이할 수 있다. 예를 들어, 일부 구성들에서, 제1 세트의 심볼들은 3개의 심볼들을 포함할 수 있고, 제2 세트의 심볼들은, (sPUCCH에 의해 점유된) 슬롯이 서브프레임의 제1 슬롯이고 (예를 들어, 예시적인 sPUCCH 구성들(625 및 725)에서와 같이) 슬롯당 단일 홉 슬롯내 주파수 홉핑이 사용될 때 4개의 심볼들을 포함할 수 있다. 하나의 이러한 구성에서 sPUCCH의 제1 세트의 3개의 심볼들의 첫 번째 심볼 및 세 번째 심볼은 제1 UCI를 반송할 수 있는 한편, 제1 세트의 3개의 심볼들의 두 번째 심볼은 DM-RS를 반송할 수 있다. 또한, sPUCCH의 제2 세트의 4개의 심볼들의 제1 및 네 번째 심볼은 제2 UCI를 반송할 수 있는 한편, 제2 세트의 4개의 심볼들의 두 번째 심볼 및 세 번째 심볼 각각은 DM-RS를 반송할 수 있다. 예를 들어, 도 7의 sPUCCH(725)를 참조하면, 3개의 심볼들의 세트(702)의 제1 및 세 번째 심볼들은 UCI를 반송하는 한편 두 번째 심볼은 DM-RS를 반송하고, 4개의 심볼들의 세트(704)의 제1 및 네 번째 심볼들은 UCI를 반송하는 한편 세트(704)의 제2 및 세 번째 심볼들은 DM-RS를 반송함을 인식할 수 있다. 다른 경우에서, sPUCCH의 제1 세트의 심볼들은 4개의 심볼들을 포함할 수 있고, 제2 세트의 심볼들은, (sPUCCH에 의해 점유된) 슬롯이 서브프레임의 제2 슬롯이고 (예를 들어, 예시적인 sPUCCH 구성들(650 및 750)에서와 같이) 슬롯당 단일 홉 슬롯내 주파수 홉핑이 사용될 때 3개의 심볼들을 포함할 수 있다. (예를 들어, 예시적인 sPUCCH(750)에서와 같이) 하나의 이러한 구성에서 sPUCCH의 제1 세트의 4개의 심볼들의 첫 번째 심볼 및 네 번째 심볼은 제1 UCI를 반송할 수 있는 한편, 제1 세트의 4개의 심볼들의 두 번째 심볼 및 세 번째 심볼 각각은 DM-RS를 반송할 수 있다. 또한, sPUCCH의 제2 세트의 3개의 심볼들의 첫 번째 심볼 및 세 번째 심볼은 제2 UCI를 반송할 수 있는 한편, 제2 세트의 3개의 심볼들의 두 번째 심볼은 DM-RS를 반송할 수 있다.

[0065]

[0075] 다른 예에서, 제1 세트의 심볼들은 3개의 심볼들을 포함할 수 있고, 제2 세트의 심볼들은, (sPUCCH에 의해 점유된) 슬롯이 서브프레임의 제1 슬롯이고 (예를 들어, 예시적인 sPUCCH 구성들(425 및 525)에서와 같이) 슬롯당 이중 홉 슬롯내 주파수 홉핑이 사용될 때 2개의 심볼들을 포함할 수 있는 한편, 제1 세트의 심볼들 및 제2 세트의 심볼들 각각은, 슬롯이 서브프레임의 제2 슬롯이고 (예를 들어, 예시적인 sPUCCH 구성들(450 및 550)에서와 같이) 슬롯당 이중 홉 슬롯내 주파수 홉핑이 사용될 때 2개의 심볼들을 포함할 수 있다. 일부 이러

한 구성들(예를 들어, 슬롯에서 2개의 홉들로 인에이블된 주파수 홉핑)에서, 흐름도(900)의 방법은 908에 예시된 동작들 더 포함할 수 있고, 여기서 UE는 슬롯 내의 sPUCCH의 제3 세트의 심볼들 내의 제3 세트의 자원들에서 제3 UCI를 송신할 수 있다. 이러한 구성에서, 제3 세트의 심볼들은 제2 세트의 심볼들에 후속할 수 있고, (예를 들어, 구성들(425 및 525)에 예시된 바와 같이) 슬롯이 서브프레임의 제1 슬롯일 때 2개의 심볼들을, 그리고 (예를 들어, 구성들(450 및 550)에 예시된 바와 같이) 슬롯이 서브프레임의 제2 슬롯일 때 3개의 심볼들을 포함할 수 있다.

[0066] [0076] 도 10은 예시적인 장치(1002)에서 상이한 수단들/컴포넌트들 사이의 데이터 흐름을 예시하는 개념적 데이터 흐름도(1000)이다. 장치는 수신 컴포넌트(1004), 저장 컴포넌트(1006), UCI 컴포넌트(1008) 및 송신 컴포넌트(1010)를 포함한다.

[0067] [0077] 수신 컴포넌트(1004)는 RRC 구성, 다운링크 제어 정보, 데이터 및/또는 다른 정보를 기지국(1050)으로부터 수신하도록 구성될 수 있다. 신호들/정보는 흐름도(900)의 방법을 포함하여 앞서 논의된 방법들에 따라 수신 컴포넌트(1004)에 의해 수신될 수 있다. 수신된 신호들/정보는 앞서 논의된 방법 및 기술들에 따라 다양한 동작들을 수행할 때 추가적 프로세싱 및 사용을 위해 장치(1002)의 하나 이상의 컴포넌트들에 제공될 수 있다. 다양한 구성들에서, 수신 컴포넌트(1004)를 통해, 장치(1002)는 기지국(1050)으로부터 구성 정보를 (예를 들어, RRC 구성으로서) 수신할 수 있다. 구성 정보는 다양한 sPUCCH 포맷들, sPUCCH에 대해 정의되고 사용될 수 있는 다양한 상이한 가능한 세트들의 구조들 및 자원들을 표시하는 정보를 포함할 수 있다. 앞서 논의된 바와 같이, 각각의 구조는 특정 수의 RB들, 특정 수의 DM-RS들, 슬롯 내의 DM-RS의 포지션들/위치들 및 동일한/상이한 서브대역들에서 데이터/DM-RS 심볼들에 걸친 OCC 길이와 연관될 수 있다. 그 다음, 수신된 구성 정보는 저장 컴포넌트(예를 들어, 메모리)(1006)에 저장될 수 있다. 일부 다른 구성들에서, 이러한 정보는 장치(1002)에서 미리 구성될 수 있다. 또한, 일부 구성들에서, 수신 컴포넌트(1004)는 예를 들어, 장치(1002)로부터 주어진 페이로드 크기의 UCI를 송신하기 위해, sPUCCH에 대해 사용될 장치에 제1 구조를 할당하는 표시를 기지국(1050)으로부터 수신할 수 있다. 제1 구조는 장치(1002)에 알려질 수 있는 다양한 상이한 구조들 중 하나일 수 있다(예를 들어, 미리 구성되거나 기지국으로부터의 더 앞선 RRC 구성에 기초할 수 있다). 수신된 표시로, 장치(1002)는, 동일한 페이로드 크기에 대해 복수의 구조들이 존재할 수 있을 때 주어진 UCI 페이로드 크기에 대해 (sPUCCH에 대한) 어느 특정 구조가 사용될지를 결정한다. 일부 구성들에서, 구조의 표시는 기지국(1050)으로부터의 RRC 시그널링을 통해 수신될 수 있거나, 표시는 수신 컴포넌트를 통해 기지국으로부터 수신된 DCI에 포함될 수 있다. 일부 구성들에서, 수신 컴포넌트(1004)는, UCI의 송신을 위해 sPUCCH에서 슬롯내 주파수 홉핑이 사용될지 여부를 표시하는 표시를 기지국(1050)으로부터 추가로 수신할 수 있다.

[0068] [0078] 일부 구성들에서, 수신 컴포넌트(1004)는 표시된 구조에 따라 sPUCCH의 송신을 제어할 때 사용하기 위한 구조의 수신된 표시를 송신 컴포넌트(1010)에 제공할 수 있다. sPUCCH는 UCI 컴포넌트(1006)에 의해 생성된 UCI를 반송할 수 있다. UCI는 예를 들어, 스케줄링 요청, CQI, 프리코딩 매트릭스 표시자, 랭크 표시자 및 HARQ ACK/NACK 피드백과 같은 정보를 포함할 수 있다.

[0069] [0079] 송신 컴포넌트(1010)는 개시된 방법들(예를 들어, 흐름도(900))의 특징들, 및 도 4 내지 도 8과 관련하여 앞서 설명된 기술들 및 구성들에 따라, 업링크 제어 정보, 데이터 및/또는 다른 시그널링을 기지국(1050)에 송신하도록 구성될 수 있다. 일부 구성들에서, 송신 컴포넌트는 표시된 구조에 따라 구성될 수 있는 단일 슬롯 sPUCCH에서 UCI를 송신할 수 있다. 예를 들어, 일부 구성들에서, 송신 컴포넌트(1010)는 슬롯 내의 sPUCCH의 제1 세트의 심볼들 내의 제1 세트의 자원들에서 제1 UCI를 송신할 수 있다. 송신 컴포넌트(1010)는 슬롯 내의 sPUCCH의 제2 세트의 심볼들 내의 제2 세트의 자원들에서 제2 UCI를 송신하도록 추가로 구성될 수 있고, 제2 세트의 심볼들은 제1 세트의 심볼들에 후속한다. 일 양상에 따르면, 제1 세트의 심볼들에서 심볼들의 수 및 제2 세트의 심볼들에서 심볼들의 수는 슬롯이 서브프레임의 제1 슬롯인지 또는 서브프레임의 제2 슬롯인지 여부에 기초한다. 예를 들어, 도 6 및 도 7에 대해 논의된 바와 같이, 단일 슬롯 sPUCCH에 대응하는 제1 세트의 심볼들 및 제2 세트의 심볼들에서 심볼들의 수는 sPUCCH가 서브프레임의 제1 슬롯(슬롯 0)에서 구성되는지 또는 제2 슬롯(슬롯 1)에서 구성되는지 여부에 기초할 수 있다. 송신 컴포넌트(1010) sPUCCH에 의해 송신되는 제1 및 제2 UCI를 반송하는 sPUCCH는 (예를 들어, 기지국(1050)으로부터의 표시에 기초하여) 제1 구조를 갖는다. 일 양상에서, sPUCCH와 연관된 제1 구조는 상이한 슬롯에서 제2 sPUCCH(예를 들어, 서브프레임의 상이한 슬롯을 점유하는 sPUCCH)의 제2 구조와 상이하다. 제1 및 제2 구조들은 자원 블록들의 수, DM-RS의 DM-RS 포지션들/위치들의 수, 콤 구조 또는 OCC 길이 중 적어도 하나에 대해 상이할 수 있다.

[0070] [0080] 특정 구성들에서, 제1 세트의 심볼들에서 심볼들의 수 및 제2 세트의 심볼들에서 심볼들의 수는, 슬롯내 주파수 홉핑, 예를 들어, 상이한 대역들에 걸쳐 UCI를 홉핑하기 위해 인에이블된 슬롯내 주파수 홉핑이



sPUCCH와 함께 사용될 때, 슬롯 내의 주파수 홉들의 수에 추가로 기초한다. 일부 이러한 구성들에서, 제1 세트의 심볼들은 3개의 심볼들을 포함하고, 제2 세트의 심볼들은, 슬롯이 서브프레임의 제1 슬롯이고 슬롯당 단일 홉 슬롯내 주파수 홉핑이 사용될 때 4개의 심볼들을 포함한다. 일부 이러한 구성들에서, 송신 컴포넌트(1010)는 sPUCCH의 제1 세트의 심볼들의 첫 번째 심볼 및 세 번째 심볼에서 제1 UCI를 송신하고 제1 세트의 심볼들의 두 번째 심볼에서 DM-RS를 송신하도록 구성될 수 있다. 이러한 구성들에서 송신 컴포넌트(1010)는 sPUCCH의 제2 세트의 심볼들의 첫 번째 심볼 및 네 번째 심볼에서 제2 UCI를 송신하고 제2 세트의 심볼들의 두 번째 심볼 및 세 번째 심볼에서 DM-RS를 송신하도록 추가로 구성될 수 있다.

[0071] [0081] (sPUCCH가 송신되는) 슬롯이 서브프레임의 제2 슬롯이고 슬롯당 단일 홉 슬롯내 주파수 홉핑이 사용되는 특정한 다른 구성들에서, 제1 세트의 심볼들은 4개의 심볼들을 포함할 수 있고, 제2 세트의 심볼들은 3개의 심볼들을 포함한다. 하나의 이러한 구성에서, 송신 컴포넌트(1010)는 sPUCCH의 제1 세트의 심볼들의 첫 번째 심볼 및 네 번째 심볼에서 제1 UCI를 송신하고 제1 세트의 심볼들의 두 번째 심볼 및 세 번째 심볼에서 DM-RS를 송신하도록 추가로 구성될 수 있다. 이러한 구성에서, 송신 컴포넌트(1010)는 sPUCCH의 제2 세트의 심볼들의 첫 번째 심볼 및 세 번째 심볼에서 제2 UCI를 송신하고 제2 세트의 심볼들의 두 번째 심볼에서 DM-RS를 송신하도록 추가로 구성될 수 있다.

[0072] [0082] 일부 구성들에서, 제1 세트의 심볼들은 3개의 심볼들을 포함하고, 제2 세트의 심볼들은, 슬롯이 서브프레임의 제1 슬롯이고 슬롯당 2개 홉 슬롯내 주파수 홉핑이 사용될 때 2개의 심볼들을 포함한다. 특정한 다른 구성들에서, 제1 세트의 심볼들 및 제2 세트의 심볼들 각각은, 슬롯이 서브프레임의 제2 슬롯이고 슬롯당 2개 홉 슬롯내 주파수 홉핑이 사용될 때 2개의 심볼들을 포함한다. 일부 이러한 구성들에서, 송신 컴포넌트(1010)는 슬롯 내의 sPUCCH의 제3 세트의 심볼들 내의 제3 세트의 자원들에서 제3 UCI를 송신하도록 추가로 구성될 수 있다. 제3 세트의 심볼들은 제2 세트의 심볼들에 후속할 수 있고, 슬롯이 서브프레임의 제1 슬롯일 때 (예를 들어, sPUCCH(425 및 525)에 예시된 바와 같이) 2개의 심볼들을 포함할 수 있다. 그러나, 슬롯이 서브프레임의 제2 슬롯일 때, 제2 세트의 심볼들은 (예를 들어, sPUCCH(450 및 550)에 예시된 바와 같이) 3개의 심볼들을 포함할 수 있다. 다양한 구성들에서, 송신 컴포넌트(1010)는 sPUCCH에 대한 선택된 포맷 및 할당된 구조에 따라 sPUCCH에서 UCI 및 DM-RS를 송신할 수 있다. 다양한 구성들에서, 송신 컴포넌트(1010)는 도 4 내지 도 8의 예들로서 예시된 것들과 같은 다양한 상이한 구성들 및 설계들로 sPUCCH에서 UCI를 송신할 수 있다.

[0073] [0083] 장치는 도 9의 전술된 흐름도에서의 알고리즘의 블록들 각각을 수행하는 추가적인 컴포넌트들을 포함할 수 있다. 따라서, 도 9의 전술된 흐름도들에서의 각각의 블록은 컴포넌트에 의해 수행될 수 있고, 장치는 그러한 컴포넌트들 중 하나 이상을 포함할 수 있다. 컴포넌트들은, 언급된 프로세스들/알고리즘을 수행하도록 특정적으로 구성된 하나 이상의 하드웨어 컴포넌트들일 수 있거나, 언급된 프로세스들/알고리즘을 수행하도록 구성된 프로세서에 의해 구현될 수 있거나, 프로세서에 의한 구현을 위해 컴퓨터 판독가능 매체 내에 저장될 수 있거나, 이들의 일부 조합일 수 있다.

[0074] [0084] 도 11은 프로세싱 시스템(1114)을 이용하는 장치(1002')에 대한 하드웨어 구현의 일례를 예시하는 도면(1100)이다. 프로세싱 시스템(1114)은, 개괄적으로 버스(1124)로 표현되는 버스 아키텍처로 구현될 수 있다. 버스(1124)는 프로세싱 시스템(1114)의 특정 애플리케이션 및 전체적인 설계 제약들에 따라, 임의의 개수의 상호접속 버스들 및 브리지들을 포함할 수 있다. 버스(1124)는, 프로세서(1104), 컴포넌트들(1004, 1006, 1008, 1010) 및 컴퓨터 판독가능 매체/메모리(1106)로 표현되는 하나 이상의 프로세서들 및/또는 하드웨어 컴포넌트들을 포함하는 다양한 회로들을 함께 링크시킨다. 일부 구성들에서, 저장 컴포넌트(1006)는 컴퓨터 판독가능 매체/메모리의 일부일 수 있다. 버스(1124)는 또한 타이밍 소스들, 주변장치들, 전압 레귤레이터들 및 전력 관리 회로들과 같은 다양한 다른 회로들을 링크시킬 수 있고, 이들은 당해 기술분야에 널리 공지되어 있어, 더 이상 설명되지 않을 것이다.

[0075] [0085] 프로세싱 시스템(1114)은 트랜시버(1110)에 커플링될 수 있다. 트랜시버(1110)는 하나 이상의 안테나들(1120)에 커플링된다. 트랜시버(1110)는, 송신 매체를 통해 다양한 다른 장치와 통신하기 위한 수단을 제공한다. 트랜시버(1110)는 하나 이상의 안테나들(1120)로부터 신호를 수신하고, 수신된 신호로부터 정보를 추출하고, 추출된 정보를 프로세싱 시스템(1114), 특히 수신 컴포넌트(1004)에 제공한다. 또한, 트랜시버(1110)는 프로세싱 시스템(1114), 특히 송신 컴포넌트(1010)로부터 정보를 수신하고, 수신된 정보에 기초하여, 하나 이상의 안테나들(1120)에 적용될 신호를 생성한다. 프로세싱 시스템(1114)은 컴퓨터 판독가능 매체/메모리(1106)에 커플링된 프로세서(1104)를 포함한다. 프로세서(1104)는, 컴퓨터 판독가능 매체/메모리(1106) 상에 저장된 소프트웨어의 실행을 포함하는 일반적인 프로세싱을 담당한다. 소프트웨어는, 프로세서(1104)에 의해 실행되는 경우, 프로세싱 시스템(1114)으로 하여금, 임의의 특정 장치에 대해 위에서 설명되는 다양한 기능들을 수행하게

한다. 컴퓨터 판독가능 매체/메모리(1106)는 또한, 소프트웨어를 실행하는 경우 프로세서(1104)에 의해 조작되는 데이터를 저장하기 위해 사용될 수 있다. 프로세싱 시스템(1114)은 컴포넌트(1004, 1006, 1008, 1010) 중 적어도 하나를 더 포함한다. 컴포넌트들은, 프로세서(1104)에서 실행되거나, 컴퓨터 판독가능 매체/메모리(1106)에 상주/저장된 소프트웨어 컴포넌트들, 프로세서(1104)에 커플링된 하나 이상의 하드웨어 컴포넌트들, 또는 이들의 일부 결합일 수 있다. 프로세싱 시스템(1114)은 UE(350)의 컴포넌트일 수 있고, 메모리(360) 및/또는 TX 프로세서(368), RX 프로세서(356) 및 제어기/프로세서(359) 중 적어도 하나를 포함할 수 있다.

[0076] [0086] 일 구성에서, 무선 통신을 위한 장치(1002/1002')는, 슬롯 내의 sPUCCH의 제1 세트의 심볼들 내의 제1 세트의 자원들에서 제1 UCI를 송신하고, 슬롯 내의 sPUCCH의 제2 세트의 심볼들 내의 제2 세트의 자원들에서 제2 UCI를 송신하기 위한 수단을 포함하고, 제2 세트의 심볼들은 제1 세트의 심볼들에 후속한다. 일부 구성들에서, 제1 세트의 심볼들은 3개의 심볼들을 포함하고, 제2 세트의 심볼들은, 슬롯이 서브프레임의 제1 슬롯이고 슬롯당 단일 홉 슬롯내 주파수 홉핑이 사용될 때 4개의 심볼들을 포함한다. 일부 이러한 구성들에서, 송신하기 위한 수단은 sPUCCH의 제1 세트의 심볼들의 첫 번째 심볼 및 세 번째 심볼에서 제1 UCI를 송신하고, DM-RS를 반송하는 제1 세트의 심볼들의 두 번째 심볼에서 DM-RS를 송신하도록 구성된다. 또한, 일 구성에서, 송신하기 위한 수단은 sPUCCH의 제2 세트의 심볼들의 첫 번째 심볼 및 네 번째 심볼에서 제2 UCI를, 그리고 제2 세트의 심볼들의 두 번째 심볼 및 세 번째 심볼 각각에서 DM-RS를 송신하도록 추가로 구성된다.

[0077] [0087] 일부 다른 구성들에서, 제1 세트의 심볼들은 4개의 심볼들을 포함하고, 제2 세트의 심볼들은, 슬롯이 서브프레임의 제2 슬롯이고 슬롯당 단일 홉 슬롯내 주파수 홉핑이 사용될 때 3개의 심볼들을 포함한다. 일부 이러한 구성들에서, 송신하기 위한 수단은 sPUCCH의 제1 세트의 심볼들의 첫 번째 심볼 및 네 번째 심볼에서 제1 UCI를, 그리고 제1 세트의 심볼들의 두 번째 심볼 및 세 번째 심볼 각각에서 DM-RS를 송신하도록 구성된다. 또한, 하나의 이러한 구성에서, 송신하기 위한 수단은 sPUCCH의 제2 세트의 심볼들의 첫 번째 심볼 및 세 번째 심볼에서 제2 UCI를, 그리고 제2 세트의 심볼들의 두 번째 심볼에서 DM-RS를 송신하도록 추가로 구성된다.

[0078] [0088] 일부 구성들에서, 송신을 위한 수단은 슬롯 내의 sPUCCH의 제3 세트의 심볼들 내의 제3 세트의 자원들에서 제3 UCI를 송신하도록 추가로 구성된다. 일부 이러한 구성들에서, 제3 세트의 심볼들은 제2 세트의 심볼들에 후속하고, 슬롯이 서브프레임의 제1 슬롯일 때 2개의 심볼들을 포함한다. 일부 다른 구성들에서, 제3 세트의 심볼들은, 슬롯이 서브프레임의 제2 슬롯일 때 3개의 심볼들을 포함할 수 있다.

[0079] [0089] 일부 구성들에서, sPUCCH는 상이한 슬롯에서 제2 sPUCCH의 제2 구조와 상이한 제1 구조를 가질 수 있고, 여기서 제1 및 제2 구조들은 자원 블록들의 수, DM-RS의 수, DM-RS에 대한 위치들, 콤 구조 또는 OCC 길이 중 적어도 하나에 대해 상이하다. 일부 이러한 구성에서, 장치(1002/1002')는 sPUCCH에 대해 사용될 장치에 제1 구조를 할당하는 표시를 기지국으로부터 수신하기 위한 수단을 더 포함할 수 있고, 제1 구조는 복수의 구조들 중 하나일 수 있다.

[0080] [0090] 전술된 수단은, 전술된 수단에 의해 인용된 기능들을 수행하도록 구성되는 장치(1002)의 전술된 컴포넌트들 및/또는 장치(1002')의 프로세싱 시스템(1114) 중 하나 이상일 수 있다. 위에서 설명된 바와 같이, 프로세싱 시스템(1114)은 TX 프로세서(368), RX 프로세서(356), 및 제어기/프로세서(359)를 포함할 수 있다. 따라서, 일 구성에서, 전술된 수단은, 전술된 수단에 의해 인용된 기능들을 수행하도록 구성되는 TX 프로세서(368), RX 프로세서(356), 및 제어기/프로세서(359)일 수 있다.

[0081] [0091] 일 구성에서, 흐름도(900)의 방법을 구현하는 예시적인 UE(예를 들어, UE(104/350)/장치(1002'))는 메모리 및 메모리에 커플링된 적어도 하나의 프로세서를 포함할 수 있다. 적어도 하나의 프로세서는, 슬롯 내의 sPUCCH의 제1 세트의 심볼들 내의 제1 세트의 자원들에서 제1 UCI를 송신하고, 슬롯 내의 sPUCCH의 제2 세트의 심볼들 내의 제2 세트의 자원들에서 제2 UCI를 송신하도록 구성될 수 있고, 제2 세트의 심볼들은 제1 세트의 심볼들에 후속한다. 일부 구성들에서, 제1 세트의 심볼들에서 심볼들의 수 및 제2 세트의 심볼들에서 심볼들의 수는 슬롯이 서브프레임의 제1 슬롯인지 또는 서브프레임의 제2 슬롯인지 여부에 기초한다. 일 구성에서, UE는 하나 이상의 안테나들을 포함하는 통신 인터페이스를 더 포함할 수 있다. 하나의 이러한 구성에서, 적어도 하나의 프로세서는 공중을 통해 무선으로 하나 이상의 안테나들을 통해 UCI(예를 들어, 제1 및 제2 UCI)를 포함하는 sPUCCH를 송신하고, 하나 이상의 안테나들을 통해 기지국으로부터 시그널링(예를 들어, 앞서 설명된 RRC 메시지, DCI 등)을 수신하도록 추가로 구성될 수 있다.

[0082] [0092] 개시된 프로세스들/흐름도들의 블록들의 특정 순서 또는 계층구조는 예시적인 접근법들의 예시임이 이해된다. 설계 선택도들에 기초하여, 프로세스들/흐름도들의 블록들의 특정 순서 또는 계층구조는 재배열될 수 있음이 이해된다. 추가로, 일부 블록들은 결합되거나 생략될 수 있다. 첨부된 방법 청구항들은 다양한 블록들



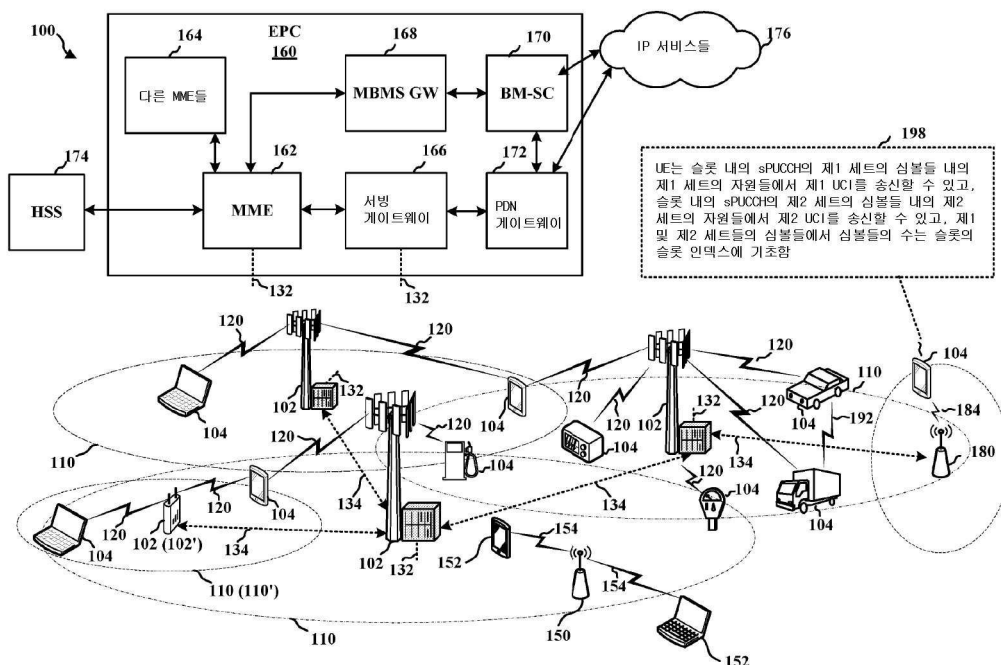
의 엘리먼트들을 예시적 순서로 제시하고, 제시된 특정 순서 또는 계층구조로 제한되도록 의도되지 않는다.

[0083]

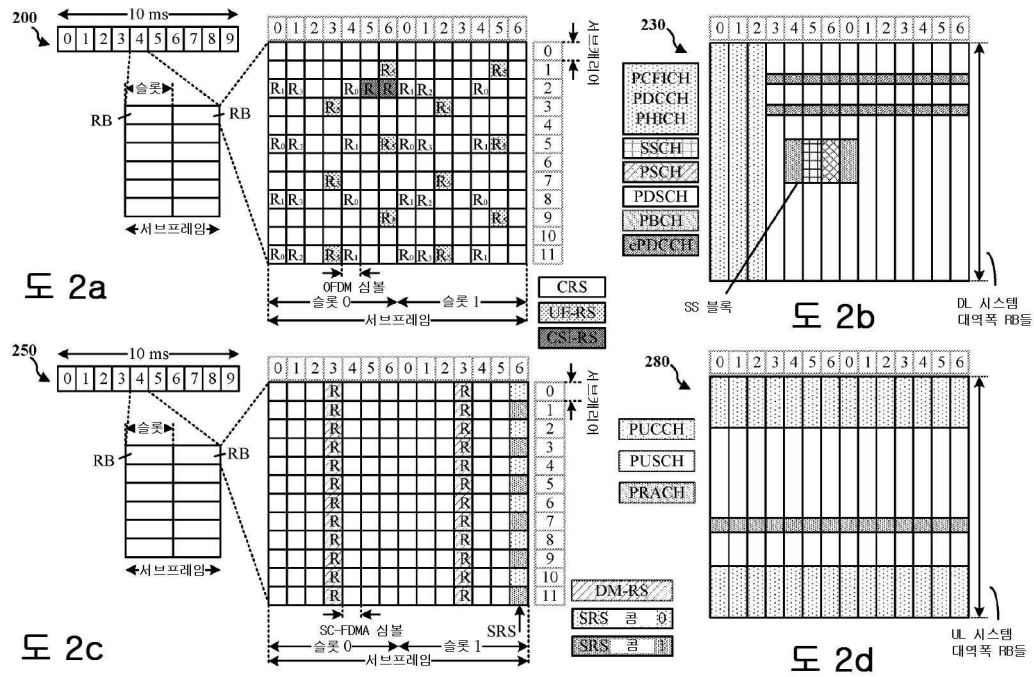
[0093] 상기의 설명은 임의의 당업자가 본원에 설명된 다양한 양상들을 실시할 수 있게 하도록 제공된다. 이러한 양상들에 대한 다양한 변형들이 당업자들에게 쉽게 명백할 것이며, 본 명세서에 설명된 일반적 원리들은 다른 양상들에 적용될 수 있다. 따라서, 청구항들은 본원에 나타난 양상들로 제한되는 것으로 의도되는 것이 아니라 청구항 문언과 일치하는 전체 범위에 따르며, 단수형 엘리먼트에 대한 참조는, "하나 및 오직 하나"로 구체적으로 언급되지 않는 한 그렇게 의도되는 것이 아니라 "하나 이상"으로 의도된다. "예시적인"이라는 단어는, "예, 예증 또는 예시로서 기능하는" 것을 의미하도록 본 명세서에서 사용된다. 본 명세서에서 "예시적인" 것으로 설명되는 임의의 양상은 반드시 다른 양상들에 비해 선호되거나 유리한 것으로 해석될 필요는 없다. 구체적으로 달리 언급되지 않으면, 용어 "일부"는 하나 이상을 나타낸다. "A, B 또는 C 중 적어도 하나", "A, B 또는 C 중 하나 이상", "A, B 및 C 중 적어도 하나", "A, B 및 C 중 하나 이상" 및 "A, B, C 또는 이들의 임의의 조합"과 같은 조합들은 A, B 및/또는 C의 임의의 조합을 포함하고, 다수의 A, 다수의 B 또는 다수의 C를 포함할 수 있다. 구체적으로, "A, B 또는 C 중 적어도 하나", "A, B 또는 C 중 하나 이상", "A, B 및 C 중 적어도 하나", "A, B 및 C 중 하나 이상" 및 "A, B, C 또는 이들의 임의의 조합"과 같은 조합들은 오직 A, 오직 B, 오직 C, A 및 B, A 및 C, B 및 C 또는 A 및 B 및 C일 수 있고, 임의의 이러한 조합들은 A, B 또는 C의 하나 이상의 멤버 또는 멤버들을 포함할 수 있다. 본 기술분야의 통상의 기술자들에게 공지되거나 추후 공지될 본 개시 전반에 걸쳐 설명되는 다양한 양상들의 엘리먼트들에 대한 모든 구조적 및 기능적 균등물들은 본원에 참조로 명백하게 통합되어 있고 청구항들에 의해 포함되는 것으로 의도된다. 또한, 본원에 개시된 어떠한 것도, 이러한 개시가 청구항들에 명시적으로 인용되었는지 여부와 무관하게 대중에게 제공되도록 의도되지 않는다. 용어들 "모듈", "메커니즘", "엘리먼트", "디바이스" 등은 용어 "수단"에 대한 대응물이 아닐 수 있다. 따라서, 엘리먼트가 "수단"이라는 어구를 사용하여 명시적으로 인용되지 않으면, 어떠한 청구항 엘리먼트도 수단 플러스 기능으로 해석되어서는 안된다.

## 도면

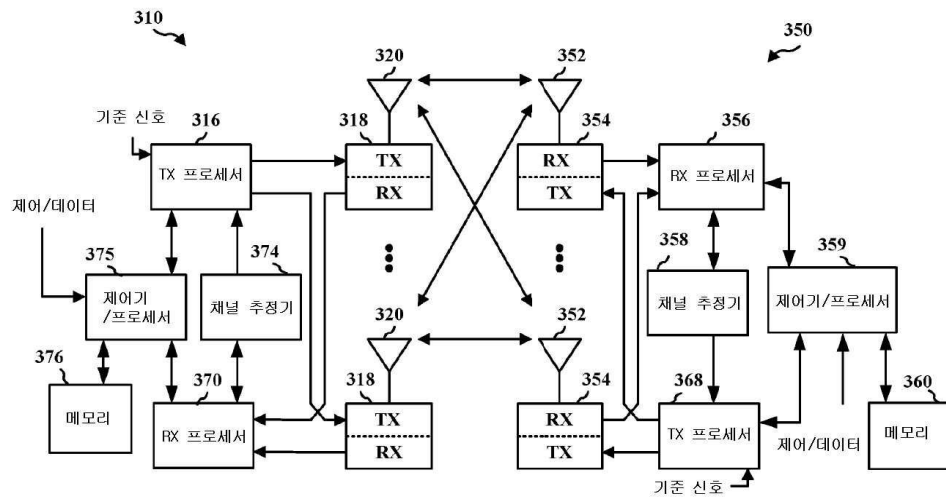
### 도면1



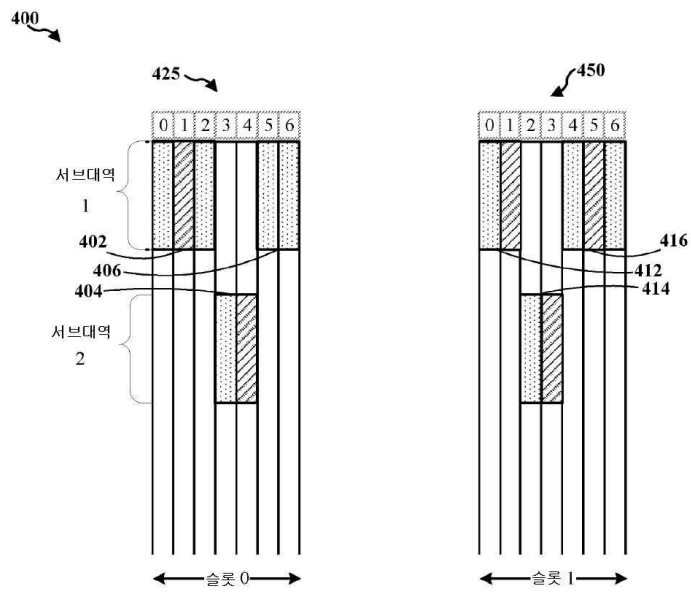
도면2



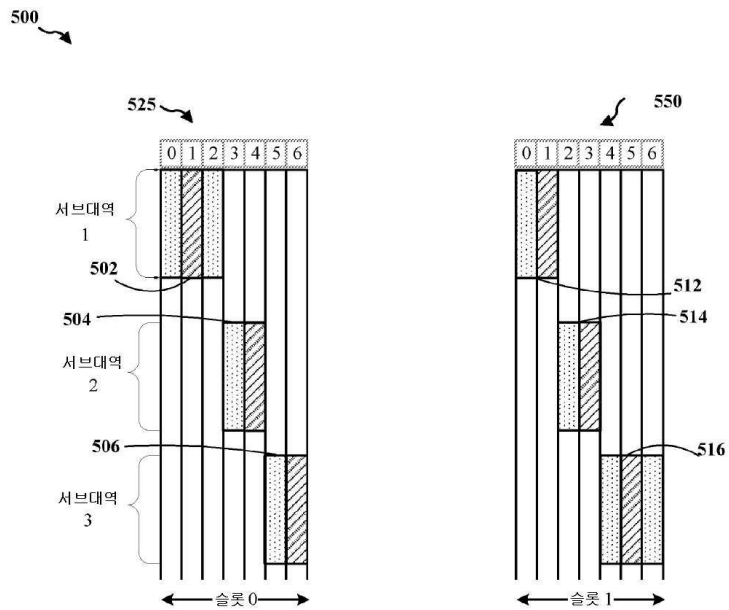
도면3



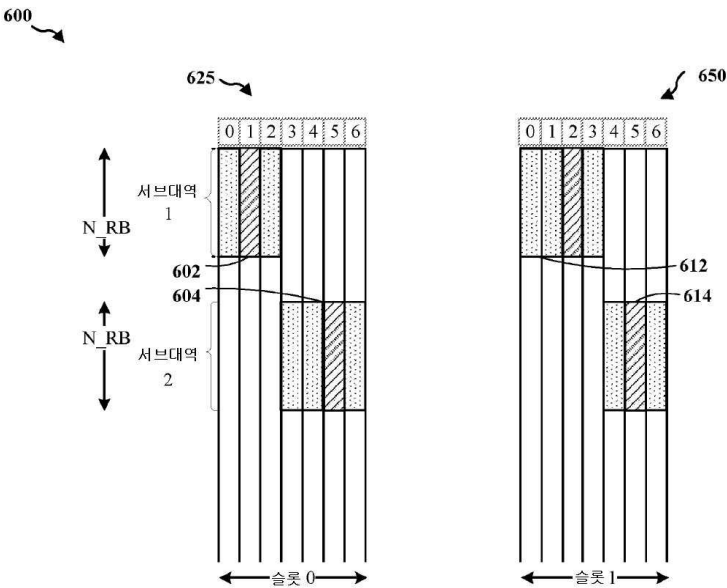
도면4



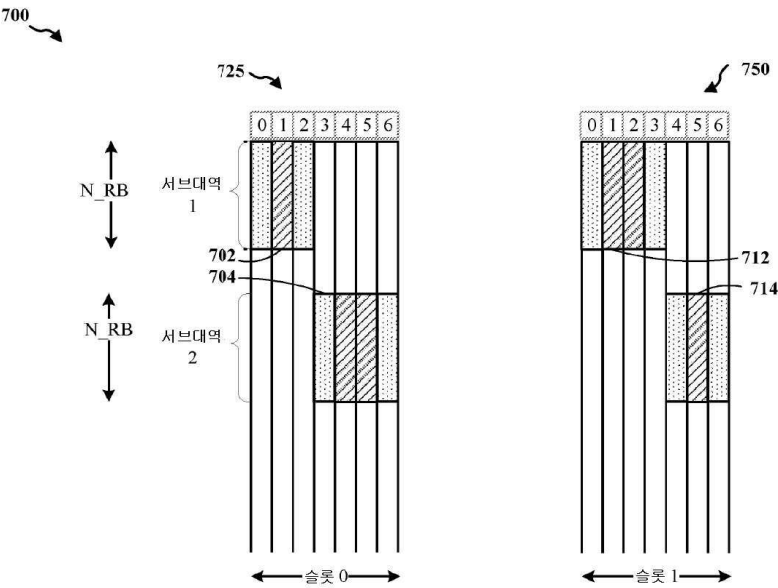
도면5



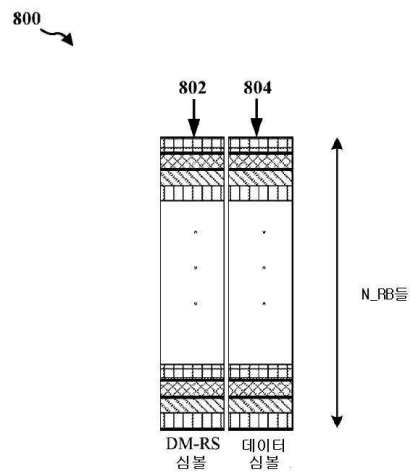
도면6



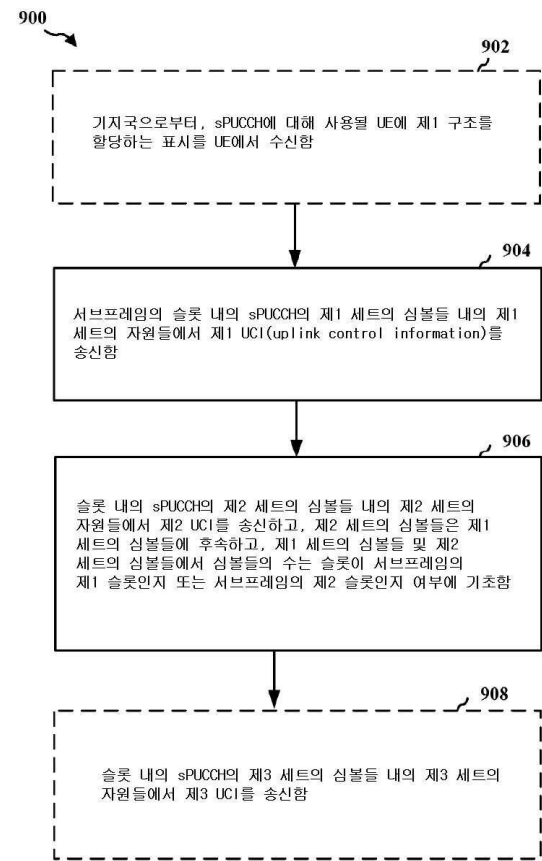
도면7



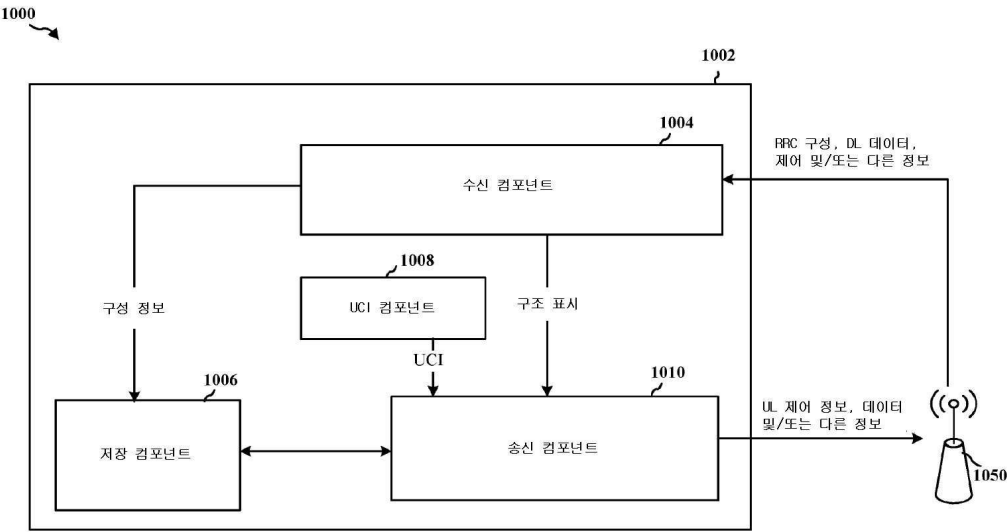
도면8



도면9



도면10



도면11

