

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5443619号  
(P5443619)

(45) 発行日 平成26年3月19日(2014.3.19)

(24) 登録日 平成25年12月27日(2013.12.27)

(51) Int.Cl.		F I	
<b>GO2F</b>	<b>1/1368 (2006.01)</b>	GO2F	1/1368
<b>GO9F</b>	<b>9/30 (2006.01)</b>	GO9F	9/30 338
<b>GO2F</b>	<b>1/1343 (2006.01)</b>	GO2F	1/1343
<b>HO1L</b>	<b>21/336 (2006.01)</b>	HO1L	29/78 612Z
<b>HO1L</b>	<b>29/786 (2006.01)</b>	HO1L	29/78 616T

請求項の数 12 (全 30 頁)

(21) 出願番号 特願2012-547851 (P2012-547851)  
 (86) (22) 出願日 平成23年12月5日(2011.12.5)  
 (86) 国際出願番号 PCT/JP2011/078102  
 (87) 国際公開番号 W02012/077646  
 (87) 国際公開日 平成24年6月14日(2012.6.14)  
 審査請求日 平成25年6月20日(2013.6.20)  
 (31) 優先権主張番号 特願2010-274002 (P2010-274002)  
 (32) 優先日 平成22年12月8日(2010.12.8)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000005049  
 シャープ株式会社  
 大阪府大阪市阿倍野区長池町2番2号  
 (74) 代理人 100101683  
 弁理士 奥田 誠司  
 (74) 代理人 100155000  
 弁理士 喜多 修市  
 (74) 代理人 100139930  
 弁理士 山下 亮司  
 (74) 代理人 100125922  
 弁理士 三宅 章子  
 (74) 代理人 100184985  
 弁理士 田中 悠

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス基板および表示装置

(57) 【特許請求の範囲】

【請求項1】

基板と、  
 前記基板上に設けられたゲートバスラインと、  
 前記基板上に前記ゲートバスラインと交差するように設けられたソースバスラインと、  
 前記ゲートバスラインと前記ソースバスラインとの交差部近傍に設けられたTF Tであって、前記ゲートバスラインと電氣的に接続されたゲート電極と、前記ソースバスラインと電氣的に接続されたソース電極と、ドレイン電極とを有するTF Tと、  
 前記TF Tの前記ドレイン電極と電氣的に接続された画素電極と、  
 前記ゲートバスラインまたは前記ソースバスラインと平行に設けられた補助容量バスラインと、  
 前記ドレイン電極と電氣的に接続され、前記補助容量バスラインとの間に補助容量を形成する補助容量対向電極と  
 を備えるアクティブマトリクス基板であって、  
 前記補助容量対向電極は、  
 前記補助容量バスラインと重畳し、実質的な補助容量を形成する第1部分と、  
 前記第1部分と前記ドレイン電極との間に位置する第2部分と、  
 前記第1部分を挟んで前記第2部分と対向するように、前記第1部分から突出するように設けられた第3部分であって、前記補助容量バスラインと重畳し、前記TF Tの前記ドレイン電極と電氣的に接続された前記画素電極以外の画素電極とは重畳しないように設

10

20

けられた第 3 部分と

を有し、

前記補助容量バスラインは、前記第 3 部分が形成される位置に切り欠き部を有する、アクティブマトリクス基板。

【請求項 2】

基板と、

前記基板上に設けられたゲートバスラインと、

前記基板上に前記ゲートバスラインと交差するように設けられたソースバスラインと、

前記ゲートバスラインと前記ソースバスラインとの交差部近傍に設けられた T F T であって、前記ゲートバスラインと電氣的に接続されたゲート電極と、前記ソースバスラインと電氣的に接続されたソース電極と、ドレイン電極とを有する T F T と、

前記 T F T の前記ドレイン電極と電氣的に接続された画素電極と、

前記ゲートバスラインまたは前記ソースバスラインと平行に設けられた補助容量バスラインと、

前記ドレイン電極と電氣的に接続され、前記補助容量バスラインとの間に補助容量を形成する補助容量対向電極と

を備えるアクティブマトリクス基板であって、

前記補助容量対向電極は、

前記補助容量バスラインと重畳し、実質的な補助容量を形成する第 1 部分と、

前記第 1 部分と前記ドレイン電極との間に位置する第 2 部分と、

前記第 1 部分を挟んで前記第 2 部分と対向するように、前記第 1 部分から突出するように設けられた第 3 部分であって、前記補助容量バスラインと重畳し、前記 T F T の前記ドレイン電極と電氣的に接続された前記画素電極以外の画素電極とは重畳しないように設けられた第 3 部分と

を有し、

デルタ配列されている複数の画素が規定されており、

所定の画素に関連づけられた前記第 3 部分は、前記所定の画素に斜め方向に隣接する 2 つの画素の画素電極間に配置されているアクティブマトリクス基板。

【請求項 3】

前記第 3 部分は、前記補助容量バスラインと重畳しない部分を含む請求項 1 または 2 に記載のアクティブマトリクス基板。

【請求項 4】

前記補助容量バスラインは、前記ゲートバスラインと平行に延びるバスライン部分と、前記バスライン部分と交差する方向に設けられる分岐部分とを含み、

前記補助容量対向電極の前記第 2 部分と、前記補助容量バスラインの前記分岐部分とが重畳している請求項 1 から 3 のいずれかに記載のアクティブマトリクス基板。

【請求項 5】

前記補助容量バスラインのエッジにおける前記第 3 部分の幅は、前記補助容量バスラインのエッジにおける前記第 2 部分の幅と同一である請求項 1 から 4 のいずれかに記載のアクティブマトリクス基板。

【請求項 6】

前記補助容量バスラインのエッジにおける前記第 3 部分の幅は、前記補助容量バスラインのエッジにおける前記第 2 部分の幅よりも大きい請求項 1 から 4 のいずれかに記載のアクティブマトリクス基板。

【請求項 7】

複数の画素が規定されており、

前記複数の画素のうち少なくとも 2 つの画素において、前記第 3 部分が設けられる画素内での位置が異なっている請求項 1 から 6 のいずれかに記載のアクティブマトリクス基板。

【請求項 8】

10

20

30

40

50

前記ドレイン電極が前記ゲート電極に対して延びる方向と、前記第3部分が前記補助容量バスラインを突出する方向とが180°異なっている請求項1から7のいずれかに記載のアクティブマトリクス基板。

【請求項9】

前記ドレイン電極が前記ゲート電極に対して延びる方向と180°異なっている方向に、前記補助容量バスラインを突出するように、前記補助容量対向電極の第4部分が前記第3部分とは異なる部分として形成されている請求項1から8のいずれかに記載のアクティブマトリクス基板。

【請求項10】

基板と、

前記基板上に設けられたゲートバスラインと、

前記基板上に前記ゲートバスラインと交差するように設けられたソースバスラインと、

前記ゲートバスラインと前記ソースバスラインとの交差部近傍に設けられたTFTであって、前記ゲートバスラインと電氣的に接続されたゲート電極と、前記ソースバスラインと電氣的に接続されたソース電極と、ドレイン電極とを有するTFTと、

前記TFTの前記ドレイン電極と電氣的に接続された画素電極と、

前記ゲートバスラインまたは前記ソースバスラインと平行に設けられた補助容量バスラインと、

前記ドレイン電極と電氣的に接続され、前記補助容量バスラインとの間に補助容量を形成する補助容量対向電極とを備えるアクティブマトリクス基板であって、

前記補助容量対向電極は、

前記補助容量バスラインと重畳し、実質的な補助容量を形成する第1部分と、

前記第1部分と前記ドレイン電極との間に位置する第2部分と、

前記第1部分を挟んで前記第2部分と対向するように、前記第1部分から突出するように設けられた第3部分であって、前記補助容量バスラインと重畳し、前記TFTの前記ドレイン電極と電氣的に接続された前記画素電極以外の画素電極とは重畳しないように設けられた第3部分とを有するアクティブマトリクス基板と、

前記アクティブマトリクス基板と対向するように配置された対向基板と、

前記アクティブマトリクス基板と前記対向基板との間に設けられた表示媒体層とを備え

、

前記表示媒体層は、液晶層であり、

前記アクティブマトリクス基板および前記対向基板のうちの少なくとも一方は、ブラックマトリクスを有しており、

前記補助容量対向電極の前記第3部分は、前記ブラックマトリクスと重畳する位置に設けられている表示装置。

【請求項11】

前記表示媒体層は、垂直配向型の液晶層であり、

前記アクティブマトリクス基板および前記対向基板のうちの少なくとも一方に、複数の液晶ドメインを形成するための配向規制構造が設けられている請求項10に記載の表示装置。

【請求項12】

前記補助容量対向電極の前記第3部分は、前記配向規制構造と重畳する位置に設けられている請求項11に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス基板およびこれを用いた表示装置に関し、特に、補助容量が設けられたTFT基板を備える表示装置に関する。

【背景技術】

【0002】

10

20

30

40

50

薄型テレビ、パーソナルコンピュータの表示装置、ビデオ撮像装置の表示装置などとして、薄膜トランジスタ(TFT:Thin Film Transistor)をスイッチング素子に用いるアクティブマトリクス型の液晶表示装置が広く利用されている。従来のTN型液晶表示装置に加え、垂直配向モードであるVA(Vertical Alignment)モードや、横電界モードであるIPS(In-Plane-Switching)モードを利用した液晶表示装置などが開発されている。

【0003】

VAモードの液晶表示装置としては、1つの画素の中に液晶の配向方向が互いに異なる複数のドメインが形成されるMVA(Multidomain Vertical Alignment)モードの液晶表示装置や、画素の中心部の電極上に形成されたリベット等を中心として液晶の配向方向を連続的に異ならせるCPA(Continuous Pinwheel Alignment)モードの液晶表示装置などが知られている。

10

【0004】

画素電極に所定の信号電圧を印加した後、この画素電極に新たな信号電圧を印加するまでの間、TFTのゲートにはTFTをオン状態にする走査信号が印加されずTFTはオフ状態になる。TFTがオフ状態の非選択期間において、画素電極の電位は略一定に保たれ、この電位に応じた表示が維持される。

【0005】

従来より、画素電極の電位を保持するための補助容量(蓄積容量)を液晶容量と並列に設けることが知られている。特許文献1には、ドレイン電極の延長部と補助容量電極(補助容量バスライン)との間に補助容量を形成する形態が示されている。ドレイン電極の延長部は、補助容量電極のエッジ(外縁)よりも内側の領域において補助容量電極と重畳するように設けられている。また、この表示装置では、補助容量電極が、画素電極の端部と重なるように延びており、画素電極との間にも補助容量が形成されている。

20

【0006】

特許文献2には、下層となる導電性配線の外縁内側の領域に絶縁膜を介して上層の導電部を形成することで補助容量を形成する技術が開示されている。下層配線のエッジの内側に形成する理由は、下層配線のエッジと交差するように上層の導電部が設けられると、この交差部分において電流のリークや導通が発生する可能性が高まるからである。

【0007】

特許文献3には、画素の開口率を低下させずに補助容量を設ける技術として、複数の副画素電極の間隙部に補助容量配線と補助容量電極とを形成することが記載されている。この文献においても、ドレイン電極から延長された補助容量電極を、その下層に設けられた補助容量配線のエッジより内側に設けることが記載されている。

30

【0008】

特許文献4および特許文献5にも、TFTのドレイン電極の延長部分が、補助容量バスライン(Csバスライン)と対向するように設けられた液晶表示装置が記載されている。ドレイン電極の延長部分は、Cs対向電極として機能し、絶縁膜を介して補助容量配線との間に補助容量を形成する。

【0009】

また、特許文献4および特許文献5に記載の液晶表示装置では、ドレイン電極から延長される部分が、下層の補助容量配線を越えて延びている。この延長部分は、制御容量電極として用いられ、フローティング状態の副画素電極と容量結合を為している。フローティング状態の副画素電極には、ドレイン電極と直接接続された他の副画素電極とは異なる電位が制御容量電極を介して印加される。このようにして1画素に含まれる2つの副画素電極のそれぞれに対して異なる電圧を印加する方法は、画素分割方式の一つとして知られている。配向状態の異なる液晶領域を1画素内に形成することで、視野角特性を改善することができる。

40

【先行技術文献】

【特許文献】

50

## 【 0 0 1 0 】

【特許文献1】米国特許第7,417,691号明細書

【特許文献2】特開平4-342234号公報

【特許文献3】特開2006-154080号公報

【特許文献4】特開2006-330633号公報

【特許文献5】特開2006-201355号公報

【発明の概要】

【発明が解決しようとする課題】

## 【 0 0 1 1 】

TFT基板は、基板上に、導電膜または絶縁膜を堆積させ、これらをパターニングする工程を繰り返し行うことで作製される。例えば、TFT基板は次のようにして作製される。まず、ガラスなどの基板上に、金属膜から形成されるゲート電極、ゲートバスラインおよび補助容量バスラインが所定のパターンで設けられる。その後、ゲート絶縁膜を介して、所定の位置に半導体層が形成される。さらに、ソース電極を含むソースバスラインと、半導体膜上でソース電極に対向するように配置されたドレイン電極とが形成される。

10

## 【 0 0 1 2 】

このとき、補助容量バスライン上の領域において、ゲート絶縁膜を介して、ドレイン電極の延長部としての補助容量対向電極(Cs対向電極)が形成される。その後、層間絶縁膜などを介して画素電極が設けられる。画素電極とドレイン電極またはCs対向電極とは、例えば、層間絶縁膜に設けられたコンタクトホールを介して電氣的に接続される。

20

## 【 0 0 1 3 】

ゲート絶縁膜を介して補助容量バスライン上にCs対向電極を形成する工程において、アライメントずれが生じることがある。このことによって、所望の大きさの補助容量が得られず、保持電圧や引き込み電圧(TFTの選択期間が終了した際の画素電極の電位の低下)の変動が生じることがあった。引き込み電圧の変動の大きさが画素によって大きく異なると、表示品位の低下を引き起こす。例えば、パターニング工程において、表示領域を複数回に分けて露光する場合、それぞれの露光領域でのアライメントずれ量が異なる場合がある。この場合、それぞれの露光領域で、引き込み電圧の変動量が異なることになる。特に、1画素のサイズが小さい場合には、補助容量全体に対するアライメントのずれに起因する補助容量変動の比率が大きくなるため、上記の問題が顕著であった。

30

## 【 0 0 1 4 】

また、CsバスラインとCs対向電極(ドレイン電極延長部)とのアライメントがずれると、Csバスラインと同じパターニング工程でパターニングされるゲート電極と、Cs対向電極と同じパターニング工程でパターニングされるドレイン電極との間に形成される寄生容量Cgdの大きさも変動する。このことによって、TFTがオフ状態に切り替わる際に生じる引き込み電圧の大きさにばらつきが生じる。

## 【 0 0 1 5 】

また、上記特許文献4および5では、ドレイン電極の延長部分が、副画素電極と対向する部分にも存在し、副画素電極とのカップリング容量を形成するための制御容量電極を形成している。このため、アライメントずれが生じて、補助容量の大きさが変動した場合には、副画素電極との間に形成されるカップリング容量の1つの画素の総容量に対する比率が変動することになり、副画素電極の配置された部分の液晶に印加される電圧が変動することになる。その結果、所望の表示が行えないおそれがある。

40

## 【 0 0 1 6 】

したがって、TFT基板の製造プロセスにおいてアライメントずれが生じた場合にも、補助容量を適切に得ることができ、これによって表示品位の低下を防止するという課題があった。補助容量が適切に設けられていないと、ブロック状あるいは帯状の表示ムラやフリッカが発生する場合がある。

## 【 0 0 1 7 】

本発明は上記課題を解決するためになされたものであり、その目的は、製造プロセスに

50

おけるアライメントずれが生じた場合にも補助容量が適切に得られるアクティブマトリクス基板およびこれを用いることで表示品位が改良された表示装置を提供することにある。

【課題を解決するための手段】

【0018】

本発明の実施形態によるアクティブマトリクス基板は、基板と、前記基板上に設けられたゲートバスラインと、前記基板上に前記ゲートバスラインと交差するように設けられたソースバスラインと、前記ゲートバスラインと前記ソースバスラインとの交差部近傍に設けられたTFTであって、前記ゲートバスラインと電氣的に接続されたゲート電極と、前記ソースバスラインと電氣的に接続されたソース電極と、ドレイン電極とを有するTFTと、前記TFTの前記ドレイン電極と電氣的に接続された画素電極と、前記ゲートバスラインまたは、ソースバスラインと平行に設けられた補助容量バスラインと、前記ドレイン電極と電氣的に接続され、前記補助容量バスラインとの間に補助容量を形成する補助容量対向電極とを備え、前記補助容量対向電極は、前記補助容量バスラインと重畳し、実質的な補助容量を形成する第1部分と、前記第1部分と前記ドレイン電極との間に位置する第2部分と、前記第1部分を挟んで前記第2部分と対向するように、前記第1部分から突出するように設けられた第3部分であって、前記補助容量バスラインと重畳し、前記TFTの前記ドレイン電極と電氣的に接続された前記画素電極以外の画素電極とは重畳しないように設けられた第3部分とを有する。

10

【0019】

ある実施形態において、前記第3部分は、前記補助容量バスラインと重畳しない部分を含む。

20

【0020】

ある実施形態において、前記補助容量バスラインは、前記ゲートバスラインと平行に延びるバスライン部分と、前記バスライン部分と交差する方向に設けられる分岐部分とを含み、前記補助容量対向電極の前記第2部分と、前記補助容量バスラインの前記分岐部とが重畳している。

【0021】

ある実施形態において、前記補助容量バスラインのエッジにおける前記第3部分の幅は、前記補助容量バスラインのエッジにおける前記第2部分の幅と同一である。

【0022】

ある実施形態において、前記補助容量バスラインのエッジにおける前記第3部分の幅は、前記補助容量バスラインのエッジにおける前記第2部分の幅よりも大きい。

30

【0023】

ある実施形態において、前記補助容量バスラインは、前記第3部分が形成される位置に切り欠き部を有する。

【0024】

ある実施形態において、複数の画素が規定されており、前記複数の画素のうちの少なくとも2つの画素において、前記第3部分が設けられる画素内での位置が異なっている。

【0025】

ある実施形態において、デルタ配列されている複数の画素が規定されており、所定の画素に関連づけられた前記第3部分は、前記所定の画素に斜め方向に隣接する2つの画素の画素電極間に配置されている。

40

【0026】

ある実施形態において、前記ドレイン電極が前記ゲート電極に対して延びる方向と、前記第3部分が前記補助容量バスラインを突出する方向とが180°異なっている。

【0027】

ある実施形態において、前記ドレイン電極が前記ゲート電極に対して延びる方向と180°異なっている方向に、前記補助容量バスラインを突出するように前記補助容量対向電極の第4部分が形成されている。

【0028】

50

本発明の実施形態による表示装置は、上記のアクティブマトリクス基板と、前記アクティブマトリクス基板と対向するように配置された対向基板と、前記アクティブマトリクス基板と前記対向基板との間に設けられた表示媒体層とを備える。

【0029】

ある実施形態において、前記表示媒体層は液晶層であり、前記アクティブマトリクス基板および前記対向基板のうちの少なくとも一方はブラックマトリクスを有しており、前記補助容量対向電極の前記第3部分は、前記ブラックマトリクスと重畳する位置に設けられている。

【0030】

ある実施形態において、前記表示媒体層は垂直配向型の液晶層であり、前記アクティブマトリクス基板および前記対向基板のうちの少なくとも一方に、複数の液晶ドメインを形成するための配向規制構造が設けられている。

10

【0031】

ある実施形態において、前記補助容量対向電極の前記第3部分は、前記配向規制構造と重畳する位置に設けられている。

【発明の効果】

【0032】

本発明の実施形態に係るアクティブマトリクス基板によれば、製造プロセスにおけるアラメントずれが生じた場合にも、適切な補助容量を得ることができる。また、このアクティブマトリクス基板を用いて作製される表示装置は、表示品位が良好である。

20

【図面の簡単な説明】

【0033】

【図1】実施形態1のTFT基板を示す平面図である。

【図2】図1のTFT近傍を示す部分拡大図である。

【図3】図2に示すTFT基板のY-Y'線に沿った断面図である。

【図4】比較例のTFT基板を示す平面図である。

【図5】コンタクトホールを示す図2のX-X'線に沿った断面図であり、(a)および(b)はそれぞれ別の形態を示す。

【図6】実施形態1のTFT基板の変形例を示す平面図であり、(a)および(b)はそれぞれ別の形態を示す。

30

【図7】実施形態2のTFT基板を示す平面図である。

【図8】図7のTFT近傍を示す部分拡大図である。

【図9】実施形態2のTFT基板の変形例を示す平面図である。

【図10】実施形態2のTFT基板の4色画素に適応した形態を示す平面図である。

【図11】実施形態3のTFT基板を示す平面図である。

【図12】(a)は、1画素に対応する領域の近傍を示す図11の部分拡大図であり、(b)は、図11に示すTFT基板のZ-Z'線に沿った断面図である。

【図13】(a)は、実施形態4のTFT基板を示す平面図であり、(b)は変形例を示す平面図である。

【図14】(a)および(b)は、実施形態4のTFT基板の別の形態を示す図であり、(b)は(a)のTFT近傍を示す部分拡大図である。

40

【図15】実施形態5の液晶表示装置を示す平面図であり、(a)はTFT基板および対向基板を示し、(b)はTFT基板のみを示す。

【図16】実施形態5の液晶表示装置の別の形態を示す平面図であり、(a)はTFT基板および対向基板を示し、(b)はTFT基板のみを示す。

【図17】実施形態6の液晶表示装置(画素2分割方式)を示す平面図であり、(a)はTFT基板および対向基板を示し、(b)はTFT基板のみを示す。

【図18】実施形態6の液晶表示装置(画素3分割方式)を示す平面図であり、(a)はTFT基板および対向基板を示し、(b)はTFT基板のみを示す。

【図19】実施形態6の液晶表示装置(画素2分割方式)の別の形態を示す平面図であり

50

、(a)はTF T基板および対向基板を示し、(b)はTF T基板のみを示す。

【図20】実施形態6の液晶表示装置(画素3分割方式)の別の形態を示す平面図であり、(a)はTF T基板および対向基板を示し、(b)はTF T基板のみを示す。

【図21】実施形態7の液晶表示装置を示す平面図であり、(a)はTF T基板および対向基板を示し、(b)はTF T基板のみを示す。

【図22】実施形態7の液晶表示装置の別の形態を示す平面図であり、(a)はTF T基板および対向基板を示し、(b)はTF T基板のみを示す。

【図23】実施形態7の液晶表示装置のさらに別の形態を示す平面図であり、(a)はTF T基板および対向基板を示し、(b)はTF T基板のみを示す。

【図24】実施形態8のTF T基板を示す平面図である。

10

【図25】実施形態8の変形例のTF T基板を示す平面図である。

【図26】図25に示すTF T基板のA-A'線に沿った断面図である。

【発明を実施するための形態】

【0034】

以下、図面を参照して、本発明の実施形態によるTF T基板および表示装置の構成を説明する。ただし、本発明は以下で説明する実施形態に限定されるものではない。

【0035】

<実施形態1>

図1は、TN方式の液晶表示装置などに用いられる、実施形態1のTF T基板100を示す。TF T基板100には画素がマトリクス状に設けられており、図1には、そのうちの1画素およびその周辺の領域のみが示されている。本実施形態において、1画素のサイズは約270 $\mu$ m $\times$ 約90 $\mu$ mであり、画素が横長形状を有している。また、図2は、図1の部分拡大図であり、図3は、図2に示すY-Y'線に沿った断面図である。

20

【0036】

まず、図1～図3を参照しながら、TF T基板100の構成を説明する。

【0037】

TF T基板100は、水平方向に延びる複数のゲートバスライン(走査線)10および複数の補助容量バスライン(Csバスライン)12と、これらに交差するように垂直方向に延びる複数のソースバスライン(信号線)20とを基板40上に有している。Csバスライン12は、隣接する2本のゲートバスライン10間に配置される。また、隣接する2本のソースバスライン20と、隣接する2本のCsバスライン12とによって囲まれる領域に対応して画素電極30が設けられている。

30

【0038】

ゲートバスライン10とソースバスライン20との交差部近傍には、TF T(薄膜トランジスタ)5が設けられている。TF T5は、ゲートバスライン10と一体的に形成されたゲート電極10aと、このゲート電極10a上にゲート絶縁膜42および半導体層44を介して設けられたソース電極20aおよびドレイン電極24とを有している。ソース電極20aは、ソースバスライン20と一体的に形成され、U字型を有している。U字型のソース電極20aに挟まれるような形態で、ドレイン電極24がソース電極20aに対向して設けられている。なお、ここで説明するTF Tの「ソース」および「ドレイン」という語は置き換え可能であり、例えば、本発明書において「ドレイン電極」と称される部分は、一般に「ソース電極」と呼ばれ得る。

40

【0039】

TF T基板100は、ドレイン電極24から延びる補助容量対向電極22(以下、Cs対向電極と呼ぶことがある)を有している。Cs対向電極22は、ドレイン電極24と一体的に形成されている。また、Cs対向電極22は、コンタクトホール26を介して、画素電極30と電気的に接続されており、これによりドレイン電極24と画素電極30とが導通している。

【0040】

図2に示すように、Cs対向電極22は、Csバスライン12と重畳し補助容量を形成

50



する容量部 2 2 b 1、2 2 b 2 (以下、まとめて容量部 2 2 b ということがある)と、ドレイン電極 2 4 と容量部 2 2 b との間に位置する接続部 2 2 a と、接続部 2 2 a との間に容量部 2 2 b を挟むように配置された補償部 2 2 c とを含む。補償部 2 2 c は、容量部 2 2 b を介して接続部 2 2 a と対向するように設けられている。図 3 に示すように、C s 対向電極 2 2 の容量部 2 2 b と C s バスライン 1 2 との間にはゲート絶縁膜 4 2 が介在しており、これらによって補助容量 C c s が形成されている。

#### 【0041】

画素電極 3 0 は、図 1 および図 2 にそのエッジ 3 0 E が示されているように、本実施形態では、T F T 5 を覆わないように切り欠き 3 0 n が形成された平面形状を有する。また図 3 に示すように、画素電極 3 0 は、T F T 5 や C s 対向電極 2 2 などを覆うように設けられた層間絶縁膜 4 6 上に配置されている。画素電極 3 0 は、例えば、I T O ( I n d i u m T i n O x i d e ) や I Z O ( I n d i u m Z i n c O x i d e ) などからなる透明導電膜から形成される。また、画素電極 3 0 上に、液晶分子の配向を制御するための配向膜 4 8 が設けられていても良い。

10

#### 【0042】

複数のゲートバスライン 1 0 及び複数のソースバスライン 2 0 は、ここでは図示しない走査線駆動回路及び信号線駆動回路にそれぞれ接続されており、これらは制御回路によって制御される。走査線駆動回路からゲートバスライン 1 0 に、T F T 5 のオン・オフを切り替える走査信号 (またはゲート信号) が供給される。また、信号線駆動回路から複数の信号線 2 0 に表示信号 (またはソース信号) が供給される。信号線 2 0 に与えられる表示信号に基づいて、画素電極 3 0 への印加電圧が決定される。

20

#### 【0043】

以下、T F T 基板 1 0 0 の作製工程を図 3 を参照しながら説明する。

#### 【0044】

まず、ガラスなどからなる透明基板 4 0 上に、ゲートバスライン 1 0 および C s バスライン 1 2 が設けられる。これらは、例えば、基板 4 0 上に、A l 膜、C u 膜、M o 膜、T i 膜、C r 膜等、あるいはこれらの合金膜や多層金属膜 ( T i - A l - T i 膜や M o - A l 膜 ) を蒸着させ、フォトリソグラフィ技術を用いてパターニングすることによって形成することができる。

#### 【0045】

次に、S i N x 膜または S i O x 膜などを C V D 法などによって堆積させてゲート絶縁膜 4 2 を形成する。ゲート絶縁膜 4 2 の厚さは、例えば 0 . 3 ~ 0 . 7 μ m である。その後、少なくとも T F T 5 を形成する領域において、アモルファスシリコン ( a - S i ) などからなる半導体層 4 4 を島状に設ける。また、半導体層 4 4 上のソース電極とドレイン電極に対応する部分には、リンがドーパされた n + アモルファスシリコン膜を設ける。半導体層 4 4 には S i N x などからなるチャンネル保護膜 (図示せず) が設けられていても良い。

30

#### 【0046】

次に、ソースバスライン 2 0、ソース電極 2 0 a、ドレイン電極 2 4、およびドレイン電極 2 4 から延びる C s 対向電極 2 2 を形成する。これらは、例えば、A l 膜、C u 膜、M o 膜、T i 膜、C r 膜等、あるいはこれらの合金膜や多層金属膜 ( M o - A l - M o 膜や T i - A l 膜 ) 等を蒸着させ、これをフォトリソグラフィ技術を用いてパターニングすることによって形成することができる。

40

#### 【0047】

このようにしてパターニングによってドレイン電極 2 4 や C s 対向電極 2 2 を形成するときに、パターニングの精度などに応じて、アライメントのずれが生じることがある。以下、C s バスライン 1 2 と C s 対向電極 2 2 との間でアライメントずれが生じた場合に生じる問題点を説明する。

#### 【0048】

図 4 は、図 1 ~ 図 3 に示した実施形態とは異なり、C s 対向電極 2 2 が、実質的な補助

50

容量を形成する容量部 2 2 b から突出する補償部 2 2 c を有していない場合（比較例）を示す。図 4 からわかるように、Cs 対向電極 2 2 ' に補償部 2 2 c がいない場合には、例えば、紙面上方向に Cs 対向電極 2 2 ' のアライメントがずれた場合、ずれの大きさに応じて、接続部 2 2 a の一部が Cs バスライン 1 2 とさらに重畳することになる。したがって、補助容量は増加する。また、紙面下方向にアライメントがずれた場合には、補助容量は減少する。

#### 【 0 0 4 9 】

このように、補償部 2 2 c が設けられていない構成では、アライメントのずれに応じて、補助容量が変動する。例えば、ソース電極やドレイン電極などをパターンニングする工程において、1つの表示領域を、複数のフォトマスクまたは1枚のフォトマスクを用いてステップ&リピート方式で露光する方式、あるいは、複数のフォトマスクまたは1枚のフォトマスクを用いてスキャン露光を複数回行う方式等で分割露光する場合、それぞれの露光領域でのアライメントずれ量が異なる場合がある。この場合、露光領域の形状に対応して、補助容量の大きさが異なる領域が、ブロック状あるいは帯状に形成されることになる。また、分割露光を行わない場合でも、回転系のアライメントずれが生じる場合があり、また、スキャン露光の際には、基板ステージや光源等の移動時に位置ずれが生じる場合がある。このような場合に、段階的、あるいは部分的に補助容量の大きさが異なる領域が形成される。このようにして、液晶パネルにおいて、別個の画素で各々に関連づけられる補助容量の大きさが異なっていると、表示の品位が低下する。

#### 【 0 0 5 0 】

一方で、本実施形態のように、補償部 2 2 c が設けられている場合、アライメントのずれが生じたときにも、補助容量の変動は抑制される。これは、容量部 2 2 b を挟んで、接続部 2 2 a と補償部 2 2 c とが対向するように配置され、かつ、補償部 2 2 c が、典型的には、Cs バスライン 1 2 と重畳しない領域にまで、Cs バスライン 1 2 を乗り越えるように形成されているからである。

#### 【 0 0 5 1 】

より具体的に説明すると、接続部 2 2 a での重畳部分が増加するように、図の上方向にアライメントずれが生じたときには、補償部 2 2 c の重畳部分が減少することで補助容量の変動を抑える。反対に、接続部 2 2 a での重畳部分が減少するようにアライメントずれが生じたときには、補償部 2 2 c の重畳部分が増加することで補助容量の変動を抑える。したがって、アライメントずれの発生に関わらず、安定して所定の補助容量を得ることが可能である。

#### 【 0 0 5 2 】

本実施形態では、Cs 対向電極 2 2 の補償部 2 2 c は、Cs バスライン 1 2 を乗り越えるように形成されているが、Cs バスライン 1 2 のエッジと交差すると、その部分でリーク電流が発生しやすくなるので望ましくないと考えられてきた。したがって、従来、Cs 対向電極は、Cs バスラインのエッジの内側に形成されることが多かった（例えば特許文献 1）。また、Cs バスラインのエッジ部分のテーパ形状は、そのエッジ部分の上層に形成されたゲート絶縁膜とCs 対向電極の表面形状に影響を及ぼす。特に、Cs 対向電極の表面を、反射率の高い Al など形成した場合、外光を反射しやすいので、Cs バスラインのエッジ部分のテーパ形状が表示領域内ではばらつくと、反射ムラとなって視認されることがある。そこで、外光反射ムラを抑制する理由でも、Cs 対向電極はできるだけ、Cs バスラインのエッジの内側に形成されることが好ましいと考えられていた。

#### 【 0 0 5 3 】

しかしながら、以上に説明したように、Cs バスライン 1 2 のエッジを跨ぐように Cs 対向電極の補償部 2 2 c を設ければ、アライメントずれによる補助容量の変動を好適に抑制することができる。このため、本実施形態では、Cs バスライン 1 2 のエッジ部と敢えて交差するように補償部 2 2 c を設けるようにしている。

#### 【 0 0 5 4 】

このようにして、補償部 2 2 c を含む補助容量対向電極 2 2 を、ドレイン電極 2 4 の延

10

20

30

40

50

長部として一体的に形成した後に、層間絶縁膜46などを介して画素電極30が形成される。本実施形態では、画素電極30とドレイン電極24とは、Cs対向電極22の容量部22bに配置されたコンタクトホール26を介して、電氣的に接続されている。

【0055】

図5(a)および(b)は、コンタクトホール26の断面構造を示しており、図2のX-X'線に沿った断面図である。図示するように、基板40上にはCsバスライン12が設けられており、SiNxなどからなるゲート絶縁膜42(例えば厚さ0.3 $\mu$ m~0.7 $\mu$ m)を介してCs対向電極22が設けられている。このCs対向電極22は、TFT5のドレイン電極24と一体的に形成されており、ソース信号に応じて電位が変化する。図5(a)には、Cs対向電極22とゲート絶縁膜42との間に半導体層44が存在する  
10  
場合が示されており、図5(b)には、半導体層44が存在しない場合が示されているが、いずれの構成であっても良い。

【0056】

Cs対向電極22は、層間絶縁膜46に設けられたコンタクトホール26を介して画素電極30と電氣的に接続されている。なお、層間絶縁膜46は、例えば厚さ0.1~0.7 $\mu$ mの無機膜(SiNx、SiOxなど)と、その上に設けられた厚さ1~4 $\mu$ mの有機膜(感光性アクリル系樹脂など)との2層から構成されていても良い。また、図5(b)に示したように、半導体層を設けない構成では、ゲート絶縁膜42の一部がコンタクト  
20  
ホール形成工程(エッチング工程)時において薄くなっても良い。

【0057】

再び図2を参照して、Cs対向電極22のより具体的な構成を説明する。

【0058】

本実施形態において、補助容量を補償するための補償部22cは、接続部22a(特に、Csバスライン12へ乗り上げている部分)と略同じ幅(約4 $\mu$ m)で構成されている。このようにすれば、アライメントずれが生じた場合において、接続部22aの乗り上げ部でのCsバスライン12との重畳面積の増加分と、補償部22cでの重畳面積の減少分とが同等になるため、補助容量を好適に補償することができる。

【0059】

また、補償部22cの突出部分の長さは、予想されるアライメントずれの大きさを考慮すると、約1 $\mu$ m以上が好ましい。ただし、図からわかるように、補償部22cは隣接する画素のTFTに向かって伸びているため、その突出分が長すぎるとTFT5との短絡を  
30  
起こす可能性がある。このような点から、補償部22cの長さは、必要最小限に設定されていることが好ましい。Csバスライン12から突出している補償部22cの長さは、例えば約2 $\mu$ mに設定される。ただし、実際にアライメントずれが生じた場合、TFT基板100において補償部22cの突出部分の長さは変化し得る。

【0060】

本実施形態において、画素電極30はTFT5の上方に切り欠き部30nを有しており、これによって、画素電極30と補償部22cとの重畳が生じにくい。これらが重畳していると、補償部22cと画素電極30との間に寄生容量が形成されてしまい、隣接する画素での表示に悪影響を及ぼす可能性がある。この寄生容量が増大するにつれ、ある画素電極の電位の、隣接する画素電極の電位への影響が大きくなる。  
40

【0061】

例えば、所定の画素に印加する電圧の極性を3つのゲートバスライン毎に反転させる駆動方式を採用する場合を考える。上記寄生容量が大きいと、3つのゲートバスラインのうちの外側の2つのゲートバスラインによって駆動される画素において、液晶層に印加される電圧には、隣接する画素からの極性の異なる電圧が影響する。この結果、真ん中のゲートバスラインによって駆動される画素での液晶層への印加電圧との間に差が生じるという不具合が発生し得る。特に、本実施形態のように、3原色(RGB)のカラーフィルタが縦方向に並ぶ形態では、同電圧を印加するように制御したときにも画素毎に保持される印加電圧に差が生じていると、グレー階調が特定の色に色付いて見えるという不具合が発生  
50

し得る。本実施形態では、補償部 22c 上方の画素電極 30 は切り欠かれているので、このような不良は抑制される。

【0062】

また、上述のようなアライメントずれが生じた場合において、例えば、図面において上方向にずれていると、TFT5 のゲート電極 10a に対してドレイン電極 24 が上方向にずれる。このとき、ゲート電極 - ドレイン電極間の寄生容量  $C_{gd}$  は減少する。このようにして寄生容量  $C_{gd}$  の変動が生じ、画素ごとの寄生容量  $C_{gd}$  にばらつきが発生していると、フリッカや表示ムラなどの表示不良を引き起こすおそれがある。以下、寄生容量  $C_{gd}$  の変動がもたらす影響について説明する。

【0063】

ひとつの画素の総容量（液晶容量（ $C_{lc}$ ）+  $C_{cs}$  +  $C_{gd}$  + その他の寄生容量）に対する  $C_{gd}$  の大きさは、TFT の選択期間が終了した際の画素電極の電位低下（フィードスルー）の大きさに影響する。この電位低下の大きさは引き込み電圧と呼ばれる。画素ごとに引き込み電圧の大きさが異なると表示の品位が低下することがある。

【0064】

引き込み電圧  $V_d$  は、 $V_d = C_{gd} \cdot (V_{gh} - V_{gl}) / (C_{lc} + C_{cs} + C_{gd} + \dots)$  という式で表すことができる。ここで  $(V_{gh} - V_{gl})$  は、TFT オン時の走査電圧（ $V_{gh}$ ）と TFT オフ時の走査電圧（ $V_{gl}$ ）との差（ゲート電圧振幅）である。また、 $\dots$  はその他の寄生容量であり、たとえば、ソースバスライン - 画素電極間の寄生容量等が含まれる。上記式から、引き込み電圧  $V_d$  を一定にするためには、 $C_{gd}$  が減少したときに、補助容量  $C_{cs}$  も減少することが好ましいことがわかる。また、 $C_{gd}$  が増加したときに、補助容量  $C_{cs}$  も増加することが好ましいことがわかる。

【0065】

ドレイン電極 24 のゲート電極 10a への突出方向と、 $C_s$  対向電極 22 の接続部 22a の  $C_s$  バスライン 12 への突出方向とが逆方向の場合、補償部 22c の有無によって引き込み電圧の大きさが変わる。補償部 22c が設けられていない場合、ゲート電極と逆側にドレイン電極のアライメントずれが生じると、 $C_{gd}$  が減少する一方で  $C_{cs}$  が増加する。したがって、引き込み電圧  $V_d$  は大きく減少することになる。また、これとは反対側にアライメントずれが生じたときには、 $C_{gd}$  が増加する一方で  $C_{cs}$  が減少するため、引き込み電圧  $V_d$  が大きく増加することになる。

【0066】

これに対して、補償部 22c が設けられている場合、寄生容量  $C_{gd}$  が減少または増加するようにアライメントずれが生じたときにも補助容量  $C_{cs}$  の変動は抑制されている。したがって、引き込み電圧の変動は、補償部 22c が設けられていない場合に比べて低減される。

【0067】

引き込み電圧の変動をより効果的に抑制するためには、図 6 (a) に示すように、補償部 22c を、接続部（乗り上げ部）22a よりも太くすれば良い。補償部 22c の幅を、接続部 22a における  $C_s$  バスライン 12 への乗り上げ部の幅より太くすることで、 $C_{gd}$  変動に起因する引き込み電圧の変動をより確実に補償することができる。 $C_{gd}$  が減少するようにアライメントずれが生じたときには  $C_{cs}$  も同様に減少し、かつ、 $C_{gd}$  が増加するようにアライメントずれが生じたときには  $C_{cs}$  も同様に増加するからである。引き込み電圧の変動を抑えるために、例えば、図 6 (a) に示す例では、接続部 22a の幅が約 4  $\mu\text{m}$  に設定されているのに対して、補償部 22c の幅は約 14  $\mu\text{m}$  に設定されている。

【0068】

また、図 6 (b) に示すように、補償部 22c が設けられる領域において、 $C_s$  バスライン 12 の一部を切り欠いておいてもよく、例えば、約 9  $\mu\text{m}$ （横） $\times$  約 7.5  $\mu\text{m}$ （縦）の切り欠き部 12n を設けてもよい。このようにすることで、補償部 22c が隣接する画素の TFT5 と近接しないように補償部 22c を設けることがより容易になる。上述の

10

20

30

40

50

ように、補償部 22c は、アライメントずれの大きさを考慮すると、数ミクロン程度だけ Cs バスライン 12 から突き出ていれば足りる。このため、切り欠き部 12n によって、補償部 22c と、隣接画素の TFT5 との距離を比較的長くすることが可能であり、電流リークの発生を防止して、製造の歩留まりを向上させることができる。

【0069】

以上に説明したように、本実施形態の TFT 基板 100 では、アライメントずれが生じた場合にも所定の補助容量を安定して得ることができる。このように構成された TFT 基板 100 を液晶表示装置に用いれば、良好な表示を行うことができる。

【0070】

なお、液晶表示装置は、TFT 基板 100 と対向基板との間に液晶層を封止することで作製可能である。このような液晶表示装置の作製方法には公知の技術を用いることができる。例えば TN モードや VA (Vertical Alignment: 垂直配向) モードで動作する液晶表示装置などでは、対向基板に対向電極が設けられており、画素電極と対向電極とを用いて、これらの間に介在する液晶層に画素ごとに電圧を印加することにより表示を行う。

【0071】

また、典型的には、対向基板にはカラーフィルタおよび BM (ブラックマトリクス) が設けられている。図 2 には、対向基板上の BM が存在する領域が示されている。ブラックマトリクスは、一般に、対向基板の液晶層側の表面に、金属層または黒色樹脂層を用いて形成される。

【0072】

本実施形態では、補助容量対向電極 22 の補償部 22c を対向基板上の BM 配置部分に対応する位置に設けている。そのため、補償部 22c に起因する外光の反射ムラが視認されない。この BM は、TFT5 の外光遮光などのために元来設けられているものであり、上記の画素電極切り欠き部 30n における光漏れ防止や補償部 22c の遮光を目的として、新たに追加されたものではない。したがって、従来の液晶表示装置でも設けられていた BM を利用するだけであり、画素の開口率をより低下させるものではない。

【0073】

<実施形態 2>

図 7 および図 8 は、実施形態 2 の TFT 基板 200 を示す。本実施形態の TFT 基板 200 が、実施形態 1 の TFT 基板 100 と大きく異なる点は、画素 (および画素電極) の形状が縦長であるという点である。また、実施形態 2 では、画素サイズが約  $50 \mu\text{m} \times$  約  $150 \mu\text{m}$  であり比較的小さい。なお、簡単のため、実施形態 1 の TFT 基板 100 の構成要素と同様の機能を有する構成要素には同一の参照符号を付し説明を省略する。

【0074】

図 7 に示すように、実施形態 2 では、Cs バスライン 12 の分岐部 12b が、ソースバスライン 20 に沿って延びており、ドレイン電極 24 の延長部分として形成された Cs 対向電極 22 と重畳することで、補助容量 Ccs が形成されている。

【0075】

補償部 22c は、ソースバスライン 20 の延設方向において接続部 22a と整列しておらず、ソースバスライン 20 から離れる方向にずれて配置されている。このようにして、隣接する画素の TFT5 から補償部 22c をなるべく遠ざけることで、TFT5 との干渉が抑制される。

【0076】

なお、補償部 22c を隣接する画素の TFT5 から離すことで、補償部 22c と画素電極 30 との距離は縮まる。ただし、本実施形態では縦長のストライプ状の画素構成であり、実施形態 1 とは異なり、上下方向に隣接する画素が異なる色に対応するものではない。さらに、画素に印加する電圧の極性を 3 つのゲートバスライン毎に反転させる駆動方式ではなく、上下に隣接する画素に対して、交互に極性を反転させる駆動方式を採用している。したがって、仮に、補償部 22c と画素電極 30 との間の寄生容量がわずかに増大した

10

20

30

40

50

としても、グレー階調が特定の色に色付いて見えるという問題は生じない。

【0077】

本実施形態においても、補償部22cが設けられているので、アライメントずれが生じた場合にも、補助容量の変動を抑制することができる。上述のように、補償部22cは、接続部22aと整列している必要はないが、これらは、容量部22bを挟んで対向するように位置している。このような配置により、アライメントずれに対する適切な容量補償が実現される。

【0078】

補助容量の補償は、画素サイズが小さいほど重要性が増す。フォトリソ工程におけるパターン形成の解像度、およびフォトマスクの最小線幅には限界があり、その最小線幅は、設計値でおよそ3 $\mu$ m程度である。そのため、画素サイズが小さくても（すなわち、補助容量が小さくても）、接続部22aの乗り上げ部分の幅は比例して幅細にすることができない。また、アライメントのずれの大きさも画素サイズに関わらず同じである。したがって、補助容量の総容量に対する相対的な補助容量変化量は、画素サイズが小さいほど大きい。

【0079】

また、補償部22cを、容量補償以外の目的に利用しても良い。例えば、Csバスライン12を越えて突き出ている補償部22cの長さを測定し、この測定値と設定値とを比較することでアライメントずれの大きさを測定することができる。このずれを低減するように製造プロセスの調整を行うことで、アライメントずれ自体を低減することが可能になる。

【0080】

また、図9に示すように、補償部22cの位置を画素ごとに変更することで、特定画素を示すマーカとして補償部22cを利用することができる。図9に示す形態では、水平方向に隣接する3画素は、それぞれRGB(Red、Green、Blue)の各色に対応付けられている。これら3画素のそれぞれは、典型的には対向基板上に設けられるカラーフィルタの色に対応している。

【0081】

この場合に、それぞれの色に関連付けて、Rの画素には補償部22cRが設けられ、Gの画素には補償部22cGが設けられ、Bの画素には補償部22cBが設けられる。これら補償部22cR、22cG、22cBの画素内における配置は、画素(色)ごとに異なっている。このようにしておくことで、対向基板と貼り合わせる前の段階のTF T基板において、どの色で不良が生じるかを容易に特定できる。

【0082】

なお、図9には、隣接する3画素がRGBの各色に対応づけられている場合を例示したが、隣接する4つの画素がRGBY(Yellow)やRGBW(White)などに対応する場合であっても、同様にして、画素ごとに補償部の位置を変化させるように構成できる。また、各色に対応する画素が水平方向に順番に並んでいる必要はなく、所定のパターンで配置されていても良い。また、画素の色ごとに補償部の位置を変化させる配置は、本実施形態のTF T基板200だけでなく、他の実施形態のTF T基板においても適用可能である。

【0083】

図10に、4色の画素に対応する形態を示す。図示するアクティブマトリクス基板210では、RGBWの4色に対応する約100 $\mu$ m $\times$ 約100 $\mu$ mの正方形の画素が設けられている。補償部22cの画素内での位置は、画素の色ごとにそれぞれ異なっている。なお、図10におけるRGBWの配置は一例として示されるものであり、任意に設定することができる。また、上述のように、Wの代わりにYを用いても良く、他の色であっても良い。

【0084】

<実施形態3>

10

20

30

40

50

図11は、実施形態3のTFT基板300を示す。本実施形態のTFT基板300が実施形態1のTFT基板100と異なる点は、画素がデルタ配列されていることと、VAモードにおけるCPAモードで動作する液晶表示装置に用いられるということである。なお、簡単のため、実施形態1のTFT基板100の構成要素と同様の機能を有する構成要素には同一の参照符号を付し説明を省略する。

【0085】

TFT基板300において、ソースバスライン20は、図面の縦方向に沿って矩形波状に複数の折れ曲がり部分を有して延びており、デルタ配列する画素に対応している。また、Csバスライン12は、画素領域の中央部まで延びる分岐部12bを含む。この分岐部12bと、Cs対向電極22の容量部22bとの間にも補助容量が形成されている。

10

【0086】

また、CPAモードで動作させるために、TFT基板300に対向して配置される対向基板（図示せず）上の対向電極（図示せず）には、配向規制部50が設けられている。図11には、対向基板に設けられた配向規制部50の位置が示されている。本実施形態において、対向基板上の配向規制部50は、TFT基板300上のTFT5およびコンタクトホール26に対応する位置にそれぞれ設けられている。

【0087】

この配向規制部50は、垂直配向型の液晶層において液晶分子の配向の方位を規制し、電圧印加時に液晶分子は所定領域内で配向規制部50を中心に放射状に配向する。配向規制部50は、例えば、正多角柱状または円柱状の突起構造であって良い。この突起構造は、例えば樹脂膜をパターンニングすることによって得られ、高さ1.2 $\mu\text{m}$ 程度に設けることができる。また、この突起構造として、液晶パネル全体にわたってセルギャップを均一にするために設けられた柱状のフォトスペーサを利用してよい。さらに、配向規制部50は突起構造である必要はなく、配向規制部50を、対向電極に形成した円形や多角形の開口部とすることも可能である。

20

【0088】

本実施形態においても、Cs対向電極22の補償部22cが、容量部22bを挟んで、ドレイン電極24との接続部22aとは反対側に設けられているので、アライメントずれが生じたときにも補助容量が補償される。この補償部22cは、Csバスライン12から1 $\mu\text{m}$ 以上突き出ていることが好ましい。ただし、他の配線などとの短絡を防止するために、突き出し部分が長すぎることは望ましくなく、本実施形態では2 $\mu\text{m}$ に設定されている。

30

【0089】

また、図からわかるように、TFT基板300のように画素がデルタ配列している場合において、補償部22cは、好ましくは隣接する2つの画素電極30間に配置される。隣接する画素電極間の距離は、本実施形態では7 $\mu\text{m}$ に設定されている。画素電極同士を適度に離間させることで、画素電極間の電流リークや、画素電極間で生じ得る寄生容量の大きさを低減することができる。この距離は、例えば4~8 $\mu\text{m}$ 程度に設定される。

【0090】

さらに、図12(a)に拡大して示すように、補償部22cは、ソースバスライン20に向かって延びており、これらの間でリーク電流が発生しないようにすることも重要である。ソースバスライン20と補償部22cとの間の距離は、3 $\mu\text{m}$ 以上であることが望ましい。本実施形態では、この距離が9 $\mu\text{m}$ に設定されている。補償部22cの形状は、このような種々の設計上の条件を考慮して適切に選択され得る。

40

【0091】

また、補助容量Ccsをより確実に補償するためには、補償部22cの幅は接続部22aの幅に対して同等以上であることが望ましく、本実施形態では、双方の幅を4 $\mu\text{m}$ に設定している。ただし、補償部22cの幅はこれより大きくてもよく、例えば5 $\mu\text{m}$ に設定される。

【0092】

50

図6(a)を用いて上述したように、補償部22cをより太くしておくことで、アライメントずれが生じたときにもCgdの変動に起因するフリッカの発生や表示ムラなどを抑制することができる。本実施形態においても、TF T5のドレイン電極24のゲート電極10aに対する突出方向と、Cs対向電極22の接続部22aのCsバスライン12に対する方向(乗り上げ方向)とが逆向きである。例えば紙面上方向にアライメントがずれた場合、ゲート-ドレイン間の寄生容量Cgdは減少する。このとき、補償部22cが設けられていないと、補助容量Ccsは増加する。そうすると、画素に関連づけられた全容量に対する寄生容量Cgdの大きさは大きく変動する。これに対し、より太い補償部22cが設けられている場合には、寄生容量Cgdとともに補助容量Ccsも減少する。このことによって、全容量に対する寄生容量Cgdの大きさの変動は抑制される。ただし、補償部22と画素電極30が重畳すると、補償部22cと隣接する画素電極30との間に大きな寄生容量が形成されるため好ましくない。そのため、補償部22cの幅は画素電極間の間隙より大きくないことが好ましい。本実施形態では画素電極間の距離が7 $\mu$ mであるので、補償部22cの幅は7 $\mu$ m以下であることが好ましい。

10

## 【0093】

このように、画素電極30の間隙部分に補償部22cを設けることで、補償部22cと画素電極30との間に寄生容量が形成されることが防止される。本実施形態では、画素電極30に切り欠き部を設けることなく、隣接する画素での表示に悪影響を及ぼすことが防止される。

## 【0094】

20

また、この画素電極30の間隙部分は、好適には、対向電極上に形成されるBMによって遮光される。一般的に、隣接する画素電極の間隙部分に対応する位置にBMが設けられることが多い。これは、TF T基板と対向基板との貼り合わせ工程で位置ずれが生じたときにも混色が発生するのを防止するためである。本実施形態では、ノーマリブラックで表示を行うCPAモードを採用しているため、ノーマリホワイトの場合のような極端な光漏れは生じない。ただし、画素端部では液晶の配向乱れが生じやすいため、BMで遮光することでコントラストを向上させている。また、配向規制部50から遠い部分では、液晶の応答が悪い場合、残像の原因となる。BMでこの領域を隠すことで残像対策にもなる。

## 【0095】

図12(b)に、図11に示すTF T基板300のZ-Z'線に沿った断面を示す。TF T基板300では、層間絶縁膜46に設けられたコンタクトホール26において、Cs対向電極22と画素電極30とが接続されている。図12(b)からわかるように、本実施形態では、Cs対向電極22と画素電極30とが直接的に接続されている。なお、Cs対向電極22は、導電性材料を多層構造とすることで形成されていても良い。例えば、Mo膜上にAl合金膜が設けられた構造であってよい。

30

## 【0096】

## &lt;実施形態4&gt;

図13(a)は、実施形態4のTF T基板400を示す。また、図13(b)は、その変形例のTF T基板405を示す。

## 【0097】

40

TF T基板400では、隣接する2本のソースバスライン20と隣接する2本のゲートバスライン10とによって囲まれる領域に対応して画素電極30が配置されている。ゲートバスライン10間に設けられたCsバスライン12は、画素電極30を横切るように延びている。なお、簡単のため、実施形態1のTF T基板100の構成要素と同様の機能を有する構成要素には同一の参照符号を付し説明を省略する。

## 【0098】

Cs対向電極22の補償部22cは、Csバスライン12から突出するように形成されている。その突出の長さは1 $\mu$ m以上が好ましい。ただし、TF T基板400の補償部22cは、画素電極30と重畳する領域に存在する。このため、画素の開口率の低下や、反射ムラの発生の原因となり得る。このため、突出部が長すぎることは好ましくなく、例え

50



ば、 $2\ \mu\text{m}$ 程度に設定される。

【0099】

また、補償部22cの幅は、接続部12aにおけるCsバスライン12への乗り上げ部と同じ幅であれば、補助容量の変動が好適に抑制される。本実施形態では、これらが $4\ \mu\text{m}$ に設定されている。

【0100】

本実施形態では、画素電極30が2本のゲートバスライン10に挟まれており、Csバスライン12は、画素電極30を横切るように形成されている。このため、補償部22cに印加される電圧が、隣接する画素の電位に影響を与えることはない。

【0101】

また、図13(b)に示すように、補償部22cを容量部22bの角部に設けるようにしてもよい。この補償部22cは、図面上方向に突出する部分に加え、図面右方向に突出する追加部分を有している。図13(a)および(b)に示す形態では、TFT5のドレイン電極24がゲート電極10aに対して延びる方向(ドレイン-ゲート方向)が図面において左方向である。この場合、例えば紙面右方向にドレイン電極24やCs対向電極22がアライメントずれを起こした場合、Cgdが減少する。このときに、図13(b)に示したように、ドレイン-ゲート方向とは逆向きの右方向に補償部22cの追加部分が形成されていれば、CgdとともにCcsも減少するので、全体容量( $C_{lc} + C_{cs} + C_{gd} +$ )に対するCgdの大きさの変動、すなわち引き込み電圧の変動を抑制することができる。なお、この追加部分は、必ずしも補償部22cと一体的に形成されている必要はなく、別個に設けられていてもよい。

【0102】

図14(a)および(b)は、画素がデルタ配列されているTFT基板410を示す。TFT基板410においても、画素電極30が、隣接する2本のゲートバスライン10間に挟まれている。また、Csバスライン12は、画素の中央部分にまで延びる分岐部12bを有している。

【0103】

Cs対向電極22の補償部22cは、分岐部12bから約 $1.5\ \mu\text{m}$ 突き出している。また、その幅d2は、分岐部12bへの乗り上げ部の幅d1と同等に設定されており、ここでは約 $7\ \mu\text{m}$ である。なお、Cs対向電極22の接続部22aは、Csバスライン(分岐部12b)のエッジと約 $45^\circ$ の角度で交差しているが、図14(b)のd3で示す線幅(約 $5\ \mu\text{m}$ )ではなく、乗り上げ部(分岐部12bのエッジとの交差部)の幅d1と同等に補償部22cの幅d2を設定することで、アライメントずれに対する容量補償をより確実にすることができる。

【0104】

<実施形態5>

図15(a)および(b)は、MVAモードで動作する液晶表示装置500を示す。図15(a)には、TFT基板および対向基板に設けられている構成要素が示されており、図15(b)には、TFT基板側のみが示されている。TFT基板と対向基板との間には垂直配向型の液晶層が封止されている。液晶層は負の誘電率異方性を有するネマティック液晶を含む。

【0105】

なお、図示しないが、対向基板には、典型的には、対向電極(共通電極)、カラーフィルタ、ブラックマトリクスなどが設けられている。また、対向基板およびTFT基板のそれぞれの液晶層側には、垂直配向型の配向膜が設けられており、液晶分子のプレチルト角が略垂直になるように液晶の配向を規制する。

【0106】

本実施形態においても、TFT基板上のCsバスライン12(および分岐部12b)とCs対向電極22とによって補助容量が形成されている。実施形態1~4に示したTFT基板と同様に、ドレイン電極24から延びるCs対向電極22は、その容量部22bを挟

10

20

30

40

50

むように接続部 22a の反対側に補償部 22c が設けられた構成を有する。補償部 22c によって、アライメントずれに起因する補助容量の変動が補償される。

【0107】

また、TFT 基板上の画素電極 30 には帯状スリット 30s が形成されており、対向基板上には線状のリブ 52 がスリット 30s と略平行に延びるように設けられている。TFT 基板と対向基板とによって挟持される液晶層の液晶分子は、リブ 52 とスリット 30s とによって配向が規制され、典型的には、リブ 52 およびスリット 30s が延びる方向と垂直の方向に配向の方位が規定される。ただし、リブ 52 およびスリット 30s のそれぞれの両側で液晶分子は互いに 180°異なる方位に配向する。また、スリット 30s およびリブ 52 は、1 画素内で、互いに直交する 2 方向に延びる部分を有している。この結果、1 画素に電圧印加時の配向方位が異なる 4 つの液晶領域（液晶ドメイン）が形成される。これにより、良好な視野角特性を得ることができる。

10

【0108】

これらのリブ 52 およびスリット 30s は、配向規制構造（ドメイン規制構造）と呼ばれる。MVA 型液晶表示装置において、配向規制構造としては、通常、電極に形成されたスリット（開口部）、あるいは、電極の液晶層側に形成された誘電体突起（リブ）が用いられている。

【0109】

本実施形態では、画素電極 30 にスリット 30s が設けられているが、画素電極 30 はスリット 30s によって分割されていない。つまり、1 画素領域内において、TFT5 を介して画素全体にわたる画素電極 30 に同じ電圧が印加される。また、画素電極 30 と Cs 対向電極 22 とは略同電位に保持されるため、これらの間に容量は形成されない。

20

【0110】

Cs 対向電極 22 の補償部 22c は、対向基板のリブ 52 に対応する位置に設けられている。リブ 52 が設けられている領域は、透過率が低く、液晶分子の配向も他の領域とは異なる場合が多いため、表示に利用することが困難な領域である。補償部 22c をこの領域に配置しておけば、補償部 22c が設けられていない場合と比べて画素の開口率がさらに低下するということはない。また、反射ムラの発生も抑制される。

【0111】

次に、図 16 (a) および (b) を参照しながら、液晶表示装置 500 の変形例の液晶表示装置 510 を説明する。液晶表示装置 510 が液晶表示装置 500 と異なる点は、Cs 対向電極 22 の補償部 22c が、画素電極 30 のスリット 30s に配置されている点である。

30

【0112】

このように補償部 22c は、接続部 22a との間に容量部 22b を挟むような任意の位置に設けられ得る。ただし、Cs 対向電極 22 の Cs バスライン 12 への乗り上げ部（接続部 22a と容量部 22b との境界部）における、アライメントずれによる重畳部分の増減を打ち消すように補償部 22c が機能する必要がある。

【0113】

このためには、本実施形態では次の条件を満たすようにして、補償部 22c が Cs バスライン 12 を突出していれば良い。乗り上げ部における Cs バスライン 12 のエッジの面内外向き法線方向（Cs バスライン 12 が存在しない側へのエッジ垂線の方向）を A 方向とする。また、Cs バスライン 12 の他のエッジから補償部 22c が突出する場合の、当該他のエッジの面内外向き法線方向を B 方向とする。このとき、A 方向と B 方向とがなす角度が 90°より大きい場合には、補償部 22c は乗り上げ部での重畳面積の増減を補償し得る。本明細書では、このような関係を満たすとき、「補償部 22c は、接続部 22a との間に容量部 22b を挟む」あるいは「補償部 22c は、接続部 22a と対向するように容量部 22b から突出する」などと表現する。

40

【0114】

典型的には、乗り上げ部での外向き法線方向（例えば、図面下方向）に対して、180

50

°異なる外向き法線方向（例えば図面上方向）を持つCsバスラインエッジから補償部22cが突出する。すなわち、接続部22aおよび補償部22cでのCsバスラインエッジが互いに平行である場合において、Cs対向電極22のドレイン電極24側への突出方向と、補償部22cの突き出し方向とが逆向きである。

【0115】

<実施形態6>

図17(a)および(b)は、MVAモードで動作する別の形態の液晶表示装置600を示す。本実施形態の液晶表示装置600では、画素分割が行われており、一画素内に副画素電極30aと副画素電極30bとが存在している。ただし、本実施形態では、コンタクトホール26aおよび26bのそれぞれを介していずれの副画素電極30aおよび30bもTFT5のドレイン電極24と電氣的に接続されている。

10

【0116】

液晶表示装置600においても、図15に示した液晶表示装置500と同様にCs対向電極22の補償部22cが設けられていることで、アライメントずれの発生にかかわらず所望の補助容量を得ることが可能である。

【0117】

また、Cs対向電極22の補償部22cは、対向基板のリブ52に対応する位置に設けられている。補償部22cをこの領域に配置しておけば、補償部22cによって画素の開口率がさらに低下するという事は防止される。また、反射ムラの発生も抑制される。

【0118】

20

図18(a)および(b)に、画素を3つに分割した場合の液晶表示装置605を示す。液晶表示装置605では、一画素内に副画素電極30a、副画素電極30bおよび副画素電極30cの3つの副画素電極が存在している。副画素電極30aと副画素電極30bとは、画素の上下に分かれて配置されている。それぞれの副画素電極30a、30b、30cが、それぞれに対応して設けられたコンタクトホール26a、26b、26cによって、TFT5のドレイン電極24と接続している。このように画素が3分割されていることを除いて、液晶表示装置605は上記液晶表示装置600と同様の構成を有する。

【0119】

次に、図19(a)および(b)に、変形例の液晶表示装置610を示す。液晶表示装置610では、画素分割がなされた形態において、補償部22cが、副画素電極30aと副画素電極30bとの間隙30tに設けられている。この液晶表示装置610を3つの副画素に分割した形態の液晶表示装置615を図20(a)および図20(b)に示す。

30

【0120】

以上に説明した液晶表示装置の各々において、アライメントずれが生じた場合にも補助容量の変動を補償することが可能であり、かつ、表示装置の開口率を低下させたり、反射ムラを増大させたりしないような位置（表示への寄与が低い位置）に補償部22cが設けられているので、良好な表示を行うことができる。

【0121】

<実施形態7>

図21(a)および(b)は、実施形態7の液晶表示装置700を示す。液晶表示装置700でも画素分割が行われており、1画素内に副画素電極30aと副画素電極30dとが設けられている。副画素電極30aは、コンタクトホール26を介してTFTのドレイン電極24と接続されている。一方、副画素電極30dは、いずれの配線とも直接的には接続されておらず、フローティング状態となっている。

40

【0122】

また、他の実施形態と同様に、ドレイン電極24から延びるCs対向電極22が設けられており、Csバスライン12との間に補助容量が形成されている。さらに、液晶表示装置700では、Cs対向電極の接続部22aおよび補償部22cのそれぞれに対して、フローティング状態の副画素電極30dの下方に位置する一対の結合電極28がそれぞれ接続されている。一対の結合電極28は、それぞれが対向基板上に配向規制構造として設け

50

られたリブ52と重畳するように配置されている。なお本実施形態では、Csバスライン12を挟んで結合電極28を分割し、Csバスライン12と結合電極28とが重畳しないようにしている。これは、結合電極28がCsバスライン12(特にそのエッジ)と交差することを防止し、Csバスライン12と結合電極28の短絡不良の発生や、交差部分での反射ムラの発生の可能性をより低減するためである。

#### 【0123】

補償部22cは、フローティング状態の副画素電極30dとは重畳しない部分に限定される。補償部22cと結合電極28とが一体的に形成されているような場合でも、フローティング状態の副画素電極30dと重畳せず、かつ、Csバスライン12から突き出している部分のみを補償部22cとしている。このように、補償部22cは、Csバスライン12との間で実質的な補助容量を形成するとともに、フローティング状態の副画素電極30dなど他の電極との間で形成される容量を、できるだけ小さくするべく設けられた部分である。

10

#### 【0124】

この結合電極28は、副画素電極30dとの間に、結合容量を形成する。なお、結合電極28と副画素電極30dとの間には、図3に示した層間絶縁膜46が設けられている。層間絶縁膜46として、結合電極28の面積を小さくするために、0.1~0.4 $\mu$ m程度の膜厚で形成したSiNx等の無機膜のみを用いる場合や、副画素電極30dとソースバスライン20およびゲートバスライン10との寄生容量を小さくするために、無機膜上に、比誘電率の小さい(0.2~0.4程度)有機膜を積層して用いる場合などがある。

20

#### 【0125】

このような構成では、TFT5と直接接続された副画素電極30aとは異なる電位が副画素電極30dに印加される。このような構成は、例えば、特許文献4に記載されている。

#### 【0126】

また、図15に示した液晶表示装置500等と同様に、本実施形態の液晶表示装置700において補償部22cは、対向基板上に配向規制構造として設けられたリブ52と重畳するように配置されている。

#### 【0127】

次に、図22(a)および(b)を参照して変形例の液晶表示装置710を説明する。

30

#### 【0128】

液晶表示装置710では、補償部22cが、TFTに直接接続された副画素電極30aと、フローティング状態の副画素電極30dとの間の間隙に設けられている。上記液晶表示装置700と同様に、副画素電極30dは、結合電極28との間に結合容量を形成している。

#### 【0129】

これらの液晶表示装置において、補償部22cは、TFTと直接接続された副画素電極30aと重畳している。補償部22cと副画素電極30aとに印加される電圧の大きさは同じであるため、これらの間に補助容量が形成されることはない。

#### 【0130】

さらに、図23(a)および(b)を参照して、別の形態の液晶表示装置720を説明する。液晶表示装置720が上記液晶表示装置710と異なる点は、補償部22cと接続されている結合電極29が設けられている点である。補償部22cが容量部22bから突き出すように形成されているので、この補償部22cを結合電極29との接続部として利用することができる。

40

#### 【0131】

上述のように、補償部22cは、補助容量バスライン12との間で実質的な補助容量を形成するように設けられた部分であり、図23(a)および(b)に示すような形態においては、副画素電極30dと重畳する部分(結合電極29)は含まず、容量部22bから突出し、副画素電極30a、30dの間に位置する部分である。

50

## 【0132】

以上に説明した何れの液晶表示装置においても、表示装置の開口率を低下させたり、反射ムラを増大させたりしないような位置に補償部22cが設けられているので、良好な表示を行うことができる。

## 【0133】

## &lt;実施形態8&gt;

本実施形態では、反射型の表示装置に適用されるアクティブマトリクス基板を説明する。また、このアクティブマトリクス基板は、反射型液晶表示装置に用いられるだけでなく、電子ペーパーで採用されているマイクロカプセル型電気泳動方式などの反射型表示装置においても好適に用いられる。

10

## 【0134】

図24は、実施形態8のTFT基板800を示す。TFT基板800において1画素のサイズは約100 $\mu\text{m}$ ×約100 $\mu\text{m}$ の正方形状である。また、図10に示した形態と同様に、TFT基板800は4色(R、G、B、W)の画素に対応した構成を有している。

## 【0135】

画素電極(反射電極)30rは、Al膜やAl-Mo積層膜やNi膜などの反射膜を用いて形成されており、外光を反射する機能を有する。この反射膜上には、透明電極(ITOやIZO)が積層されていてもよい。

## 【0136】

画素電極(反射電極)下層である層間絶縁膜の表面には、数 $\mu\text{m}$ ~十数 $\mu\text{m}$ 程度のサイズの凹凸が形成されていてもよい。この凹凸は、その上に形成される画素電極30rの表面の形状を規定する。画素電極30rの表面に微細な凹凸を形成することで、画素電極30rでの光反射特性を向上させて、反射光の強度を均一に分散させることができ、より明るく品位の向上した表示を行うことが可能である。

20

## 【0137】

また画素電極30rは、ゲートバスライン10とソースバスライン20を覆うように配置されている。これによって、バスライン配線材による反射ムラを抑制することができる。また、バスラインの電圧変化による影響を防止し、液晶の配向異常を抑制することができる。また、反射電極である画素電極30rが、TFT5a、5bを覆うように設けられているため、TFT上には外光を遮光するためのBMを配置する必要がない。そのため、有効反射面積を大きくすることができる。

30

## 【0138】

本実施形態では、1画素に対してTFT5a、5bが2つ連続して設けられている。これは、画素に印加される電圧を保持している期間中(TFT5a、5bのOFF状態中)にTFT5a、5bからリークする電流を低減するためである。ただし、他の実施形態で説明したようにTFTが一つだけであってもよい。

## 【0139】

TFT基板800では、補償部22cが右側に隣接する画素電極との間隙部に配置されている。補償部22cは、容量部22bを挟んでドレイン電極24から延びる接続部22aと対向するように設けられている。他の実施形態と同様に、補償部22cが設けられていることで、アライメントずれに起因する補助容量の変動を抑制することができる。また、TFT基板800においても、ドレイン電極24がゲート電極10aに対して突き出す方向と、補償部22cがCsバスライン12を突き出す方向とが逆向きである。したがって、アライメントずれに起因する寄生容量Cgdの変動による引き込み電圧の変動を補償することができる。

40

## 【0140】

また、4色(R、G、B、W)の画素のそれぞれの色に対応するように、補償部22cの位置が、画素の色ごとに変更されている。このことによって、図10に示した形態と同様に、画素の色を示すマーカとして補償部22cを利用することができる。

## 【0141】

50

以上には、TFT基板800を反射型液晶表示装置に用いる場合について説明したが、マイクロカプセル型電気泳動方式の電子ペーパーに対してもTFT基板800を用いることができる。以下、電子ペーパーとして用いられるマイクロカプセル型電気泳動方式の表示装置に適用する形態を説明する。

【0142】

電子ペーパーは、典型的には、TFT基板と、これに対向して配置される対向基板との間にマイクロカプセル層が設けられた構成を有する。マイクロカプセルは数十～数百 $\mu\text{m}$ 径の透明樹脂である。マイクロカプセルの内部では、例えば正に帯電した白色粒子と負に帯電した黑色粒子とが透明な絶縁性の分散媒中に混入されている。マイクロカプセル層とは、上記マイクロカプセルの多数が配置された樹脂層である。このマイクロカプセル層の所定の領域に正または負の電圧を印加し、マイクロカプセル内の白色粒子および黑色粒子を電気泳動させることによって表示を行うことができる。

10

【0143】

TFT基板800を背面側基板として利用し、この背面側基板と観察者側基板(対向基板)との間にマイクロカプセル層を挟持させることで表示装置(電子ペーパー)として利用することができる。観察者側基板には、液晶表示装置と同様に、透明の共通電極(ITOやIZO等)が表示領域のほぼ全面に形成されている。観察者側基板は、樹脂基材(プラスチック基板)を用いて形成することができる。このような電子ペーパーは、例えば、観察者側基板にマイクロカプセル層をコーティングにより配設し、これらの積層構造体をTFT基板800と貼り合わせるようにして作製される。なお、電子ペーパーに用いる場合には、TFT基板800に設けられる層間絶縁膜の表面に微細な凹凸を形成する必要はない。

20

【0144】

また、TFT基板800に設ける電極をITOやIZOを用いて透明の画素電極とすることもできる。TFT基板800に透明画素電極を設ける場合、このTFT基板800を観察者側基板として利用することも可能である。

【0145】

液晶表示装置と同様に、対向基板(樹脂基材/プラスチック基板)にカラーフィルタ層を形成してもよい。これによりカラー表示が可能になる。カラーフィルタ層を形成しない場合は、モノクローム表示となるが、カラー表示を行う場合と比べて光利用効率が高い。したがって、明るくコントラスト比の大きい表示を得ることができ、文字表示に特化した電子書籍などとして本発明の表示装置を用いる場合には好適である。

30

【0146】

また、TFT基板800もプラスチック基板を用いて作製することができる。プラスチックTFT基板を用いれば、厚さ0.5mm程度の電子ペーパーを得ることも可能である。このようにして作製された電子ペーパーは可撓性を有するため、様々な形態での使用が期待されている。

【0147】

次に、図25を参照して、TFT基板800の変形例を説明する。変形例のTFT基板810では、補助容量バスライン12がゲートバスライン10と交差しており、ソースバスライン20と平行な方向に延びている。

40

【0148】

TFT基板810において、補助容量バスライン12は、補助容量形成部分12Aと、ゲートバスライン10との交差部12Bとを有している。交差部12Bは、隣接する画素のそれぞれに関連付けられた2つの補助容量形成部分12Aを電氣的に接続している。補助容量形成部分12Aは、TFT基板800と同様に、ゲートバスライン10と同じ層で形成されている。これに対し、ゲートバスライン10との交差部12Bは、ソースバスライン20と同じ層(ゲート絶縁膜上)に形成されている。

【0149】

図26は、補助容量バスライン12における、補助容量形成部分12Aと交差部12Bとの接続の形態を示す。図示するように、ゲート絶縁膜42に形成されたコンタクトホー

50

ル 16 を介して補助容量形成部分 12 A のそれぞれに対し交差部 12 B が電氣的に接触することで、補助容量形成部分 12 A の接続が行われている。

【 0 1 5 0 】

このような構成では、ソースバスライン 20 と補助容量バスライン 12 とが交差していないので、これらに印加される信号電圧の干渉が防止される。したがって、ソースバスライン 20 の負荷を低減でき、消費電力を低減できる。

【 0 1 5 1 】

以上、本発明のアクティブマトリクス基板およびこれを用いた表示装置の実施形態について説明したが、本発明のアクティブマトリクス基板は、画素電極に関連付けられた補助容量を補償することが望まれる種々の表示装置において利用可能である。例えば、携帯用機器などにおいて用いられる半透過型液晶表示装置に適用することができる。また、共通電極を対向基板側ではなく、アクティブマトリクス基板側に形成する横電界モードの液晶表示装置にも適用することができる。また、電子ペーパーに用いられる水平型電気泳動式の表示装置などにも適用することもできる。

【 産業上の利用可能性 】

【 0 1 5 2 】

本発明の実施形態に係るアクティブマトリクス基板を用いた液晶表示装置は、液晶テレビ等の種々の液晶表示装置として広く用いられる。

【 0 1 5 3 】

また、液晶表示装置だけでなく、本発明の実施形態によるアクティブマトリクス基板は、他の表示装置、例えば、マイクロカプセル型電気泳動方式の電子ペーパーなどでも用いられる。

【 符号の説明 】

【 0 1 5 4 】

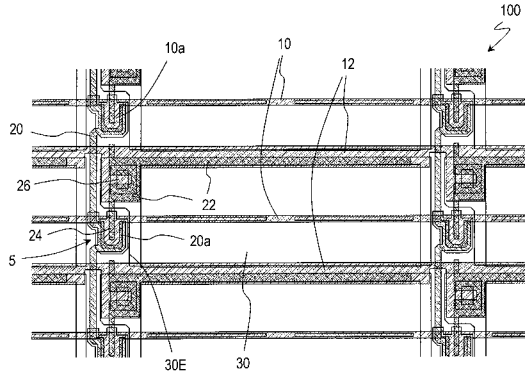
- 5 TFT
- 10 ゲートバスライン
- 10 a ゲート電極
- 12 補助容量バスライン
- 20 ソースバスライン
- 20 a ソース電極
- 22 補助容量対向電極
- 22 a 接続部
- 22 b 容量部
- 22 c 補償部
- 24 ドレイン電極
- 26 コンタクトホール
- 30 画素電極
- 30 E 画素電極エッジ
- 100 アクティブマトリクス基板

10

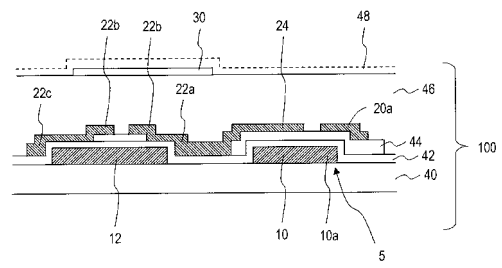
20

30

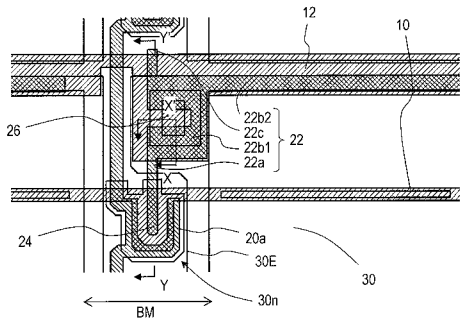
【図1】



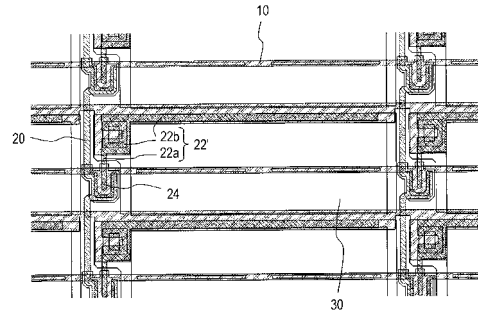
【図3】



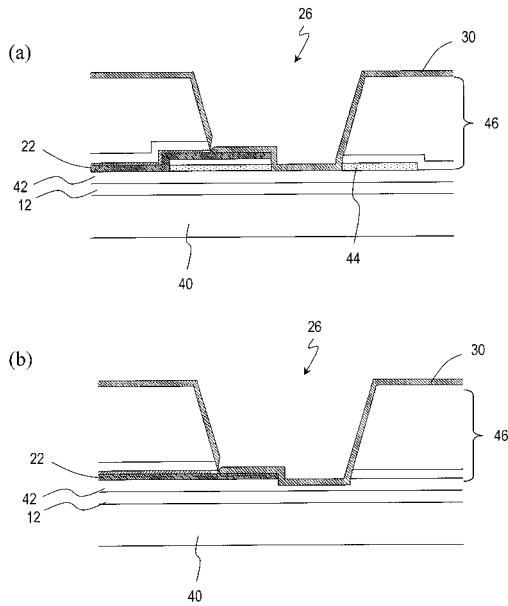
【図2】



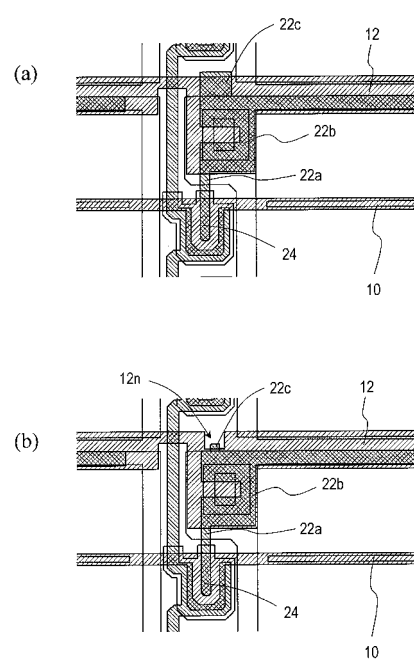
【図4】



【図5】

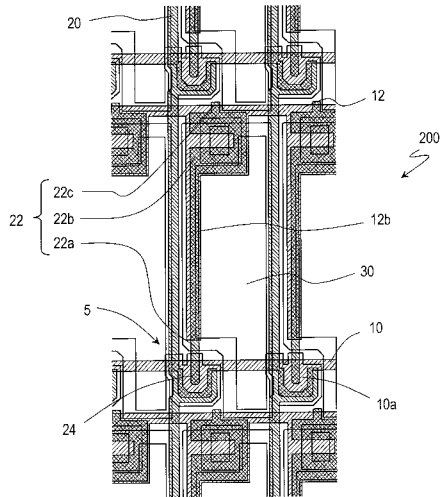


【図6】

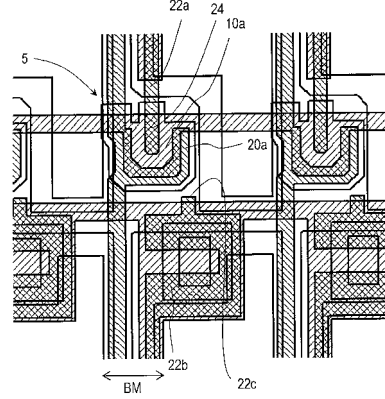




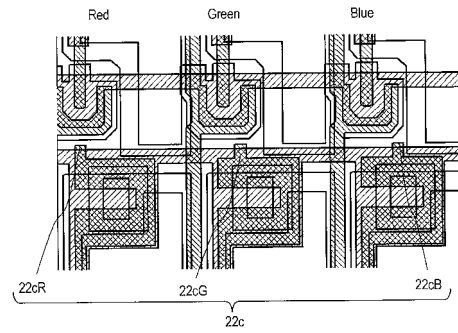
【図7】



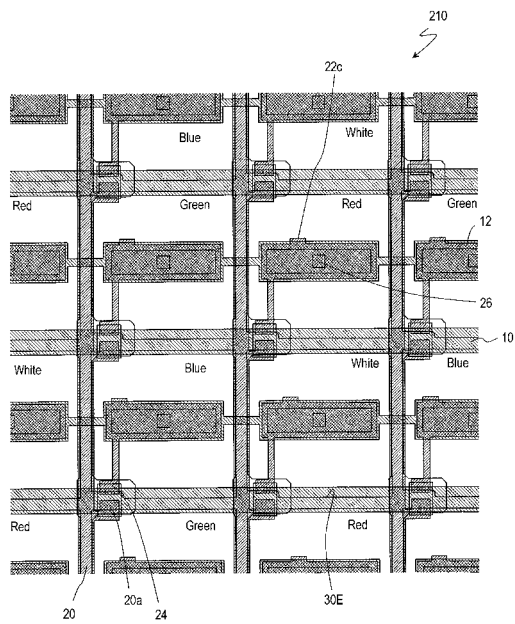
【図8】



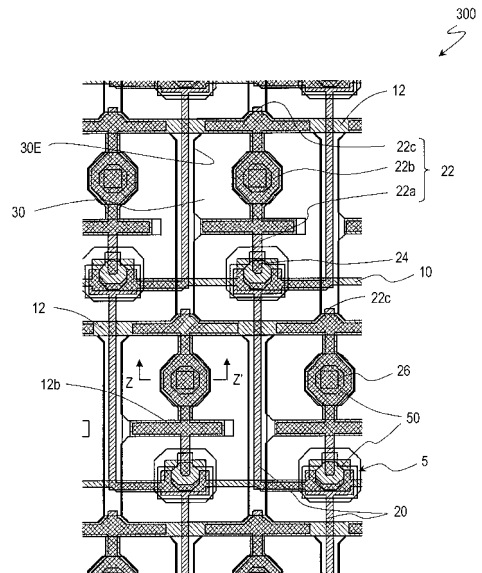
【図9】



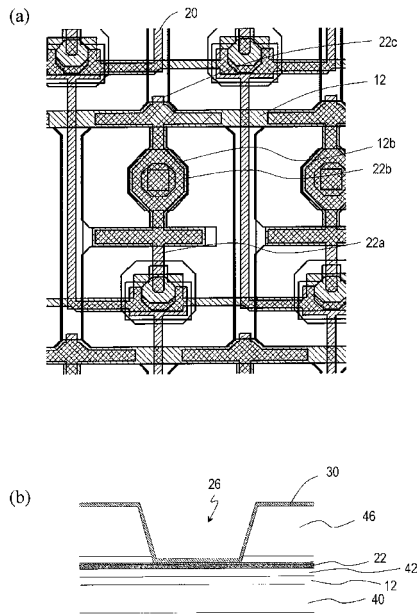
【図10】



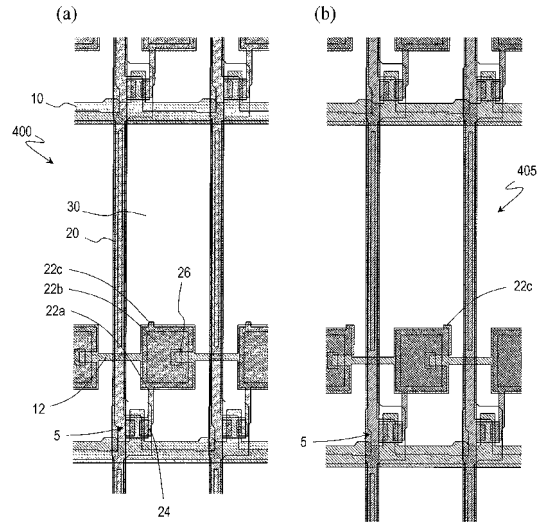
【図11】



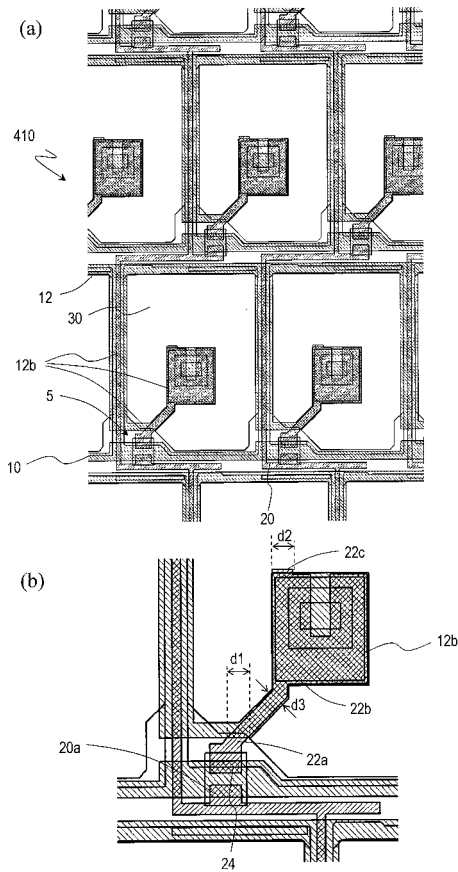
【 図 1 2 】



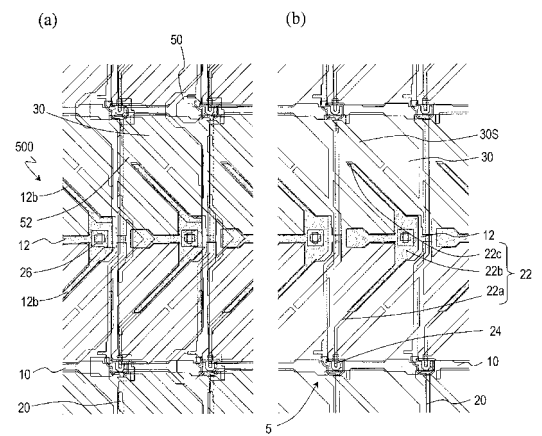
【 図 1 3 】



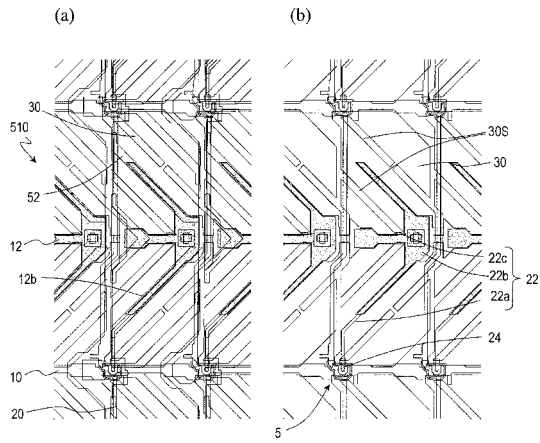
【 図 1 4 】



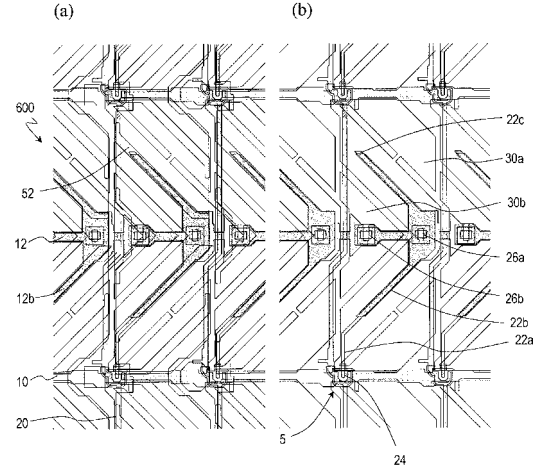
【 図 1 5 】



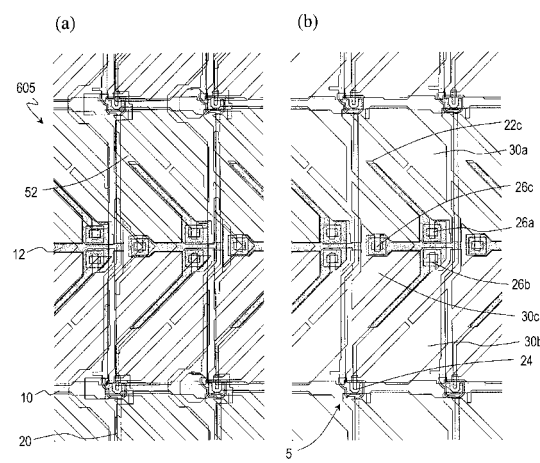
【図16】



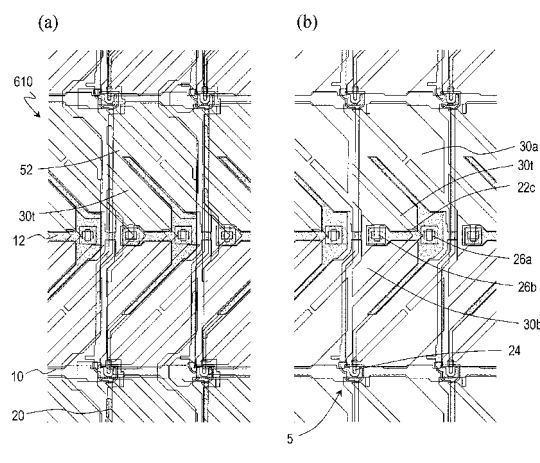
【図17】



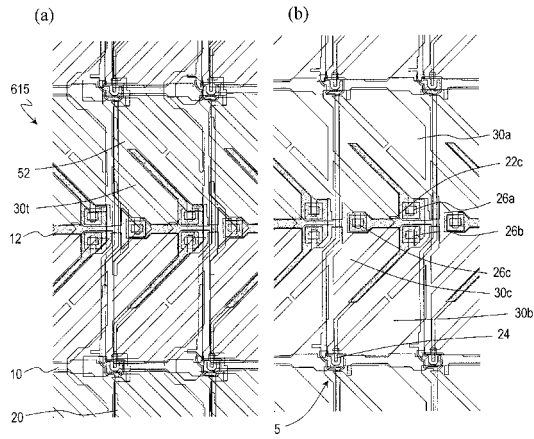
【図18】



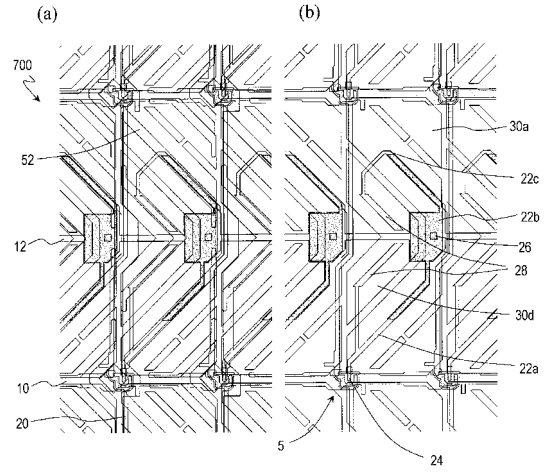
【図19】



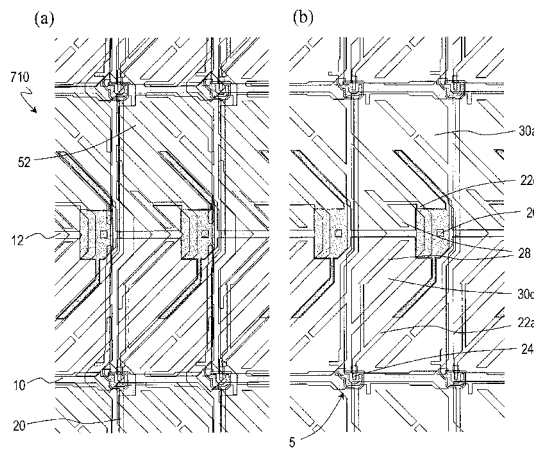
【図 20】



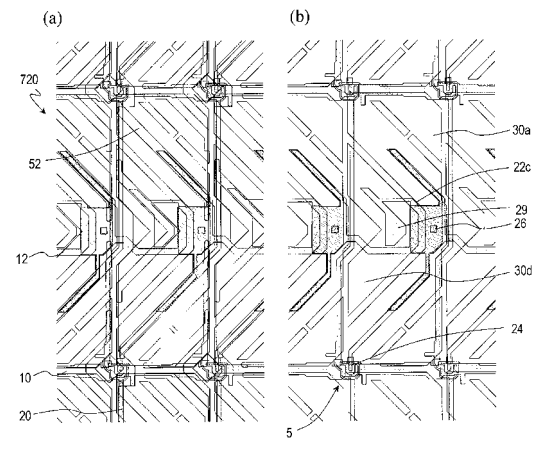
【図 21】



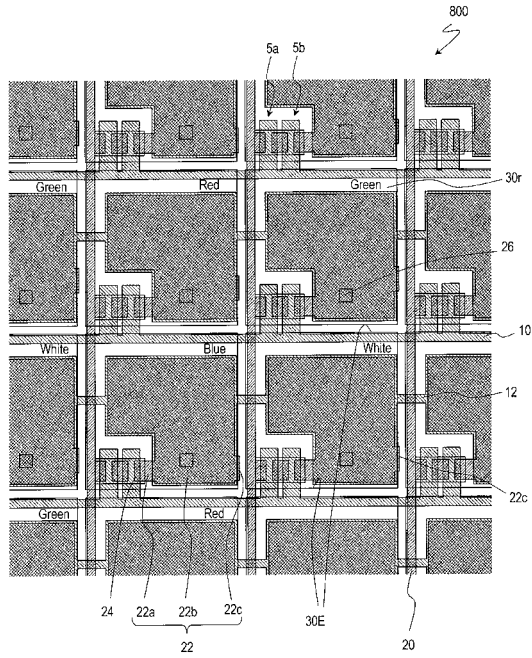
【図 22】



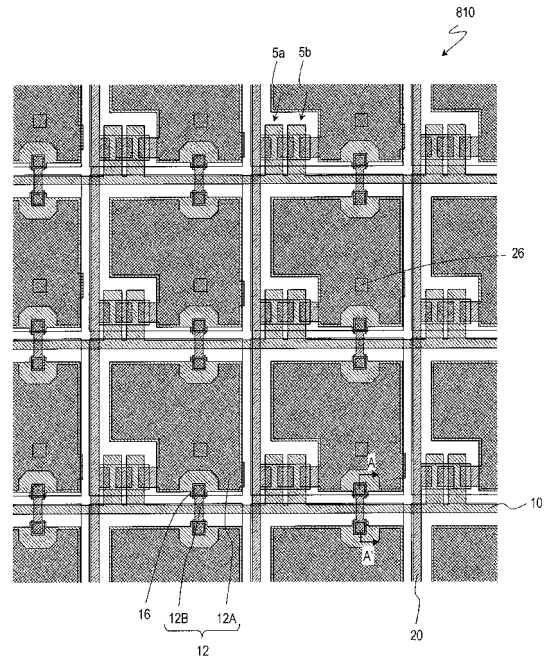
【図 23】



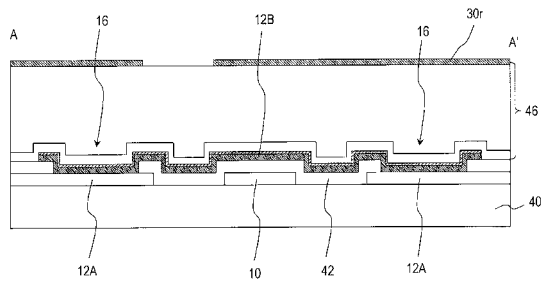
【 図 2 4 】



【 図 2 5 】



【 図 2 6 】



---

フロントページの続き

- (72)発明者 吉田 昌弘  
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
- (72)発明者 山田 崇晴  
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

審査官 渡邊 吉喜

- (56)参考文献 国際公開第2009/125532(WO, A1)  
特開2007-183643(JP, A)

- (58)調査した分野(Int.Cl., DB名)
- |      |        |
|------|--------|
| G09F | 9/30   |
| G02F | 1/1368 |