公告本

317615

申請日期	86. 2. 26
案號	86102355
類別	G06F12/00 Int. Cl[6]

（以上各欄由本局填註）

A4
C4

317615

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	微處理器和系統
	英文	"MICROPROCESSOR AND SYSTEM"
二、發明 ~~創作~~ 人	姓名	1.格蘭帝，大衛 2.治摩拉，伊坦 3.郭倫，亞尼
	國籍	均以色列
	住、居所	1.以色列納塔尼亞市伊如哈阿格曼路4號 2.以色列耶路撒冷南堤夫哈瑪傑樂路9/10號 3.以色列羅絮漢伊市巨芳泰區錫芬尼路4號
三、申請人	姓名（名稱）	以色列商摩托羅拉以色列公司
	國籍	以色列
	住、居所（事務所）	以色列帖亞密市卡蘭曼尼斯基街16號
	代表人姓名	H. 伊巴特森

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

317615

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有 □無主張優先權
英	1996.1.27	9601693.6	

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（1 ）

發明領域

本發明有關微處理器，並且更特別地是用於配置有動態隨機存取記憶體的系統內的微處理器。

發明背景

在許多已知的系統中有許多處理器，或包括處理單元的其他電路(在此後被稱爲主控)，耦合到一共同匯流排以便他們全部存取各種同樣耦合到該匯流排的從屬裝置，例如各種類型的記憶體裝置，例如動態隨機存取記憶體，靜態隨機存取記憶體，唯讀記憶體，或其他類型的週邊裝置，例如儲存裝置或通訊介面。然而，在某些情況下，一特別的動態隨機存取記憶體只被一單一主控裝置存取，以便它可被認爲對該主控裝置而言是專有的或私用的。

動態隨機存取記憶體配置有列存取脈衝和行存取脈衝線輸入，此二輸入透過用於讀取該細胞和寫入該細胞的細胞的列和行位址，將一特別記憶體細胞定址。用於定址的該列存取脈衝和行存取脈衝線的該使用的一個特色是，該列存取脈衝輸入被用於指定一所謂的該動態隨機存取記憶體的頁，而行存取脈衝輸入指定在該頁內的一特別位置或位址，以便，只要後續要被定址的細胞是在該同一頁內(所謂的快速分頁模式)，只有該行存取脈衝輸入需要被改變且該列存取脈衝可維持被主張但不需每次讀取，因而縮短該存取週期。當然，這可能只發生，只要該相同主控裝置已有該匯流排的控制，以便它可確信在它二次存取之間，沒有其他主控已存取動態隨機存取記憶體的另一頁。因

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明(2)

而，每一次該主控裝置獲得匯流排控制，它必須用涉及較多時間的列存取脈衝和行存取脈衝線兩者(所謂的翻頁存取)。

此外，如已熟知的，動態隨機存取記憶體需要依次更新以便保持在其記憶體細胞內的該資料，並且這可透過首先啓動該行存取脈衝輸入然後該列存取脈衝輸入來完成，而非如定址所做的，先該列存取脈衝然後該行存取脈衝。此種更新需要定期做以便控制該更新的該主控裝置必須獲得匯流排控制，執行更新，然後撤回該匯流排的控制。這用盡了該匯流排時間可能爲其他主控制裝置所使用的寶貴的匯流排時間。

因此本發明係爲提供一種可用於一私人DRAM的微處理器，它可克服或至少降低前述之習知技術的問題。本文所謂的"微處理器"意指包括所有的主控裝置。

發明摘要

根據本發明的第一觀念，提供一種微處理器至少配置有，透過匯流排，用於除外耦合到一私有動態隨機存取記憶體的列存取脈衝和行存取脈衝輸入的列存取脈衝和行存取脈衝輸出，該微處理器包括一動態隨機存取記憶體控制暫存器至少配置有一位元，該位元被設定以指定該動態隨機存取記憶體對該微處理器而言是否是私用的，一讀取電路讀取該一位元並且決定該位元是否被設定，以及一耦合到該讀取電路的控制邏輯電路，以根據該動態隨機存取記憶體對該微處理器而言是否是私用的，而控制該微處理器

經濟部中央標準局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（3 ）

的功能。

在一具體實例中，該控制邏輯電路控制該微處理器的動態隨機存取記憶體的更新功能，以致於當該一位元被設定以指示該動態隨機存取記憶體是私用的時，該微處理器使用該列存取脈衝和行存取脈衝輸出執行該動態隨機存取記憶體更新功能，而不需發佈要求，也不假設，該匯流排的控制。

在另一具體實例中，該控制邏輯電路控制該微處理器的動態隨機存取記憶體定址功能，以便讓該微處理器撤回該匯流排的控制而不需釋出該列存取脈衝和行存取脈衝線，因而當該一位元被設定以指定該動態隨機存取記憶體是私用的時，在下一次該微處理器控制該匯流排時，讓快速分頁模式存取到該動態隨機存取記憶體。

根據本發明的第二觀念，提供一系統包括一個配置有位址，控制，資料，列存取脈衝和行存取脈衝接腳分別耦合到位址，控制，資料，匯流排的列存取脈衝和行存取脈衝線的微處理器，至少一個動態隨機存取記憶體配置有位址，控制，資料，列存取脈衝和行存取脈衝接腳分別耦合到該位址，控制，資料，匯流排的列存取脈衝和行存取脈衝線，該動態隨機存取記憶體對該微處理器而言是私用的並且該動態隨機存取記憶體的該列存取脈衝和該行存取脈衝接腳和該微處理器被邏輯地綁在一起以便該微處理器不能存取任何動態隨機存取記憶體並且該動態隨機存取記憶體不能被任何其他的微處理器存取，該微處理器包括一動

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（4 ）

態隨機存取記憶體控制暫存器至少配置有一位元，該位元被設定以指定該動態隨機存取記憶體對該微處理器而言是私用的，一個讀取該一位元並且決定該位元是否被設定的讀取電路，以及一個耦合到該讀取電路的控制邏輯電路，該控制邏輯電路控制該微處理器的動態隨機存取記憶體更新功能，以致於該微處理器使用該匯流排的該列存取脈衝和行存取脈衝線來執行該動態隨機存取記憶體更新功能而不需發佈一要求，也不假設，該匯流排的控制，當該位元被設定，並且該控制邏輯電路控制該微處理器的動態隨機存取記憶體定址功能，當該位元被設定以讓該微處理器，或需要的話，撤回對該匯流排的控制而不需發佈該列存取脈衝和該行存取脈衝線，因而在下一次該微處理器控制該匯流排時，該頁內存取到動態隨機存取記憶體。

以此法，當該處理器不是該匯流排主控時，該動態隨機存取記憶體可被更新，並且可能在獲得主控權之後，以快速'分頁模式'被立即存取，不需驅動在該位址匯流排上的列位址並且在之前主張列存取脈衝。

附圖之簡要敘述

現在將詳細敘述本發明之具體實例之一，透過範例，參考附圖，其中：

圖1顯示根據本發明之處理器和動態隨機存取記憶體置；

圖2顯示用於該處理器和圖1該動態隨機存取記憶體的更新功能的時序圖；並且，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明(5)

圖3顯示用於一處理器和動態隨機存取記憶體的先前技術定址功能的時序圖。

圖4顯示用於該處理器和圖1該動態隨機存取記憶體的快速分頁模式定址功能。

較佳具體實例之詳細敘述

參考圖1，顯示一處理器和動態隨機存取記憶體裝置10。一處理器15包括一個被稱爲動態隨機存取記憶體控制暫存器的可程式暫存器20。該動態隨機存取記憶體控制暫存器20包括一狀態位元30。該處理器透過匯流排25被耦合到各種其它裝置。該匯流排25包括一匯流排同意線，匯流排忙線和匯流排要求線，以及被一仲裁器(未顯示)所管理。

該裝置的匯流排主控35被耦合到該匯流排25並且包括一個提供該匯流排控制的匯流排控制方塊40。一動態隨機存取記憶體45同樣被耦合到該匯流排25並且包括一個提供該動態隨機存取記憶體45的控制的動態隨機存取記憶體控制方塊50。該動態隨機存取記憶體45有列存取脈衝和行存取脈衝線(未顯示)。若該動態隨機存取記憶體控制暫存器20的該狀態位元30被設，然後該動態隨機存取記憶體45對該處理器15而言是有效地私用的，並且該列存取脈衝和行存取脈衝線被該處理器15除外地驅動。

該匯流排控制方塊40包括一個匯流排同意輸入60，一個匯流排忙線輸出65和一個匯流排要求70耦合到該匯流排25該各別的線。該動態隨機存取記憶體控制方塊有輸

(請先閱讀背面之注意事項再填寫本頁)
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明(6)

出行存取脈衝80和列存取脈衝75，以控制該動態隨機存取記憶體45的該行存取脈衝和列存取脈衝。該動態隨機存取記憶體控制暫存器20的該狀態位元30，透過該匯流排25，被該匯流排控制方塊40和該動態隨機存取記憶體控制方塊50安排平行讀取。

在運算中，並且現在同樣參考圖2，顯示一個該匯流排25不需要透過該處理器15的主控權的更新順序。所有顯示的控制線是上拉式(邏輯1等於低電壓位準)。

區間100顯示該匯流排釋放，其中匯流排要求70在匯流排活動的尾端被取消，匯流排同意線60被該仲裁器取消，並且結果是匯流排忙線65也被處理器15取消。在取消了匯流排忙線65之後，在區間200中，所有的該處理器15輸出變爲三態(浮動的)。另一個處理器(未顯示)變爲該匯流排25的主控，並且它將匯流排忙線65主張以發出其主控權通知。若該位元30在該動態隨機存取記憶體控制暫存器20內被設定，該列存取脈衝75和行存取脈衝80線繼續被該處理器15驅動，並且不會變爲三態。

在區間300中，當主控權喪失時，該動態隨機存取記憶體控制方塊50將驅動該列存取脈衝線75保持如以前般被主張。然後，當偵測到該需時，該動態隨機存取記憶體控制方塊50立即開始該更新運算(在列存取脈衝75之前先驅動行存脈衝80)，該控制方塊40控制該處理器15的動態隨機存取記憶體更新功能，以致於該處理器15使用該匯流排25的該列存取脈衝和行存取脈衝來執行該動態隨機

經濟部中央標準局員工消費合作社印製
(請先閱讀背面之注意事項再填寫本頁)
裝 訂 線
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（7 ）

存取記憶體更新功能，而不需發佈，也不需假設，要求該匯流排25的控制的要求。該更新透過將行存取脈衝80主張在列存取脈衝75之前被執行。

相反地，當偵測到需要更新該外部該動態隨機存取記憶體時，先前技術裝置要求該匯流排主控權。在該實際更新開始前，主控權先被認可。若該狀態位元未被設定時也是同樣情況。

現在參考圖3和圖4，顯示在主控權被取得之後首先存取該動態隨機存取記憶體45，如'分頁模式'的可能性。圖3的區間101，201，301，和401代表在先前技術裝置的階段。圖4的區域102，202，302和402代表在分頁模式存取中所發現的階段。

在區間101和102中，該列位址被驅動，並且列存取脈衝75被主張。在區間201和202中兩行的位址被一個接著一個驅動，並且行存取脈衝80被主張且依此被取消。在接近此階段的尾端時匯流排60被取消以通知匯流排主控權被該處理器15喪失了。

若該動態隨機存取記憶體控制暫存器20的該狀態位元30被設定，然後在區間302中該匯流排25被釋放，列存取脈衝75保持驅動啓動並且行存取脈衝保持驅動取消。在如區間301所示的先前技術裝置中列存取脈衝75首先被取消，然後三態，行存取脈衝80已被取消，並且現在被三態。

在時間期間402，該匯流排主控權再度被該處理器15所

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（8 ）

擁有，該處理器立即開始行位址驅動，跟著行存取脈衝80被主張，並且一直繼續，因而該第一存取的存取時間要少得多。

相反地，在先前技術的該動態隨機存取記憶體控制方塊執行一完整存取程序，如在區間401所示，以所有所需的階段，列位址驅動，列存取脈衝主張，行位址驅動，行存取脈衝。再次，若該狀態30未被設定，也是同樣情況。

雖然本發明只有一個特別具體實例被詳細敘述，熟於先前技術的人可做各種修正和改良而不偏離本發明的範疇。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

四、中文發明摘要（發明之名稱：微處理器和系統 ）

（參考圖1）

一種有列存取脈衝和行存取脈衝輸出，透過匯流排，用於除外耦合到私用動態隨機存取記憶體的列存取脈衝和行存取脈衝輸入的微處理器。該微處理器有一個動態隨機存取記憶體控制暫存器至少配置有一位元，該位元被設定以指定該動態隨機存取記憶體對該微處理器而言是否是私用的，一讀取電路讀取該一位元並且決定該位元是否被設定，以及一耦合到該讀取電路的控制邏輯電路，以根據該動態隨機存取記憶體對該微處理器而言是否是私用的，而控制該微處理器的功能。

英文發明摘要（發明之名稱："MICROPROCESSOR AND SYSTEM" ）

(with reference to the drawing of FIG.1)

A microprocessor has RAS and CAS outputs for exclusive coupling, via a bus, to RAS and CAS inputs of a private DRAM. The microprocessor has a DRAM Control Register having at least one bit which is set to designate whether the DRAM is private to the microprocessor, a read circuit which reads the one bit and determines whether the bit is set, and a control logic circuit coupled to the read circuit for controlling functions of the microprocessor according to whether the DRAM is private to it.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

1. 一種有列存取脈衝和行存取脈衝輸出，透過匯流排，用於除外耦合到私用動態隨機存取記憶體的列存取脈衝和行存取脈衝輸入的微處理器，該微處理器包括一個動態隨機存取記憶體控制暫存器至少配置有一位元，該位元被設定以指定該動態隨機存取記憶體對該微處理器而言是否是私用的，一讀取電路讀取該一位元並且決定該位元是否被設定，以及一耦合到該讀取電路的控制邏輯電路，以根據該動態隨機存取記憶體對該微處理器而言是否是私用的，而控制該微處理器的功能。
2. 根據申請專利範圍第1項之微處理器，其中該控制邏輯電路控制該微處理器的動態隨機存取記憶體的更新功能，以致於當該一位元被設定以指示該動態隨機存取記憶體是私用的時，該微處理器使用該列存取脈衝和行存取脈衝輸出執行該動態隨機存取記憶體更新功能而不發佈要求，也不假設，該匯流排的控制。
3. 根據申請專利範圍第1項之微處理器，其中該控制邏輯電路控制該微處理器的動態隨機存取記憶體定址功能，以便讓該微處理器撤回該匯流排的控制而不需釋出該列存取脈衝和行存取脈衝線，因而當該一位元被設定以指定該動態隨機存取記憶體是私用的時，在下一次該微處理器控制該匯流排時，讓快速分頁模式存取到該動態隨機存取記憶體。
4. 一種微處理器系統，包括：

   一個配置有位址、控制、資料、列存取脈衝和行存取

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

脈衝接腳，分別耦合到位址、控制、資料、匯流排的列存取脈衝和行存取脈衝線的微處理器；至少一個動態隨機存取記憶體，配置有位址、控制、資料、列存取脈衝和行存取脈衝接腳，分別耦合到該位址、控制、資料、該匯流排的列存取脈衝和行存取脈衝線，該動態隨機存取記憶體對該微處理器而言是私用的，並且該動態隨機存取記憶體的該列存取脈衝和該行存取脈衝，接腳和該微處理器被邏輯地綁在一起，以便該微處理器不能存取任何其它的動態隨機存取記憶體，並且該動態隨機存取記憶體不能被任何其他的微處理器存取；

其中該微處理器包括一動態隨機存取記憶體控制暫存器，至少配置有一位元，該位元被設定以指定該動態隨機存取記憶體對該微處理器而言是私用的，一個讀取該一位元並且決定該位元是否被設定的讀取電路，以及一個耦合到該讀取電路的控制邏輯電路，該控制邏輯電路控制該微處理器的動態隨機存取記憶體更新功能，以致於該微處理器使用該匯流排的該列存取脈衝和行存取脈衝線來執行該動態隨機存取記憶體更新功能而不需發佈一要求，也不假設，該匯流排的控制，當該位元被設定，並且該控制邏輯電路控制該微處理器的動態隨機存取記憶體定址功能，當該位元被設定以讓該微處理器，或需要的話，撤回對匯流排的控制而不需要發佈該列存取脈衝和該行存取脈衝線，因而在下一次該微處理器控制該匯流排時，讓頁內存取到該動態隨機存取記憶體。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

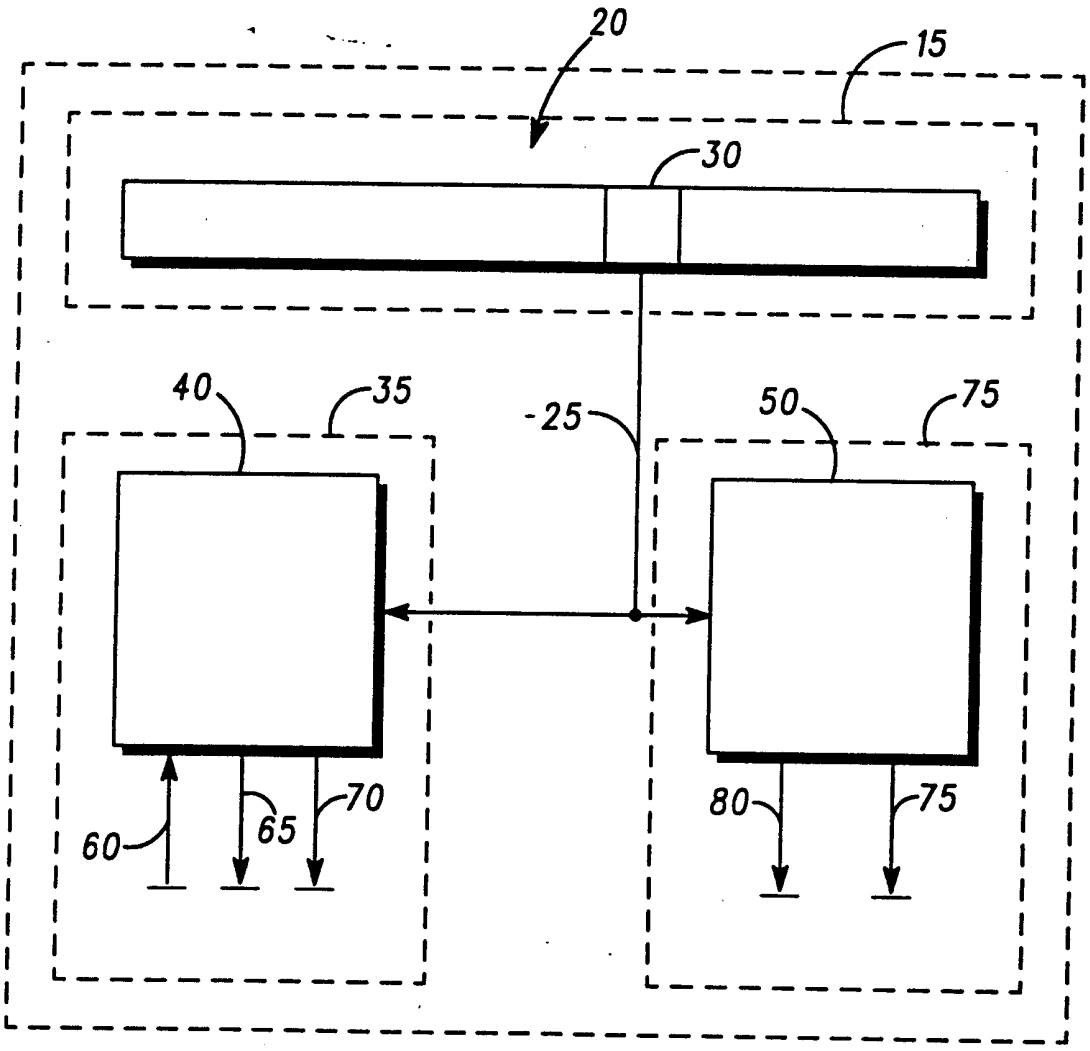


圖 1

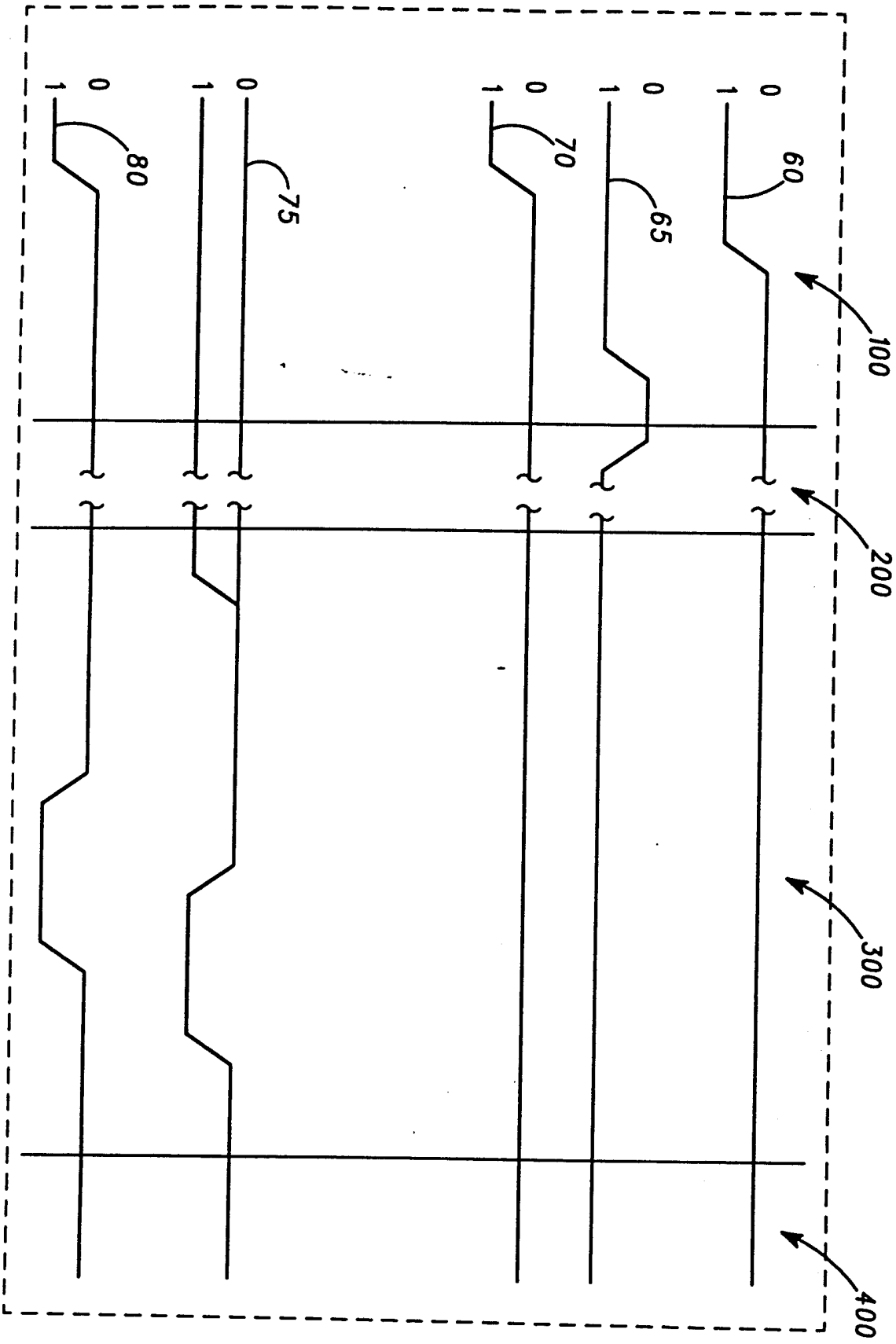


图 2

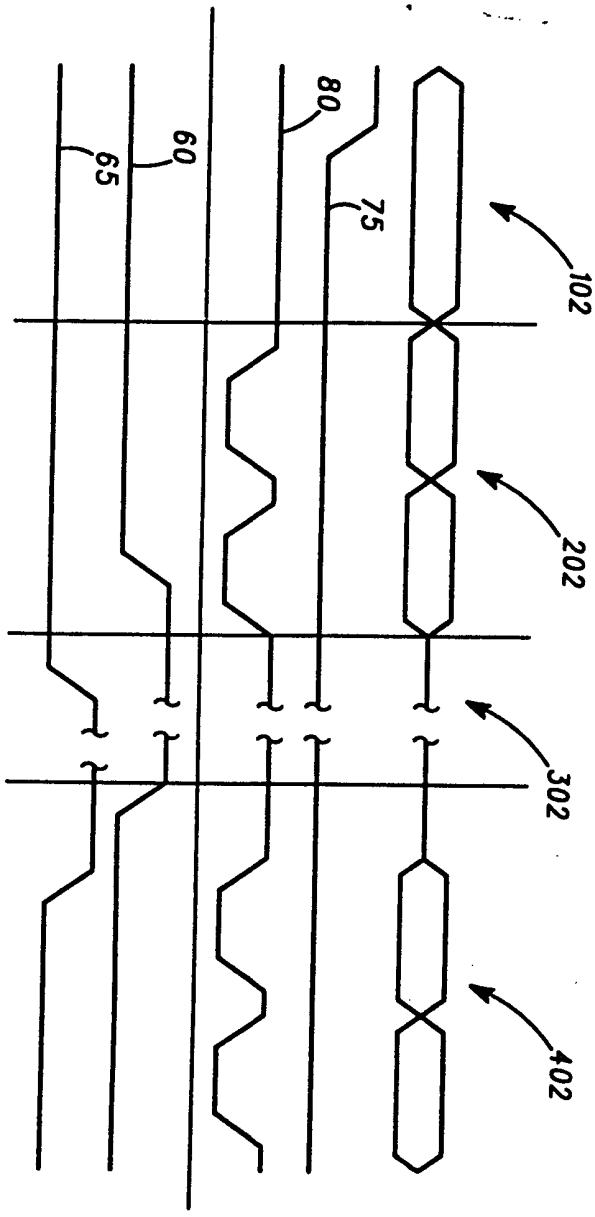


圖 4

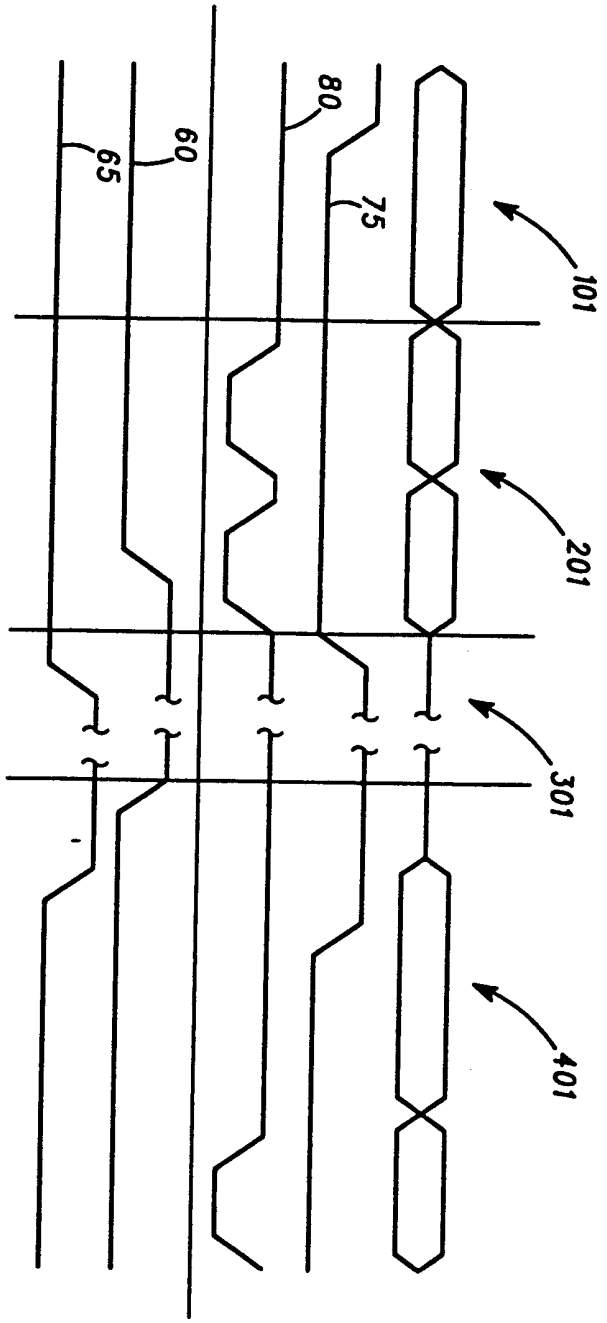


圖 3