



(21)申請案號：111124467

(22)申請日：中華民國 111 (2022) 年 06 月 30 日

(51)Int. Cl. : H01L29/12 (2006.01)

H01L21/28 (2006.01)

H01L21/265 (2006.01)

(30)優先權：2022/04/08 美國

63/328,745

(71)申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.  
(TW)

新竹科學工業園區力行路 16 號

(72)發明人：廖政華 LIAO, JENG HWA (TW)；柯宗杰 KO, ZONG-JIE (TW)；林幸如 LIN,  
HSING-JU (TW)；謝榮裕 SHIEH, JUNG-YU (TW)；楊令武 YANG, LING-WUU  
(TW)

(74)代理人：葉璟宗

(56)參考文獻：

EP 1463101A2

US 2006/0244080A1

US 2011/0034013A1

審查人員：林弘恩

申請專利範圍項數：8 項 圖式數：6 共 25 頁

(54)名稱

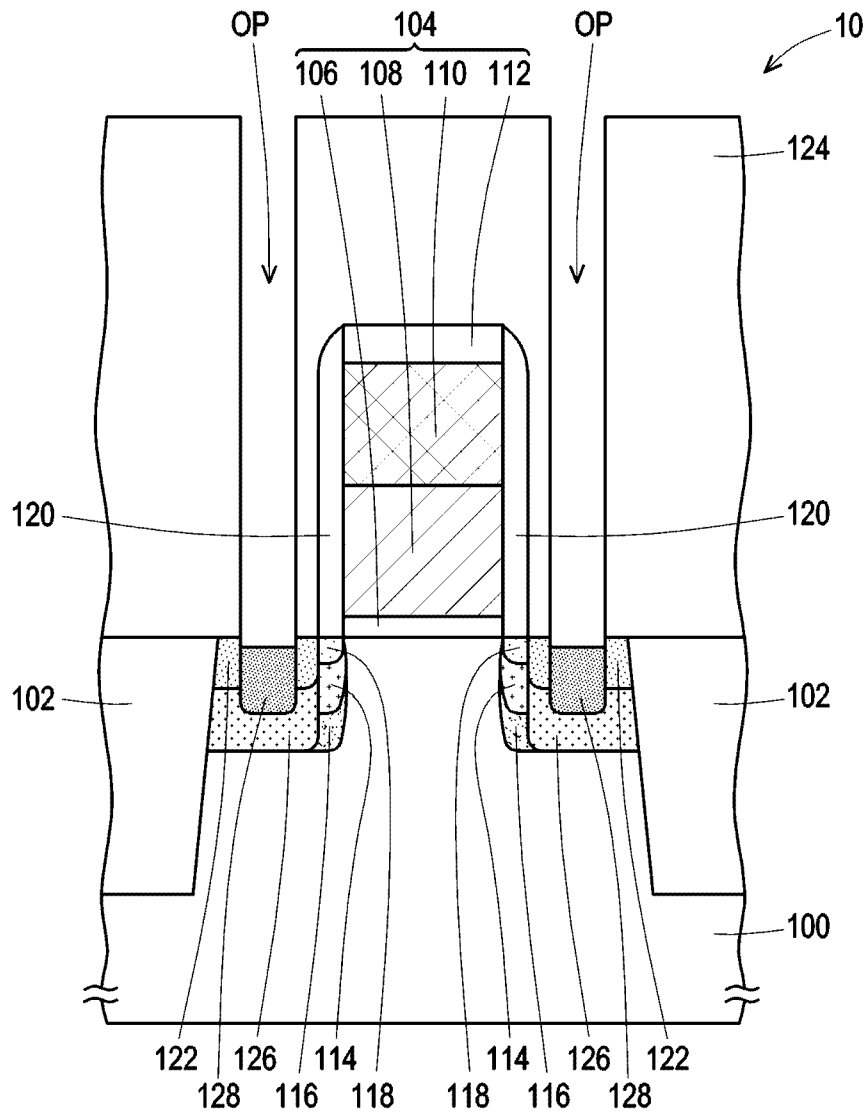
電晶體結構及其製造方法

(57)摘要

一種電晶體結構，包括基底、閘極結構、多個第一口袋摻雜區、多個第二口袋摻雜區、多個源極/汲極延伸區與多個源極/汲極區。閘極結構位在基底上。多個第一口袋摻雜區位在閘極結構旁的基底中。第一口袋摻雜區的摻質包括 IVA 族元素。多個第二口袋摻雜區位在閘極結構旁的基底中。第二口袋摻雜區的深度大於第一口袋摻雜區的深度。多個源極/汲極延伸區位在多個第一口袋摻雜區中。多個源極/汲極區位在閘極結構旁的基底中。源極/汲極延伸區位在源極/汲極區與閘極結構之間。

A transistor structure including a substrate, a gate structure, first pocket doped regions, second pocket doped regions, and source/drain extension regions, and source/drain regions is provided. The gate structure is located on the substrate. The first pocket doped regions are located in the substrate aside the gate structure. A dopant of the first pocket doped region includes a group IVA element. The second pocket doped regions are located in the substrate aside the gate structure. A depth of the second pocket doped region is greater than a depth of the first pocket doped region. The source/drain extension regions are located in the first pocket doped regions. The source/drain regions are located in the substrate aside the gate structure. The source/drain extension region is located between the source/drain region and the gate structure.

指定代表圖：



符號簡單說明：

- 10: 電晶體結構
- 100: 基底
- 102: 隔離結構
- 104: 閘極結構
- 106, 124: 介電層
- 108: 導電層
- 110: 金屬矽化物層
- 112: 硬罩幕層
- 114, 116: 口袋摻雜區
- 118: 源極/汲極延伸區
- 120: 間隙壁
- 122: 源極/汲極區
- 126, 128: 接觸窗摻雜區
- OP: 開口

【圖1F】



I822155

## 【發明摘要】

【中文發明名稱】電晶體結構及其製造方法

【英文發明名稱】 TRANSISTOR STRUCTURE AND  
MANUFACTURING METHOD THEREOF

## 【中文】

一種電晶體結構，包括基底、閘極結構、多個第一口袋摻雜區、多個第二口袋摻雜區、多個源極/汲極延伸區與多個源極/汲極區。閘極結構位在基底上。多個第一口袋摻雜區位在閘極結構旁的基底中。第一口袋摻雜區的摻質包括IVA族元素。多個第二口袋摻雜區位在閘極結構旁的基底中。第二口袋摻雜區的深度大於第一口袋摻雜區的深度。多個源極/汲極延伸區位在多個第一口袋摻雜區中。多個源極/汲極區位在閘極結構旁的基底中。源極/汲極延伸區位在源極/汲極區與閘極結構之間。

## 【英文】

A transistor structure including a substrate, a gate structure, first pocket doped regions, second pocket doped regions, and source/drain extension regions, and source/drain regions is provided. The gate structure is located on the substrate. The first pocket doped regions are located in the substrate aside the gate structure. A dopant of the first pocket doped region includes a group IVA

element. The second pocket doped regions are located in the substrate aside the gate structure. A depth of the second pocket doped region is greater than a depth of the first pocket doped region. The source/drain extension regions are located in the first pocket doped regions. The source/drain regions are located in the substrate aside the gate structure. The source/drain extension region is located between the source/drain region and the gate structure.

【指定代表圖】圖 1F。

【代表圖之符號簡單說明】

10: 電晶體結構

100: 基底

102: 隔離結構

104: 閘極結構

106, 124: 介電層

108: 導電層

110: 金屬矽化物層

112: 硬罩幕層

114, 116: 口袋摻雜區

118: 源極/汲極延伸區

120: 間隙壁

122: 源極/汲極區

126, 128: 接觸窗摻雜區

OP: 開口

**【特徵化學式】**

無。

## 【發明說明書】

【中文發明名稱】電晶體結構及其製造方法

【英文發明名稱】 TRANSISTOR STRUCTURE AND  
MANUFACTURING METHOD THEREOF

### 【技術領域】

【0001】本發明是有關於一種半導體元件及其製造方法，且特別是有關於一種電晶體結構及其製造方法。

### 【先前技術】

【0002】隨著半導體技術的進步，電晶體元件的尺寸也不斷地縮小。然而，電晶體元件的摻雜區中的摻質容易因為熱製程而擴散。如此一來，會造成電晶體元件有效通道長度的縮減，而發生短通道效應(short channel effect)，進而降低電晶體元件的電性表現。

### 【發明內容】

【0003】本發明提供一種電晶體結構及其製造方法，其可有效地抑制短通道效應。

【0004】本發明提出一種電晶體結構，包括基底、閘極結構、多個第一口袋摻雜區(pocket doped region)、多個第二口袋摻雜區、多個源極/汲極延伸區(source/drain extension (SDE) region)與多個源極/汲極區。閘極結構位在基底上。多個第一口袋摻雜區位在閘

極結構旁的基底中。第一口袋摻雜區的摻質包括IVA族元素。多個第二口袋摻雜區位在閘極結構旁的基底中。第二口袋摻雜區的深度大於第一口袋摻雜區的深度。多個源極/汲極延伸區位在多個第一口袋摻雜區中。多個源極/汲極區位在閘極結構旁的基底中。源極/汲極延伸區位在源極/汲極區與閘極結構之間。

【0005】 依照本發明的一實施例所述，在上述電晶體結構中，第一口袋摻雜區的摻質包括可為碳(C)或鍺(Ge)。

【0006】 依照本發明的一實施例所述，在上述電晶體結構中，源極/汲極區可連接於源極/汲極延伸區。上述電晶體結構更可包括多個間隙壁。多個間隙壁位在閘極結構的側壁上。源極/汲極延伸區可位在間隙壁下方。

【0007】 依照本發明的一實施例所述，在上述電晶體結構中，更可包括多個第一接觸窗摻雜區(contact doped region)與多個第二接觸窗摻雜區。多個第一接觸窗摻雜區位在閘極結構旁的基底中。源極/汲極區可位在第一接觸窗摻雜區中。第一接觸窗摻雜區的摻質可包括 IVA 族元素。第二接觸窗摻雜區位在多個第一接觸窗摻雜區中。第二接觸窗摻雜區的深度可大於源極/汲極區的深度。

【0008】 本發明提出另一種電晶體結構，包括基底、閘極結構、多個源極/汲極區與多個接觸窗摻雜區。閘極結構位在基底上。多個源極/汲極區位在閘極結構旁的基底中。多個接觸窗摻雜區位在閘極結構旁的基底中。源極/汲極區位在接觸窗摻雜區中。接觸窗摻雜區的摻質包括 IVA 族元素。

【0009】 本發明提出一種電晶體結構的製造方法，包括以下步驟。提供基底。在基底上形成閘極結構。在閘極結構旁的基底中形成多個第一口袋摻雜區。第一口袋摻雜區的摻質包括 IVA 族元素。在閘極結構旁的基底中形成多個第二口袋摻雜區。第二口袋摻雜區的深度大於第一口袋摻雜區的深度。在多個第一口袋摻雜區中形成多個源極/汲極延伸區。在閘極結構旁的基底中形成多個源極/汲極區。源極/汲極延伸區位在源極/汲極區與閘極結構之間。

【0010】 依照本發明的一實施例所述，在上述電晶體結構的製造方法中，第一口袋摻雜區的形成方法可為冷植入(cold implant)。冷植入的溫度可為 $-20^{\circ}\text{C}$ 至 $-100^{\circ}\text{C}$ 。

【0011】 依照本發明的一實施例所述，在上述電晶體結構的製造方法中，更可包括以下步驟。在閘極結構旁的基底中形成多個第一接觸窗摻雜區。源極/汲極區位在第一接觸窗摻雜區中。第一接觸窗摻雜區的摻質可包括 IVA 族元素。

【0012】 依照本發明的一實施例所述，在上述電晶體結構的製造方法中，第一接觸窗摻雜區的形成方法可為冷植入。冷植入的溫度可為 $-20^{\circ}\text{C}$ 至 $-100^{\circ}\text{C}$ 。

【0013】 依照本發明的一實施例所述，在上述電晶體結構的製造方法中，更可包括以下步驟。在多個第一接觸窗摻雜區中形成多個第二接觸窗摻雜區。第二接觸窗摻雜區的深度可大於源極/汲極區的深度。

【0014】 基於上述，在本發明的一些實施例的電晶體結構中，多

個源極/汲極延伸區位在多個第一口袋摻雜區中，且第一口袋摻雜區的摻雜包括 IVA 族元素。因此，可藉由第一口袋摻雜區來抑制源極/汲極延伸區中的摻質擴散出去，藉此可有效地抑制短通道效應與擊穿效應(punch through effect)，且可降低漏電流。在本發明的一些實施例的電晶體結構中，源極/汲極區位在接觸窗摻雜區中，且接觸窗摻雜區的摻質包括 IVA 族元素。因此，可藉由接觸窗摻雜區來抑制源極/汲極區中的摻質擴散出去，藉此可有效地抑制短通道效應與擊穿效應，且可降低阻值。在本發明的一些實施例的電晶體結構的製造方法中，在多個第一口袋摻雜區中形成多個源極/汲極延伸區，且第一口袋摻雜區的摻質包括 IVA 族元素。因此，可藉由第一口袋摻雜區來抑制源極/汲極延伸區中的摻質擴散出去，藉此可有效地抑制短通道效應與擊穿效應，且可降低漏電流。

**【0015】** 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

### **【圖式簡單說明】**

### **【0016】**

圖 1A 至圖 1F 為根據本發明的一些實施例的電晶體結構的製造流程剖面圖。

### **【實施方式】**

【0017】 下文列舉實施例並配合附圖來進行詳細地說明，但所提供的實施例並非用以限制本發明所涵蓋的範圍。為了方便理解，在下述說明中相同的構件將以相同的符號標示來說明。此外，附圖僅以說明為目的，並未依照原尺寸作圖。事實上，為論述清晰起見，可任意增大或減小各種特徵的尺寸。

【0018】 圖 1A 至圖 1F 為根據本發明的一些實施例的電晶體結構的製造流程剖面圖。

【0019】 請參照圖 1A，提供基底 100。基底 100 可為半導體基底，如矽基底。在一些實施例中，可在基底 100 中形成隔離結構 102。隔離結構 102 例如是淺溝渠隔離(shallow trench isolation, STI)結構。隔離結構 102 的材料例如是氧化矽。

【0020】 接著，在基底 100 上形成閘極結構 104。閘極結構 104 可包括介電層 106 與導電層 108。介電層 106 位在基底 100 上。介電層 106 可用以做為閘介電層。介電層 106 的材料例如是氧化矽。導電層 108 位在介電層 106 上。導電層 108 可用以作為閘極。導電層 108 的材料例如是摻雜多晶矽。在一些實施例中，閘極結構 104 更可包括金屬矽化物層 110 與硬罩幕層 112 中的至少一者。金屬矽化物層 110 位在導電層 108 上。金屬矽化物層 110 的材料例如是矽化鎢(WSi)。硬罩幕層 112 位在金屬矽化物層 110 上。硬罩幕層 112 的材料例如是氧化矽。

【0021】 在一些實施例中，介電層 106、導電層 108、金屬矽化物層 110 與硬罩幕層 112 的形成方法可包括以下步驟。首先，可依

序在基底 100 上形成介電材料層(未示出)、導電材料層(未示出)、金屬矽化物材料層(未示出)與硬罩幕材料層(未示出)。接著，可藉由微影製程與蝕刻製程對硬罩幕材料層、金屬矽化物材料層、導電材料層與介電材料層進行圖案化，而形成硬罩幕層 112、金屬矽化物層 110、導電層 108 與介電層 106。

**【0022】** 請參照圖 1B，在閘極結構 104 旁的基底 100 中形成多個口袋摻雜區 114。在一些實施例中，口袋摻雜區 114 的深度例如是 170 埃(Å)至 300 埃。口袋摻雜區 114 的摻質包括 IVA 族元素。口袋摻雜區 114 的摻質可包括碳、矽、鍺、錫或鉛。在一些實施例中，口袋摻雜區 114 的摻質可為碳或鍺。在本實施例中，口袋摻雜區 114 的摻質是以碳為例，但本發明並不以此為限。口袋摻雜區 114 的形成方法可為冷植入。在本文中，術語「冷植入」是指在低溫下進行的離子植入製程。在一些實施例中，用以形成口袋摻雜區 114 的冷植入的溫度可為 $-20^{\circ}\text{C}$ 至 $-100^{\circ}\text{C}$ 。在一些實施例中，用以形成口袋摻雜區 114 的冷植入的植入能量可為 5 千電子伏特至 15 千電子伏特。在一些實施例中，用以形成口袋摻雜區 114 的冷植入的植入劑量可為  $5 \times 10^{13}$  原子/平方公分至  $5 \times 10^{15}$  原子/平方公分。在一些實施例中，用以形成口袋摻雜區 114 的冷植入的傾斜角可為 3 度至 15 度。在一些實施例中，當口袋摻雜區 114 的摻質為碳時，冷植入的氣體源可為二氧化碳氣體( $\text{CO}_2$  gas)。

**【0023】** 接著，在閘極結構 104 旁的基底 100 中形成多個口袋摻雜區 116。口袋摻雜區 116 的深度大於口袋摻雜區 114 的深度。口

袋摻雜區 116 可具有第一導電型(如，N 型導電型)。以下，第一導電型與第二導電型可分別為 N 型導電型與 P 型導電型中的一者與另一者。在本實施例中，第一導電型是以 N 型導電型為例，且第二導電型是以 P 型導電型為例，但本發明並不以此為限。在另一些實施例中，第一導電型可為 P 型導電型，且第二導電型可為 N 型導電型。在本實施例中，口袋摻雜區 116 可具有 N 型導電型，且口袋摻雜區 116 的摻質例如是砷(As)。口袋摻雜區 116 的形成方法例如是離子植入法。

**【0024】** 然後，在多個口袋摻雜區 114 中形成多個源極/汲極延伸區 118。在一些實施例中，源極/汲極延伸區亦可稱為「輕摻雜汲極(lightly doped drain, LDD)區」。源極/汲極延伸區 118 可具有第二導電型(如，P 型導電型)。在本實施例中，源極/汲極延伸區 118 可具有 P 型導電型，且源極/汲極延伸區 118 的摻質例如是硼(B)或二氟化硼(BF<sub>2</sub>)。源極/汲極延伸區 118 的形成方法例如是離子植入法。

**【0025】** 請參照圖 1C，可在閘極結構 104 的側壁上形成多個間隙壁 120。間隙壁 120 可為單層結構或多層結構。間隙壁 120 的材料例如是氧化矽、氮化矽或其組合。在一些實施例中，間隙壁 120 的形成方法可包括以下步驟。首先，可在基底 100、隔離結構 102 與閘極結構 104 上共形地形成間隙壁材料層(未示出)。接著，再對間隙壁材料層進行回蝕刻製程(如，乾式蝕刻製程)，而形成間隙壁 120。

【0026】 然後，在閘極結構 104 旁的基底 100 中形成多個源極/汲極區 122。源極/汲極延伸區 118 位在源極/汲極區 122 與閘極結構 104 之間。源極/汲極區 122 可連接於源極/汲極延伸區 118。源極/汲極區 122 的深度可大於源極/汲極延伸區 118 的深度。源極/汲極區 122 可具有第二導電型(如，P 型導電型)。在本實施例中，源極/汲極區 122 可具有 P 型導電型，且源極/汲極區 122 的摻質例如是硼(B)或二氟化硼(BF<sub>2</sub>)。源極/汲極區 122 的形成方法例如是離子植入法。

【0027】 請參照圖 1D，可在基底 100、隔離結構 102、閘極結構 104 與間隙壁 120 上形成介電層 124。介電層 124 可為單層結構或多層結構。介電層 124 的材料例如是氧化矽、氮化矽或其組合。介電層 124 的形成方法例如是化學氣相沉積法。

【0028】 請參照圖 1E，可在介電層 124 中形成多個開口 OP。開口 OP 可暴露出源極/汲極區 122。在一些實施例中，可藉由微影製程與蝕刻製程移除部分介電層 124 而形成開口 OP。在一些實施例中，在形成開口 OP 的製程中，可能移除部分源極/汲極區 122。

【0029】 請參照圖 1F，可在閘極結構 104 旁的基底 100 中形成多個接觸窗摻雜區 126。源極/汲極區 122 位在接觸窗摻雜區 126 中。在一些實施例中，接觸窗摻雜區 126 的深度例如是 250 埃至 400 埃。接觸窗摻雜區 126 的摻質可包括 IVA 族元素。接觸窗摻雜區 126 的摻質可包括碳、矽、鍺、錫或鉛。在一些實施例中，接觸窗摻雜區 126 的摻質可為碳或鍺。在本實施例中，接觸窗摻雜區 126

的摻質是以碳為例，但本發明並不以此為限。接觸窗摻雜區 126 的形成方法可為冷植入。在一些實施例中，用以形成接觸窗摻雜區 126 的冷植入的溫度可為 $-20^{\circ}\text{C}$ 至 $-100^{\circ}\text{C}$ 。在一些實施例中，用以形成接觸窗摻雜區 126 的冷植入的植入能量可為 10 千電子伏特至 20 千電子伏特。在一些實施例中，用以形成接觸窗摻雜區 126 的冷植入的植入劑量可為  $1\times 10^{14}$  原子/平方公分至  $1\times 10^{16}$  原子/平方公分。在一些實施例中，用以形成接觸窗摻雜區 126 的冷植入的傾斜角可為 0 度。在一些實施例中，當接觸窗摻雜區 126 的摻質碳時，冷植入的氣體源可為二氧化碳氣體。

**【0030】** 接著，可在多個接觸窗摻雜區 126 中形成多個接觸窗摻雜區 128。接觸窗摻雜區 128 的深度可大於源極/汲極區 122 的深度。在一些實施例中，接觸窗摻雜區 128 的深度例如是 100 埃至 200 埃。接觸窗摻雜區 128 可具有第二導電型(如，P 型導電型)。在本實施例中，接觸窗摻雜區 128 可具有 P 型導電型，且接觸窗摻雜區 128 的摻質例如是硼(B)或二氟化硼( $\text{BF}_2$ )。接觸窗摻雜區 128 的形成方法例如是離子植入法。

**【0031】** 基於上述可知，在一些實施例的電晶體結構 10 的製造方法中，在多個口袋摻雜區 114 中形成多個源極/汲極延伸區 118，且口袋摻雜區 114 的摻質包括 IVA 族元素。因此，可藉由口袋摻雜區 114 來抑制源極/汲極延伸區 118 中的摻質擴散出去，藉此可有效地抑制短通道效應與擊穿效應，且可降低漏電流。此外，在一些實施例的電晶體結構 10 的製造方法中，在閘極結構 104 旁的

基底 100 中形成多個接觸窗摻雜區 126，源極/汲極區 122 位在接觸窗摻雜區 126 中，且接觸窗摻雜區 126 的摻質可包括 IVA 族元素。因此，可藉由接觸窗摻雜區 126 來抑制源極/汲極區 122 中的摻質擴散出去，藉此可有效地抑制短通道效應與擊穿效應，且可降低阻值。在一些實施例中，電晶體結構 10 的製造方法更可包括在多個接觸窗摻雜區 126 中形成多個接觸窗摻雜區 128。由於接觸窗摻雜區 126 可抑制接觸窗摻雜區 128 中的摻質擴散出去，因此可有效地抑制短通道效應與擊穿效應，且可降低阻值。

**【0032】** 以下，藉由圖 1F 來說明上述實施例的電晶體結構 10。此外，雖然電晶體結構 10 的形成方法是以上述方法為例來進行說明，但本發明並不以此為限。

**【0033】** 請參照圖 1F，電晶體結構 10 包括基底 100、閘極結構 104、多個口袋摻雜區 114、多個口袋摻雜區 116、多個源極/汲極延伸區 118 與多個源極/汲極區 122。電晶體結構 10 可為 P 型金屬氧化物半導體 (P-type metal oxide semiconductor, PMOS) 電晶體結構或 N 型金屬氧化物半導體 (N-type metal oxide semiconductor, NMOS) 電晶體結構。在本實施例中，電晶體結構 10 是以 P 型金屬氧化物半導體電晶體結構為例，但本發明並不以此為限。閘極結構 104 位在基底 100 上。多個口袋摻雜區 114 位在閘極結構 104 旁的基底 100 中。口袋摻雜區 114 的摻質包括 IVA 族元素。多個口袋摻雜區 116 位在閘極結構 104 旁的基底 100 中。口袋摻雜區 116 的深度大於口袋摻雜區 114 的深度。多個源極/汲極延伸區 118 位在多個口袋摻雜區 114 中。多個

源極/汲極區122位在閘極結構104旁的基底100中。源極/汲極延伸區118位在源極/汲極區122與閘極結構104之間。

【0034】 在一些實施例中，電晶體結構 10 更可包括多個接觸窗摻雜區 126。多個接觸窗摻雜區 126 位在閘極結構 104 旁的基底 100 中。源極/汲極區 122 可位在接觸窗摻雜區 126 中。接觸窗摻雜區 126 的摻質可包括 IVA 族元素。在一些實施例中，電晶體結構 10 更可包括多個接觸窗摻雜區 128。多個接觸窗摻雜區 128 位在多個接觸窗摻雜區 126 中。接觸窗摻雜區 128 的深度可大於源極/汲極區 122 的深度。在一些實施例中，電晶體結構 10 更可包括多個間隙壁 120。多個間隙壁 120 位在閘極結構 104 的側壁上。源極/汲極延伸區 118 可位在間隙壁 120 下方。

【0035】 在上述實施例中，雖然電晶體結構 10 同時包括口袋摻雜區 114 與接觸窗摻雜區 126，但本發明並不以此為限。在另一些實施例中，電晶體結構 10 包括口袋摻雜區 114，但不包括接觸窗摻雜區 126。在另一些實施例中，電晶體結構 10 包括接觸窗摻雜區 126，但不包括口袋摻雜區 114。

【0036】 在一些實施例中，電晶體結構 10 可應用於陣列下互補式金屬氧化物半導體 (complementary metal oxide semiconductor (CMOS) under array, CuA) 的架構或鄰近陣列的互補式金屬氧化物半導體 (CMOS near array, CnA) 的架構中。

【0037】 此外，電晶體結構 10 中的其餘構件可參照上述實施例的說明。另外，電晶體結構 10 中的各構件的詳細內容(如，材料與

形成方法等)已於上述實施例進行詳盡地說明，於此不再說明。

【0038】 基於上述可知，在一些實施例的電晶體結構 10 中，多個源極/汲極延伸區 118 位在多個口袋摻雜區 114 中，且口袋摻雜區 114 的摻雜包括 IVA 族元素。因此，可藉由口袋摻雜區 114 來抑制源極/汲極延伸區 118 中的摻質擴散出去，藉此可有效地抑制短通道效應與擊穿效應，且可降低漏電流。在一些實施例的電晶體結構 10 中，源極/汲極區 122 位在接觸窗摻雜區 126 中，且接觸窗摻雜區 126 的摻質包括 IVA 族元素。因此，可藉由接觸窗摻雜區 126 來抑制源極/汲極區 122 中的摻質擴散出去，藉此可有效地抑制短通道效應與擊穿效應，且可降低阻值。在一些實施例中，電晶體結構 10 更可包括多個接觸窗摻雜區 128，且多個接觸窗摻雜區 128 位在多個接觸窗摻雜區 126 中。由於接觸窗摻雜區 126 可抑制接觸窗摻雜區 128 中的摻質擴散出去，因此可有效地抑制短通道效應與擊穿效應，且可降低阻值。

【0039】 綜上所述，在上述實施例的電晶體結構及其製造方法中，由於包括 IVA 族元素的摻雜區可抑制源極/汲極延伸區及/或源極/汲極區中的摻質擴散出去，因此可有效地抑制短通道效應。

【0040】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

## 【符號說明】

### 【0041】

- 10: 電晶體結構
- 100: 基底
- 102: 隔離結構
- 104: 閘極結構
- 106, 124: 介電層
- 108: 導電層
- 110: 金屬矽化物層
- 112: 硬罩幕層
- 114, 116: 口袋摻雜區
- 118: 源極/汲極延伸區
- 120: 間隙壁
- 122: 源極/汲極區
- 126, 128: 接觸窗摻雜區
- OP: 開口

## 【發明申請專利範圍】

【請求項1】一種電晶體結構，包括：

基底；

閘極結構，位在所述基底上；

多個第一口袋摻雜區，位在所述閘極結構旁的所述基底中，其中所述第一口袋摻雜區的摻質包括 IVA 族元素；

多個第二口袋摻雜區，位在所述閘極結構旁的所述基底中，其中所述第二口袋摻雜區的深度大於所述第一口袋摻雜區的深度；

多個源極/汲極延伸區，位在多個所述第一口袋摻雜區中；

多個源極/汲極區，位在所述閘極結構旁的所述基底中，其中所述源極/汲極延伸區位在所述源極/汲極區與所述閘極結構之間；以及

多個第一接觸窗摻雜區，位在所述閘極結構旁的所述基底中，其中所述源極/汲極區位在所述第一接觸窗摻雜區中，且所述第一接觸窗摻雜區的摻質包括所述 IVA 族元素。

【請求項2】如請求項1所述的電晶體結構，其中所述第一口袋摻雜區的摻質包括碳或銻。

【請求項3】如請求項1所述的電晶體結構，其中所述源極/汲極區連接於所述源極/汲極延伸區，且所述電晶體結構更包括：

多個間隙壁，位在所述閘極結構的側壁上，其中所述源極/汲極延伸區位在所述間隙壁下方。

【請求項4】如請求項1所述的電晶體結構，更包括：

多個第二接觸窗摻雜區，位在多個所述第一接觸窗摻雜區中，其中所述第二接觸窗摻雜區的深度大於所述源極/汲極區的深度。

【請求項5】一種電晶體結構的製造方法，包括：

提供基底；

在所述基底上形成閘極結構；

在所述閘極結構旁的所述基底中形成多個第一口袋摻雜區，其中所述第一口袋摻雜區的摻質包括 IVA 族元素；

在所述閘極結構旁的所述基底中形成多個第二口袋摻雜區，其中所述第二口袋摻雜區的深度大於所述第一口袋摻雜區的深度；

在多個所述第一口袋摻雜區中形成多個源極/汲極延伸區；

在所述閘極結構旁的基底中形成多個源極/汲極區，其中所述源極/汲極延伸區位在所述源極/汲極區與所述閘極結構之間；以及

在所述閘極結構旁的所述基底中形成多個第一接觸窗摻雜區，其中所述源極/汲極區位在所述第一接觸窗摻雜區中，且所述第一接觸窗摻雜區的摻質包括所述 IVA 族元素。

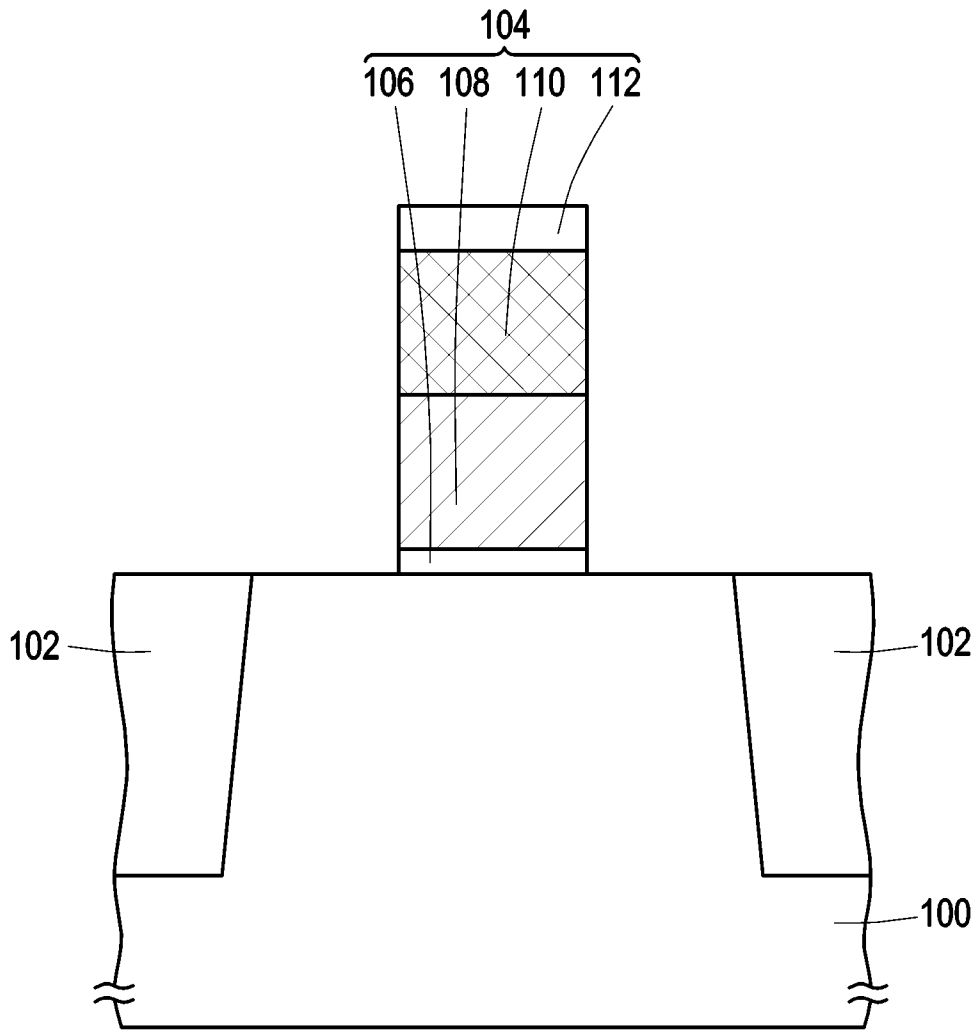
【請求項6】如請求項5所述的電晶體結構的製造方法，其中所述第一口袋摻雜區的形成方法包括冷植入，且所述冷植入的溫度為  $-20^{\circ}\text{C}$  至  $-100^{\circ}\text{C}$ 。

【請求項7】如請求項5所述的電晶體結構的製造方法，其中所述第一接觸窗摻雜區的形成方法包括冷植入，且所述冷植入的溫度為 $-20^{\circ}\text{C}$ 至 $-100^{\circ}\text{C}$ 。

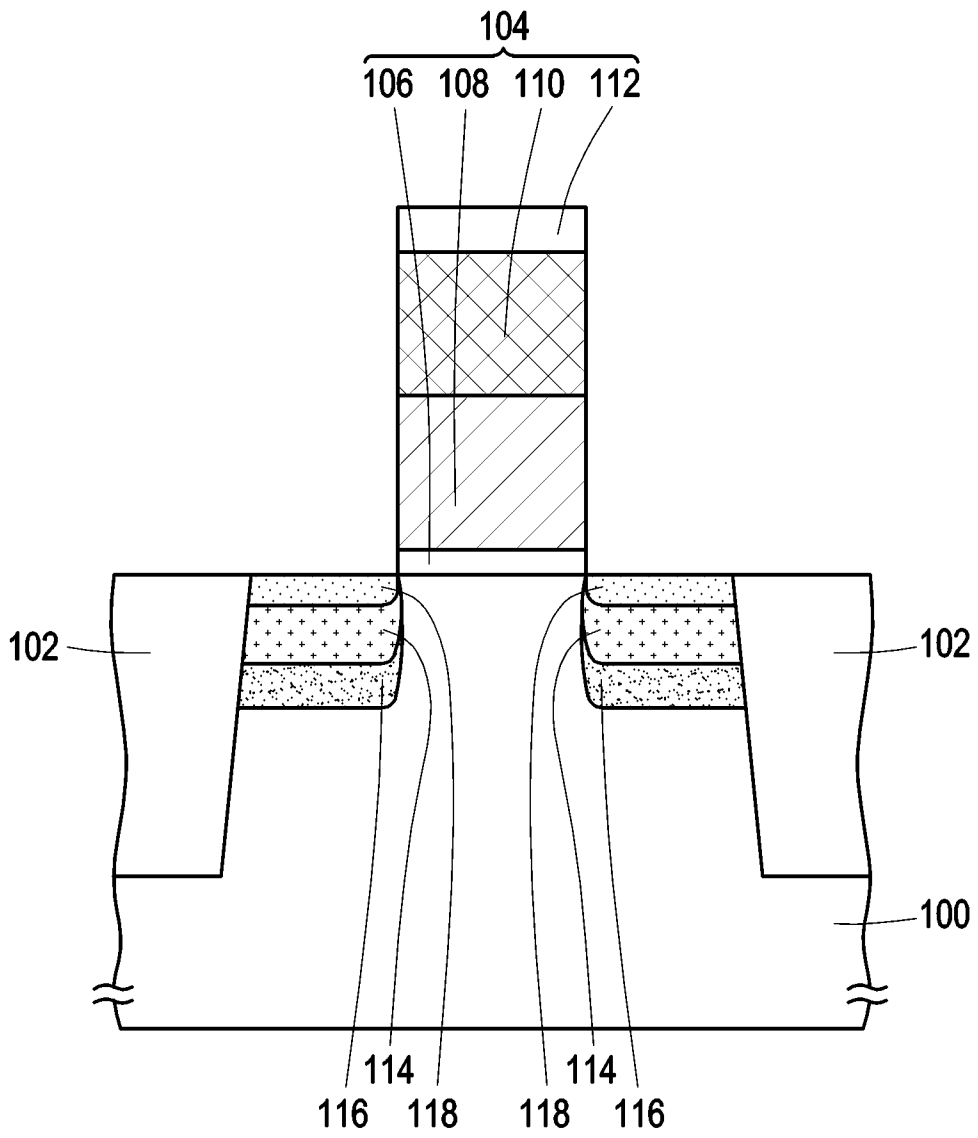
【請求項8】如請求項5所述的電晶體結構的製造方法，更包括：

在多個所述第一接觸窗摻雜區中形成多個第二接觸窗摻雜區，其中所述第二接觸窗摻雜區的深度大於所述源極/汲極區的深度。

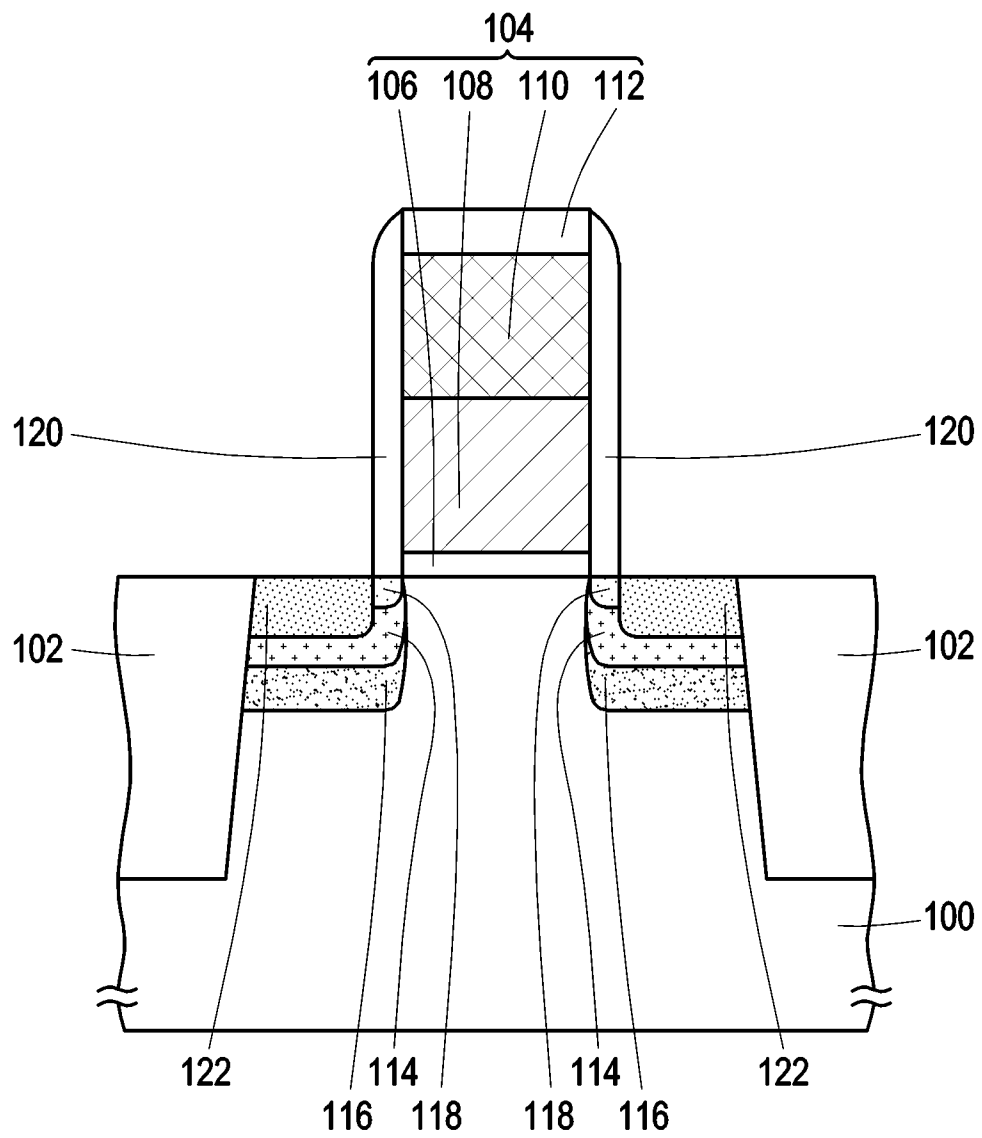
【發明圖式】



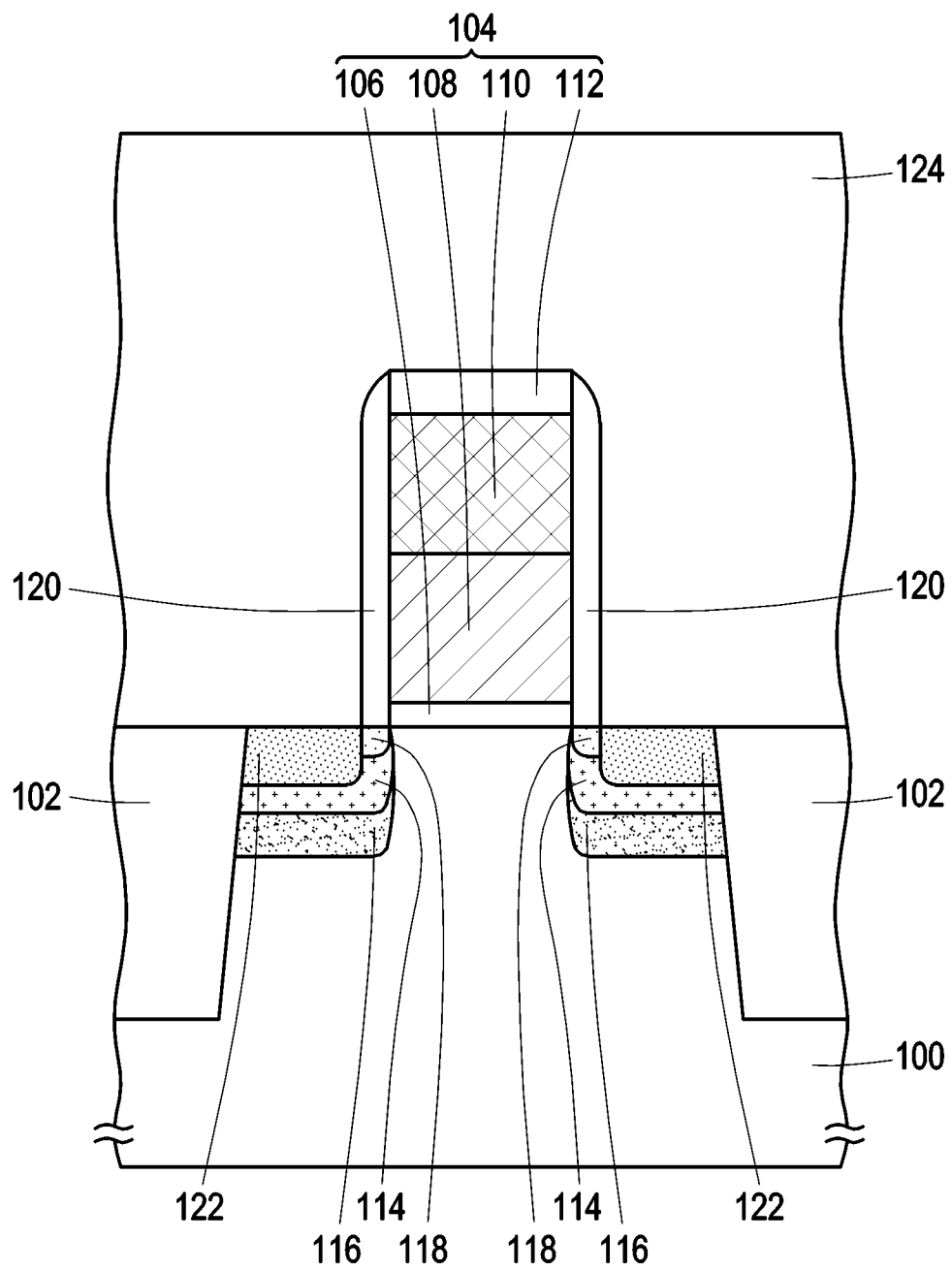
【圖1A】



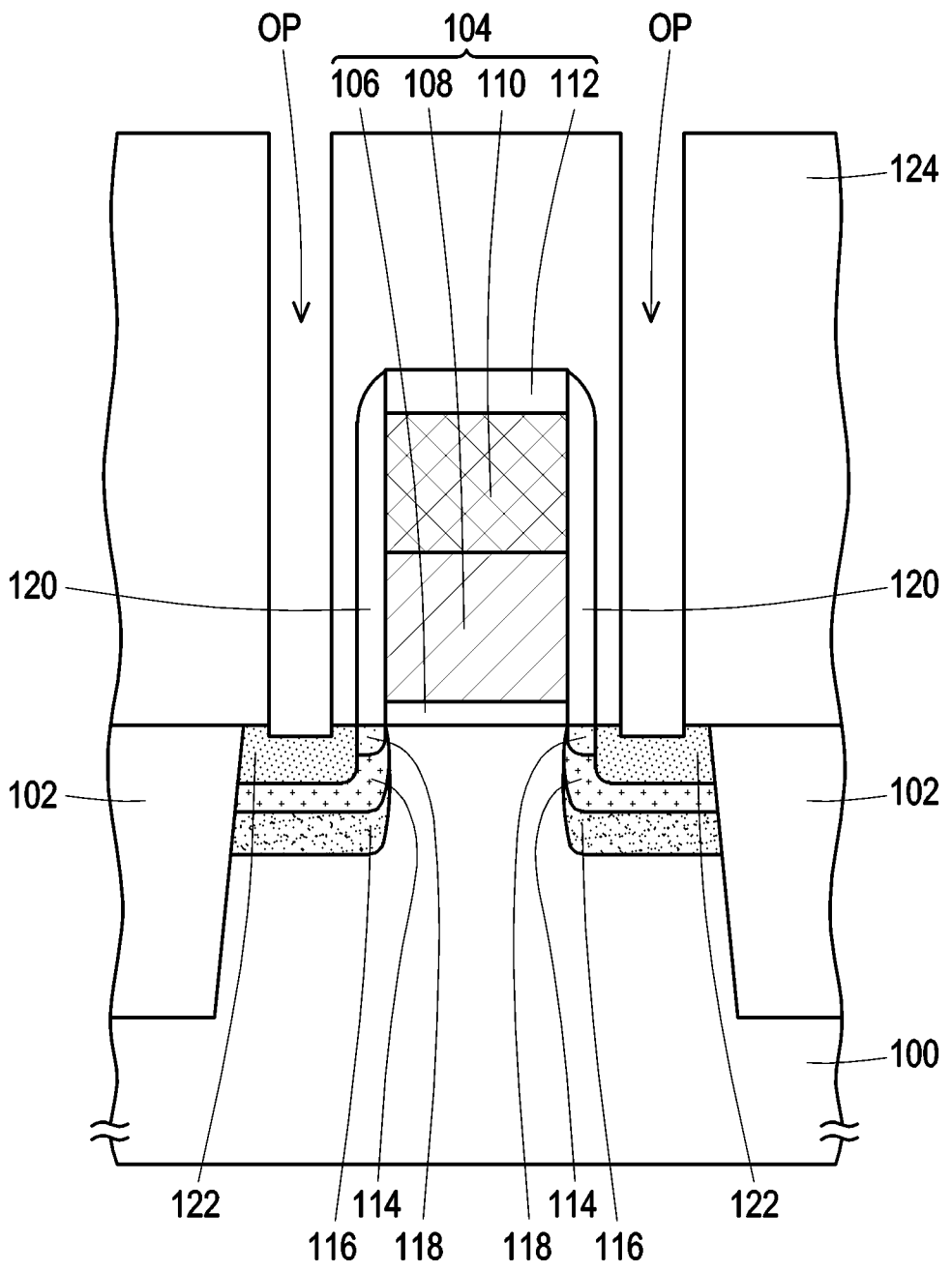
【圖1B】



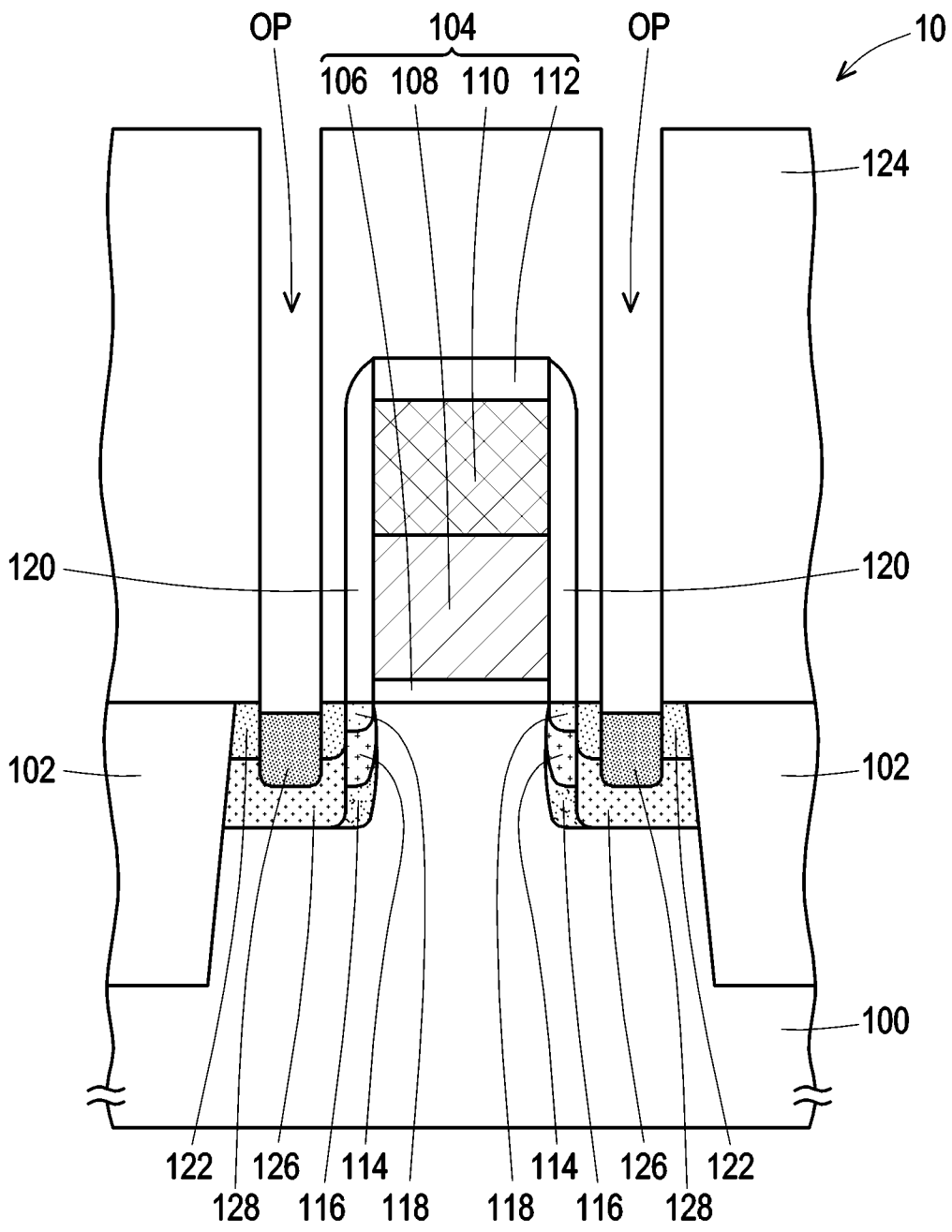
【圖1C】



【圖1D】



【圖1E】



【圖1F】