

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-155703

(P2006-155703A)

(43) 公開日 平成18年6月15日(2006.6.15)

(51) Int. Cl.	F I	テーマコード (参考)
G11C 11/417 (2006.01)	G11C 11/34 305	5B015
H03K 19/0175 (2006.01)	H03K 19/00 101N	5J056
H03K 5/00 (2006.01)	H03K 5/00 K	

審査請求 未請求 請求項の数 12 O L (全 14 頁)

(21) 出願番号 特願2004-341612 (P2004-341612)
 (22) 出願日 平成16年11月26日 (2004.11.26)

(71) 出願人 000006747
 株式会社リコー
 東京都大田区中馬込1丁目3番6号
 (72) 発明者 山中 俊輝
 東京都大田区中馬込1丁目3番6号 株式
 会社リコー内

Fターム(参考) 5B015 HH01 JJ24 KB88 PP08
 5J056 AA39 BB02 BB17 CC00 CC05
 CC14 CC19 DD12 EE06 FF01
 FF07 FF10 GG08 GG14 KK01

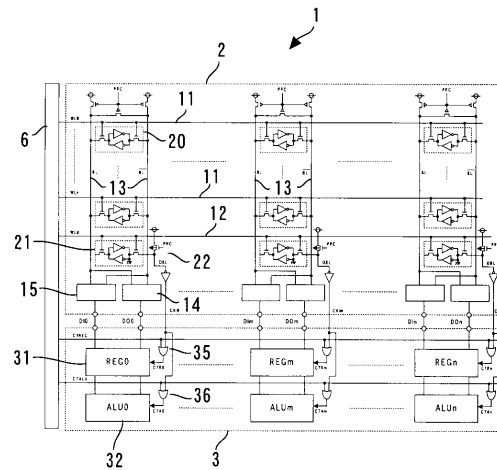
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 メモリ部とロジック部とが単一の半導体チップ上に形成されて複数のデータ処理を同時におこなう半導体集積回路における、メモリ部とロジック部とのデータのやり取りのタイミングが最適化されて、動作性能及び動作速度が向上されるとともに消費電流が軽減される半導体集積回路を提供する。

【解決手段】 メモリ部2における複数のデータ伝送線11、13の間で生じる遅延に係わる情報をモニタするモニタ回路12と、その遅延に合わせて位相が異なる複数の内部同期クロックを生成する生成回路21と、を備える。そして、生成回路21で生成した内部同期クロックを、メモリ部2とロジック部3とのタイミングを調整する信号として用いる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数のデータ伝送線を有するメモリ部とロジック部とが単一の半導体チップ上に形成されて複数のデータ処理を同時におこなう半導体集積回路であって、

前記メモリ部における前記複数のデータ伝送線の間で生じる遅延に係わる情報をモニタするモニタ回路と、

前記遅延に合わせて位相が異なる複数の内部同期クロックを生成する生成回路と、を備え、

前記内部同期クロックを前記メモリ部と前記ロジック部とのタイミングを調整する信号として用いることを特徴とする半導体集積回路。

10

【請求項 2】

前記生成回路は、前記メモリ部と前記ロジック部とを接続する複数のデータ伝送線に対して所定間隔ごとに前記内部同期クロックを生成することを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 3】

前記複数のデータ伝送線は、複数のワードライン及びビットラインであって、

前記モニタ回路は、前記ワードラインの動作を模擬するように形成されたダミーワードラインであることを特徴とする請求項 1 又は請求項 2 に記載の半導体集積回路。

【請求項 4】

前記ワードラインは、複数のメモリセルが接続され、

20

前記ダミーワードラインは、予め固定されたデータを保持するとともに前記メモリセルの動作を模擬するように形成されたダミーメモリセルが接続されたことを特徴とする請求項 3 に記載の半導体集積回路。

【請求項 5】

前記生成回路は、前記ダミーメモリセルであることを特徴とする請求項 4 に記載の半導体集積回路。

【請求項 6】

前記ワードラインは、複数のメモリセルが接続され、

前記ダミーワードラインは、予め固定されたデータを保持するとともに前記メモリセルの動作を模擬するように形成されたダミーメモリセルが接続され、

30

前記ダミーワードラインに対して逆相で動作するように形成された第 2 のダミーワードラインと、

前記第 2 のダミーワードラインに接続された第 2 のダミーメモリセルと、

前記ダミーメモリセルの出力ノードに接続されるとともに、前記第 2 のダミーメモリセルからの出力信号が入力されるプリチャージ回路と、

前記第 2 のダミーメモリセルの出力ノードに接続されるとともに、前記ダミーメモリセルからの出力信号が入力される第 2 のプリチャージ回路と、を備えたことを特徴とする請求項 3 ~ 請求項 5 のいずれかに記載の半導体集積回路。

【請求項 7】

前記生成回路は、前記ワードラインの立ち上がり又は立ち下がりの変化に合わせて前記内部同期クロックを生成することを特徴とする請求項 6 に記載の半導体集積回路。

40

【請求項 8】

前記複数のデータ伝送線は、複数のメモリセルが接続された複数のワードライン及びビットラインであって、

前記ビットラインの動作を模擬するように形成されたダミービットラインを備え、

前記ダミービットラインは、予め固定されたデータを保持するとともに前記メモリセルの動作を模擬するように形成されたダミーメモリセルが接続されるとともに、当該ダミービットラインの信号を増幅するダミーのセンスアンプが接続され、

前記モニタ回路は、前記ダミービットラインであることを特徴とする請求項 1 ~ 請求項 7 のいずれかに記載の半導体集積回路。

50

【請求項 9】

前記ダミービットラインで生成される内部同期クロックを前記メモリ部のセンスアンプ又はノ及びライトバッファを制御する同期クロックとして用いることを特徴とする請求項 8 に記載の半導体集積回路。

【請求項 10】

前記ロジック部は、当該ロジック部におけるワードライン方向の遅延に係わる情報をモニタする第 2 のモニタ回路を備えたことを特徴とする請求項 1 ~ 請求項 9 のいずれかに記載の半導体集積回路。

【請求項 11】

前記内部同期クロックは、前記メモリ部へのアクセスがおこなわれているときに前記メモリ部と前記ロジック部とのタイミングを調整する信号として用いられることを特徴とする請求項 1 ~ 請求項 10 のいずれかに記載の半導体集積回路。

【請求項 12】

前記メモリ部へのアクセスがおこなわれていないときに、前記ロジック部における遅延に係わる情報のみで生成される内部同期信号を用いて当該ロジック部におけるタイミングの調整をおこなうことを特徴とする請求項 11 に記載の半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、複数のデータ伝送線を有するメモリ部とロジック部とが単一の半導体チップ上に形成されて複数のデータ処理を同時におこなう S R A M 等の半導体集積回路に関し、特に、画像処理等に用いられる S I M D 方式の半導体集積回路に関するものである。

【背景技術】

【0002】

従来から、大量のデータを処理する画像処理等では、メモリ部とロジック部（プロセッサ）とを単一の半導体チップ上に搭載して、専用の処理システムとして高速に処理をおこなう半導体集積回路が多く用いられている。このような半導体集積装置として、代表的な S I M D（Single Instruction Multiple Data）方式のものは、1つの命令でメモリ部（メモリコア）からの大量のデータを複数の演算回路で並列に同時処理をおこなって、これを繰り返し実行することによって、種々の画像処理を実現している。

【0003】

このように大量のデータを処理するためには、それに応じた大容量のメモリ回路とそれらのデータを処理する複数の演算回路とが必要になる。そして、大容量のメモリ領域に対応させるために、小容量のメモリ回路を複数用いることも可能である。しかし、その場合には、複数のメモリ回路のそれぞれに制御回路が必要となって、チップサイズが大きくなってしまふ。

【0004】

S I M D 方式のように同時に並列処理をおこなう半導体集積回路では、チップサイズを縮小する目的を含めて、ワードラインを共通のドライバで駆動して、複数のデータ伝送線（データ入出力線）を有する単一の大容量メモリ回路（メモリ部）を搭載することが可能になる。その場合、メモリセルアレイにおける 1 本のワードライン上のデータを並列に読み出して、この読み出されたデータの演算処理を並列に実行することとなる。

ところが、大量のデータを一度に同時処理するためには、メモリコアのデータ入出力線の本数を多くする必要がある。しかし、そのような場合には、ワードライン方向の負荷が増加するとともに、ワードラインの配線抵抗によってドライバの近傍と最遠端とのワードライン選択時間に大きな時間差（遅延）が生じてしまふ。これにより、メモリ部からの読出しタイミングや書込みタイミングが、複数のデータ入出力線間で異なってしまふ。

【0005】

このような大容量化による配線遅延は、ロジック部でも同様に生じる可能性がある。すなわち、大量のデータを同時処理するために複数の演算回路を制御する信号に対して、メ

10

20

30

40

50

メモリ部のワードラインを駆動する信号ほどではないにしても、配線長及び配線負荷はかなり大きなものとなる。したがって、ロジック部内の各演算回路間でのデータ処理タイミングに遅延が生じてしまう。

【0006】

一方、特許文献1等には、メモリ回路における動的センスアンプのタイミングを最適化することを目的として、メモリ単体で構成される回路においてワードライン抵抗、ビットライン容量の変化を模擬する技術が開示されている。

また、特許文献2～特許文献4等には、SRAMのセルフタイミング回路において、消費電流を軽減すること等を目的として、メモリ単体で構成される回路にダミーセルを用いる技術が開示されている。

10

【0007】

【特許文献1】特許平10-177792号公報

【特許文献2】特開2002-367377号公報

【特許文献3】特開2003-7055号公報

【特許文献4】特開2003-36678号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

上述した従来の半導体集積回路は、SIMD方式のものに代表されるように、大量のデータを同時に処理できるものの、メモリ部(メモリコア)と演算回路を含むロジック部との入出力タイミングがそれぞれに独立した遅延値を持って入出力信号としてあらわれるために、双方の同期をとるためのタイミング制御が難しくなるという問題があった。

20

【0009】

例えば、メモリコアの制御信号(ワードライン信号)におけるドライバ近傍の入出力データとそれに対応する演算回路の入出力データとのタイミングを合わせたとしても、ドライバから遠い側の入出力データはメモリコア及びロジック部の遅延の程度が異なるために、タイミングが合わなくなってしまう。これに対して、すべての演算回路を正常に動作させるためにそれぞれのデータに対してセットアップタイム、ホールドタイムを設けた場合には、動作周波数を低下させることになってしまう。このような動作タイミングのずれは、高速動作の妨げになるだけでなく、消費電流を浪費する原因となっていた。

30

【0010】

ここで、メモリコアとロジック部との同期が取り難い原因として、メモリセル特有のレイアウトが挙げられる。通常、演算回路は基本論理ゲートを組み合わせることによって合成されるが、メモリ回路では集積度を上げるために、1ビット当たりのセル形状を特別なデザインルールに従って作成している。そのために、遅延情報をデータベース化して他の論理回路と同様に扱うことが困難となって、メモリコアはそれ自体がブラックボックスとして扱われることが多かった。また、各入出力データのタイミングを予め設定する方策も考えられるが、実際には製造工程におけるばらつき等によってタイミングを正確に設定することが困難であって、それぞれのスペックに動作マージンを加えた形での設定になっていた。

40

【0011】

小容量のデータを扱う半導体集積回路であれば同時のタイミングでデータの転送を扱ったとしても大きな問題とはならないが、大容量のデータを扱うSIMD方式の半導体集積回路(プロセッサ)においては同時に並列処理をおこなうために、動作タイミングを合致させるように制御しなければならない。SIMD方式の半導体集積回路では、レイアウト上、大容量のメモリ回路の入出力線と演算回路を含むロジック部の入出力線とを、それぞれのピッチを合わせて配置する。しかし、それぞれの制御信号の配線負荷が異なるために、入出力線のタイミングのずれを調整する方法が必要になる。

【0012】

このような問題を解決するために、メモリ回路におけるワードラインやビットラインの

50

遅延成分をモニタして、メモリ回路のセンスアンプ等の活性化タイミングを制御する技術も開示されている。これらの技術は、実際に使用するワードラインやビットラインを複製したダミー回路を設けて、それらの動作を模擬するものである。具体的には、ワードライン及びビットラインの最遠端にダミーメモリセルを配置することで、クリティカルパスでのメモリセルアクセスを模擬して、メモリ回路の活性化期間を制御する。しかし、このような技術では、最も遅いパスに合わせてタイミングを決定するために、入出力のタイミングを均一に定義する小容量のメモリ回路に対しては問題は生じないが、大容量のメモリ回路に対してはクリティカルパスにのみ対応した回路となってしまう。

【0013】

一方、上述した特許文献1～特許文献4等の技術は、いずれも、メモリ単体で構成される回路にダミー回路を設けたものであって、メモリ部とロジック部とが単一の半導体チップ上に形成された半導体集積回路における各入出力データ線間の遅延によるばらつきを制御するものではない。

10

【0014】

この発明は、上述のような課題を解決するためになされたもので、メモリ部とロジック部とが単一の半導体チップ上に形成されて複数のデータ処理を同時におこなう半導体集積回路における、メモリ部とロジック部とのデータのやり取りのタイミングが最適化されて、動作性能及び動作速度が向上されるとともに消費電流が軽減される半導体集積回路を提供することにある。

【課題を解決するための手段】

20

【0015】

この発明の請求項1記載の発明にかかる半導体集積回路は、複数のデータ伝送線を有するメモリ部とロジック部とが単一の半導体チップ上に形成されて複数のデータ処理を同時におこなう半導体集積回路であって、前記メモリ部における前記複数のデータ伝送線の間で生じる遅延に係わる情報をモニタするモニタ回路と、前記遅延に合わせて位相が異なる複数の内部同期クロックを生成する生成回路と、を備え、前記内部同期クロックを前記メモリ部と前記ロジック部とのタイミングを調整する信号として用いるものである。

【0016】

また、請求項2記載の発明にかかる半導体集積回路は、前記請求項1に記載の発明において、前記生成回路は、前記メモリ部と前記ロジック部とを接続する複数のデータ伝送線に対して所定間隔ごとに前記内部同期クロックを生成するものである。

30

【0017】

また、請求項3記載の発明にかかる半導体集積回路は、前記請求項1又は請求項2に記載の発明において、前記複数のデータ伝送線は、複数のワードライン及びビットラインであって、前記モニタ回路を、前記ワードラインの動作を模擬するように形成されたダミーワードラインとしたものである。

【0018】

また、請求項4記載の発明にかかる半導体集積回路は、前記請求項3に記載の発明において、前記ワードラインは、複数のメモリセルが接続され、前記ダミーワードラインは、予め固定されたデータを保持するとともに前記メモリセルの動作を模擬するように形成されたダミーメモリセルが接続されたものである。

40

【0019】

また、請求項5記載の発明にかかる半導体集積回路は、前記請求項4に記載の発明において、前記生成回路を、前記ダミーメモリセルとしたものである。

【0020】

また、請求項6記載の発明にかかる半導体集積回路は、前記請求項3～請求項5のいずれかに記載の発明において、前記ワードラインは、複数のメモリセルが接続され、前記ダミーワードラインは、予め固定されたデータを保持するとともに前記メモリセルの動作を模擬するように形成されたダミーメモリセルが接続され、前記ダミーワードラインに対して逆相で動作するように形成された第2のダミーワードラインと、前記第2のダミーワー

50

ドラインに接続された第2のダミーメモリセルと、前記ダミーメモリセルの出力ノードに接続されるとともに、前記第2のダミーメモリセルからの出力信号が入力されるプリチャージ回路と、前記第2のダミーメモリセルの出力ノードに接続されるとともに、前記ダミーメモリセルからの出力信号が入力される第2のプリチャージ回路と、を備えたものである。

【0021】

また、請求項7記載の発明にかかる半導体集積回路は、前記請求項6に記載の発明において、前記生成回路は、前記ワードラインの立ち上がり又は立ち下がりの変化に合わせて前記内部同期クロックを生成するものである。

【0022】

また、請求項8記載の発明にかかる半導体集積回路は、前記請求項1～請求項7のいずれかに記載の発明において、前記複数のデータ伝送線は、複数のメモリセルが接続された複数のワードライン及びビットラインであって、前記ビットラインの動作を模擬するように形成されたダミービットラインを備え、前記ダミービットラインは、予め固定されたデータを保持するとともに前記メモリセルの動作を模擬するように形成されたダミーメモリセルが接続されるとともに、当該ダミービットラインの信号を増幅するダミーのセンスアンプが接続され、前記モニタ回路を、前記ダミービットラインとしたものである。

10

【0023】

また、請求項9記載の発明にかかる半導体集積回路は、前記請求項8に記載の発明において、前記ダミービットラインで生成される内部同期クロックを前記メモリ部のセンスアンプ又はノ及びライトバッファを制御する同期クロックとして用いるものである。

20

【0024】

また、請求項10記載の発明にかかる半導体集積回路は、前記請求項1～請求項9のいずれかに記載の発明において、前記ロジック部は、当該ロジック部におけるワードライン方向の遅延に係わる情報をモニタする第2のモニタ回路を備えたものである。

【0025】

また、請求項11記載の発明にかかる半導体集積回路は、前記請求項1～請求項10のいずれかに記載の発明において、前記内部同期クロックは、前記メモリ部へのアクセスがおこなわれているときに前記メモリ部と前記ロジック部とのタイミングを調整する信号として用いられるものである。

30

【0026】

また、請求項12記載の発明にかかる半導体集積回路は、前記請求項11に記載の発明において、前記メモリ部へのアクセスがおこなわれていないときに、前記ロジック部における遅延に係わる情報のみで生成される内部同期信号を用いて当該ロジック部におけるタイミングの調整をおこなうものである。

【発明の効果】

【0027】

本発明は、メモリ部とロジック部とが単一の半導体チップ上に形成されて複数のデータ処理を同時におこなう半導体集積回路において、メモリ部におけるデータ伝送線間の遅延情報をモニタして、遅延に合わせて位相が異なる内部同期クロックを生成して、これをタイミング調整するための信号としている。これにより、メモリ部とロジック部とのデータのやり取りのタイミングが最適化されて、動作性能及び動作速度が向上されるとともに消費電流が軽減される半導体集積回路を提供することができる。

40

【発明を実施するための最良の形態】

【0028】

以下、この発明を実施するための最良の形態について、図面を参照して詳細に説明する。なお、各図中、同一又は相当する部分には同一の符号を付しており、その重複説明は適宜に簡略化ないし省略する。

【0029】

実施の形態1 .

50

図 1 ~ 図 3 にて、この発明の実施の形態 1 について詳細に説明する。なお、本実施の形態 1 の説明にあたり、従来の半導体集積回路に係わる図 7 及び図 8 を適宜に参照する。

図 1 は、実施の形態 1 における SIMD 方式の半導体集積回路を示す回路図である。これに対して、図 7 は、従来の SIMD 方式の半導体集積回路を示す回路図である。本実施の形態 1 の半導体集積回路 1 は、複数のダミーメモリセル 2 1 が接続されたダミーワードライン 1 2 が設けられている点が、従来のものに対して構成上大きく相違する。

また、図 2 は実施の形態 1 の半導体集積回路における動作タイミングを示すタイミングチャートであり、図 3 は特にロジック部のみが動作する際の動作タイミングを示すタイミングチャートである。これに対して、図 8 は従来の半導体集積回路における動作タイミングを示すタイミングチャートである。

10

【 0 0 3 0 】

図 1 (又は図 7) を参照して、SIMD 方式の半導体集積回路 1 は、主として、複数のデータ伝送線 1 1、1 3 を有するメモリ部 2 (メモリコア) 及びロジック部 3 で構成される。メモリ部 2 及びロジック部 3 は、デコーダ 6 に接続されている。

SIMD 方式の半導体集積回路 1 は、大容量のデータを同時に並列処理するために、1 本のデータ伝送線 (制御信号線) で複数の回路を駆動することになる。具体的に、メモリ部 2 のワードライン 1 1 上には、複数のメモリセル 2 0 が接続されている。

【 0 0 3 1 】

まず、本実施の形態 1 における半導体集積回路 1 の構成・動作を理解する上で、図 7 及び図 8 を用いて従来の半導体集積回路 1 の問題点を以下に整理する。

20

半導体集積回路 1 を画像プロセッサとして用いる場合に、例えば、8 ビットのデータを 5 1 2 P E (プロセッサエレメント) 分処理することとする。このような場合には、一度に 4 0 9 6 個のメモリセルを選択する必要がある。すなわち、1 つのワードライン 1 1 で 4 0 9 6 個ものメモリセルを駆動しなければならない。そのため、ワードライン 1 1 に対する配線負荷は非常に重く、配線長もかなり長くなる。

したがって、図 7 に示す従来の半導体集積回路 1 では、ワードライン 1 1 の近傍と最遠端とでは配線遅延による時間差が生じて、それにもないメモリ部 2 とロジック部 3 との転送をおこなうデータにも場所によってデータのあられるタイミングが異なってしまうという問題が生じていた。

【 0 0 3 2 】

30

ここで、ワードライン 1 1 の配線負荷を軽減する方法として、グローバル配線とローカル配線とに分割して、ローカル配線をバッファリングする方法が考えられる。この方法を用いれば、グローバル配線の配線負荷が軽減されるため、配線遅延をある程度低減することができる。しかし、1 ビット当たりのメモリセル 2 0 のレイアウトサイズが小さくなるために、そのピッチに合わせてワードライン 1 1 ごとにバッファを挿入した場合にはレイアウトサイズがかなり大きくなってしまふ。さらに、近年の微細化された半導体プロセスにおいては、メモリ部 2 中にロジックレイアウトを挿入するとなると、境界領域の仕上がりを安定させるために、レイアウト用ダミーパターンが必要となる。このようなダミーパターンをワードライン 1 1 のバッファごとに挿入するとなると、ワードライン 1 1 の単一駆動の場合と比べて、レイアウトサイズがかなり大きくなってしまふ。

40

このようにワードライン 1 1 の配線負荷を軽減させるためには、チップサイズの小面積化が達成できないという問題が生じる。小面積かつ高性能を実現するためには、メモリ部 2 における入出力データの場所による遅延成分はそのままにして、ロジック部 3 でのデータ入出力タイミングを合わせ込むことが必要になる。

【 0 0 3 3 】

図 8 に示すように、従来の半導体集積回路 1 では、メモリ部 2 でのワードライン 1 1 の遅延成分と、ロジック部 3 での制御信号 (C T R E G) の遅延成分とが異なってしまうという問題があった。

詳しくは、メモリ部 2 におけるワードライン 1 1 (W L 0 (0)、W L 0 (m)、W L 0 (n)) の場所的な遅延によって、ビットライン 1 3 (B L (0)、B L (m)、B L

50

(n))を介した後のメモリ部2からの出力信号(DO(0)、DO(m)、DO(n))が異なったタイミングで出力される。この出力信号をロジック部3のレジスタ回路31で受信する場合、レジスタ回路31側でメモリ部2からの出力タイミングに合わせて取り込まなければならない。すなわち、レジスタ回路31においてCTREG信号が立ち上がるまでにメモリ部2の出力を確定させる必要がある。しかし、ロジック部3での制御信号(CTREG)の立ち上がりが遅すぎると、場所によってデータの取り込みができなくなってしまう。

【0034】

図8を参照して、デコーダ6近傍のDO(0)から出力されるデータは、メモリ部2からの出力されるアクセスタイムが速いため、レジスタ回路31でのデータ取り込みに余裕がある。しかし、デコーダ6から最遠端のDO(n)になるとワードライン11の遅延によりデータの出力が遅れているにもかかわらず、レジスタ回路31の制御信号が速くなっているために、メモリ部2からのデータを取り込めなくなってしまう。

10

このように、メモリ部2とロジック部3との制御信号によるタイミングが合わずに、ロジック部2の信号が速くなってしまった場合等には、データのセットアップが不足してロジック部3が誤動作を起こしてしまう。また、ロジック部3の制御信号が遅くなってしまった場合には、メモリ部2からのデータがホールドできずにロジック部3への誤書き込みとなる。

【0035】

本実施の形態1の半導体集積回路1は、上述したような誤動作を防ぐために、ロジック部3の制御信号とメモリ部2のワードライン11とを同様の遅延成分を持たせて動作させている。

20

具体的に、図1を参照して、本実施の形態1の半導体集積回路1は、メモリ部2にワードライン11の動作を模擬するためのダミーワードライン12を設けている。このダミーワードライン12には、複数のダミーメモリセル21が接続されている。ダミーメモリセル21は、1対のビットライン13における一方(DBL)に「L(ロー)」が出力されるようにデータが予め固定されている。また、このDBLの出力ノードには、その出力が予め「H(ハイ)」に固定されるようにプリチャージ回路22が接続されている。

【0036】

このように本実施の形態1の半導体集積回路1は、従来のもの(図7を参照できる。)に対して、メモリ部2中にワードライン(ダミーワードライン12)を1ライン分追加したものである。このような追加は、メモリセルの1ビット分の追加に相当するものであって、全体のチップサイズに及ぼす影響はほとんどない。

30

【0037】

このダミーワードライン12により出力された信号(内部同期クロック)は、内部同期信号としてメモリ部2からロジック部3へと供給される。ロジック部3には、ロジック部3における制御信号(CTREG、CTALU)を用いるか、メモリ部2からの同期信号(CKI)を用いるかの選択回路35、36が設けられていて、その用途に応じて信号を使い分けることができる。なお、本実施の形態1では、選択回路35、36としてORゲートを用いていずれかの信号を静止させる方法としているが、選択回路としてマルチプレクサを用いていずれかの信号を選択させる方法とすることもできる。

40

【0038】

図2を用いて、上述のように構成された本実施の形態1の半導体集積回路1の動作について説明する。

ワードライン11(WL0(0)、WL0(m)、WL0(n))は、従来のものと同様に、デコーダ6に近い側は速く、遠い側は遅れて選択される。また、ダミーワードライン12(WLd)も、ワードライン11の動作を模擬してワードライン11と同様の動作をおこなう。

【0039】

ダミーワードライン12によってダミーメモリセル21が選択されると、「L」がDB

50

Lへ出力される。DBLはプリチャージ回路22によって予め「H」に固定されているために、ダミーメモリセル21からの出力に合わせてCKI(ダミーワードライン12から出力される内部同期クロックである。)が「L」から「H」へと変化する。これが内部同期信号としてロジック部3へと伝わる。

その後、ロジック部3へ同期信号が伝えられると、その同期タイミングに合わせてロジック部3でメモリ部2からのデータが取り込まれる。

【0040】

ここで、内部同期信号の立ち下がりのエッジは、ダミーワードライン12が立ち下がって、プリチャージ回路22におけるプリチャージ信号(PC)がイネーブルになることによって得られる。このとき、プリチャージ信号のタイミングをワードライン11の変化に同期させてもよい(これについては、別の実施の形態で説明する。)

10

【0041】

このように、メモリ部2におけるワードライン11の遅延をモニタしたダミーワードライン12によって生成される同期信号をロジック部3においても使用するために、上述した入出力線の場所によってデータのセットアップタイムが異なるという従来の問題は解消される。すなわち、タイミングマージンが最小限に抑えられて、動作周波数を向上させることが可能となる。また、タイミングを合わせることによって、半導体集積回路1における不要な動作が軽減されて消費電流が低減される。

また、ロジック部3へ供給される同期信号は、レジスタ回路(REG)とのタイミング調整だけではなくて、演算回路32(ALU)とのタイミング調整にも用いられるために、メモリ部2とのアクセス中に演算回路32等を動作させることが可能になる。

20

【0042】

なお、図2では、メモリ部2からデータが読み出される動作とその際の効果について説明したが、ロジック部3からメモリ部2への書き込み動作がおこなわれる際にも同様の効果を得ることができる。すなわち、メモリ部2のワードライン11の選択期間とロジック部3からの入力データのタイミングを合わせて、データの正常な書き込みをおこなうことができる。

【0043】

このように本実施の形態1では、ダミーワードライン12がワードライン11で生じる遅延に係わる情報をモニタするモニタ回路として機能して、ダミーワードライン12に接続された複数のダミーメモリセル21がその遅延に合わせて位相が異なる複数の内部同期クロックを生成する生成回路として機能する。

30

【0044】

すなわち、本実施の形態1の半導体集積回路1は、SIMDプロセッサのように同時に大量のデータを扱う半導体集積回路であって、メモリ部2とロジック部3とでのデータ転送時に生じるタイミングのずれを補正して、入出力タイミングを合わせ込むことで動作周波数の向上が達成されている。

これはメモリセル20に特有のレイアウト形状を利用して、内部同期クロックを生成することで実現させたものである。この半導体集積回路1を用いることで、メモリ部2とロジック部3とのタイミング調整が容易になって、動作周波数を向上させることができる。また、動作タイミングを安定させることで、不要な消費電流を軽減させることができる。さらに、メモリ部2を分割せずに1つの塊として扱うために、チップサイズを比較的縮小することができる。

40

【0045】

次に、図3にて、メモリ部2を動作させずにロジック部3のみを動作させる際の半導体集積回路1の動作タイミングについて説明する。

ロジック部3のみを動作させる場合には、ワードライン11で生じる遅延に合わせて、プロセッサエレメント(PE)方向に回路の動作タイミングをずらす必要がない。そのため、メモリ部2から供給される内部同期信号(CKI)は使用されない。ロジック部3は、その内部に予めデータベース化された論理回路が設置されているために、レジスタ回路

50

31 (REG) や演算回路32 (ALU) の同期をとることは容易である。図3に示すように、ロジック部3のみを動作させる場合には、ロジック部3内でその動作タイミングが調整される。すなわち、制御信号 (CTREG、CTALU) の負荷を軽くして、ロジック部3内の遅延を軽減している。これにより、ロジック部3だけの動作時において、メモリ部2を含めて動作する場合に比べて、高速動作を可能としている。

【0046】

以上説明したように、本実施の形態1では、メモリ部2とロジック部3とが単一の半導体チップ上に形成されて複数のデータ処理を同時におこなう半導体集積回路1において、メモリ部2におけるワードライン11間の遅延情報をモニタして、遅延に合わせて位相が異なる内部同期クロックを生成して、これをタイミング調整するための信号としている。これにより、メモリ部2とロジック部3とのデータのやり取りのタイミングが最適化されて、動作性能及び動作速度が向上されるとともに消費電流が軽減される。

【0047】

なお、本実施の形態1では、ダミーワードライン12に対して、ワードライン11に接続されたメモリセル20と同数のダミーメモリセル21を接続した。これに対して、ダミーワードライン12に対して、数ビットごと(所定間隔ごと)にダミーメモリセル21を接続することもできる。これによって、メモリ部2では、数ビットごとに同期信号が生成されることになる。このような場合であっても、数ビット間であればそこに生じる遅延の程度も大きくないために、本実施の形態1と同様の効果を得ることができる。

【0048】

実施の形態2 .

図4にて、この発明の実施の形態2について詳細に説明する。

図4は、実施の形態2における半導体集積回路1を示す回路図である。本実施の形態2の半導体集積回路1は、ロジック部3に第2のモニタ回路としてのダミーワードライン41が設けられている点が、前記実施の形態1のものとは相違する。

【0049】

図4に示すように、本実施の形態2では、ロジック部3においてもメモリ部2との同期をとるために、ロジック部3に複数のダミーメモリセル44が接続されたダミーワードライン41が形成されている。

そして、ダミーワードライン41により出力された信号は、内部同期信号として、レジスタ回路31に接続された選択回路42と、演算回路32に接続された選択回路43と、に供給される。選択回路42、43では、それぞれ、制御信号 (CTREG、CTALU) を用いるか、ダミーメモリセル44で生成された内部同期信号を用いるかが選択される。

【0050】

なお、プロセスを安定させるために、ダミーワードライン41に接続されたダミーメモリセル44の周囲には、レイアウトのダミーパターンを形成することが好ましい。本実施の形態2では、メモリ部2にダミーワードパターンを形成する場合(前記実施の形態1の場合である。)に比べて面積は大きくなるが、チップサイズが大きくてメモリ部2から同期信号を引き回すには距離が遠くなってしまいう半導体集積回路に対して有効である。

【0051】

以上説明したように、本実施の形態2では、メモリ部2とロジック部3とのデータのやり取りのタイミングが最適化されるとともに、ロジック部3内でのタイミング調整も最適化されるので、動作性能及び動作速度が向上されるとともに消費電流が軽減される。

【0052】

実施の形態3 .

図5にて、この発明の実施の形態3について詳細に説明する。

図5は、実施の形態3における半導体集積回路1を示す回路図である。本実施の形態3の半導体集積回路1は、ダミーワードライン12の代わりにダミービットライン23が形成されている点が、前記実施の形態1のものとは相違する。

【0053】

図5に示すように、本実施の形態3では、ダミーワードラインは設置せずに、各ワードライン11に対して均等な間隔を置いてダミーメモリセル28を挿入している。具体的には、mビットごとにダミーメモリセル28を設置している。ダミーメモリセル28は、必ずいずれかのダミーメモリセル28が選択されるように、ワードライン11の数と同数存在する。また、ダミーメモリセル28は、一对のダミービットライン23に接続されている。ここで、ダミービットライン23(DBL)は、ビットライン13(BL)の動作を模擬するように形成されたものである。また、ダミービットライン23には、ビットライン13に接続されたセンスアンプ14を複製したダミーセンスアンプ18が接続されている。

10

【0054】

以上のように構成された半導体集積回路1において、まず、ワードライン11が選択されると、メモリセル20が選択されて一对のビットライン13にデータがあらわれる。これと同時に、ダミーメモリセル28も選択されて、一对のダミービットライン23にデータがあらわれる。

そして、ビットライン13のデータは、センスアンプ14で増幅されて出力される。これに同期して、ダミーセンスアンプ18から出力信号の検出信号が生成される。これを内部同期信号とすることで、ワードライン11で生じる遅延成分だけではなく、ビットライン13で生じる遅延成分もモニタできることになる。したがって、メモリ部2からの出力信号に一層近いタイミングで、内部同期信号を生成することができる。

20

【0055】

なお、本実施の形態3では、mビット目の次にダミー回路18、23、28を形成して、このダミー回路18、23、28が0ビットからmビットまでのデータをまとめて同期信号として扱っている。

ここで、mの数が小さくなれば精度が高まることになるが、ダミー回路の挿入数が増えるためにその分だけチップサイズが大きくなってしまふ。これに対して、mの数が大きくなれば、ロジック部3とのタイミングが調整しにくくなってしまふ。分割数(m)は容易に変更できるために、上述の関係を理解した上で、半導体集積回路1の用途に応じて分割数(m)を適宜に変更することが好ましい。

【0056】

以上説明したように、本実施の形態3では、ビットライン13で生じる遅延に係わる情報をモニタしてそれに合わせた内部同期クロックを生成しているので、メモリ部2とロジック部3とのデータのやり取りのタイミングが最適化されて、動作性能及び動作速度が向上されるとともに消費電流が軽減される。

30

【0057】

なお、本実施の形態3では、ダミービットライン23にダミーセンスアンプ18を接続して、メモリセル20からの読み出し時におけるタイミング信号の生成をおこなっている。これに対して、ビットライン13に接続されたライトバッファ15を複製したダミーライトバッファを、ダミービットライン23に接続することで、メモリセル20へのライト時の書き込みタイミングに同期させる信号も容易に生成することができる。

40

【0058】

実施の形態4

図6にて、この発明の実施の形態3について詳細に説明する。

図6は、実施の形態4における半導体集積回路1を示す回路図である。本実施の形態4の半導体集積回路1は、ダミーワードライン12に加えて第2のダミーワードライン51が形成されている点が、前記実施の形態1のものとは相違する。

【0059】

図6に示すように、本実施の形態4では、ワードライン11を模擬したダミーワードライン12(WLd)に加えて、ダミーワードライン12の動作に対して逆相で動作する第2のダミーワードラインとしての逆相ワードライン51(WLb)が形成されている。逆

50

相ワードライン 5 1 には、ダミーワードライン 1 2 と同様に、予め固定されたデータを持つダミーメモリセル 5 4 が接続されている。そして、それぞれのダミーメモリセル 5 4 の出力ノードには、第 2 のプリチャージ回路 5 2 が接続されている。プリチャージ回路 2 2 と第 2 のプリチャージ回路 5 2 とは、それぞれの出力信号がお互いのプリチャージ回路の入力信号となるように接続されている。このような構成によって、ダミーワードライン 1 2 からの信号が内部同期信号として、逆相ワードライン 5 1 からの信号がプリチャージ信号 (P R C) として用いられることになる。

【 0 0 6 0 】

以上のように構成された半導体集積回路 1 において、ワードライン 1 1 が選択されないときには逆相ワードライン 5 1 が選択されて、プリチャージ信号がイネーブルとなる。

10

ワードライン 1 1 が立ち上がると、それと同時に逆相ワードライン 5 1 が立ち下がって、プリチャージが終了するのに合わせて内部同期信号 (C K I) が立ち上がる。これに対して、ワードライン 1 1 が立ち下がると、ダミーワードライン 1 2 に接続されたダミーメモリセル 2 1 が非選択になって、それに合わせて逆相ワードライン 5 1 が選択されて、プリチャージ信号が生成される。そして、内部同期信号は、「 H 」から「 L 」へと変化する。このように、本実施の形態 4 の半導体集積回路 1 では、ワードライン 1 1 の立ち上がりや立ち下りに同期して、内部クロックを生成することができる。

【 0 0 6 1 】

以上説明したように、本実施の形態 4 では、ワードライン 1 1 の立ち上がりや立ち下りの変化に合わせて内部同期クロックを生成しているので、メモリ部 2 とロジック部 3 とのデータのやり取りのタイミングが最適化されて、動作性能及び動作速度が向上されるとともに消費電流が軽減される。

20

【 0 0 6 2 】

なお、前記各実施の形態では、半導体集積回路としての 1 ポート S R A M に対して本発明を適用したが、デュアルポート S R A M 等のマルチポートの半導体集積回路に対しても当然に本発明を適用することができる。さらに、 D R A M 等のメモリ回路に対しても、データ伝送線で生じる遅延をモニタしてそれに合わせた内部同期クロックを生成することで、ロジック部とのタイミング調整をおこなうことが可能になる。

【 0 0 6 3 】

なお、本発明が前記各実施の形態に限定されず、本発明の技術思想の範囲内において、前記各実施の形態の中で示唆した以外にも、前記各実施の形態は適宜変更され得ることは明らかである。また、前記構成部材の数、位置、形状等は前記各実施の形態に限定されず、本発明を実施する上で好適な数、位置、形状等にすることができる。

30

【 図面の簡単な説明 】

【 0 0 6 4 】

【 図 1 】 この発明の実施の形態 1 における半導体集積回路を示す回路図である。

【 図 2 】 図 1 の半導体集積回路における動作タイミングを示す図である。

【 図 3 】 図 1 の半導体集積回路においてロジック部のみが動作する際の動作タイミングを示す図である。

【 図 4 】 この発明の実施の形態 2 における半導体集積回路を示す回路図である。

40

【 図 5 】 この発明の実施の形態 3 における半導体集積回路を示す回路図である。

【 図 6 】 この発明の実施の形態 4 における半導体集積回路を示す回路図である。

【 図 7 】 従来半導体集積回路を示す回路図である。

【 図 8 】 図 7 の半導体集積回路における動作タイミングを示す図である。

【 符号の説明 】

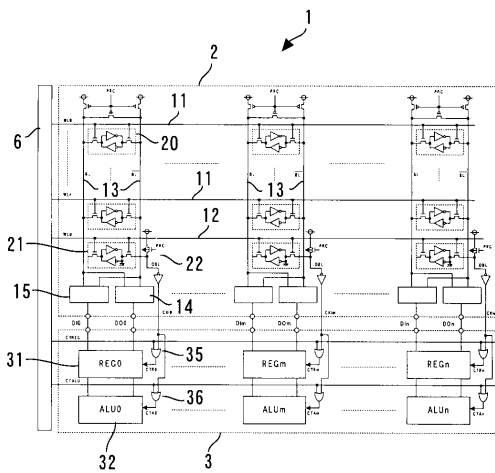
【 0 0 6 5 】

- 1 半導体集積回路、
- 2 メモリ部 (メモリコア) 、
- 3 ロジック部、 6 デコーダ、
- 1 1 ワードライン、

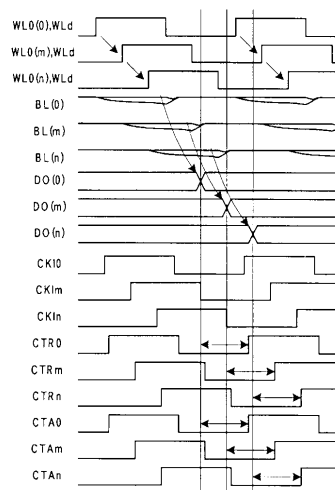
50

- 1 2、4 1、5 1 ダミーワードライン、
- 1 3 ビットライン、 1 4 センスアンプ、
- 1 5 ライトバッファ、 1 8 ダミーセンスアンプ、
- 2 0 メモリセル、
- 2 1、2 8、4 4、5 4 ダミーメモリセル、
- 2 3 ダミービットライン、
- 2 2、4 5、5 2 プリチャージ回路、
- 3 1 レジスタ回路、 3 2 演算回路、
- 3 5、3 6、4 2、4 3 選択回路。

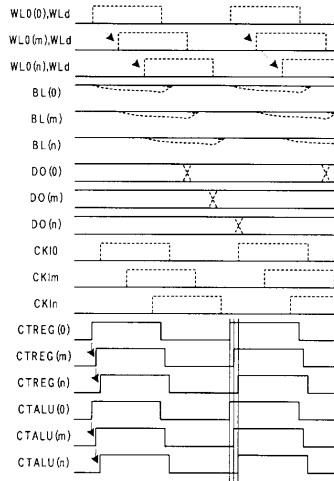
【 図 1 】



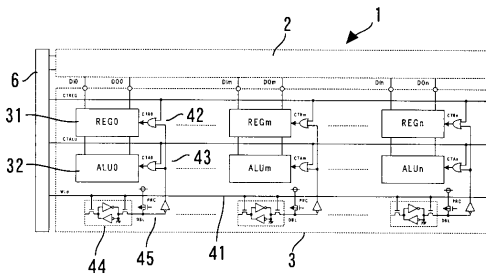
【 図 2 】



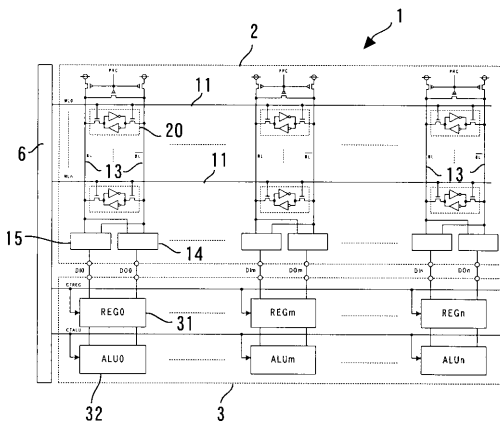
【 図 3 】



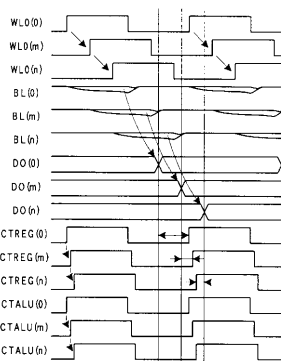
【 図 4 】



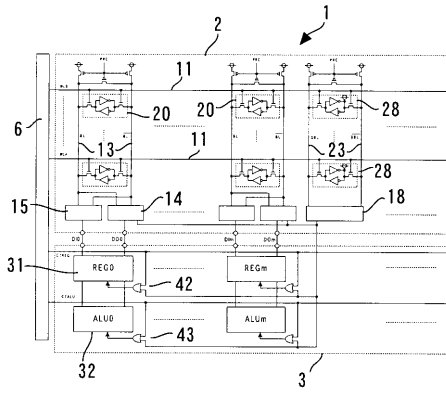
【 図 7 】



【 図 8 】



【 図 5 】



【 図 6 】

