



(12)发明专利

(10)授权公告号 CN 104040746 B

(45)授权公告日 2017. 11. 21

(21)申请号 201280065802.X

(22)申请日 2012.09.06

(65)同一申请的已公布的文献号
申请公布号 CN 104040746 A

(43)申请公布日 2014.09.10

(30)优先权数据
61/556,486 2011.11.07 US
13/408,394 2012.02.29 US

(85)PCT国际申请进入国家阶段日
2014.07.02

(86)PCT国际申请的申请数据
PCT/US2012/053860 2012.09.06

(87)PCT国际申请的公布数据
W02013/070307 EN 2013.05.16

(73)专利权人 桑迪士克科技有限责任公司
地址 美国得克萨斯州

(72)发明人 T.张 T.J.明维埃勒 Y-T.陈

(74)专利代理机构 北京市柳沈律师事务所
11105

代理人 万里晴

(51)Int. Cl.
H01L 45/00(2006.01)
H01L 27/24(2006.01)

审查员 朱波

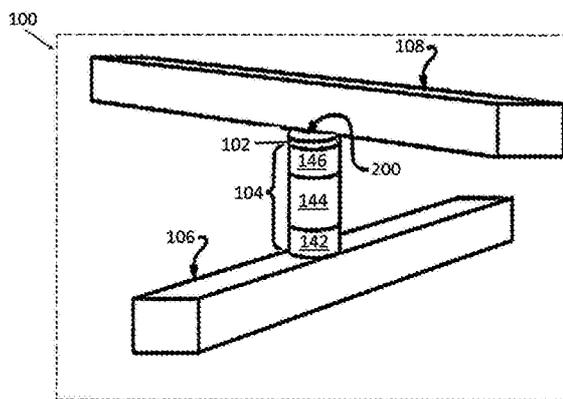
权利要求书3页 说明书32页 附图30页

(54)发明名称

存储器单元与电阻切换层的合成

(57)摘要

提出存储器单元,其包括第一电极、第二电极和位于该第一和第二电极之间的指示第一电阻切换层,其中该电阻切换层包括非晶钪硅氮氧化物。制造所述存储器单元可以包括沉积钪硅氧化物膜,跟着对所述膜氮化以形成电阻切换层。



1. 一种存储器单元,包括:
 - 第一电极;
 - 第二电极;
 - 第一电阻切换层,位于第一和第二电极之间,其中该第一电阻切换层包括非晶铅硅氮氧化物;
 - 第二电阻切换层,在该第一和第二电极之间;以及
 - 导电或半导电的层,位于第一电阻切换层和第二电阻切换层之间,并担当发散层,该发散层发散电子,减慢经过其的电子流,降低峰值电流,并降低存储器单元的操作电流。
2. 如权利要求1所述的存储器单元,还包括操纵元件,该操纵元件包括位于与第一电阻切换层串联设置的二极管。
3. 如权利要求1所述的存储器单元,其中:
 - 从由以下构成的组中选择导电或半导电的层:TiN、Al、Zr、La、Y、Ti、TiAlN、Ti_xN_y、W和TiAl合金。
4. 如权利要求1所述的存储器单元,其中第二电阻切换层包括铅硅氮氧化物。
5. 如权利要求1所述的存储器单元,其中从由以下构成的组中选择该第一和第二电极的至少一个:W、WSi_x、WN、TiN、TiSi_x、SiGe、TiAlN、NiSi、Ni、Co、CoSi、n+Si和p+Si、n+SiC和p+SiC。
6. 如权利要求1所述的存储器单元,其中:
 - 该存储器单元位于包含多个存储器器件级的三维存储器器件中;以及
 - 在该包含多个存储器器件级的三维存储器器件的制造之后,该第一电阻切换层保留非晶性。
7. 如权利要求1所述的存储器单元,其中所述第一电阻切换层的氮含量大于0并且小于20%。
8. 如权利要求7所述的存储器单元,其中所述第一电阻切换层包括15-30%的铅、10-20%的硅以及30-70%的氧。
9. 如权利要求1所述的存储器单元,其中该第一电阻切换层的厚度是10Å-5nm。
10. 一种制造存储器单元的方法,包括:
 - 在基板上形成第一电极;
 - 在第一电极上形成包括铅硅氮氧化物的非晶第一电阻切换层;
 - 在该第一电阻切换层上形成第二电极;以及
 - 将存储器单元加热到在600和1100°C之间的温度,使得第一电阻切换层在加热的步骤之后保持非晶性。
11. 如权利要求10所述的制造存储器单元的方法,还包括形成包括位于与该第一电阻切换层串联的二极管的操纵元件。
12. 如权利要求11所述的制造存储器单元的方法,还包括:
 - 在第一和第二电极之间形成第二电阻切换层;以及
 - 在第一电阻切换层和第二电阻切换层之间形成导电或半导电的层,
 - 其中所述导电或半导电的层担当发散层,该发散层发散电子,减慢经过其的电子流,降低峰值电流,并降低存储器单元的操作电流。

13. 如权利要求12所述的制造存储器单元的方法,其中:

从由以下构成的组中选择导电或半导电的层:TiN、Al、Zr、La、Y、Ti、TiAlN、Ti_xN_y、W和TiAl合金。

14. 如权利要求12所述的制造存储器单元的方法,其中该第二电阻切换层包括铪硅氮氧化物。

15. 如权利要求10所述的制造存储器单元的方法,其中从由以下构成的组中选择该第一和第二电极的至少一个:W、WSi_x、WN、TiN、TiSi_x、SiGe、TiAlN、NiSi、Ni、Co、CoSi、n+Si和p+Si、n+SiC和p+SiC。

16. 如权利要求10所述的制造存储器单元的方法,其中所述第一电阻切换层的氮含量大于0并且小于20%。

17. 如权利要求16所述的制造存储器单元的方法,其中所述第一电阻切换层包括15-30%的铪、10-20%的硅以及30-70%的氧。

18. 如权利要求10所述的制造存储器单元的方法,其中所述第一电阻切换层的厚度是10 Å-5nm。

19. 如权利要求10所述的制造存储器单元的方法,其中形成第一电阻切换层的步骤包括在存储器单元的该第一电极之上覆盖沉积铪硅氮氧化物膜。

20. 如权利要求10所述的制造存储器单元的方法,其中形成第一电阻切换层的步骤包括在存储器单元的第一电极之上覆盖沉积铪硅氧化物膜,跟着通过对该膜氮化,以将该膜转化为铪硅氮氧化物。

21. 如权利要求20所述的制造存储器单元的方法,其中从等离子体氮化、热氮化或氮离子植入中选择氮化的步骤。

22. 一种制造存储器单元的方法,包括:

在基板上形成第一电极;

在第一电极上形成包括铪硅氮氧化物的非晶第一电阻切换层;

在该第一电阻切换层上形成第二电极;以及

形成包含多个存储器器件级的三维存储器器件,使得该存储器单元包括该存储器器件的一部分,其中在形成该三维存储器器件的步骤期间在被退火高达1100°C期间以及之后,该第一电阻切换层保持非晶性。

23. 一种制造存储器单元的方法,包括:

在基板上形成第一电极;

在第一电极上形成包括铪硅氮氧化物的非晶第一电阻切换层;以及

在该第一电阻切换层上形成第二电极,

其中形成第一电阻切换层的步骤包括在存储器单元的该第一电极之上覆盖沉积铪硅氮氧化物膜,以及

其中覆盖沉积的步骤包括在250-400°C的温度下通过原子层沉积、化学气相沉积或者物理气相沉积而覆盖沉积,使得在非晶铪硅氮氧化物膜中基本上不形成晶粒。

24. 一种存储器器件,包括:

存储器阵列,包括多个存储器单元,每个存储器单元包括与电阻切换存储器元件串联的操纵元件,每个电阻切换存储器元件包括在第一和第二电阻切换层之间的中间层,该第

一和第二电阻切换层包括非晶铅硅氮氧化物,并且该中间层包括担当发散层的导电或半导电的层,该发散层发散电子,减慢经过其的电子流,降低峰值电流,并降低存储器单元的操作电流;

多个字线和位线;

每个存储器单元具有与多个位线中的相应位线通信的一端以及与多个字线中的相应字线通信的另一端;以及

控制电路,与该多个字线和位线通信,该控制电路经由存储器单元的至少一个的相应的字线和位线向存储器单元的该至少一个施加电压,以致使存储器单元的该至少一个的电阻切换存储器元件从一个电阻状态切换到另一电阻状态。

25. 如权利要求24所述的存储器器件,其中每个操纵元件包括二极管。

26. 如权利要求24所述的存储器器件,其中该存储器阵列是包括多级存储器单元的薄片三维阵列,每个存储器级包括在交叉点阵列中的多个存储器单元。

27. 一种存储器单元,包括:

第一电极;

第二电极;

第一电阻切换层,位于第一和第二电极之间,其中该第一电阻切换层包括铅硅氮氧化物,该铅硅氮氧化物具有大于0并且小于20%的氮含量;

第二电阻切换层,在该第一和第二电极之间;以及

导电或半导电的层,位于第一电阻切换层和第二电阻切换层之间,并担当发散层,该发散层发散电子,减慢经过其的电子流,降低峰值电流,并降低存储器单元的操作电流。

28. 如权利要求27所述的存储器单元,其中该第一电阻切换层包括15-30%的铅、10-20%的硅以及30-70%的氧。

29. 一种制造存储器单元的方法,包括:

在基板上形成第一电极;

在该第一电极上形成包括非晶铅硅氮氧化物的第一电阻切换层;

在该第一电阻切换层上形成第二电极,其中形成第一电阻切换层的步骤包括在存储器单元的该第一电极上覆盖沉积铅硅氧化物膜,跟着通过对该铅硅氧化物膜氮化,以将该铅硅氧化物膜转化为铅硅氮氧化物;以及

将存储器单元加热到在600和1100°C之间的温度,使得第一电阻切换层在加热的步骤之后保持非晶性。

30. 如权利要求29所述的制造存储器单元的方法,其中从等离子体氮化、热氮化或氮离子植入中选择氮化的步骤。

存储器单元与电阻切换层的合成

[0001] 相关申请的交叉引用

[0002] 本申请要求于2012年2月29日提交的美国申请No.13/408,394的优先权的权益,该美国申请No.13/408,394要求于2011年11月7日提交的美国临时专利申请no.61/556,486的权益,通过引用将它们合并于此。

技术领域

[0003] 本技术涉及数据存储。

背景技术

[0004] 各种材料示出了可逆电阻改变或电阻切换 (switching) 行为,其中材料的电阻是流经该材料的电流和/或跨过该材料的电压的历史的函数。这些材料包括硫族化物、碳聚合物、钙钛矿和某些金属氧化物 (MeO_x) 和金属氮化物 (MeN)。具体地,存在仅包括一种金属并且呈现出可靠的电阻切换行为的金属氧化物和氮化物。该组包括例如氧化镍 (NiO)、氧化铌 (Nb₂O₅)、二氧化钛 (TiO₂)、二氧化铪 (HfO₂)、氧化铝 (Al₂O₃)、氧化镁 (MgO_x)、二氧化铬 (CrO₂)、氧化钒 (VO)、氮化硼 (BN) 和氮化铝 (AlN),如Pagnia和Sotnick在“Bistable Switching in Electroformed Metal-Insulator-metal Device”,*Phys.Stat.Sol. (A)* 108,11-65 (1988) 中所述的。这些材料之一的电阻切换层 (RSL) 可以在初始状态、例如相对低电阻状态中形成。在施加足够的电压后,该材料切换到稳定的高电阻状态,该状态甚至在移除电压后也保持。此电阻切换是可逆的,使得随后施加适当的电流或电压可以用于将RSL返回到稳定的低电阻状态,该状态甚至在电压或电流移除后也维持。此转换可以重复许多次。对于某些材料,初始状态是高电阻而不是低电阻。设置 (set) 处理可以指将材料从高电阻切换到低电阻,而复位 (reset) 处理可以指将材料从低电阻切换到高电阻。电阻切换存储器元件 (RSME) 可以包括位于第一和第二电极之间的RSL。

[0005] 关心的是这些可逆电阻改变材料在非易失性存储器阵列中的使用。例如,一个电阻状态可以对应于数据“0”,而另一电阻状态对应于数据“1”。这些材料中的一些可以具有多于两个稳定的电阻状态。此外,在存储器单元中,RSME可以与诸如二极管的操纵元件串联,该操作元件选择性地限制跨过RSME的电压和/或流经该RSME的电流。例如,二极管可以允许电流在RSME的仅一个方向上流动,同时基本上阻止电流在相反的方向上流动。这样的操纵元件本身通常不是电阻改变材料。而是,操纵元件允许向存储器单元写入和/或从存储器单元读取而不影响该阵列中的其他存储器单元的状态。

[0006] 具有由电阻改变材料形成的存储元件或单元的非易失性存储器是已知的。例如,通过引用合并于此的美国专利申请公开No.2006/0250836,题为“Rewritable Memory Cell Comprising A Diode And A Resistance-Switching Material”描述了可重写的非易失性存储器单元,其包括与诸如MeO_x或MeN的电阻改变材料串联耦接的二极管。

[0007] 但是,存在对于允许存储器单元尺寸缩小的技术的不断的需求。

附图说明

- [0008] 图1是包括与操纵元件串联的RSME的存储器单元的一个实施例的简化透视图。
- [0009] 图2A是由图1的多个存储器单元形成的第一存储器级的一部分的简化透视图。
- [0010] 图2B是由图1的多个存储器单元形成的三维存储器阵列的一部分的简化透视图。
- [0011] 图2C是由图1的多个存储器单元形成的三维存储器阵列的一部分的简化透视图。
- [0012] 图3是存储器系统的一个实施例的框图。
- [0013] 图4A是绘出示例的单极RSL的I-V特性的图。
- [0014] 图4B是绘出两个示例的单极RSL的不同I-V特性的图。
- [0015] 图4C是绘出另一示例的单极RSL的I-V特性的图。
- [0016] 图4D是绘出示例的双极RSL的I-V特性的图。
- [0017] 图4E是绘出另一示例的双极RSL的I-V特性的图。
- [0018] 图5绘出用于读取存储器单元的状态的电路的一个实施例。
- [0019] 图6A绘出具有RSME和在该RSME以下的操纵元件(SE)的示例存储器单元。
- [0020] 图6B绘出具有RSME的存储器单元的替换配置,其中操纵元件(SE)在RSME之上。
- [0021] 图6C绘出图6A的RSME作为垂直堆叠中的镜像电阻开关(MRS)的示例的实现方式。
- [0022] 图6D绘出在RSL之间使用多个中间层(IL)的图6A的RSME的示例实现方式。
- [0023] 图6E绘出使用重复的RSL/IL样式的图6A的RSME的示例实现方式。
- [0024] 图6F绘出图6A的RSME的示例实现方式,其中RSME的每个层水平地延伸并且一个或多个层首尾相连(end-to-end)而布置。
- [0025] 图6G绘出图6A的RSME的另一示例实现方式,其中RSME的每个层水平地延伸并且一个或多个层首尾相连而布置。
- [0026] 图6H绘出图6A的RSME的另一示例实现方式,其中RSME的每个层垂直地延伸。
- [0027] 图6I绘出图6A的RSME的另一示例实现方式,其包括对于RSL1、IL、RSL2和E2的L形部分。
- [0028] 图6J绘出图6A的RSME的另一示例实现方式,其包括对于RSL1、IL、RSL2和E2的U形部分。
- [0029] 图6K1绘出图6A的RSME的另一示例实现方式,其使用一个RSL以及在该RSL以下的一个击穿(breakdown)层。
- [0030] 图6K2是示出击穿层从初始状态到击穿状态的转变的图。
- [0031] 图6K3是示出击穿层在初始状态(实线)和击穿状态(虚线)中的I-V特性的图。
- [0032] 图6L绘出图6A的RSME的示例实现方式,其使用一个RSL以及在该RSL以上的一个击穿层。
- [0033] 图6M绘出图6A的RSME的示例实现方式,其中RSL是不同类型的。
- [0034] 图7A绘出作为Si二极管的图6A的存储器单元的操纵元件(SE)的示例实现方式。
- [0035] 图7B绘出作为穿通(punch-through)二极管的图6A的存储器单元的操纵元件的示例实现方式。
- [0036] 图8绘出连接在位线和字线之间的图6A的存储器单元的示例实现方式。
- [0037] 图9A绘出图6C的RSME的一个实施例,其中E1由Co、CoSi、n+Si、p+Si或者p+SiC制

成,并且E2由n+Si制成。

[0038] 图9B绘出图6C的RSME的一个实施例,其中E1和IL由p+SiC制成,并且E2由n+Si、n+SiC或者p+SiC制成。

[0039] 图9C是绘出p+SiC相对于其他材料的费米(Fermi)能级的图。

[0040] 图10A绘出描述了替换的IL材料的图6C的RSME的一个实施例。

[0041] 图10B绘出以反向的(inverted)镜像堆叠配置的图6C的RSME的一个实施例。

[0042] 图10C绘出以不对称的直立的堆叠配置的图6A的RSME的一个实施例。

[0043] 图10D绘出以不对称的反向的堆叠配置的图6A的RSME的一个实施例。

[0044] 图11A绘出图6C的RSME的一个实施例,示出在E2是n+Si时SiO_x的生长。

[0045] 图11B绘出图6C的RSME的一个实施例,示出在E2是TiN时诸如TiO_x的低带隙材料的生长。

[0046] 图11C绘出图6C的RSME的一个实施例,其中RSL由掺杂的金属氧化物制成以降低操作电压。

[0047] 图11D绘出图11C的RSME的一个实施例,其中E2是TiN而不是n+Si。

[0048] 图11E绘出以不对称的镜像单元配置的图6C的RSME的一个实施例,其中RSL由不同的材料制成。

[0049] 图11F绘出作为以无SiO_x的非对称镜像单元配置的图6C的RSME的一个实施例。

[0050] 图12绘出图6C的RSME的能量图。

[0051] 图13绘出高电场在RSL的设置处理中的应用。

[0052] 图14A-14D绘出在RSL的设置处理中的导电丝极(filament)的形成中的不同阶段。

[0053] 图14E、14F和14G分别是描述图14A、14B和14D的设置处理阶段的能量图。

[0054] 图15A-15C绘出在RSL的复位处理中的导电丝极的移除的不同阶段。

[0055] 图15D、15E和15F分别是描述图15A、15B和15C的复位处理阶段的能量图。

[0056] 图16A绘出图6A的RSME的设置处理。

[0057] 图16B绘出图6A的RSME的复位处理。

[0058] 图17是一个实施例的非易失性存储器单元的透视图。

[0059] 图18A、18B、18C、18D和18E是示意性例示本发明的实施例的非易失性存储器单元的侧截面图。

[0060] 图19A是用于测试存储器单元的一个实施例的测试结构的示意性例示。

[0061] 图19B、19C和19D是例示图19A的结构的测试结果的标准图。

[0062] 图20A是用于测试比较的存储器单元的测试结构的示意性例示。

[0063] 图20B、20C和20D是例示图20A的结构的测试结果的标准图。

具体实施方式

[0064] 提供了存储器系统,其包括具有两个或更多电阻切换层(RSL)的可逆电阻率切换存储器元件(RSME)。在一个示例实现方式中,RSME包括串联的第一电极(E1)、第一电阻切换层(RSL1)、被认为是扩散(scattering)层或耦合电极的中间层(IL)、第二RSL(RSL2)以及第二电极(E2)。在一个方法中,RSME具有镜像配置,其中在IL的任一侧,RSME配置是对称的。但是,这样的镜像配置不是要求的。

[0065] 通常,随着基于RSME的存储器器件尺寸缩小,缺点是在RSME的设置或复位处理期间的冲击(ballistic)电流可能损坏与RSME串联的相关联的操纵元件,或甚至阻止存储器单元以减少很多的尺寸而操作。而且,通常,过多的基于RSL的存储器器件需要形成步骤,在此期间RSL的初始绝缘属性被破坏。此形成步骤通常与非常短的并且非常高的放电电流峰相关联,这可以设置对于随后的切换事件的RSL的导通电阻水平。如果导通电阻水平非常低(例如100-30k Ω),则相关联的切换电流也非常高,从而,在非常小的技术节点处存储器单元将不可操作。设置或复位处理是对于RSL和RSME的电阻切换操作的类型的。为了解决此问题,提供了在导电IL的任一侧上包括单独的RSL的RSME。

[0066] 具体地,如在此提供的包括RSME的存储器单元可以通过主动地减小操作电流而限制冲击电流过冲(overshoot)。诸如TiN的薄IL可以防止电流过冲并且可以限制电流流动,由此更容易创建跨过各自的RSL的大的电场。由于减小的电流,降低了损坏该单元的操纵元件的可能性,并且可以使用更薄的操纵元件,有助于缩小存储器器件并且可能降低功耗。维持了单元的切换能力,因为仍然允许离子电流。

[0067] RSME是基于对于各自的RSL的定性(qualitative)模型,其描述了多个发现,包括:基于电子/空穴和离子导电的切换电流、离子电流的指数E-场依赖性、以及测量的电流是冲击电流而不用于切换机制。具体地,该定性模型描述了:(i)雪崩型(avalanche-type)设置电流增加,(ii)为何难以将设置状态限制为高导通电阻状态,(iii)循环场对设置处理的敏感性,(iv)为何复位电压可以高于设置电压,(v)为何更深的复位需要更高的复位电压,以及(vi)为何对于更深的复位的复位电流更高。冲击电流的模型还可应用于任何其他“薄”存储材料/离子存储器,比如TiSi,CBRAM(导电桥RAM)。对于RSL或MeOx,这些发现还表明电子/空穴电流不对切换效应做贡献,而是在MeOx中冲击地行进,仅向接触点(contact)传递热,并且这不同于更厚的碳或相变材料,在这些材料中,如果存储器单元足够长,则此电流在存储器单元中产生热。

[0068] 图1是电阻切换存储器单元(RSMC)100的一个实施例的简化透视图,该RSMC100包括与在第一导体106和第二导体108之间的操纵元件104串联耦接的RSME102。

[0069] RSME102包括在导电的中间层(IL)133的任一侧的RSL130和135。如所述,RSL具有可以在两个或更多状态之间可逆地切换的电阻率。例如,RSL在制造时可以处于初始的高电阻率(高电阻)状态,在施加第一电压和/或电流后其可切换到低电阻率状态。施加第二电压和/或电流可以将RSL返回到高电阻率状态。可替换地,RSL在制造时可以处于初始的低电阻率状态,在施加适当的电压和/或电流后其可以可逆地切换到高电阻率状态。当用在存储器单元中时,对于每个RSL的一个电阻状态(和RSME的相应电阻状态)可以表示RSME的二进制“0”,而对于每个RSL的另一电阻状态(和RSME的相应电阻状态)可以表示RSME的二进制“1”。但是,可以使用多于两个数据/电阻状态。例如在上述的美国专利申请公开No.2006/0250836中描述了多个可逆的电阻改变材料和采用可逆电阻改变材料的存储器单元的操作。

[0070] 在一个实施例中,将RSME从高电阻率状态(表示例如二进制数据“0”)切换到低电阻率状态(表示例如二进制数据“1”)的处理称为设置或形成,并且将RSME从低电阻率状态切换到高电阻率状态的处理称为复位。在其他实施例中,设置和复位和/或数据编码可以相反。可以对存储器单元进行设置或复位处理以将其编程到表示二进制数据的期望的状态。

[0071] 在一些实施例中,RSL130和135可以由金属氧化物(MeOx)形成,其一个例子是

HfO₂。

[0072] 可以在2009年1月1日公开的题为“Memory Cell That Employs a Selectively Deposited Reversible Resistance Switching Element and Methods of Forming The Same”的US2009/0001343中找到关于使用可逆电阻改变材料制造存储器单元的更多信息，通过引用将其合并于此。

[0073] RSME102包括电极132和134。电极132位于RSL130和诸如位线或字线(控制线)的导体108之间。在一个实施例中，电极132由钛(Ti)或者氮化钛(TiN)制成。电极134位于RSL133和操纵元件104之间。在一个实施例中，电极134由氮化钛(TiN)制成，并且用作粘附和阻挡层。

[0074] 操纵元件104可以是二极管或者通过选择性地限制跨过RSME102的电压和/或流经RSME102的电流而呈现出非欧姆导电的其他适当的操纵元件。在一个方法中，操纵元件允许电流仅在一个方向上、例如从位线到字线流经RSME。在另一方法中，诸如穿通二极管的操纵元件允许在任一方向上流经RSME。

[0075] 操纵元件担当单向阀，在一个方向上比在另一方向上更容易传导电流。在正向方向上的临界(critical)“导通”电压以下，二极管很少传导或者不传导电流。通过使用适当的偏压方案，当选择单独的RSME用于编程时，相邻RSME的二极管可以用于将相邻的RSME电隔离，因此阻止非有意的电阻切换，只要当跨过相邻的RSME的电压在相邻RSME的正向方向上施加时不超过二极管的导通电压或者在反向方向上施加时不超过反向击穿电压。

[0076] 具体地，在RSME的大的交叉点阵列中，当需要相对大的电压或电流时，存在与要被寻址的RSME共享顶部或底部导体(例如字线或位线)的RSME将被暴露于足以引起不期望的电阻切换的电压或电流的危险。取决于所使用的偏压方案，跨过未选单元的过多的漏电流也可能是问题。使用二极管或其他操纵元件可以克服此危险。

[0077] 以此方式，存储器单元100可以被用作二维或三维存储器阵列的部分，并且可以向存储器单元100写数据和/或从存储器单元100读数据而不影响阵列中的其他存储器单元的状态。操纵元件104可以包括诸如垂直多晶硅p-n或p-i-n二极管的任何适当的二极管，而不管是二极管的n区在p区以上的向上指向还是二极管的p区在n区以上的向下指向。或者甚至可以使用穿通二极管或者齐纳二极管，它们可以在两个方向上操作。操纵元件和RSME一起可以是垂直柱的形状。在其他方法中，RSME的部分彼此横向布置，如以下进一步讨论的。

[0078] 在一些实施例中，操纵元件104可以由诸如多晶硅、多晶硅-锗合金、多晶锗(polygermanium)、或任何其他适当的材料的多晶半导体材料形成。例如，操纵元件104可以包括重掺杂的n⁺多晶硅区域142、在n⁺多晶硅区域142之上的轻掺杂的或者本征(非意图地掺杂的)多晶硅区域144以及在本征区域144之上的重掺杂的p⁺多晶硅区域146。在一些实施例中，可以在n⁺多晶硅区域142上形成薄的(例如几百埃或更少的)锗和/或硅-锗合金层(未示出)-当使用硅-锗合金层时具有大约10%或更多的锗-以阻止和/或降低从n⁺多晶硅区域142向本征区域144中的掺杂物迁移，例如如在题为“Deposited Semiconductor Structure To Minimize N-Type Dopant Diffusion And Method Of Making”的美国专利申请公开No. 2006/0087005中所述的，通过引用将其合并于此。将理解，n⁺和p⁺区域的位置可以相反。

[0079] 当由沉积的硅(例如非晶或多晶)制造操纵元件104时，可以在二极管上形成硅化物层以在制造时将沉积的硅置于低电阻率状态。这样的低电阻率状态允许对存储器单元的

更容易的编程,因为不需要大电压来将沉积的硅切换到低电阻率状态。

[0080] 如在通过引用合并于此的美国专利No.7,176,064“Memory Cell Comprising a Semiconductor Junction Diode Crystallized Adjacent to a Silicide”中所述,在退火期间诸如钛和/或钴的形成硅化物的材料与沉积的硅反应以形成硅化物层。硅化钛和硅化钴的晶格间距(lattice spacing)与硅的晶格间距接近,并且看起来这样的硅化物层可以在沉积的硅结晶时用作相邻沉积的硅的“结晶模板”或“种子”(例如该硅化物层增强了在退火期间硅二极管的晶体结构)。由此可以提供较低电阻率的硅。对于硅-锗合金和/或锗二极管可以实现类似的结果。

[0081] 导体106和108包括诸如钨、适当的金属、重掺杂的半导体材料、导电的硅化物、导电的硅化物-锗化物、导电的锗化物等的任何适当的导电材料。在图1的实施例中,导体106和108是轨形的并且在不同的方向上延伸(例如基本上彼此垂直)。可以使用其他导体形状和/或配置。在一些实施例中,可以与导体106和108一起使用阻挡层、粘附层、抗反射涂层等(未示出)以改进器件性能和/或帮助器件制造。导体106可以是字线,而导体108可以是位线,或反之亦然。

[0082] 尽管RSME102在图1中被示出为位于操纵元件104之上,将理解在替换实施例中,RSME102可以位于操纵元件104之下。各种其他配置也是可能的。RSL可以呈现出单极或双极电阻切换特性。利用单极电阻切换特性,用于设置和复位处理的电压具有相同的极性,即都是正的或者都是负的。相对照,利用双极电阻切换特性,相反极性的电压被用于设置和复位处理。具体地,用于设置处理的电压可以是正的,而用于复位处理的电压是负的,或者用于设置处理的电压可以是负的,而用于复位处理的电压是正的。

[0083] 图2A是从图1的多个存储器单元100形成的第一存储器级114的一部分的简化透视图。简要地,不单独示出RSME102、操纵元件104、和阻挡层113。存储器阵列114是“交叉点”阵列,包括多个存储器单元耦合到的多个位线(第二导体108)和字线(第一导体106)。可以使用其他存储器阵列配置,如也可以使用多级存储器。

[0084] 图2B是单片三维阵列116的一部分的简化透视图,其包括位于第二存储器级120以下的第一存储器级118。在图3的实施例中,每个存储器级118和120包括在交叉点阵列中的多个存储器单元100。将理解,在第一和第二存储器级118和120之间可以存在另外的层(例如中间级电介质),但是为了简化未在图2B中示出。可以使用其他存储器阵列配置,如可以使用另外的存储器级。在图2B的实施例中,所有二极管可以“指向”相同的方向,比如取决于采用了具有在二极管的底部还是顶部上的p掺杂的区域的p-i-n二极管而朝上或朝下。

[0085] 在一些实施例中,可以如在通过引用合并于此的美国专利No.6,952,030,“High-Density Three-Dimensional Memory Cell”中所述地来形成存储器级。例如,第一存储器级的上部导体可以被用作位于第一存储器级以上的第二存储器级的下部导体,如图2C所示。在这样的实施例中,相邻存储器级上的二极管优选指向相反的方向,如在通过引用合并于此的题为“Large Array Of Upward Pointing P-I-N Diodes Having Large And Uniform Current”的美国专利7,586,773中所述。例如,第一存储器级118的二极管可以是如由箭头A1所指示的向上指向的二极管(例如,p区域在二极管的底部处),而第二存储器级120的二极管可以是如由箭头A2所指示的向下指向的二极管(例如,n区域在二极管的底部处),或反之亦然。

[0086] 单片三维存储器阵列是其中多个存储器级形成在诸如晶片(wafer)的单个基板上而没有中间基板的阵列。直接在现有的一个或多个级的层上直接沉积或生长形成一个存储器级的层。相对照,已经通过在分别的基板上形成存储器级并且将存储器级黏附在彼此顶上而构建堆叠的存储器,如在通过引用合并于此的Leedy的美国专利No.5,915,167,“Three Dimensional Structure Memory”中那样。可以在粘合之前使基板变薄或者将其从存储器级移除,但是因为存储器级最初形成在分别的基板上,这样的存储器不是真正的单片三维存储器阵列。

[0087] 以上例子示出根据所公开的布置的以圆柱或柱形的存储器单元以及以轨形的导体。但是,在此所述的技术不限于存储器单元的任何一个具体结构。也可以使用其他结构来形成包括RSME的存储器单元。例如,每个通过引用合并于此的美国专利6,952,043、6,951,780、6,034,882、6,420,215、6,525,953和7,081,377提供了可以适配为使用RSME的存储器单元的结构例子。另外,也可以与在此所述的技术一起使用其他类型的存储器单元。

[0088] 图3是绘出可以实现在此所述的技术的存储器系统300的一个例子的框图。存储器系统300包括可以是如上所述的存储器单元的二维或三维阵列的存储器阵列302。在一个实施例中,存储器阵列302包括被组织为行的字线的各种层以及被组织为列的位线的各种层。但是,也可以实现其他取向。

[0089] 存储器系统300包括行控制电路320,其输出308连接到存储器阵列302的相应字线。行控制电路320从系统控制逻辑电路330接收一组M个行地址信号以及一个或多个各种控制信号,并且通常可以包括如行解码器322、阵列终端驱动器324和用于读取和编程(例如设置和复位)操作两者的块选择电路326这样的电路。存储器系统300还包括列控制电路310,其输入/输出306连接到存储器阵列302的相应位线。列控制电路306从系统控制逻辑330接收一组N个列地址信号以及一个或多个各种控制信号,并且通常可以包括如列解码器312、阵列终端接收器或驱动器314、块选择电路316以及包括感测放大器318的读/写电路和I/O复用器这样的电路。系统控制逻辑330从主机接收数据和命令并将输出数据提供给主机。在其他实施例中,系统控制逻辑330从单独的控制电路接收数据和命令,并将输出数据提供给该控制电路,该控制电路与主机通信。系统控制逻辑330可以包括一个或多个状态机、寄存器和用于控制存储系统300的操作的其他控制逻辑。例如,可以提供以下进一步讨论的写电路460、读取电路461和箝位控制电路464。

[0090] 在一个实施例中,图3中所绘出的所有组件被布置在单个集成电路上。例如,系统控制逻辑330、列控制电路310和行控制电路320可以形成在基板的表面上并且单片三维存储器阵列中的存储器阵列302可以形成在基板之上(因此在系统控制逻辑330、列控制电路310和行控制电路320之上)。在某些情况下,可以在与一些存储器阵列相同的层上形成控制电路的逻辑。

[0091] 并入了存储器阵列的集成电路通常将该阵列再分(subdivide)为多个子阵列或块。块可以进一步分组在一起成为块区(bay),其包含例如16个、32个或者不同数量的块。如经常使用的,子阵列是连续组的具有通常未被解码器、驱动器、感测放大器和输入/输出电路打断的连续的字线和位线的存储器单元。由于任何各种理由而这样做。例如,在大的阵列中由字线和位线的电阻和电容引起的向下贯穿字线和位线的信号延迟(即RC延迟)可能非常显著。可以通过将较大的阵列再分为一组更小的阵列使得减小每个字线和/或每个位线

的长度而降低这些RC延迟。作为另一例子,与访问一组存储器单元相关联的电力可以将上限支配为在给定的存储器周期期间可以同时访问的存储器单元的数量。从而,大的存储器阵列通常被再分为较小的子阵列以降低同时访问的存储器单元的数量。不过,为了易于描述,可以与子阵列同义地使用阵列来指代连续组的具有通常未被解码器、驱动器、感测放大器和输入/输出电路打断的连续的字线和位线的存储器单元。集成电路可以包括一个或多个存储器阵列。

[0092] 如上所述,RSME102可以通过可逆地切换其RSL的每个而在两个或多个状态之间可逆地切换。例如,RSM可以在制造时处于初始的高电阻率状态,其在施加第一电压和/或电流时可切换到低电阻率状态。施加第二电压和/或电流可以将RSME返回到高电阻率状态。可以与在此所述的任意RSME一起使用存储器系统300。

[0093] 图4A是对于单极RSL的示例实施例的电压相对电流的图。X轴绘出电压的绝对值,y轴绘出电流,并且线被调整以达到图的原点。在设置处理中,线404表示RSL在处于高电阻率、复位状态时的I-V特性,并且线406表示在 V_{set} 时转变到低电阻率、设置状态。在复位处理中,线400表示RSL在处于低电阻率、设置状态时的I-V特性,并且线402表示在 V_{reset} 时转变到高电阻率、复位状态。该例子示出了单极操作模式,其中对于设置和复位切换两者,电压的极性相同。

[0094] 为了确定RSL的状态,可以跨过RSL施加电压,并且测量得到的电流。较高或较低的测量的电流分别表明RSL处于低电阻率或者高电阻率状态。在某些情况下,高电阻率状态实质上比低电阻率状态更高,例如量值高两或三个量级(100-1,000倍)。注意,也可以与在此的技术一起使用具有不同的I-V特性的RSL的其他变型。

[0095] 当处于复位状态时,响应于施加的在0和 V_{set} 之间的电压,RSME呈现出由线404示出的电阻特性。但是,当处于设置状态时,响应于施加的在0和 V_{reset} 之间的电压,RSME呈现出由线400所示的电阻特性,其中 $V_{reset} < V_{set}$ 。因此,取决于RSME的电阻状态,RSME因此响应于相同电压范围(例如在0和 V_{reset} 之间)的相同电压而呈现出不同的电阻特性。在读取操作中,可以施加固定的电压 $V_{read} < V_{reset}$,响应于该电压,感测的电流在设置状态中是 I_a 或者在复位状态中是 I_b 。因此可以通过识别RSL或RSME的I-V特性的至少一个点来感测其状态。

[0096] 在一个方法中,RSME可以包括多个RSL,每个RSL呈现出基本类似的单极切换特性。

[0097] 图4B是绘出两个示例得单极RSL的不同I-V特性的图。对于两个或多个单极RSL,I-V(电流-电压)特性可以基本上相同,以便I随着V以共同的比率而增加,并且例如,设置和/或复位电平可以基本相同。或者,RSL的I-V特性可以不同,使得例如对于RSL之一,I随着V更迅速地增加,或者设置和/或复位电平可以不同。在此例子中,“A”表示第一类型的RSL,“B”表示第二类型的RSL,其中RSL具有不同的单极电阻切换特性。x轴绘出电压(V)并且y轴绘出电流(I)。对于类型“A”RSL,线400、402、404和406与图4A中的相同。而且对于类型“A”RSL, V_{setA} 是设置电压, V_{resetA} 是复位电压, I_{resetA} 是复位电流,并且 I_{set_limitA} 是电流设置限制。对于类型“B”RSL,线420、422、424和426分别对应于线400、402、404和406。而且对于类型“B”RSL, V_{setB} 是设置电压, V_{resetB} 是复位电压, I_{resetB} 是复位电流,并且 I_{set_limitB} 是电流设置限制。在在此所示的方法中, $V_{setA} > V_{setB}$, $V_{resetA} > V_{resetB}$, $I_{resetA} > V_{resetB}$,并且 $I_{set_limitA} > I_{set_limitB}$,但是这仅仅是示例,并且可以应用其他替换的关

系。

[0098] 当两个或更多RSL处于相同的RSME中时,RSME的切换特性将是每个RSL的切换特性的函数。在设置处理期间,例如,随着 V 增加,类型“B”RSL可以在类型“A”RSL之前切换,如果跨过每个RSL均分的话。类似地,在设置处理期间,例如,随着 V 增加,类型“B”RSL可以在类型“A”RSL之前切换,假设在每个RSL中施加相同的电压。

[0099] 替换地,类型“A”和类型“B”RSL具有相反极性的不同I-V特性是可能的。例如,可以使 $V_{setA} > 0V$ 和 $V_{reset} > 0V$,而 $V_{setB} < 0V$ 并且 $V_{resetB} < 0V$ 。作为例子,类型“A”RSL的特性可以如图4A中所述,而类型“B”RSL的特性可以如以下的图4C中所述。理论上,RSME中的一个RSL具有单极特性而RSME中的另一RSL具有双极特性也是可能的。但是,在RSME中的所有RSL之中仅使用一种切换特性(单极或双极)可以允许简化的控制方案。

[0100] 在某些情况下,RSME的读出切换RSL之一的数据状态。例如,在第一RSL处于低电阻状态并且第二RSL处于高电阻状态时,读取操作将基本检测不到电流,假设高电阻状态的量值比低电阻状态高数个量级。也就是说,等于每个RSL的电阻之和的RSME的电阻将非常高,因此电流将非常低或者基本上为零。读取操作可以将第二RSL切换到低电阻状态,使得RSME的电阻低,并且流经其的电流相对高并且可检测。接下来可以进行写回(write back)操作以将第二RSL切换回到高电阻状态。

[0101] 当跨过RSME的电极施加电压时,该电压将按照与每个RSL的电阻成比例而跨过每个RSL分压。当第一RSL处于低电阻状态并且第二RSL处于高电阻状态时,第一RSL将把电极处的电势传送到IL,使得跨过第二RSL施加实质上所有电压。此电压将切换第二RSL,如果该电压具有适当的量值和极性。

[0102] 此外,RSL可以使用可以操作为单极或双极器件的材料,比如在通过引用合并于此的Sun等人的“Coexistence of the bipolar and unipolar resistive switching behaviours in Au/SrTiO₃/Pt cells”,*J.Phys.D:Appl.Phys.*44,125404,2011年3月10日中描述的。

[0103] 图4C是绘出另一示例的单极RSL的I-V特性的图。与图4A的特性相比,在设置和复位处理期间代替正电压而使用负电压。在设置处理中,线434表示RSL的在处于高电阻率、复位状态时的特性,并且线436表示在 V_{set} 时转变到低电阻率、设置状态。在复位处理中,线430表示RSL的当处于低电阻率、设置状态时的I-V特性,并且线432表示在 V_{reset} 时转变到高电阻率、复位状态。 V_{read} 、 V_{reset} 、 V_{set} 和 V_f 都是负电压。在读取操作中,可以施加固定的电压 $V_{read} > V_{reset}$,响应于此感测的电流在设置状态中是 I_a 或者在复位状态中是 I_b 。

[0104] 图4D是绘出示例的双极RSL的I-V特性的图。在此,对于设置和复位处理使用相反极性的电压。此外,对于设置处理使用正电压,并且对于复位处理使用负电压。在此双极RSL中,当施加正电压时发生设置处理,并且当时加负电压时发生复位处理。在设置处理中,线444表示RSL的在处于高电阻率、复位状态时的I-V特性,并且线446表示在 V_{set} 处转变到低电阻率、设置状态。在复位处理中,线440表示RSL在处于低电阻率、设置状态时的I-V特性,并且线442表示在 V_{reset} 处转变到高电阻率、复位状态。 V_{set} 和 V_f 是正电压,并且 V_{reset} 是负电压。

[0105] 图4E是绘出另一示例的双极RSL的I-V特性的图。在此双极RSL中,当施加正电压时发生复位处理,并且当施加负电压时发生设置处理。在设置处理中,线454表示RSL在处于高

电阻率、复位状态时的I-V特性,并且线456表示在 V_{set} 处转变到低电阻率、设置状态。在复位处理中,线450表示RSL在处于低电阻率、设置状态时的I-V特性,并且线452表示在 V_{reset} 处转变到高电阻率、复位状态。 V_{set} 和 V_f 是正电压,并且 V_{reset} 是负电压。

[0106] 尽管图4D和图4C中的 I_{reset} 水平高于 I_{set} 水平,但是应该强调这可以相反。这意味着对于相反的极性,图4D和图4C中的 I_{set} 水平可以高于 I_{reset} 水平。

[0107] 图5绘出用于读取存储器单元的状态的电路的实施例。存储器阵列的一部分包括存储器单元550、552、554和556。绘出了许多位线中的两条和许多字线中的两条。位线559耦接到单元550和554,位线557耦接到单元552和566。位线559是所选位线,并且例如可以处于2V。位线557是未选位线,并且例如可以接地。字线547是所选字线,并且例如可以处于0V。字线549是未选字线,并且可以例如处于2V。

[0108] 用于位线559之一的读取电路被绘出为经由晶体管558连接到位线,该晶体管由列解码器312提供的栅极电压而控制以便选择或者不选择相应的位线。晶体管558将位线连接到数据总线563。(作为系统控制逻辑330的部分的)写电路560连接到该数据总线。晶体管562连接到该数据总线并且操作为箝位器件,该箝位器件由(作为系统控制逻辑330的部分的)箝位控制电路564控制。晶体管562还连接到感测放大器566,其包括数据锁存器568。感测放大器566的输出连接到数据输出端(连接到系统控制逻辑330、控制器和/或主机)。写电路560还连接到感测放大器566和数据锁存器568。

[0109] 当尝试读取RSME的状态时,所有字线首先被偏压在 V_{read} (例如近似2V),并且所有位线接地。然后所选字线被拉到地。例如,此讨论将假设存储器单元550被选择用于读取。一个或多个所选位线559经数据总线(通过接通晶体管558)和箝位器件(晶体管562,其接收 $\sim 2V+V_{th}$, V_{th} 是晶体管562的阈值电压)被拉到 V_{read} 。箝位器件的栅极在 V_{read} 以上,但是被控制为保持位线在 V_{read} 附近。在一个方法中,由所选存储器单元550经晶体管562从感测放大器中的感测节点处拉动电流。该感测节点可以接收在高电阻率状态电流和低电阻率状态电流之间的参考电流。该感测节点对应于单元电流和该参考电流之间的电流差而移动。感测放大器566通过将感测的电压与参考读取电压比较而产生数据输出信号。如果该存储器单元电流大于参考电流,则存储器单元处于低电阻率状态,并且感测节点处的电压将低于参考电压。如果存储器单元电流小于参考电流,则存储器单元将处于高电阻率状态,并且感测节点处的电压将高于参考电压。来自感测放大器566的输出数据信号被锁存在数据锁存器568中。

[0110] 再次参考图4A,例如,在处于高电阻率状态时,如果施加电压 v_{set} 和足够的电流,则RSL将被设置到低电阻率状态。线404示出当施加 V_{set} 时的行为。该电压将保持某种程度上恒定,并且电流将朝向 I_{set_limit} 而增加。在某个点,RSL将被设置,并且器件行为将基于线406。注意,第一次RSL被设置时, V_f (形成电压)需要设置该器件。在那之后 V_{set} 足够用于设置所使用的器件。形成电压 V_f 在绝对量值上可以大于 V_{set} 。

[0111] 在处于低电阻率状态(线400)时,如果施加 V_{reset} 和足够的电流(I_{reset}),则RSL将被复位到高电阻率状态。线400示出当施加 V_{reset} 时的行为。在某个点,RSL将被复位,并且器件行为将基于线402。

[0112] 在一个实施例中, V_{set} 近似是7V, V_{reset} 近似是9V, I_{set_limit} 近似是 $10\mu A$,并且 I_{reset} 可以低至100nA。这些电压或电流施加到图5的电路,其中具有串联的RSME和二极管。

[0113] 图6A-6M可以是例如RSME的垂直或水平平面中的截面图。

[0114] 图6A绘出具有RSME和在RSME以下的操纵元件(SE)的示例存储器单元。该存储器单元可以具有各种配置。一个配置是堆叠的配置,其中每种类型的材料被提供在一层中,并且每层位于在其以上的层的下方,并且通常具有类似的截面面积。在另一可能的配置中,一个或多个层可以与一个或多个其他的层首尾相连布置(见图6F-6J)。

[0115] 注意,在附图中,被描绘为彼此相邻的任意两个层或材料可以彼此接触。但是,除非另外指出,否则不要求这样,并且被描绘为彼此相邻的任意两个层或材料可以通过未绘出的其他材料的一个或多个层而分离。另外,在某些情况下,材料可以形成为制造的副产品,比如在Si层上形成的 SiO_x 。这样的副产品不是一定在附图中绘出。此外,所述的实现方式的变型是可能的。例如,在每个实现方式中的层的顺序可以相反,例如使得字线在顶部并且位线在底部。可以在所绘的每个层之间提供中间层。而且,操纵元件的位置可以改变使得其位于包括RSL的其他层以上或以下。可以将层的取向从垂直修改为水平或任何其他取向。认为可以形成公共导电路径的多个层或部分为串联连接。

[0116] 存储器单元包括诸如W或NiSi的位线接触(BLC)材料,起连接到存储器器件的位线。位线是一种类型的控制线,使得BLC也是与第一控制线的接触。在串行路径中的BLC之后的是诸如TiN的第一粘附层(AL1),其帮助BLC粘附到RSME,并担当阻挡物。可以通过任何传统的方法、比如溅射来沉积TiN层。在串行路径中的RSME之后是诸如二极管的操纵元件(SE)。该操纵元件允许诸如电压或电流的信号经由字线和位线选择性地被施加到一个或多个存储器单元,以单独控制单元以便通过切换器RSME来改变其各自的数据状态RSME的电阻切换行为独立于SE。SE可以具有自身的电阻切换行为,但是,此行为将独立于RSME的电阻切换行为。

[0117] 在串行路径中的SE之后是诸如TiN的第二粘附层(AL2)。在串行路径中的AL2之后是诸如W或NiSi的字线接触(WLC)材料,其连接到存储器器件的字线。该字线是一种类型的控制线,使得WLC也是与第二控制线的接触。所绘出的存储器单元的部分因此串行地布置。

[0118] 图6B绘出具有RSME的存储器单元的替换配置,其中操纵元件(SE)在RSME以上。从顶部到底部的其他层的顺序也可以从顶部到底部相反。

[0119] 图6C绘出作为垂直堆叠中的镜像电阻开关(MRS)的图6A的RSME的示例实现方式。RSME包括:第一电极(E1),其在某些配置中是顶部电极;第一电阻切换层(RSL1);和导电中间层(IL),其担当发散层、耦合电极或耦合层。该RSME还包括第二RSL(RSL2)以及第二电极(EL2),该第二电极在某些配置中是底部电极。例如,RSL可以是可逆RSL。可逆RSL可以从一个状态切换到另一状态并且切换回到该一个状态。IL电学地在E1和E2之间并且与E1和E2串联。RSL电学地在E1和IL之间并且与E1和IL串联。RSL2电学地在E2和IL之间并且与E2和IL串联。“电学地在……之间”或类似的可以意味着在导电路径中。例如,IL可以电学地在E1和E2之间,物理地或者不是物理地在E1和E2之间。

[0120] 例如,可以通过将两个双极存储电阻器(memristor)(存储器-电阻器)元件反串行地(anti-serially)连接为一个镜像电阻开关(MRS)而形成RSME。存储电阻器是无源两端电路组件,其中电阻是流经该器件的电阻和跨过该器件的电压的历史的函数。这样的MRS可以由第一存储电阻元件制成,该第一存储电阻元件包括:诸如n型硅的E1;RSL1,其可以是诸如二氧化铪(HfO_2)或者氮氧化铪硅(HfSiON)的过渡金属氧化物;以及IL,其可以是能够经历

与氧的化学反应的可氧化的电极(比如TiN)。

[0121] RSME包括第二存储电阻元件,其由相同的(或不同的)材料,但是按相反的顺序,共享IL的可氧化电极。此外,在一个方法中,第一和第二存储电阻元件两者具有双极或单极I-V(电流-电压)特性。在另一方法中,存储电阻元件之一具有单极特性,并且另一个存储电阻元件具有双极特性。通过将这两个存储电阻元件合并到一个RSME,该RSME具有作为组成的存储电阻元件的I-V特性的叠加的I-V特性,但是具有另外的益处:其以比单独的存储电阻元件低得多的电流而操作。

[0122] 更一般地,RSME将具有作为组成的RSL的I-V特性的叠加的I-V特性,但是使能够以低电流操作。

[0123] IL通过发散从RSL进入的电子而担当发散层,由此减慢对切换机制没有贡献的电子流,以避免损坏操纵元件。此外,IL通过设置E1和E2的电势而担当耦合电极或耦合层,其电容耦接到被施加到RSME的电压。

[0124] 通过这样的发散,IL在设置或复位处理期间提供降低峰值电流的电阻,同时实现低电流操作。电流限制操作被认为源自于IL层的两个方面。首先,通过电子-电子相互作用,热电子在IL层中非常好地发散。第二,RSL之一一开始击穿并传递过剩的电荷Q到IL上,就通过 $V=Q/C$ 有效地降低在RSL上施加的电压,其中C是朝向电极E1和E2的IL层的电容。同时,现在更高的电压在第二RSL处,诱发第二RSL的击穿。因为可用的电荷Q的量是限制的,所以在此可以流动的电流也是非常受限的。以此方式,此RSME使能够以低电流操作存储器单元。电阻被认为是基于IL发散电子以及给出对于施加的偏压电压的非常有效的负反馈的能力的,使得形成小的导电丝极,其允许以低电流发生切换。不用IL,当施加电压时将形成具有非常低的电阻的丝极,导致存储器单元中的高的电流峰值(由于关系 $I=V/R$),并且所需的切换电流也将非常高。

[0125] RSME具有相对于IL的镜像配置,因为RSL和电极的序列在IL的任一侧延伸。镜像配置还可以对于RSL和电极使用相同的材料。E1、RSL1和IL的组合形成第一存储电阻(存储器-电阻器)元件,并且E2、RSL2和IL的组合形成第二存储电阻元件。这两个存储电阻元件可以是双极存储电阻元件,其反串行地或者串行地连接为一个镜像电阻开关(MRS)。

[0126] 在使用中,当跨过E1和E2施加电压时,产生电场(E),其是通过E1和E2之间的距离而分压的电压。IL可以浮置,这意味着其不直接用电压/电流信号来驱动,而是可以电容耦合到直接用电压/电流信号驱动的一个或多个其他的电极(比如E1和/或E2)。由于电容耦合,E1和E2之间的电压的一部分将从E1到耦合层并跨过RSL1而施加,而E1和E2之间的电压的另一部分将从耦合层到E2并且跨过RSL而施加。跨过每个RSL与每个RSL的电阻成比例地分压该电压。

[0127] 此外,第一存储电阻器可以具有第一I-V特性,而第二存储电阻器可以具有第二I-V特性,使得存储器单元的整体I-V特性是第一和第二存储电阻器的I-V特性的叠加,但是具有另外的益处:其以比单独的存储电阻元件低得多的电流而操作。在一个方法中,第一和第二存储电阻器的I-V特性不同,但是具有相同的极性。在另一方法中,第一和第二存储电阻器的I-V特性具有相反的极性。先前讨论的图4A-4E提供了RSL的示例I-V特性。

[0128] RSME的元件可以被提供在许多可能的配置中,以下进一步详述。对于E1的示例材料包括n+Si(多晶硅)、p+Si(多晶硅)、TiN、TiSix、TiAlN、TiAl、W、WN、WSix、Co、CoSi、p+Si、

Ni和NiSi。对于RSL1和RSL2的示例材料包括诸如MeO_x和MeN的金属材料。但是,也可以使用非金属材料,如在在此的一些实施例中所讨论的。RSL1和RSL2可以是相同的类型或者不同的类型。RSL也可以是相变单元、基于碳的、基于碳纳米管的、纳米离子存储器、导电桥或者改变其相位、旋转、磁分量等等的单元。RSL可以具有在MΩ范围内的导通电阻(导电状态电阻),例如1-10MΩ或更大。这与诸如导电桥接RAM或者CBRAM的可编程金属化单元(PMC)相反,该PMC形成量子点(quantum point)接触并且具有大约25KΩ或更低的低得多的电阻。更高的电阻提供了低电流操作和更好的可缩放性。

[0129] 对于E2的示例材料包括n+Si、n+SiC、p+SiC和p+Si(多晶硅)、TiN、TiAlN、TiAl、W、WN、Co、CoSi、p+Si、Ni和NiSi。不同的层中的材料的特定组合可以是有利的。以下进一步详细讨论各种配置。

[0130] 对于IL的示例材料包括TiN、TiN、Al、Zr、La、Y、Ti、TiAlN、Ti_xNy、TiAl合金和p+SiC。因此IL可以由可氧化的材料(例如TiN、Al、Zr、La、Y、Ti)或者不可氧化的材料(例如TiAlN、Ti_xNy、TiAl合金和碳,包括例如石墨烯、非晶碳、碳纳米管、具有不同晶体结构的碳和p+SiC)。通常,E1和E2的相同材料可以用于IL层。在某些情况下,有意地或者无意地形成一个或多个氧化物层,作为沉积和形成步骤的副产品。例如,Si可以通过在Si顶部上沉积MeO_x而被氧化。甚至TiN或者其他建议的金属可能在一侧提供MeO_x沉积而被氧化,并且可以通过MeO_x和TiN的分界面反应而在界面处被氧化。

[0131] 如所述,E1、E2和IL由导电材料制成。导电材料可以由其导电率 $\sigma=1/\rho$ 或者其倒数来特征化,该倒数是电阻率 $\rho=E/J$ 。导电率以西门子每米(S/m)而测量,并且电阻率以欧姆-米($\Omega\text{-m}$)或者 $\Omega\text{-cm}$ 而测量。E是以V/m的电场的量值,J是以A/m²的电流密度的量值。对于绝缘体, $\rho>10^8\Omega\text{-cm}$ 或者 $\sigma<10^{-8}\text{S/cm}$ 。对于半导体, $10^{-3}\Omega\text{-cm}<\rho<10^8\Omega\text{-cm}$ 或者 $10^3\text{S/cm}>\sigma>10^{-8}\text{S/cm}$ 。对于导体, $10^{-3}\Omega\text{-cm}>\rho$ 或者 $10^3\text{S/cm}<\sigma$ 。半导体可以区分于导体在于半导体通常通过将绝缘体掺杂为p-型或n-型半导体而形成,而导体不依赖于掺杂。半导体还可以区分于导体在于半导体基于施加的电压的极性而允许电流流动,使得电流可以在一个方向上强大地流动而不在相反的方向上强大地流动。半导体允许正向电流流动的方向取决于其是p-型还是n-型半导体。相反,导体允许电流在任一方向上很好地均等地流动。导电材料意图包括半导体(半导体材料)和导体。导体也可以被称为导电材料。导体具有比半导体更高的电导率。

[0132] 注意,RSME不依赖于高带隙三重堆叠(在相对低的带隙材料的层之间的相对高的带隙材料),因为IL是可以接收耦合电压的导电材料。

[0133] 图6D绘出在RSL之间使用不同类型的多个IL的图6A的RSME的示例实现方式。使用多个相邻的中间层,包括类型“1”的第一IL(IL1)和类型“2”的第二IL(IL2)。此实施例的优点是IL可以是不同类型的,其具有不同的发散属性和功函数(work function),以提供修整RSME的性能的另外的能力。此外,使用相同或不同类型的多个IL可以增加路径中的发散/电阻,由此降低电流,因为 $I=V/R$ 。多个相邻的IL可以增加发散,像更厚的单个IL可以的那样。但是,更厚的IL带来的缩放挑战是,如果堆叠高度增加,则柱蚀刻的纵横比增加。结果,诸如蚀刻、清洗和隙填充的制造工艺变得非常有挑战。可能优选具有两个(或多个)相邻的(或不相邻的)较薄的IL(或者相似的或不相似的属性/材料)而不是一个较厚的IL。例如,两个5nm厚的IL可以提供与单个例如20nm的更厚的IL相当的发散。

[0134] IL1和IL2可以是例如具有不同的电阻率和晶体结构的不同材料。它们也可以是相同的材料,但是可以具有不同的晶体结构或者取向或者不同的颗粒大小,这将不同地发散电荷载体。作为另一例子,一个IL可以由微粒的(fine grained)材料或者纳米粒子构成(其可以与另一IL相同或不同)。

[0135] 如果RSL1和RSL2是不同的材料,并且IL1和IL2是不同的材料和/或材料类型,则IL相对于RSL的最佳布置将是依赖于材料的。

[0136] 一个可能的实现方式使用pn结,IL1是n+Si,并且IL2是p+Si。IL1和IL2每个可以具有例如至少20nm的厚度。另一可能的组合对于IL之一使用诸如TiN的金属,并且对于另一IL使用n+或p+Si。例如,见图10C。

[0137] 图6E绘出使用重复的RSL/IL样式的图6A的RSME的示例实现方式。RSL和IL的样式或组合重复至少两次。例如,提供RSL1和第一IL(IL1),除此之外提供RSL2和第二IL(IL2)。第三RSL(RSL3)与E2相邻。RSL可以是相同或不同的类型,并且IL可以是相同或不同的类型。此实施例的优点是,多个发散层可以增加RSME的路径中的发散/电阻的量。另外,使用不同类型的IL和RSL的能力提供了修整RSME的性能的另外的能力。

[0138] 三个RSL具有多种特性(所有相同、两个相同和一个不同、所有不同等等)是可能的。与不相似的RSL一起使用多于一个IL将改变RSME的特性并提供调整其性能的另外的功能。

[0139] 当跨过RSME施加电压时,跨过每个RSL根据每个RSL的电阻而划分该电压。在一个可能的实现方式中,两个RSL具有相同的I-V特性,并且另一RSL具有不同的I-V特性,使得例如当另一个RSL处于高电阻状态时这两个RSL两者处于低电阻状态,或者当另一RSL处于低电阻状态时,该两个RSL两者处于高电阻状态。其他变型是可能。

[0140] 图6F绘出图6A的RSME的示例实现方式,其中RSME的每个层水平地延伸,并且一个或多个层首尾相连地布置。代替完全堆叠的(垂直的)配置,RSME的部分与RSME的其他部分横向地(在其边上)或者首尾相连地布置。例如,E1、RSL1和IL处于一个堆叠中,而RSL2和E2处于另一堆叠中,RSL2与IL并排布置。参考图6A,BLC和AL1可以提供在E1以上,并且SE、AL2和WLC可以提供在IL以下。在一个可能的方法中,可以在IL以下提供不导电的(NC)层,并且与E2并排布置。RSME的部分/层仍然串行地布置。在另一可能的实现方式中,E2在RSL2的一侧而不是在其之下,使得三个部分(IL、RSL2和E2)首尾相连地布置。其他变型是可能的。使得RSME的部分彼此首尾相连地或者否则横向地延伸提供了修整RSME的布局的另外的能力。例如,RSME的高度可以减小。在一个方法中,可以在E1之上提供BLC和AL1,并且可以在E2之下提供SE、AL2和WLC。

[0141] 图6G绘出图6A的RSME的另一示例实现方式,其中RSME的每个层水平地延伸并且一个或多个层首尾相连地布置。RSL2、IL和RSL2处于一个堆叠中,而E2、不导电的层(NC)和E2处于另一相邻的堆叠中。E1首尾相连地布置在RSL1一侧,并且E2首尾相连地布置在RSL2一侧。仍可以认为这些部分例如在E1、RSL1、IL、RSL2、E2的串行路径中串行地布置。在另一选项中,例如,E1与RSL横向地并且在RSL以上延伸,并且E2与RSL横向地并且在RSL以下延伸。在一个方法中,BLC和AL1可以被提供在E1以上,并且SE、SL2和WLC可以提供在E2以下。

[0142] 通常,可以认为E1、E2、IL、RSL1和RSL2的至少一个可以至少部分地与E1、E2、IL、RSL1和RSL2至少其他一个横向地布置。

[0143] 在图6F和6G中,横向布置是首尾相连的。例如,RSL1与E1横向地首尾相连地布置,和/或RSL2与E2横向地首尾相连地布置。而且,IL与RSL1和RSL2的至少一个横向地首尾相连地布置。

[0144] 图6H绘出图6A的RSME的另一示例实现方式,其中RSME的每个层垂直地延伸。RSME的部分与RSME的其他部分横向地或者面对面地布置。例如,BLC可以在E1以上、以下或者在E1侧,而WLC在E2以上、以下或者在E2侧。BLC和WLC处于与RSME串联的路径中。制造可以涉及层沉积和层间隔物蚀刻的n个重复的循环,具有最终的CMP步骤。例如,E1层可以沉积为水平延伸的层,然后被蚀刻以形成所示的垂直延伸的部分。然后可以沉积RSL1层作为水平延伸的层,然后被蚀刻以形成所示的垂直延伸的部分。这对于IL、RSL2和E2部分的每个重复。在一个方法中,AL1和BLC(图6A)从E1向上垂直地延伸,并且SE、AL2和WLC从E2向下垂直地延伸。

[0145] 层中的两个或多个可以彼此横向面对面地布置。例如,RSL1、IL和RSL2每个可以彼此横向地面对面布置。而且,E1、RSL1、IL、RSL2和E2每个可以彼此横向地面对面地布置。

[0146] 相比于图6I的L形截面以及图6J的U形截面,例如图6D-6H的RSME部分具有矩形截面。

[0147] 图6I绘出图6A的RSME的另一示例实现方式,其包括对于RSL1、IL、RSL2和E2的L形部分。例如,假设截面图处于与垂直的轴x和y垂直或水平的平面中。在x方向上,E1具有厚度 t_{1x} ,RSL1具有厚度 t_{2x} ,IL具有厚度 t_{3x} ,RSL2具有厚度 t_{4x} ,并且E2具有厚度 t_{5x} 。在y方向上,E1具有厚度 t_{1y} ,RSL1具有厚度 t_{2y} ,IL具有厚度 t_{3y} ,RSL2具有厚度 t_{4y} ,并且E2具有厚度 t_{5y} 。对于每个部分,x方向厚度可以与相应的y方向厚度相同或不同。层的顺序可以相反使得它们按顺序E2、RSL2、IL、RSL1和E1而不是E1、RSL1、IL、RSL2和E2而延伸。例如,BLC可以在E1以上、以下或者E1一侧,而WLC可以在E2以上、以下或者E2一侧。BLC和WLC处于与RSME的串行路径中。通过提供L形部分,可以在RSME的设置处理中形成导电丝极,其中丝极在x方向上和y方向上延伸。因为存在丝极在其上延伸的相对大的区域,所以潜在地促进了其创建。所描绘的实现方式也可以旋转90度或180度。

[0148] 在此方法中,层的部分彼此横向地布置,类似于图6F-6H的概念,但是层是以嵌套的L形,具有以直角彼此延伸的两个部分。例如,L形的RSL2嵌套在L形的E2内,L形的IL嵌套在L形的RSL2内,并且L形的RSL1嵌套在L形的IL内。E1嵌套在L形RSL1内但是在此例子中其本身不是L形的。在一个或多个维度上,每个部分可以是相同或不同的。

[0149] 在此,可以认为E1、E2、IL、RSL1和RSL2的至少一个至少部分地与E1、E2、IL、RSL1和RSL2的至少其他一个横向布置。

[0150] 图6J绘出图6A的RSME的另一示例实现方式,其包括RSL1、IL、RSL2和E2的U形部分。例如,假设截面图在与垂直的轴x和y垂直或水平的平面中。在x方向上,E1具有厚度 t_{1x} ,RSL1具有厚度 t_{2xa} 和 t_{2xb} ,IL具有厚度 t_{3xa} 和 t_{3xb} ,RSL2具有厚度 t_{4xa} 和 t_{4xb} ,并且E2具有厚度 t_{5xa} 和 t_{5xb} 。在y方向上,E1具有厚度 t_{1y} ,RSL1具有厚度 t_{2y} ,IL具有厚度 t_{3y} ,RSL2具有厚度 t_{4y} ,并且E2具有厚度 t_{5y} 。 x_a 厚度可以与相应的 x_b 厚度相同或不同。而且, xy 厚度可以与相应的 x_a 和/或 x_b 厚度相同或不同。层的顺序可以相反使得它们按顺序E2、RSL2、IL、RSL1和E1而不是E1、RSL1、IL、RSL2和E2而延伸。例如,BLC可以在E1以上、以下或者E1一侧,而WLC可以在E2以上、以下或者E2一侧。BLC和WLC处于与RSME的串行路径中。通过提供U形部分,可

以在RSME的设置处理中形成导电丝极,其中丝极在E1的任一侧的x方向上和在y方向上延伸。所描绘的实现方式也可以旋转90度或180度。

[0151] 在此方法中,层的部分彼此横向地布置,类似于图6F-6H的概念,但是层是以嵌套的U形,具有以对于基础部分的直角而延伸的平行部分。例如,U形的RSL2嵌套在U形的E2内,U形的IL嵌套在U形的RSL2内,并且U形的RSL1嵌套在U形的IL内。E1嵌套在U形RSL1内但是在此例子中其本身不是U形的。在一个或多个维度上,每个部分可以是相同或不同的。

[0152] 通常,任意的垂直堆叠实施例可以适合于L形或U形实施例。

[0153] 在此,可以认为E1、E2、IL、RSL1和RSL2的至少一个至少部分地与E1、E2、IL、RSL1和RSL2的至少其他一个横向布置。

[0154] 图6K1绘出图6A的RSME的示例实现方式,其使用一个RSL和在该RSL以下的一个击穿层。如之前所讨论的使用RSL1,但是代替RSL2在IL和E2之间使用击穿层。该击穿层是不具有电阻切换行为的材料,并且可以在IL和E2之间提供阻隔(baffle)层。具有电阻切换行为的材料他才可以在开始和结束电阻状态之间重复地切换。相对照,击穿材料是通过施加相对高的电压和/或电流从具有相关联的I-V特性的初始状态到具有另一相关联的I-V特性的击穿状态已经被击穿的材料,并且通常从初始状态到击穿状态仅可以转变一次。电阻切换材料可以被认为是多次可编程材料,而击穿材料可以被认为是一次可编程材料。在此,可编程可以包括具有改变电阻状态的能力。尽管电阻切换材料可以与熔丝或反熔丝配对以形成一次可编程的,但是电阻切换材料本身仍然是多次可编程。一次可编程材料在例如设置芯片的唯一标识符或者设置诸如时钟或电压参数的操作参数中是有用的。

[0155] 用于击穿层的示例材料(和对于某些示例在击穿前在初始状态中的电阻率 ρ 的相关联的范围)包括:SiN(在25C对于Si₃N₄, $\rho=10^{14}\Omega\text{-cm}$),SiO₂(在25C, $\rho=10^{14}\text{-}10^{16}\Omega\text{-cm}$),SiC($\rho=10^2\text{-}10^6\Omega\text{-cm}$),SiCN,SiON或可以被击穿的、例如从较高电阻的通常不导电的状态改变到较低电阻的导电状态的、但是通常不被称为可逆电阻切换材料本身的任意的层。击穿层可以是维持至少大约1-10M Ω 的电阻同时在击穿状态下导电的材料。处于初始状态的电阻通常量值比处于击穿状态下得量值高一个或几个量级。如果层的电阻太低,则其作为保护层不太有效。击穿层材料的电阻是 $R=\rho l/A$,其中l是材料的长度,并且A是截面积。长度是击穿层厚度。已知 ρ 和R,可以使用A和l来选择材料的尺寸。

[0156] 击穿层可以是一次可编程击穿层。这样的击穿层可以被认为是不可切换的击穿层或者一次可切换的击穿层,因为击穿过程不可逆。即,一旦击穿层从开始的不导电状态被击穿,则击穿层保持在击穿状态并且不能返回到开始状态。相对照,在某些情况下,单极或双极单元可以操作在一次可编程模式,但是通常不物理地击穿,同时在导电时维持至少大约1-10M Ω 的电阻。

[0157] 可以将一个或多个RSL配置在击穿状态下,比如通过向RSL施加相对高的电压或电流。例如,施加的电压可以显著高于材料的阈值电压。击穿过程可能部分地由于热效应。进一步的细节见图6K2和6K3。

[0158] 图6K2是示出击穿层的从初始状态到击穿状态的转变的图。可以通过跨过击穿层施加电流或电压达可以延长的时间段、例如几分钟来实现该转变。在时间 t_b ,当击穿事件发生时,经过击穿层的电流在步长上增加(因为电阻在步长上下降)。在某些情况下,可以发生多个击穿事件。对于施加的电压,跨过RSME施加的电压将跨过击穿层和RSL1与其各自的电

阻成比例地被划分。RSL1可以被配置在低电阻状态使得跨过击穿层施加基本上所有电压。

[0159] 图6K3是示出处于初始状态(实线)和击穿状态(虚线)的击穿层的I-V特性的图。对于给定的电压,在击穿状态中电流较高(并且电阻较低)。其中击穿层处于初始状态的RSME可以与其中击穿层处于击穿状态的RSME相区分,使得可以根据击穿层的状态来存储数据位。RSL可以在两个状态之间进一步调整以存储数据位。通过施加适当的读取电压,可以确定击穿层和RSL的状态。

[0160] 图6L绘出图6A的RSME的示例实现方式,其使用一个可逆RSL(RSL1)和在该RSL1之上的一个击穿RSL。这是图6K1的配置的替换。

[0161] 图6M绘出图6A的RSME的示例实现方式,其中电阻切换层(RSL)是不同的类型。RSL1和RSL2可以由具有不同切换特性的不同类型的材料制成,比如以允许通过RSME存储多于一个数据位。用于RSL1和RSL2的示例材料包括:TiO₂、NiO_x、HfSiON、HfO_x、ZrO₂和ZrSiON。

[0162] 图7A绘出作为Si二极管的图6A的存储器单元的操纵元件(SE)的示例实现方式。Se是具有n型区域、本征(i)区域和p-型区域的Si二极管。如所述,Se选择性地限制跨过RSME的电压和/或流经RSME的电流。SE允许向存储器单元写入和/或从存储器单元读取而不影响阵列中的其他存储器单元的状态。

[0163] 图7B绘出作为穿通二极管的图6A的存储器单元的操纵元件(SE)的示例实现方式。穿通二极管包括n+区域、p-区域和n+区域。穿通二极管可在两个方向上操作。具体地,穿通二极管允许交叉点存储器阵列的双极操作,并且可以具有对称的非线性电流/电压关系。穿通二极管对于所选单元具有在高偏压处的高电流,并且对于未选单元具有在低偏压处的低漏电流。因此,其可以与具有电阻切换元件的交叉点存储器阵列中的双极切换兼容。穿通二极管可以是n+/p-/n+器件或者p+/n-/p+器件。

[0164] 尽管提供了涉及具有二极管的存储器单元的示例实现方式,但是在此提供的技术通常可应用于其它器件和操纵元件,包括晶体管、穿通晶体管、穿通二极管、PN二极管、NP二极管、PIN二极管、齐纳二极管、NPN二极管、PNP二极管、肖特基二极管、碳硅二极管、晶体管布局等等。

[0165] 在另一方法中,操纵元件可以是诸如双极或CMOS晶体管的晶体管。

[0166] 此外,在一些配置中,不需要使用操纵元件。

[0167] 图8绘出连接在位线和字线之间的图6A的存储器单元的示例实现方式。位线接触(BLC)是W或NiSi,第一粘附层(AL1)是TiN,第一电极(E1)是n+Si,RSL是MeO_x,比如HfO₂,IL是TiN,RSL2是MeO_x,比如HfO₂,为作为操纵元件(SE)的Si二极管提供另外的粘附层(AL),第二粘附层(AL2)是TiN,字线接触(WLC)是W或NiSi。另外,可以使用从由以下构成的组中选择材料提供一个或多个覆盖层:TiO_x、Al₂O₃、ZrO_x、LaO_x和YO_x。通常,覆盖层可以是金属氧化物。在此例子中,覆盖层与IL和RSL相邻,具体地,一个覆盖层(Cap1)在RSL1和IL之间,并且与RSL1和IL的每个相邻,另一覆盖层(Cap2)在IL和RSL2之间并且与IL和RSL2的每个相邻。从MeO_x的角度来看,覆盖层可以用作氧的来源或者吸取者(getter),这促进RSL中的切换。当担当氧的吸取者时,例如,覆盖层可以帮助从MeO_x RSL向IL/电极提供氧。当担当氧的来源时,例如,覆盖层可以帮助从IL/电极向MeO_x RSL提供氧。吸取(gettering)是其中诸如氧的材料移动到吸取者位置的过程。吸取者位置是由于氧处于较低的能量状态而优选将存在于的替换位置。

[0168] RSME由从E1向E2延伸的层构成。在示例实现方式中,E1和E2每个具有例如大约1-3nm或者大约1-10nm的厚度或高度,并且IL可以具有例如大约1-5nm或者大约1-10nm的厚度或高度。因此,RSME的整体厚度可以非常小。

[0169] 图9A绘出图6C的RSME的实施例,其中E1由Co、CoSi、n+Si、p+Si或者p+SiC制成,并且E2由n+Si制成。从顶部到底部的层的顺序是:E1、RSL1、Cap1、IL、Cap2、RSL2、E2。RSME还包括诸如MeO_x的RSL1、诸如TiN的IL、诸如MeO_x的RSL2和诸如n+Si的第二电极(E2)。另外,在RSL1和IL(Cap1)之间以及在IL和RSL2(Cap2)之间提供诸如TiO_x的覆盖层。当E1和E2由不同的材料制成时,此实施例可以提供非对称结构。例如,由钴(Co)制成的E1是期望的,因为其具有大约-5eV的相对高的功函数,这接近于Ni的功函数,并且可以得到更好的切换。这是由于较高的阻挡物高度,这可以作为具有高功函数的益处。在另一方法中,由钴硅制成的E1也是期望的,因为其也具有相对高的功函数。在另一方法中,E1由n+Si(多晶硅)制成,这提供了高功函数(大约4.1到4.15eV)以及抗氧化的益处。其他适当的材料包括具有大约5.1到5.2eV的高功函数的p+Si(多晶硅)以及由于高能隙而具有大约6.6到6.9eV的非常高的功函数的p+碳化硅(SiC)。这些能隙显著高于Si的能隙,例如,Si的能隙是大约1.1eV。

[0170] 在一个实施例中,例如可以通过离子植入、通过诸如B、Al、Be或Ga的掺杂剂将p+SiC沉积然后掺杂到每立方厘米大约10E19到10E20个原子的浓度。这是原地掺杂的例子。SiC化学上是惰性的,因此抗氧化。由于2700C的升华温度,其实际上不熔化,并且具有3.6到4.9W/(cm*K)高热传导率(相比于Si的1.49W/(cm*K)),由于高电流密度,这对于存储器单元操作是有益的。

[0171] 图9B绘出图6C的RSME的实施例,其中E1和IL由p+SiC制成,并且E2由n+Si、n+SiC或者p+SiC制成。从顶部到底部的层的顺序是:E1(例如p+SiC)、RSL1、IL(例如p+SiC)、RSL2、E2。E1和IL的高功函数可以对单元电流降低有贡献,其中IL用作发散层。此外,通过调整IL的掺杂,能够调整层电阻以增加发散并降低电流。通过增加的掺杂,IL电阻更小,使得在耗尽层上具有更小的耗尽宽度和更小的电压降。

[0172] 此外,E2可以由n+Si、n+SiC或者p+SiC制成。当E2由n+SiC制成时,在制造期间存在在E2和RSL2之间形成的更薄的SiO₂层。相对照,在n+Si底部电极的情况下,在E2和RSL2之间可以形成更厚的SiO₂层。作为对于n+SiC的替换,E2可以由p+SiC制成。例如,RSL1和RSL2可以是MeO_x。

[0173] 在一个方法中,比如通过将IL提供为纳米晶体SiC膜,IL可以由纳米粒子制成。例如,见以下讨论的W.Yu等人。

[0174] 图9C是绘出p+SiC相对于其他材料的费米能级的图。以上提到p+SiC由于高能隙而具有大约6.6到6.9eV的非常高的功函数。为了例示此实时,提供了对于4H-SiC的能量图,其绘出了真空中的能级、导带(Conductance band)(E_c)的能级、本征能级(E_i)以及价带(valence band)能级(E_v)。该图来自于通过引用合并于此的T.Ayalew,Dissertation的“SiC Semiconductor Devices Technology,Modeling And Simulation”,Institute for Microelectronics,Vienna,Austria,2004年1月。还绘出了其他示例的材料及其费米能级:Al(4.28eV)、Ti、Zn(4.33eV)、W(4.55eV)、Mo(4.60eV)、Cu(4.65eV)、Ni(5.10eV)、Au(5.15eV)和Pt(5.65eV)。如所述,p+SiC具有相对高的功函数。具体地,费米能级将接近价带能级。

[0175] 在实践中,未掺杂的SiC具有大约4.5-4.8eV的功函数,或者如果用氧覆盖则具有大约4.9eV的功函数。但是,对于p+SiC,费米能级将更接近价带,使得功函数更高。取决于p+掺杂的水平以及SiC聚合类型(对于4H-SiC能量带隙 $E_g=3.23-3.26\text{eV}$,或者对于6H-SiC, $E_g=3.05\text{eV}$),如所示,功函数 ϕ_M 可以是大约6.6-6.9eV。

[0176] 可以通过在没有过高的适当的温度时沉积来应用SiC。对于相对低温沉积的各种技术是可用的。例如,在通过引用合并于此的I.Golecki等人的“Single-crystalline, epitaxial cubic SiC films grown on (100) Si at 750°C by chemical vapor deposition”, *Applied Physics Letter*, vol.60, 第14期, 1703-1705页, 1992年4月中描述了在750°C的沉积。在此方法中,使用甲基硅烷(SiCH₃H₃)即具有1:1的Si:C比率的单个前体(precursor)以及H₂通过低压化学气相沉积而生长SiC膜。

[0177] 在另一示例方法中,已经使用分子束外延附生以低温沉积SiC,比如在通过引用合并于此的A.Fissel等人的“Low-temperature growth of SiC thin films on Si and 6H-SiC by solid-source molecular beam epitaxy”, *Applied Physics Letter*, vol.66, 第23期, 3182-3184页, 1995年6月中所述。此方法涉及使用由基于四极柱质谱的磁通量计控制的固态源分子束外延附生以大约800-1000°C在Si(111)和2°-5°偏轴(off-oriented)6H-SiC(0001)基板上的化学计算的SiC的外延生长。在Si稳定的表面上获得膜,示出了在SiC(0001)的情况下的(3x3)和(2x2)上层结构(superstructure)。在T>900°C在6H-SiC(0001)上的生长期间的反射高能衍射(RHEED)样式和阻尼RHRRF-振荡指示以阶梯的二维成核是占优势的生长过程。

[0178] 用于沉积SiC的另一示例的低温方法在通过引用合并于此的W.Yu等人的“Low temperature deposition of hydrogenated nanocrystalline SiC films by helicon wave plasma enhanced chemical vapor deposition”, *J.Vac.Sci.Technol.A28(5)*, American Vacuum Society, 1234-1239页, 2010年9月3日中描述。在此,在低的基板温度通过使用螺旋波等离子体增强化学气相沉积而沉积了氢化的纳米晶体硅碳(nc-SiC:H)膜。研究了无线电频率(rf)功率和基板温度对沉积的nc-SiC:H膜的属性的影响。发现以低rf功率制造氢化的非晶SiC膜,而当rf功率是400W或更大时可以沉积具有在非晶对应物中嵌入的SiC纳米晶体的微观结构的nc-SiC:H膜。从电容主导的放电到具有高的等离子体密度的螺旋波放电的等离子体转变影响膜的微观结构和表面形态。以各种基板温度沉积的膜的分析揭示了SiC结晶的开始发生在低达150°C的基板温度。

[0179] 图10A绘出图6C的RSME的实施例,描述了替换的IL材料。从顶部到底部的层的顺序是:E1(例如TiN)、E1(例如n+Si)、RSL1(例如MeO_x)、cap1(例如TiO_x)、IL(例如TiN)、cap2(例如TiO_x)、RSL2(例如MeO_x)、E2(例如n+Si)。在一个实现方式中,E1包括在n+Si层之上的TiN层的组合。另外,在RSL1和IL之间以及在IL和RSL2之间提供诸如TiO_x的覆盖层。进一步的Ti接触(未示出)可以在E1之上。作为替换,可以从由以下构成的组中选择IL:Al、Zr、La、Y、Ti、TiAlN、Ti_xN_y和TiAl合金。这些是可以使能够进行较低的V和I单元操作的受欢迎的耦合层。此实施例提供了相对于IL的镜像结构,因为覆盖层、RSL和电极从IL的两侧按相同的顺序延伸并可选地具有相同的材料(例如在IL以上和以下的相同的覆盖层材料,例如TiO_x,跟着是在IL以上和以下的相同的RSL材料,例如MeO_x,跟着是在IL以上和以下的相同的电极材料,例如n+Si)。

[0180] 图10B绘出反转的镜像堆叠配置的图6C的RSME的实施例。从顶部到底部的层的顺序是：E1 (例如TiN)、cap1 (例如TiO_x)、RSL1 (例如MeO_x)、IL (例如n+Si)、RSL2 (例如MeO_x)、cap2 (例如TiO_x)、E2 (例如TiN)。在一个方法中，E1由TiN制成，IL由n+Si制成，并且E2由TiN制成。IL层可以是例如具有10-100nm厚度的n+Si。此实施例是反转的镜像配置，其提供了相对于图10A的实施例的反转的堆叠，因为n+Si层现在是IL而不是E1或E2层，并且覆盖层在RSL和电极层之间 (cap1在RSL1和E1之间；cap2在RSL2和E2之间) 而不是在RSL和IL之间。具体地，RSL、覆盖层和电极从IL的两侧按相同的顺序延伸并且可选地具有相同的材料 (例如在IL以上和以下的相同的RSL材料，例如MeO_x，跟着是在IL以上和以下的相同的覆盖层材料，例如TiO_x，跟着是在IL以上和以下的相同的电极材料，例如TiN)。

[0181] 图10C绘出以非对称的竖直的堆叠配置的图6C的RSME的实施例。从顶部到底部的层的顺序是：E1 (例如TiN)、cap1 (例如TiO_x)、RSL1 (例如MeO_x)、IL (例如n+Si)、IL (例如TiN)、cap2 (例如TiO_x)、RSL2 (例如MeO_x)、E2 (例如n+Si)。在一个方法中，IL是在TiN的层以上的n+Si层 (例如10-100nm厚度) 的组合。在MeO_x层以上并与之相邻地提供诸如TiO_x的覆盖层。例如，cap1在RSL1以上并与之相邻，并且cap2在RSL2以上并与之相邻。该配置是不对称的并且是以竖直的堆叠，所有层垂直地布置。不使用镜像配置。该配置是不对称的因为IL (n+Si) 以上延伸的层包括RSL1跟着是cap1，而在IL (TiN) 以下延伸的层包括cap2跟着是RSL2。该配置是竖直的，因为cap1在RSL1以上，并且cap2在RSL2以上。

[0182] 图10D绘出以非对称的反转堆叠配置的图6A的RSME的实施例。从顶部到底部的层的顺序是：E1 (例如TiN)、E1 (例如n+Si)、RSL1 (例如MeO_x)、cap1 (例如TiO_x)、IL (例如TiN)、IL (例如n+Si)、RSL2 (例如MeO_x)、cap2 (例如TiO_x)、E2 (例如TiN)。不使用镜像配置。该配置是不对称的，因为在IL以上，cap后跟随着RSL，但是在IL以下，RSL后跟随着cap。该配置相对于图10C的实施例是反转的，因为n+Si层现在是E1层而不是E2层，并且TiN层现在是E2层而不是较低的E1层。IL层可以是例如具有10-100nm厚度的n+Si以及TiN的以与图10C的方式相反的方式的组合。

[0183] IL的其他实施例使用诸如从由以下构成的组中选择的金属的一种或多种金属：TiAlN、WN、W、NiSi、CoSi和C。

[0184] 图11A绘出图6C的RSME的实施例，示出当E2是n+Si时SiO_x的生长。从顶部到底部的层的顺序是：E1 (例如n+Si)、RSL1 (例如MeO_x)、cap1 (例如TiO_x)、IL (例如TiN)、cap2 (例如TiO_x)、RSL2 (例如MeO_x) SiO_x、E2 (例如n+Si)。当E2由Si制成并且RSL2包括金属氧化物时，由于在RSL2和E2之间形成的SiO_x层的厚度变化，在RSL中可能存在形成电压的大的变化。例如，当RSL2是金属氧化物并且直接沉积在包括n+Si的E2上并切与E2接触时，n+Si层的顶部部分被氧化，得到SiO_x层。在示例实现方式中，SiO_x的1-2nm的层可以形成在RSL2和E2之间，其中RSL每个由2-4nm的诸如HfO₂的MeO_x制成，并且E2由n+Si制成。可替换地，E1和/或E2可以由p+Si、氮化钨 (例如WN、WN₂、N₂W₃)、TiN或SiGe制成。

[0185] 图11B绘出图6C的RSME的实施例，示出当E2是TiN时诸如TiO_x的低带隙材料的生长。从顶部到底部的层的顺序是：E1 (例如n+Si)、RSL1 (例如MeO_x)、cap1 (例如TiO_x)、IL (例如TiN)、cap2 (例如TiO_x)、RSL2 (例如MeO_x)、Ti/TiO_x、E2 (例如TiN)。为了防止SiO_x形成，可以用在TiN电极上沉积的诸如Ti的材料来替代n+Si层。Ti层可以被认为是电极的部分。具体地，在诸如HfO_x的MeO_x层 (RSL2) 在Ti层以上沉积期间，Ti层 (~1-5nm) 的顶部部分被氧化并

且被转化为TiO_x的层。该TiO_x层的厚度取决于MeO_x沉积的温度。在此情况下,第二电极(E2)包括MeO_x,并且TiO_x的层在Ti层上形成并且与第二电阻切换层接触。

[0186] Ti/TiO_x的带隙比SiO_x的带隙低得多,因此可以避免形成电压的大变化。E1可以是n+Si或诸如Ni或NiSi的高功函数材料。在示例实现方式中,RSL每个由2-4nm的诸如HfO₂的MeO_x制成。

[0187] 此外,对于E1可以使用高功函数材料以降低操作电流。例如,可以使用具有5.1eV的功函数的Ni。NiSi是另一替换。相比较,TiN的功函数是大约4.2-4.7eV,并且n+Si的功函数是大约4.1-4.3eV。

[0188] 图11C绘出图6C的RSME的实施例,其中RSL由掺杂的金属氧化物制成以降低操作电压。从顶部到底部的层的顺序是:E1(例如n+Si)、RSL1(例如掺杂的MeO_x)、cap1(例如TiO_x)、IL(例如TiN)、cap2(例如TiO_x)、RSL2(例如掺杂的MeO_x)、SiO_x、E2(例如n+Si)。例如,可以使用诸如HfO_x或者HfSiO_N的重掺杂的MeO_x层。可以通过将诸如Ti、Al或Zr的掺杂物以大约0.01-5%的浓度植入或扩散到MeO_x层中来实现MeO_x的掺杂。测试结果表明这些掺杂物提供了良好属性。例如,可以使用离子植入或者原地原子层沉积(ALD)。在示例实现方式中,RSL每个由2-4nm的诸如HfO₂的MeO_x制成,并且在作为n+Si的E2上形成1-2nm的SiO_x层。

[0189] 图11D绘出图6C的RSME的实施例,其中E2是TiN而不是n+Si。从顶部到底部的层的顺序是:E1(例如n+Si)、RSL1(例如掺杂的MeO_x)、cap1(例如TiO_x)、IL(例如TiN)、cap2(例如TiO_x)、RSL2(例如掺杂的MeO_x)、Ti/TiO_x、E2(例如TiN)。在示例实现方式中,RSL每个由2-4nm的诸如HfO₂的MeO_x制成,并且在E2上形成Ti/TiO_x层。

[0190] 图11E绘出以非对称的镜像单元配置的图6C的RSME的实施例,其中RSL由不同材料制成。从顶部到底部的层的顺序是:E1(例如n+Si)、RSL1(例如类型A MeO_x)、cap1(例如TiO_x)、IL(例如TiN)、cap2(例如TiO_x)、RSL2(例如类型B MeO_x)、SiO_x、E2(例如n+Si)。使得RSME在正方向和反方向两个方向上切换可能是有问题的,因此可以优选以某个极性切换。一个可能的方案是对于RSL1和RSL2使用不同的材料。例如,RSL1可以是类型“A”,而RSL2是类型“B”。例如,可以使用两个不同类型的MeO_x来控制切换极性,使得RSL1是MeO_x类型“A”,而RSL2是MeO_x类型“B”。MeO_x的例子包括AlO_x、TiO_x、NiO_x、ZrO_x、CuO_x、WO_x,使得RSL1可以使用这些材料之一,并且RSL2可以使用这些材料中的另一个。可以选择RSL材料以获得期望的切换性能,其中以诸如指定的I-V条件的期望的条件而发生切换。例如,E1和E2可以由n+Si或TiN制成。

[0191] 图11F绘出以无SiO_x的非对称镜像单元配置的图6C的RSME的实施例。从顶部到底部的层的顺序是:E1(例如n+Si)、RSL1(例如类型A MeO_x)、cap1(例如TiO_x)、IL(例如TiN)、cap2(例如TiO_x)、RSL2(例如类型B MeO_x)、Ti/TiO_x、E2(例如TiN)。在此情况下,第二电极(E2)是诸如TiN的材料而不是n+Si,使得在制造期间不形成SiO₂层。如结合图11B所述,Ti沉积在TiN电极上,并且在诸如HfO_x的MeO_x层在Ti上的沉积期间,Ti层的顶部部分被氧化,得到TiO_x层。

[0192] 图12绘出图6C的RSME的能量图。水平轴绘出沿着RSME从E1到E2的距离,而垂直轴表示能级。Ec是导带,其范围从在E1和RSL1之间的结处的Ec2的高水平到在E2和RSL2之间的结处的Ec1的低值。EE1是E1的能级,EIL是IL的能级,EE2是E2的能级。Ev是价带。导带中的凹槽表示在IL处实现的较低能级,如以下所述。

[0193] MRS依赖于离子传导率,作为切换机制。在离子导体中,通过离子四处移动以及通过电子和空穴的移动而传输电流。例如,在称为电解液的导电液体中以及也称为固态电解液的离子导电固体中发现经由离子、或者离子以及电子和空穴的电流传输。此外,离子导电率对于许多产品是重要的,比如类型I和类型II电池(即常规的和可充电的)、燃料电池、电致变色窗和显示器、固态传感器、特别是对于活性气体、导电桥切换和如在此所述的双极 MeO_x 切换。

[0194] 与纯电子电流传输相对,存在与只要离子电流被转换为电子电流、即接触或电极就发生的电流相联系的化学反应(例如系统随时间改变)。与其中电流跨过接触而流动不需要化学反应的利用电子(或空穴)的电流流动相比较,这是显著的差别。双极 MeO_x 切换尝试在 MeO_x 中移动氧空位以创建金属丝极,由此将氧存储在界面处。通过包括以下的机制提供电子导电:福勒-诺得海姆(Fowler-Nordheim)、肖特基(Schottky)、空间电荷限制电流(Space Charge Limited Current, SCLC)、SCLC和普尔-夫伦克尔(Poole-Frenkel, PF)一起、PF和希尔法则(Hill's Law)。离子导电包括导电率、扩散和场类型。

[0195] 典型的离子导电率值相对低,并且依赖于氧从电极的空气中的供应、温度和电场(指数地)。

[0196] 图13绘出在RSL的设置处理中的高电场的施加。此扫描电子显微图像绘出了包括 SiO_2 的生长层的 $n+\text{Si}$ 的左侧电极(EL)、 HfO_2 的RSL和 TiN 的右侧电极(ER)。可以施加高电场以将氧移动到诸如 HfO_2 的 MeO_x 的RSL中。在此,在示例实现方式中,高电场存在于3-5nm宽的 HfO_2 的区域中。使用5nm值,电场因此是 $5\text{V}/5\text{nm}=1\text{MV}/\text{cm}$ 。

[0197] 图14A-14D绘出在RSL的设置处理中的导电丝极的形成中的不同阶段。绘出了单个 MeO_x 膜的正常发生的击穿。左侧电极(EL)被设置在0V作为接地的电极,中间的区域表示诸如 HfO_2 的RSL,右侧区域表示例如处于5V的被驱动的右侧电极(ER)。5V是对于没有电流限制器(电阻器)的情况的近似。这些图表明具有两个或更多这样的RSL的RSME的期望的行为。回顾在RSME中右侧电极将接收耦合电压并且不直接被驱动。

[0198] 在设置或形成处理中,RSL初始地不导电。空的或者白色圆圈表示氧离子,并且闭合的或者黑色的圆圈表示金属。高电场耦合到带负电的氧离子,从 HfO_2 提取氧离子并将它们吸引到ER。在图14A的情况之后,存在图14B的情况,其中一些氧离子已经被提取并且存储在ER处(如由ER处的空的圆圈所表示),并且从其提取氧离子的 HfO_2 的区域变为金属性的(如由闭合的圆圈所表示的)。此过程继续,使得在图14B的情况之后,达到图14C的情况,其中已经提取另外的氧离子并且存储在中间电极处,并且从其提取氧的 HfO_2 的另外的区域变为金属性的。最后,在图14C的情况之后,达到图14D的情况,其中已经提取另外的氧离子并且存储在ER处,并且从其提取了氧的 HfO_2 的足够的部分变为金属性的,形成经过RSL的导电丝极或路径,作为电极之间的短路。

[0199] 因此,存在从断开状态到接通状态的转变,在断开状态中RSL处于相对高的电阻状态,类似于开(不导电)电路,在该接通状态中,RSL处于相对低电阻状态,类似于短(导电)路或闭合电路。

[0200] 图14E、14F和14G是能量图,其分别描述了图14A、14B和14D的设置处理阶段。Y轴绘出能量,并且x轴绘出RSME中的距离。峰表示对于电子传输的阻挡,这些阻挡由 HfO_2 中的氧施加。峰跟随导带 E_c ,其范围从 E_{c1} 到 E_{c2} 。导带在图14E-14G中维持此固定范围。EEL是EL的

能量, EER是ER的能量。而且, 绘出了线性带弯曲的理想情况。

[0201] 在处理的开始时, 电场 (E) 处于10Mv/cm (5V/5nm) 的开始级别, 假设跨过EL和ER施加5V, 并且它们分离达5nm。相对小的点流量流动, 如由细点线箭头 (图14E) 所示。随着处理继续, 从RSL提取氧并且其被作为生长丝极的部分的金属区域替代。金属区域实质上变为Si电极的延伸, 使得EL和ER之间的有效距离降低, 例如从5nm降低到4nm, 并且E场对应地增加到12MV/cm (5V/4nm)。由于较高的场, 较大的电流量流动, 如由较粗的点线箭头 (图14F) 所示。随后, 从HfO₂提取另外的氧, 使得丝极生长, 并且EL和ER之间的有效距离降低, 例如从4nm降低到1nm, 并且由于场和距离之间的指数关系, E场增加到50Mv/cm (5V/1nm)。由于甚至更高的场, 甚至更大的电流量流动, 作为冲击电流, 如由甚至更粗的点线箭头 (图14G) 所示。

[0202] 注意, 在图14E-14G中, 第一和最后的能量峰的高度大约相同, 但是较少的峰的存在表明对电子传输的较低的阻挡。提出的RSME通过IL层的电流限制效应因此可以有利地避免在形成和设置处理中的冲击电流。

[0203] 图15A-15C绘出在RSL的复位处理中的导电丝极的移除的不同阶段。

[0204] 图15D、15E和15F分别是描述图15A、15B和15C的复位处理阶段的能量图。左侧区域表示接地的电极 (EL), 中间区域表示诸如HfO₂的RSL, 右侧区域表示驱动的电极 (ER)。所绘出的电压和电子是对于不存在IL的电流限制效应的情况的近似。这些图表明RSL的期望的行为。回顾RSME由至少两个串联的RSL构成, 并且在RSME中, 右侧电极将接收耦合电压并且不直接被驱动, 因此有效地降低电流流动。

[0205] 复位处理基本上与图14A-14D的复位处理相反。在复位处理的开始时 (图15A和15D), E场时50MV/cm, 相对小数量的氧离子被返回到在ER附近的HfO₂的部分, 断开由丝极形成的短路。使用与设置处理相比相反的极性跨过ER和EL施加例如-5V的电压。因此, 在复位期间, 可以例如以-5V开始。例如, 施加E场的有效距离是1nm, 得到50Mv/cm的E场。随后, 在1.3nm的距离上施加-7V的电压, 得到53MV/cm的E场 (图15B和15E)。随后, 在1.6nm的距离上施加-9V的电压, 得到56MV/cm的E场 (图15C和15F)。此处理在RSME中完全不同, 该RSME因此可以有利地避免复位处理中的冲击电流。

[0206] 利用双极MeO_x切换, 提供离子移动, 其中离子从RSL移除, 使得RSL变为更加金属性的。这是自放大效应, 因为一移除一个离子, 其他离子的移除就加速, 因为场增加, 并且移动对场的依赖性是指数的。因此, 如果移除了一个离子, 则场已经增加, 并且离子移动的迁移率指数地增加。因此, 器件具有更迅速的雪崩效应。这说明了设置和形成依赖性。

[0207] 除了离子移动之外, 同时, 通过象征性地跳过能量峰, 电子可以在RSL中移动。最初, 仅小量的电子流动。但是电场一增加, 更多电子就可以流过能量峰并且它们流动起来容易得多。最终, 大量电子朝向IL冲击地流动。但是, 此电子流不是期望的, 因为电子对切换机制没有贡献, 该切换机制依赖于各个离子的移动。为了移动离子, 需要建立足够的电场。相关联的电子流不是期望的, 因为如果使得诸如二极管的操纵元件与RSL串联, 则二极管需要能够承受不仅来自小的离子电流的电流而且需要承受来自更大的电子电流的电流。

[0208] 而且, 在复位期间, 氧移动回到电阻切换元件, 因此, IL和E1或E2之间的有效距离再次增加。产生了允许大量电子流动的电场。

[0209] RSME结构允许建立足以稍微移动离子而不使电子太多地流动的电场。RSME实质上提供了不传导非常多的电子的差的导体。而且, IL提供了阻止和反射电子的阻挡。与电容耦

合效应一起,因此可以移动离子而不使太多电子电流流动。

[0210] RSME通常可以是对称的,在RSL1和RSL2之间具有IL,因此可以将RSL之间的切换机制集中于IL处。IL允许在器件的中心建立电场,使得离子将在RSL中移动但是将不跨过中间区域中的IL。IL是导体,并且能够存储氧离子。IL可以是金属性的,尽管其不是金属性也是可能的。IL可以非常薄,并且应该能够反射和/或保持电子以便它们呆在IL处。可以通过变化IL的厚度来调整IL的电容。这对于缩小的期间可能是尤其重要的。

[0211] 目标是提供RSME,其具有诸如图12绘出的能量图,并且包括其中电子被反射但是仍然存在建立的电场的潜在步骤。可以使用对称的构造,其中RSL1和RSL2具有相同的厚度,或者RSL1和RSL2也能够具有不同的厚度。一个RSL可以比另一个稍厚使得可以建立场并且不引起切换。这将导致基于RSL1和RSL2的厚度而便宜如图12所示的带隙图。如果RSL的厚度相同,则它们的场将同样地表现,并且它们将用相同的电场来切换。另一方面,通过引入不对称性,可以仅调整一个RSL,在此情况下另一RSL变为阻隔层而不切换。

[0212] 关于冲击电流,这发生是因为IL和E1或E2之间的距离太短使得没有机会与空间相互作用。在电导体中,电子在电场中加速并且在平均自由行程(average mean-free path)中行进直到其通过电子到电子、电子到声子、电子到杂质或电子到界面机制被发散。对于诸如硅或铜的典型的导体,典型的发散平均自由行程是40nm左右。在缩放的存储器器件中,电流是冲击的因为典型的尺寸小得多,使得电子过冲并且在电极内部深处被发散,并且不向切换区域传递能量。

[0213] 图16A绘出图6A的RSME的设置处理。在步骤1600,开始存储器单元的设置处理。在实践中,可以通过向适当的位线和字线施加适当的电压而对存储器器件中的多个存储器单元同时进行设置或复位处理。在步骤1602,跨过第一和第二电极施加设置电压。经由与电阻切换存储器单元串联的操纵元件跨过该电阻切换存储器单元的第一和第二电极施加电压。

[0214] 设置电压可以具有例如诸如固定幅度的一个或多个脉冲、斜波或阶梯的期望的波形。因此,电压可以是时变电压信号,例如量值随时间增加。对于固定幅度脉冲,例如,幅度可以处于或高于诸如 V_{set} (图4A)的电平。对于斜波或阶梯,设置电压可以以低于 V_{set} 的电平开始并且增加到 V_{set} 或更高。在一个方法中,对于指定的时间段盲目地施加设置电压而不确定是否实际上达到了设置状态。在此情况下,基于对存储器器件的先前统计分析,设置电压具有对于所有存储器单元的接近100%足以达到设置状态的持续时间和/或量值。

[0215] 在另一方法中,在施加设置电压时,监视存储器单元的状态,并且当监视指示已经达到设置状态时移除设置电压。移除电压可以意味着允许第一和第二电压浮置。此方法例如在US2010/0085794,题为“Set And Reset Detection Circuits For Reversible Resistance Switching Memory Material”,公开于2010年4月8日,以及US7,391,638,题为“Memory device for protecting memory cells during programming”,发表于2008年6月24日中进一步描述,两者通过引用合并于此。

[0216] 在步骤1604,电压耦合到中间层(IL),并且IL发散从RSL进入IL的电子。在步骤1606,在RSL中形成一个或多个丝极。还见图14A-14D。丝极的形成可以以不同的速率进行并且在不同的RSL中在不同的时间完成。例如,参考图4B,当设置电压达到 V_{setB} 时对于类型“B”RSL将首先达到设置状态,随后当设置电压达到 V_{setA} 时对于类型“A”RSL将达到设置状态。该设置电压足以在每个RSL中形成丝极以提供RSL中的导电路径,由此提供贯穿RSME和

存储器单元的导电路径。因此,在每个RSL和RSME中达到低电阻状态。RSME的低电阻状态可以被分配到第一二进制数据状态,例如0或1。在步骤1608,移除设置电压,并且对包括该RSME的存储器单元放电。注意,步骤1602-1606至少部分地同时发生。

[0217] 可选地,可能RSL中的仅一个完成设置处理,或者RSME中的少于所有的RSL完成设置处理。

[0218] 图16B绘出图6A的RSME的复位处理。在步骤1620,开始存储器单元的复位处理。在步骤1622,跨过第一和第二电极施加复位电压(V_{reset} ,见图4A)。经由与电阻切换存储器单元串联的操纵元件跨过电阻切换存储器单元的第一和第二电极施加该电压。设置电压可以具有诸如固定幅度脉冲或斜波的期望的波形。因此,电压可以是时变电压信号,例如量值随时间增加。如之前所述,在一个方法中,盲目地施加设置电压而不确定是否实际达到了设置状态。在此情况下,复位电压具有足以实现对于所有存储器单元的接近100%实现复位状态的持续时间和/或量值。

[0219] 在另一方法中,在施加复位电压时,监视存储器单元的状态,并且当监视指示已经达到复位状态时,移除复位电压。此方法在上述的US2010/0085794和US7,391,638中进一步描述。

[0220] 在步骤1624,该电压耦合到中间层,并且IL发散从RSL进入IL的电子。在步骤1626,在RSL中移除或者毁坏一个或多个丝极。还见图15A-15C。丝极的移除可以以不同的速率进行并且在不同的RSL中可以在不同的时间完成。例如,参考图4B,当复位电压达到 V_{resetB} 时对于类型“B”RSL将首先达到复位状态,随后当复位电压达到 V_{resetA} 时对于类型“A”RSL将达到复位状态。该复位电压足以在每个RSL中移除丝极以移除RSL中的导电路径,由此移除经过RSME和存储器单元的导电路径。因此,在每个RSL和RSME中达到高电阻状态。RSME的高电阻状态可以被分配到第二二进制数据状态,例如1或0。在步骤1628,移除复位电压,并且对包括该RSME的存储器单元放电。注意,步骤1622-1626至少部分地同时发生。

[0221] 可选地,可能RSL中的仅一个完成复位处理,或者RSME中的少于所有的RSL完成复位处理。

[0222] 以上方法可以包括:跨过电阻切换存储器单元的第一和第二电极施加电压以在存储器单元中设置第一数据状态,其中该电压电容性耦合到电学地在第一和第二电极之间并且与第一和第二电极串联的导电中间层,并且该电压致使在以下的至少一个中切换电阻状态:(a)第一电阻切换层,其电学地在第一电极和导电中间层之间并且与该第一电极和该导电中间层串联,以及(b)第二电阻切换层,其电学地在第二电极和该导电中间层之间并且与该第二电极和该导电中间层串联;以及移除该电压以允许该电阻切换存储器单元放电。电阻切换层可以是可逆的或者不可逆的。

[0223] 以上方法还可以包括通过以下步骤改变电阻切换存储器单元中的电阻状态:(a)增加跨过电阻切换存储器单元施加的时变电压的量值,直到在该电阻切换存储器单元的第一和第二电阻切换层之一中切换电阻状态,以及(b)随后,进一步增加跨过电阻切换存储器单元施加的时变电压的量值,直到在该电阻切换存储器单元的第一和第二电阻切换层的另一个中切换电阻状态。电阻状态的切换可以是可逆的或者不可逆的。

[0224] 以上方法还可以包括:跨过第一和第二控制线施加电压,其中第一控制线连接到电阻切换存储器单元的一端,第二控制线连接到与该电阻切换存储器单元串联的操纵元

件,并且跨过该电阻切换存储器单元的第一和第二电阻切换层以及跨过在该第一和第二电阻切换层之间的导电中间层施加该电压;以及移除该电压以允许该电阻切换存储器单元放电。电阻切换层可以是可逆的或者不可逆的。

[0225] 因而,可以看出,在一个实施例中,电阻切换存储器单元包括第一和第二电极;导电中间层电学地在第一和第二电极之间并且与该第一和第二电极串联;以及第二电阻切换层电学地在第二电极和该导电中间层之间并且与与第二电极和该导电中间层串联,该第一和第二电阻切换层两者具有双极切换特性或者两者具有单极切换特性。

[0226] 在另一实施例中,电阻切换存储器单元包括:二极管操纵元件;以及与该二极管操纵元件串联的电阻切换存储器元件,该电阻切换存储器元件包括:第一和第二电极;电学地在该第一和第二电极之间并且与该第一和第二电极串联的导电或者半导电的中间层;电学地在该第一电极和该导电或半导电的中间层之间并且与该第一电极和该导电或半导电的中间层串联的第一电阻切换层;以及电学地在该第二电极和该导电或半导电的中间层之间并且与该第二电极和该导电或半导电的中间层串联的第二电阻切换层。

[0227] 在另一实施例中,存储器器件包括:存储器阵列,该存储器阵列包括多个电阻切换存储器单元,每个电阻切换存储器单元包括与电阻切换存储器元件串联的操纵元件,每个电阻切换存储器元件包括电学地在第一和第二电阻切换层之间的中间层;多个字线和位线;每个电阻切换存储器单元具有与多个位线中的相应位线通信的一端以及与多个字线中的相应字线通信的另一端;以及控制电路,与该多个字线和位线通信,该控制电路经由电阻切换存储器单元的至少一个的相应的字线和位线向电阻切换存储器单元的该至少一个施加电压,以致使电阻切换存储器单元的该至少一个的电阻切换存储器元件从一个电阻状态切换到另一电阻状态。

[0228] 在另一实施例中,电阻切换存储器单元包括:第一和第二电极;导电或半导电的中间层,电学地在该第一和第二电极之间并且与该第一和第二电极串联;第一电阻切换层,电学地在该第一电极和该导电或半导电的中间层之间并且与该第一电极和该导电或半导电的中间层串联;以及第二电阻切换层,电学地在该第二电极和该导电或半导电的中间层之间并且与该第二电极和该导电或半导电的中间层串联,该第一电极、该第二电极、该导电或半导电的中间层、该第一电阻切换层和该第二电阻切换层的至少一个至少部分地与该第一电极、该第二电极、该导电或半导电的中间层、该第一电阻切换层和该第二电阻切换层的至少其他一个横向地布置。

[0229] 在另一实施例中,电阻切换存储器单元包括:第一和第二电极;导电或半导电的中间层,电学地在该第一和第二电极之间并且与该第一和第二电极串联;第一电阻切换层,电学地在该第一电极和该导电或半导电的中间层之间并且与该第一电极和该导电或半导电的中间层串联;以及第二电阻切换层,电学地在该第二电极和该导电或半导电的中间层之间并且与该第二电极和该导电或半导电的中间层串联,该导电或半导电的中间层以及该第一和第二电阻切换层是一个L形和U形的至少一个。

[0230] 在另一实施例中,存储器器件包括:存储器阵列,该存储器阵列包括多个电阻切换存储器单元,每个电阻切换存储器单元包括:与电阻切换存储器元件串联的操纵元件以及第一和第二电极,每个电阻切换存储器元件包括电学地在第一和第二电阻切换层之间的中间层;对于每个电阻切换存储器单元:该第一电极、该第二电极、该导电或半导电的中间层、

该第一电阻切换层和该第二电阻切换层的至少一个至少部分地与该第一电极、该第二电极、该导电或半导电的中间层、该第一电阻切换层和该第二电阻切换层的至少其他一个横向地布置；多个字线和位线；每个电阻切换存储器单元具有与多个位线中的相应位线通信的一端以及与多个字线中的相应字线通信的另一端；以及控制电路，与该多个字线和位线通信，该控制电路经由电阻切换存储器单元的至少一个的相应的字线和位线向电阻切换存储器单元的该至少一个施加电压，以致使电阻切换存储器单元的该至少一个的电阻切换存储器元件从一个电阻状态切换到另一电阻状态。

[0231] 在另一实施例中，用于改变电阻切换存储器单元中的电阻状态的方法包括：跨过该电子切换存储器单元的第一和第二电极施加电压以在该存储器单元中设置第一数据状态，该电压电容性耦合到电学地在该第一和第二电极之间并且与该第一和第二电极串联的导电或半导电的中间层，该电压致使在以下的至少一个中切换电阻状态：(a) 第一电阻切换层，其电学地在该第一电极和导电或半导电的中间层之间并且与该第一电极和该导电或半导电的中间层串联，以及 (b) 第二电阻切换层，其电学地在第二电极和该导电或半导电的中间层之间并且与该第二电极和该导电或半导电的中间层串联；以及移除该电压以允许该电阻切换存储器单元放电。

[0232] 在另一实施例中，用于改变电阻切换存储器单元中的电阻状态的方法包括：增加跨过该电子切换存储器单元施加的时变电压的量值，直到在该电阻切换存储器单元的第一和第二电阻切换层的一个中切换电阻状态；以及，随后，进一步增加跨过该电阻切换存储器单元施加的时变电压的量值，直到在该电阻切换存储器单元的第一和第二电阻切换层的另一个中切换电阻状态。

[0233] 在另一实施例中，用于改变电阻切换存储器单元中的电阻状态的方法包括：跨过第一和第二控制线施加电压，第一控制线连接到电阻切换存储器单元的一端，第二控制线连接到与该电阻切换存储器单元串联的操纵元件，跨过该电阻切换存储器单元的第一和第二电阻切换层并且跨过电学地在该第一和第二电阻切换层之间的导电或半导电的中间层施加该电压；以及移除该电压以允许该电阻切换存储器单元放电。

[0234] 在另一实施例中，电阻切换存储器单元包括：操纵元件；以及电阻切换存储器元件，与该操纵元件串联，该电阻切换存储器元件包括：第一和第二电极；在该第一和第二电极之间并且与该第一和第二电极串联的导电或半导电的中间层；在该第一电极和该导电或半导电的中间层之间并且与该第一电极和该导电或半导电的中间层串联的第一电阻切换层；以及在该第二电极和该导电或半导电的中间层之间并且与该第二电极和该导电或半导电的中间层串联的第二电阻切换层。

[0235] 在另一实施例中，电阻切换存储器元件包括：第一和第二电极；以及导电或半导电的中间层，在该第一和第二电极之间并且与该第一和第二电极串联；第一电阻切换层，在该第一电极和该导电或半导电的中间层之间并且与该第一电极和该导电或半导电的中间层串联；第二电阻切换层，在该第二电极和该导电或半导电的中间层之间并且与该第二电极和该导电或半导电的中间层串联，该第二电阻切换层包括 MeO_x ；以及覆盖层，在该导电或半导电的中间层和该第一电极之间，该覆盖层从由以下构成的组中选择： TiO_x 、 Al_2O_3 、 ZrO_x 、 LaO_x 、 YO_x ，从第一电阻切换层的角度来看，该覆盖层担当氧的来源或者吸取者。

[0236] 在另一实施例中，存储器器件包括：存储器阵列，该存储器阵列包括多个存储器单

元,每个存储器单元包括与电阻切换存储器元件串联的操纵元件,每个电阻切换存储器元件包括在第一和第二电阻切换层之间的中间层;多个字线和位线;每个存储器单元具有与多个位线中的相应位线通信的一端以及与多个字线中的相应字线通信的另一端;以及控制电路,与该多个字线和位线通信,该控制电路经由存储器单元的至少一个的相应位线和字线向该存储器单元的该至少一个施加电压,以致使该存储器单元的该至少一个的电阻切换存储器元件从一个电阻状态切换到另一电阻状态。

[0237] 在另一实施例中,电阻切换存储器单元包括:第一和第二电极;导电中间层,电学地在该第一和第二电极之间并且与该第一和第二电极串联;电阻切换层,电学地在该第一电极和该导电中间层之间并且与该第一电极和该导电中间层串联;以及击穿层,电学地在该第二电极和该导电中间层之间并且与该第二电极和该导电中间层串联,该击穿层在处于导电状态时维持至少大约1-10M Ω 的电阻。

[0238] 在另一实施例中,电阻切换存储器单元包括:操纵元件;以及电阻切换存储器元件,与该操纵元件串联,该电阻切换存储器元件包括:第一和第二电极;导电或半导电的中间层,在该第一和第二电极之间并且与该第一和第二电极串联;电阻切换层,电学地在该第一电极和该导电或半导电的中间层之间并且与该第一电极和该导电或半导电的中间层串联;以及击穿层,电学地在该第二电极和该导电或半导电的中间层之间并且与该第二电极和该导电或半导电的中间层串联,该击穿层在处于导电状态时维持至少大约1-10M Ω 的电阻。

[0239] 在另一实施例中,存储器器件包括:存储器阵列,该存储器阵列包括多个存储器单元,每个存储器单元包括与电阻切换存储器元件串联的操纵元件。每个电阻切换存储器元件包括:第一和第二电极;导电或半导电的中间层,在该第一和第二电极之间并且与该第一和第二电极串联;电阻切换层,电学地在该第一电极和该导电或半导电的中间层之间并且与该第一电极和该导电或半导电的中间层串联;以及击穿层,电学地在该第二电极和该导电或半导电的中间层之间并且与该第二电极和该导电或半导电的中间层串联,该击穿层在处于导电状态时维持至少大约1-10M Ω 的电阻。该存储器器件还包括:多个字线和位线;每个存储器单元具有与多个位线中的相应位线通信的一端以及与多个字线中的相应字线通信的另一端;以及控制电路,与该多个字线和位线通信,该控制电路经由存储器单元的至少一个的相应位线和字线向该存储器单元的该至少一个施加电压,以致使该存储器单元的该至少一个的电阻切换存储器元件从一个电阻状态切换到另一电阻状态。

[0240] 图17例示根据另一实施例的存储器单元100的透视图。在此实施例以及图18A-18E所示的实施例中,电阻切换存储器元件的电阻切换层优选由铪硅氮氧化物(hafnium silicon oxynitride)、铪硅氧化物(hafnium silicon oxide)或其组合制成。单元100包括由导电材料形成的第一电极106和第二电极108,该第一电极106和第二电极108可以独立地包括任何一个或多个本领域已知的合适的导电材料,比如钨、铜、铝、钼、钛、钴、氮化钛或其合金。例如,在一些实施例中,钨是优选以允许在相对高的温度下的处理。在一些其他的实施例中,铜或铝是优选的材料。第一电极106(例如字线)在第一方向上延伸,而第二电极108(例如位线)在不同与第一方向的第二方向上延伸。诸如TiN层的阻挡或粘附层可以被包括在第一(例如底部)电极106和/或第二(例如顶部)电极108上。

[0241] 操纵元件104可以是晶体管或二极管。如果操纵元件104是二极管,则存储元件102

可以垂直和/或水平地布置和/或被图案化以形成包含串联的二极管和存储元件并且具有基本上圆柱形的柱或块。在一个实施例中,如图17和图18A-18E所示,操纵元件104是垂直地布置的半导体二极管,该半导体二极管具有底部重掺杂的n-型区142、非有意地掺杂的可选的本征区144、以及顶部重掺杂的p-型区146,尽管此二极管的取向可以相反。这样的二极管不论其取向如何都将被称为p-i-n二极管或简称为二极管。该二极管可以包括任意的单晶、多晶或非晶半导体材料,例如硅、锗、硅锗或者其他化合的半导体材料,比如III-V、II-VI等等材料。例如,可以使用p-i-n多晶硅二极管104。

[0242] 存储元件102(例如电阻率切换存储器元件,RSME)被部署为在操纵元件104的顶部区域146之上或者在操纵元件104的底部区域142以下与操纵元件104串联。存储元件102可以包括金属氧化物可切换层(RSL),比如铪硅氮氧化物、铪硅氧化物或其组合。优选地,通过ALD、化学气相沉积(CVD)或物理气相沉积(PVD)以足够低使得RSL是非晶的温度来沉积电阻切换层。即,优选以在结晶温度以下的诸如250-400°C的温度沉积电阻切换层,使得在非晶RSL中基本上不形成晶粒(例如0-5%体积微晶粒)。本发明人发现,非晶铪硅氮氧化物RSL呈现出高热稳定性,这被认为增强了在存储器单元的编程期间的导电丝极形成。高热稳定性允许RSL在用于制造包含多个存储器器件级的三维存储器器件的高热循环期间以及之后(例如在退火高达大约1100°C、比如600到1100°C之后)保持非晶性。

[0243] 可以通过ALD、CVD或PVD将铪硅氮氧化物电阻切换层沉积为下面的层上的薄膜(blanket film)。或者,可以首先沉积铪硅氧化物层,然后在接下里的步骤中将其氮化以形成铪硅氮氧化物。例如可以在从室温(25°C)道金斯400°C的温度下在包含等离子体的氮气中进行氮化。或者,可以使用热氮化(即在包含外界环境的氮气中对铪硅氧化物退火)或者将氮离子植入到铪硅氧化物中跟着退火来形成铪硅氮氧化物层。氮化处理的一个优点是在存储器单元柱形成之后,其中在三维结构中用原子氮有效处理柱侧壁以进一步增强数据保持力。

[0244] RSL中的氮含量可以在以%的0(例如铪硅氧化物)到以%的20的范围内,比如大于0到以%的20的范围内,例如以%的5-20的范围内。RSL中的铪含量可以在以%的5-35的范围内,例如以%的15-30的范围内,并且RSL中的硅含量可以在以%的5-35的范围内,例如以%的10-20的范围内。RSL中的成分的平衡是氧以及不可避免的杂质,氧可以在以%的25-70的范围内。优选地,RSL的厚度是10Å-5nm,比如1-4nm。

[0245] 在本发明的实施例中,可选的介电电阻器200位于与在顶部电极108和底部电极106之间的操纵元件104和金属氧化物存储元件102串联。介电电阻器200优选包括电绝缘的材料层。例如,电绝缘的材料层可以包括氮化硅或者氮氧化硅层,具有大约1到大约10nm的厚度,比如1-2nm。氮化硅层可以包括理想配比的(stoichiometric)氮化硅(即Si₃N₄)或者非理想配比的氮化硅(例如Si₃N_{4±x},其中x优选在0.001和1之间的范围内)。

[0246] 不希望被特定理论束缚,认为存储器单元200中的电阻器降低或消除了高瞬态电流,该高瞬态电流被认为源自于在初始形成(例如单元编程)处理期间在金属氧化物存储材料中显现的大尺寸的导电丝极。这些丝极可能导致单元的随后的高电流操作。认为单元内电阻器200提供在形成处理期间的单元内的电阻管理或调谐以及提供对被编程的ReRAM单元的随后的较低电流(例如小于1微安)操作(例如低读取电流操作)。认为对单元电阻的调谐允许在金属氧化物层中的更小尺寸丝极形成以实现低电流单元操作而不牺牲良好的数

据保持力。此外,尽管将介电层200描述为电阻器,但是其可以运作为电容器或者电阻器和电容器的组合以减小丝极的大小并允许低电流单元操作。

[0247] 不希望被特定理论束缚,在存储器单元的形成编程期间经过金属氧化物存储元件或层102形成至少一个导电丝极(并且通常是多个导电丝极)以将金属氧化物存储元件从其初始的之前形成的较高的电阻率状态切换到较低电阻率状态。但是,认为在存储器单元的形成编程期间不形成经过介电电阻器200的导电丝极,使得介电电阻器200的电阻率在存储器单元的形成编程之后基本上不改变。因此,在存储器单元的形成编程期间,基本上没有瞬态电流流经存储器单元。换句话说,没有用典型的电流测量工具(例如具有100微安或更高的灵敏性的工具)可以检测到可检测的瞬态电流流经存储器单元。

[0248] 图18A-18E是示意性例示本发明的实施例的非易失性存储器单元的侧截面图。优选地,存储器单元包括位于与操纵元件104串联的至少一个重掺杂的半导体层202、204以及金属氧化物存储元件(例如RSL)214。对于具有面对存储元件的n型区域146的二极管操纵元件104,优选该至少一个重掺杂的半导体层202、204包括n型硅,比如具有 5×10^{18} 到 $2 \times 10^{21} \text{cm}^{-3}$ 的n+掺杂物浓度(例如P或As浓度)的n+掺杂的多晶硅。二极管操纵元件104还可以包括重掺杂的p+多晶硅区域142,比如具有 5×10^{18} 到 $2 \times 10^{21} \text{cm}^{-3}$ 的p+掺杂物浓度(例如B浓度)的p+掺杂的多晶硅,以及包括在p+区域142和n+区域146之间的轻掺杂的或本征(非有意掺杂的)多晶硅区域144。

[0249] 例如,如图18A所示,存储器单元100可以包括位于二极管104的n+区域146和存储元件214之间的第一n+多晶硅层202。存储器单元还可以包括位于存储元件214和顶部电极108之间的第二n+多晶硅层204。可替换地,如图18B-18E所示,省去了第二n+多晶硅层。

[0250] 存储器单元还可以包括一个或多个可选的导电阻挡层206、208和210,比如氮化钛或其他类似的层。这些阻挡层206、208和210可以分别位于底部电极106和二极管104之间,和/或位于二极管104和存储元件214之间,和/或位于“ReRAM”元件(例如RSME)212和顶部电极108之间。ReRSM212可以包括掺杂的半导体层202、204和存储元件214。

[0251] 在图18B所示的一个非限制性的实施例中,金属氧化物存储元件102包括 TiO_x 层216和铅硅氮氧化物或铅硅氧化物层214堆叠。优选地, TiO_x 层216位于比铅硅氮氧化物或铅硅氧化物层214更靠近上部电极108,并且铅硅氮氧化物或铅硅氧化物层214位于比 TiO_x 层216更靠近二极管104。换句话说,对于图18B所示的具有在二极管操纵元件104以上的ReRAM元件212的单元, TiO_x 层216位于铅硅氮氧化物或铅硅氧化物层214上。

[0252] 图18C类似于图18B,但是其省去了可选的金属层。在图18C中,省去了 TiO_x 层216,使得TiN层210直接接触HfSiON层214。图18D类似于图18C,但是其省去了可选的n+多晶硅层202,使得TiN层208直接接触HfSiON层214。

[0253] 因此,如图18A-18D所示,操纵元件104位于较低电极106以上,包括金属氧化物存储元件214和重掺杂的半导体层202、204的ReRAM元件212位于操纵元件110以上的柱中,并且上部电极108位于柱以上。另外,如图18A所示,氮化钛阻挡层208位于操纵元件104以上,并且上部电极108位于柱以上,第一重掺杂的半导体层202位于氮化钛阻挡层208以上,并且金属氧化物存储元件214位于第一重掺杂的半导体层202以上,第二轻掺杂的半导体层204位于金属氧化物存储元件214以上。

[0254] 在图18E所示的实施例中,ReRAM元件212包括由导电阻挡层215分离的两个金属氧

化物存储元件214A、214B(例如HfSiON RSL)。导电层215可以包括任何适当的材料,比如TiN或W。如所示,ReRAM元件212处于镜像配置中,其中层214A、214B的厚度和组成相同。但是,如上所述,ReRAM元件212还可以用具有不同厚度和/或组成的多个RSL层214A、214B来布置。

[0255] 制造具有钪硅氮氧化物的存储层的测试结构300以测试钪硅氮氧化物ReRAM的性能和稳定性。在图19A中例示此结构的示意图。该测试结构具有多层RSL配置,该多层RSL配置具有n+底部多晶硅层202、2nm的第一钪硅氮氧化物存储层214A、5nm的导电TiN阻挡层215、4nm的第二钪硅氮氧化物存储层214B以及TiN上部电极210。测试结构300不包括操纵元件。

[0256] 通过以低电流体制将测试结构300的电压循环十次来进行测试。在相反极性的测试电压和复位电压之间循环该电压。在每个设置/复位操作之后,以室温在一分钟内记录十二个连续的读取操作。

[0257] 在需要时进行新的全或半编程循环以将位放置在接通(即设置)状态。为了测试在接通状态下测试结构的温度稳定性(即在暴露于热以后的数据保持力),然后在85°C烘烤测试结构达两小时并重新测试(例如以室温读取)。在需要时进行新的全或半循环以将位放置在断开(即复位)状态。为了测试在接通状态下测试结构的温度稳定性,在85°C烘烤测试结构达两小时并重新测试(例如以室温读取)。

[0258] 测试的结果例示在图19B-19D中。图19B是在1.5V读取电压时sigma(图中 σ)相对测试结构300的读取电流的概率图。在图19B中,具有圆圈符号的线对应于“验证”读取电流,其在5-10个循环之后被读取。具有菱形(rhombus)符号的线对应于60秒松弛(relaxation,或弛豫)读取电流,其示出在设置/复位操作后的60秒钟测量的读取电流。具有三角形符号的线对应于在85°C烘烤之前的读取电流,并且具有圆形符号的线对应于在85°C烘烤之后的读取电流。该测试结构展示了良好的松弛稳定性(即在编程之后的作为时间的函数的RSL的电阻率的高稳定性)以及在烘烤之后的数据保持力,交叉(cross over)发生在-1.7以上、比如-1.8到-2.1的sigma处以及在接通状态下大约200nA以及在断开状态下得大约20nA的中值读取电流处(即状态之间的至少10的差别的因素)。

[0259] 图19C例示来自不同一批的测试结构300的数据保持力(即在编程后的60秒钟内测量的读取电流)的类似图。此测试结构呈现出大约-2的sigma和良好的松弛稳定性,中值读取电流在接通状态下是大约200nA并且在断开状态下是大约40nA。图19D例示来自相同一批的测试结构300的数据保持力。具有闭合的圆圈符号的线对应于在85°C烘烤之前的读取电流,并且具有空的圆圈符号的线对应于在85°C烘烤之后的读取电流。该测试结构呈现出良好的数据保持力,交叉发生在大于-1.5的sigma处。

[0260] 制造具有钪氧化物RSL的比较测试结构302作为与钪硅氮氧化物ReRSM测试结构300的比较。此结构302的示意图例示在图20A中,该比较测试结构302具有多层RSL配置,该多层RSL配置具有n+底部多晶硅层202、2nm第一钪氧化物存储层214A、5nm导电TiN阻挡层215、4nm第二钪氧化物存储层214B以及TiN上部电极210。像测试结构300那样,比较测试结构302不包括操纵元件。

[0261] 在与结构300相同的测试条件下进行比较测试结构302的测试。比较测试的结果例示在图20B-20D中,其分别类似于图19B-19D。图19B-19C中的测试结构302来自相同的一批并且具有在接通状态下是大约200nA并且在断开状态下是大约20nA的中值读取电流。测试

结构302来自不同的一批并且具有在接通状态下是大约200nA并且在断开状态下是大约40nA的中值读取电流。与测试结构300相比,比较测试结构302呈现出一般较差的数据松弛和保持力(在图19C和19D中交叉发生在小于-1的sigma处)。

[0262] 为了例示和描述的目的已经给出了对本发明的以上详细描述。不意图穷尽或将本发明限制到所公开的精确形式。考虑到以上教导许多修改和变型是可能的。选择所描述的实施例以便最佳地说明本发明的原理以及其实际应用,由此使得本领域技术人员能够在各种实施例中以及利用适合于所以图的具体用途的各种修改最佳地利用本发明。意图本发明的范围由附于此的权利要求书限定。

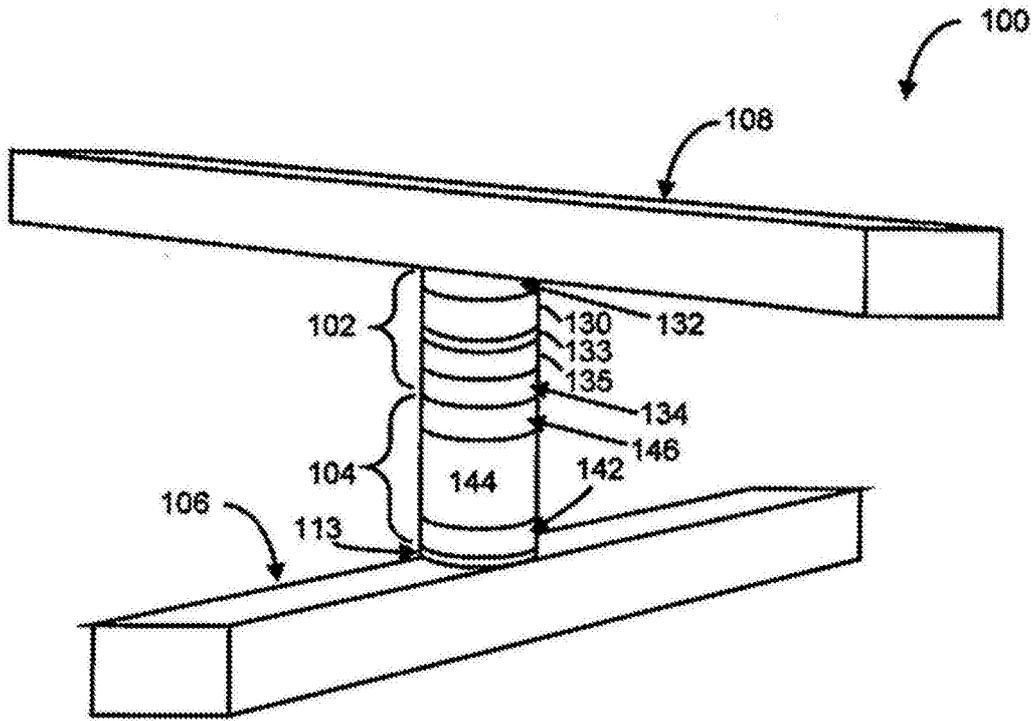


图1

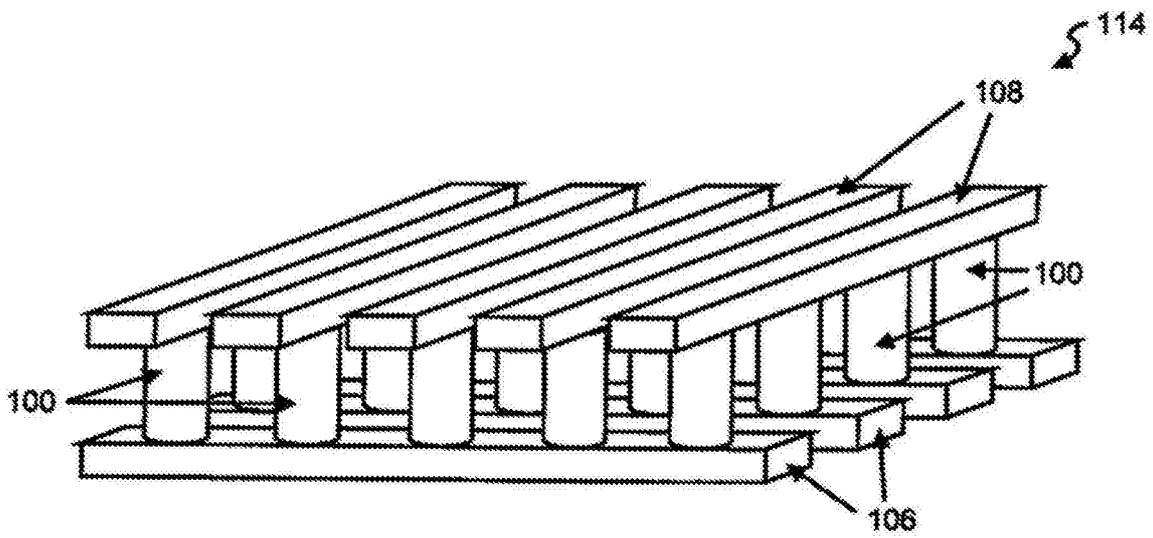


图2A

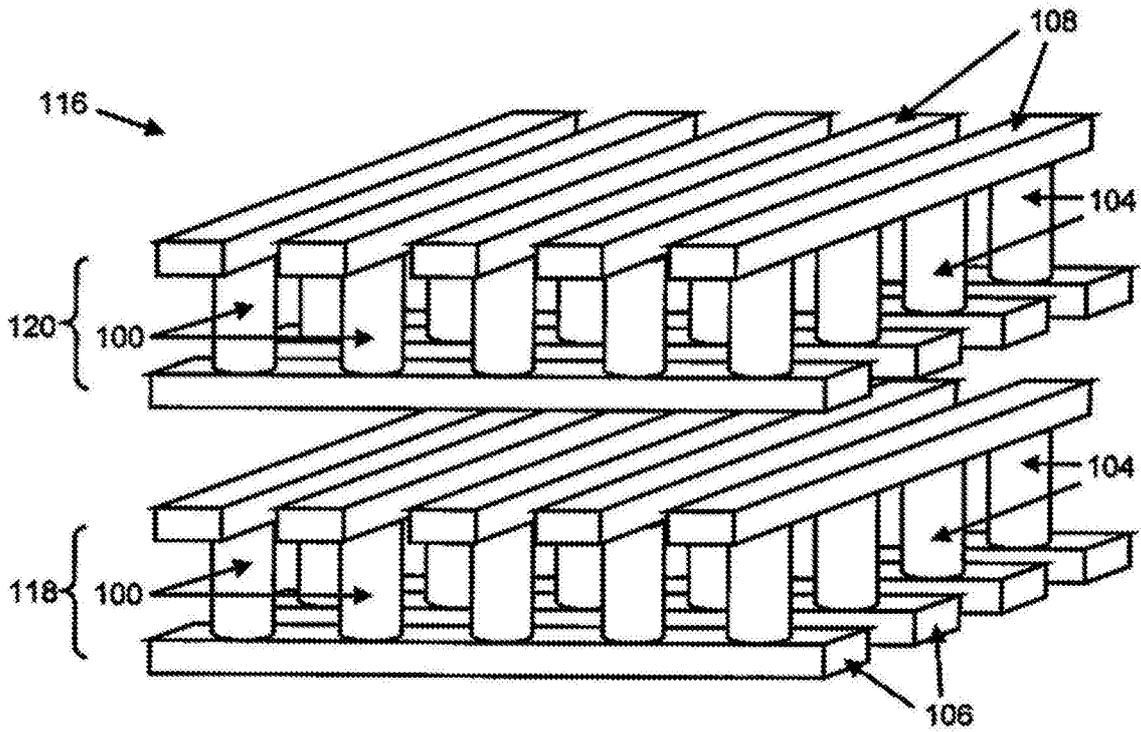


图2B

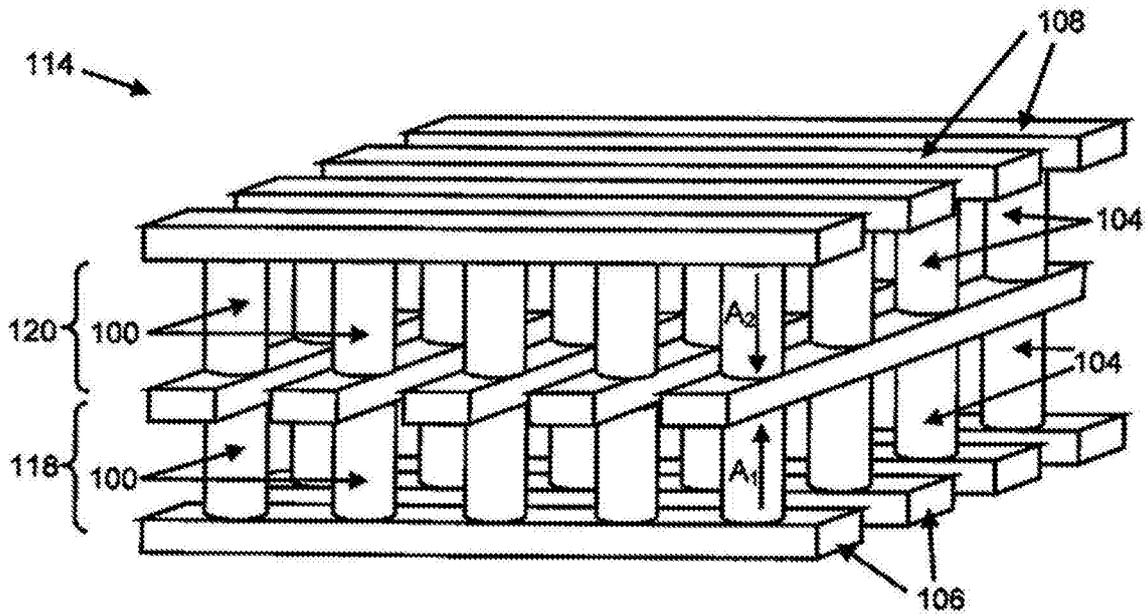


图2C

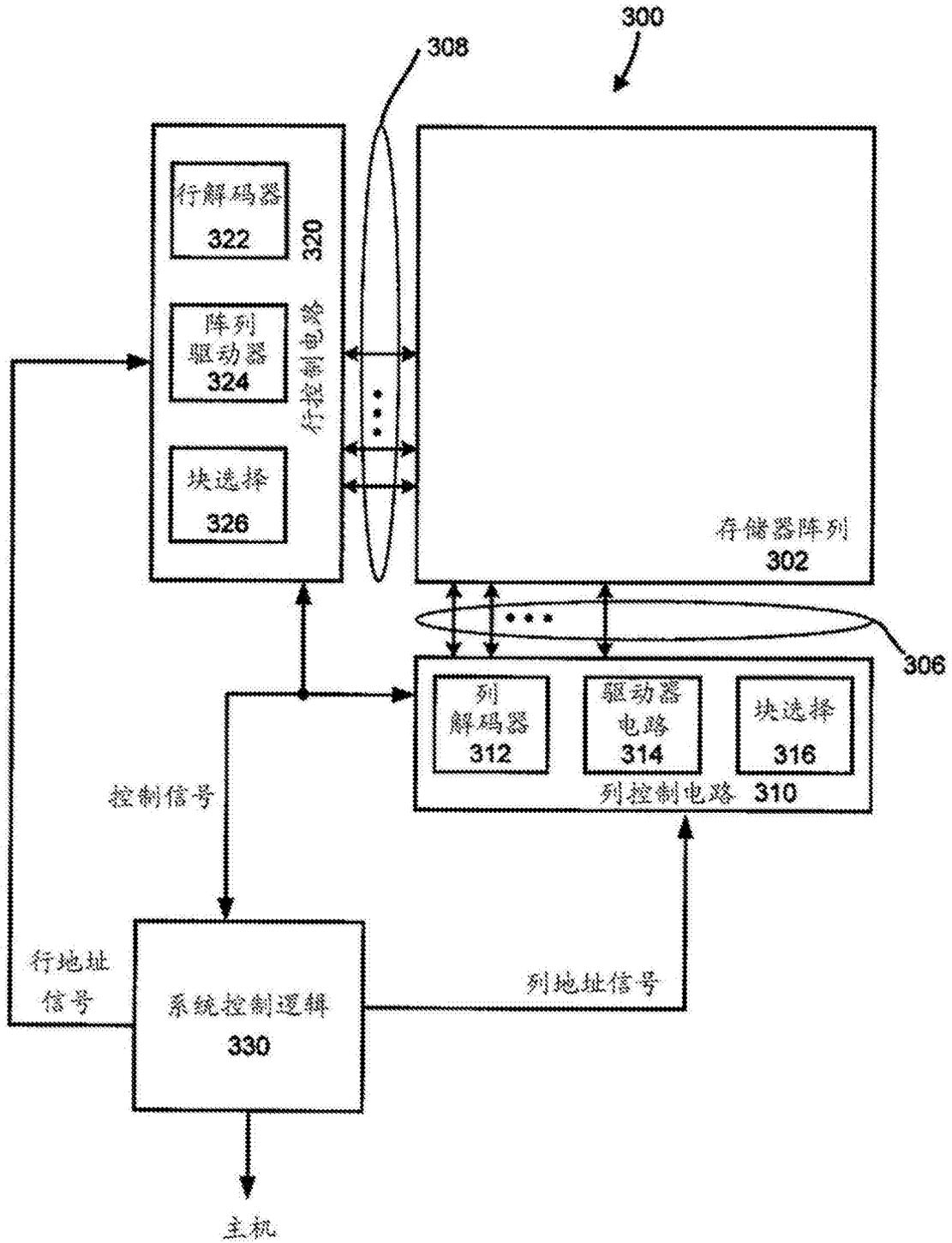


图3

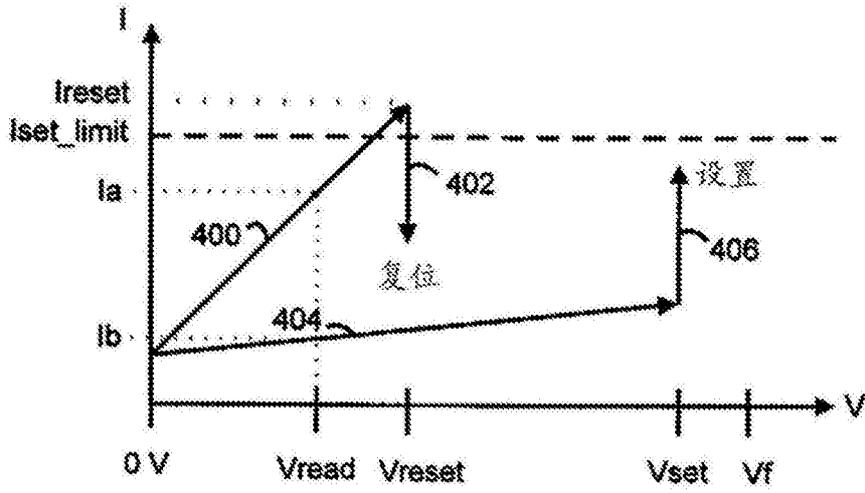


图4A

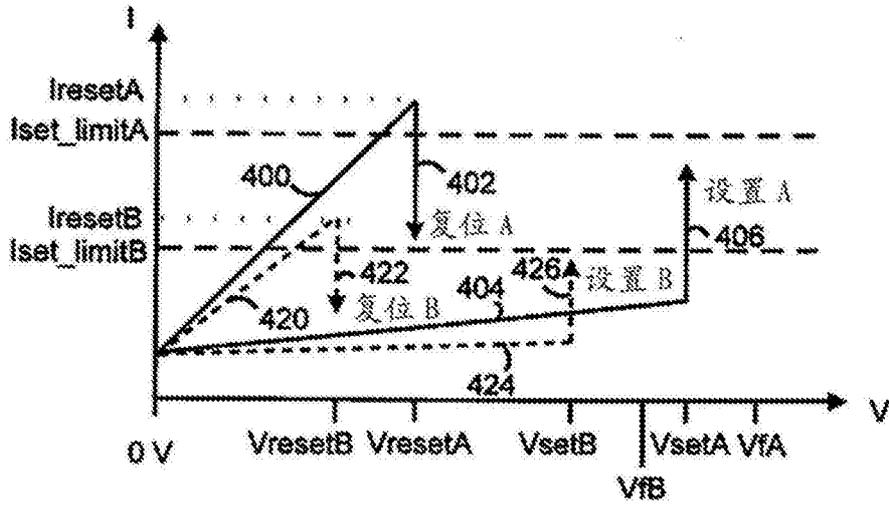


图4B

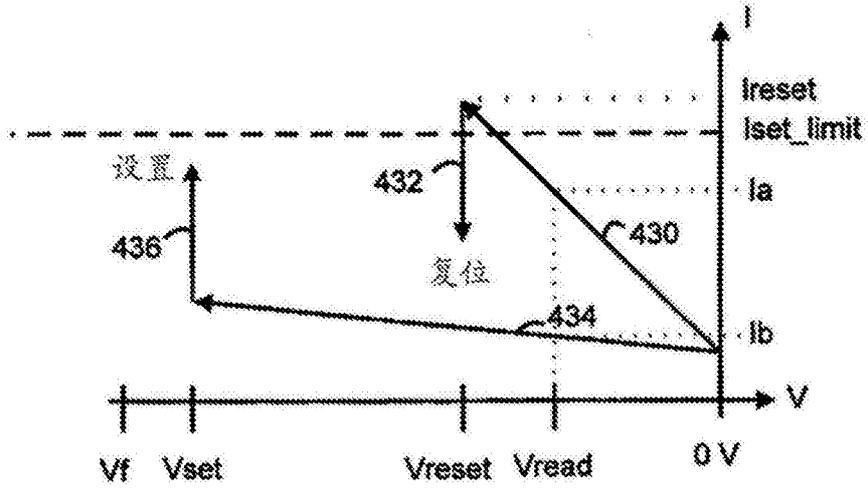


图4C

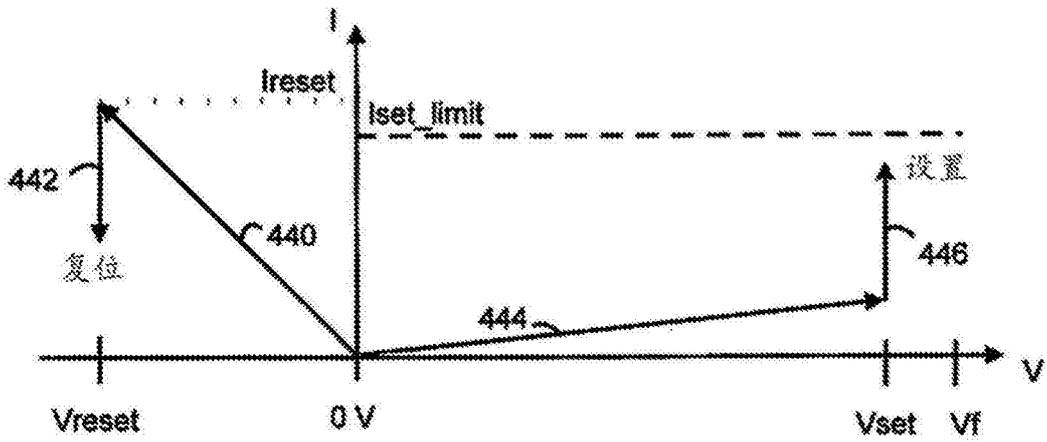


图4D

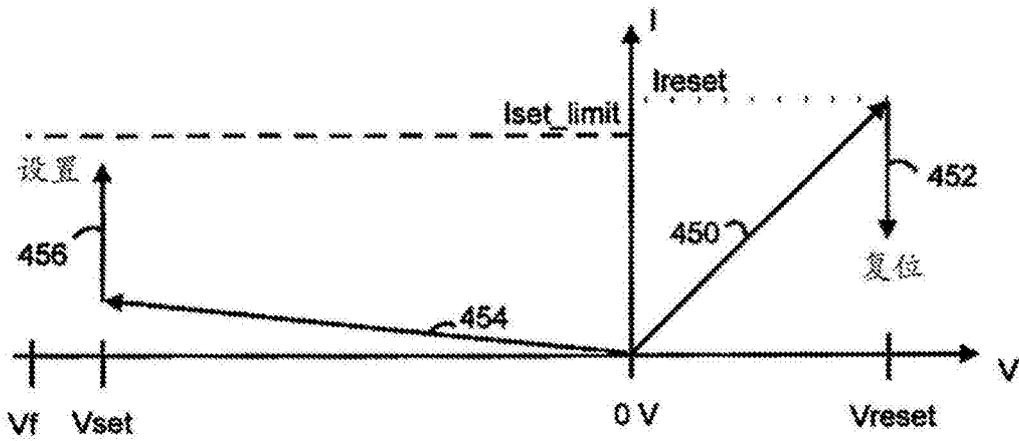


图4E

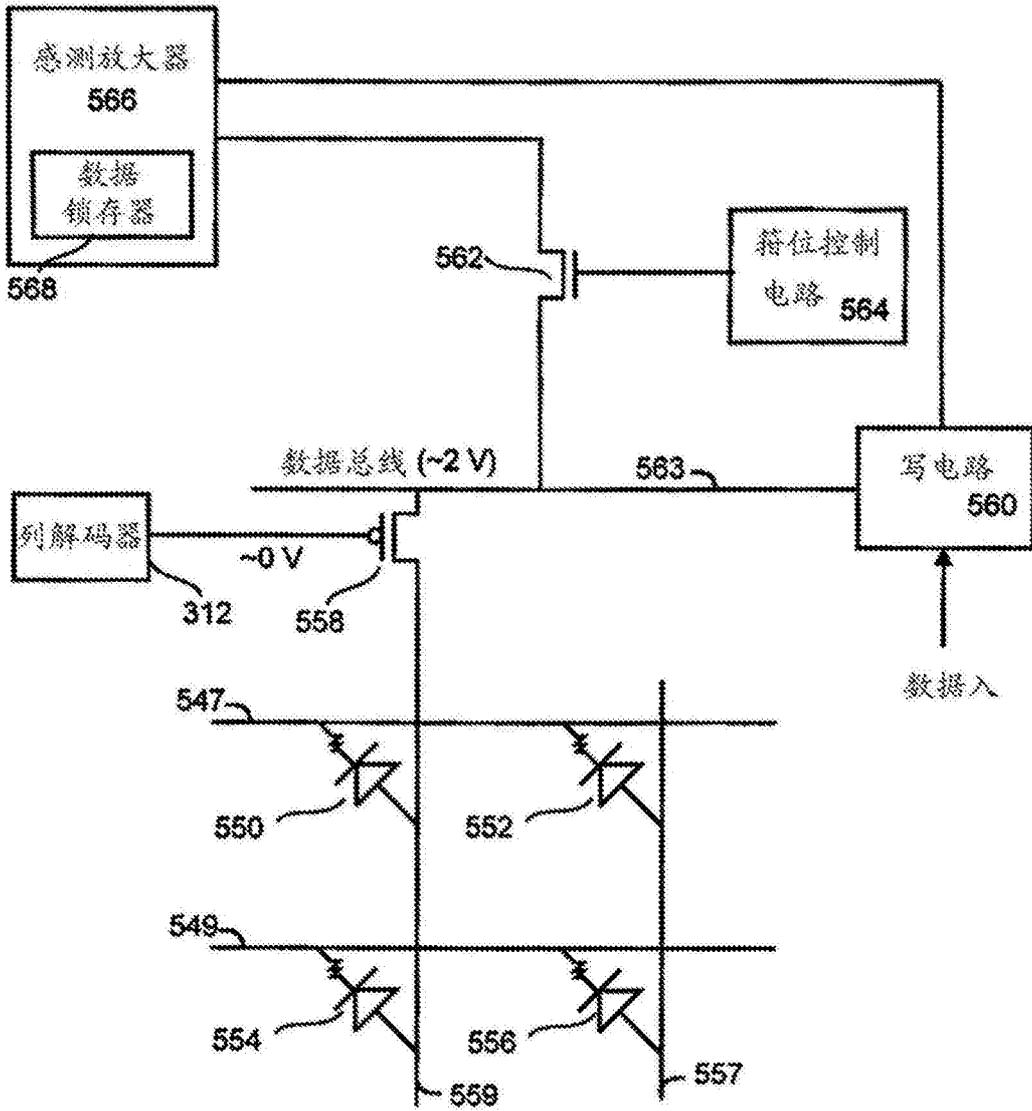


图5



图6A

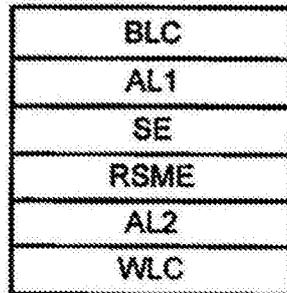


图6B

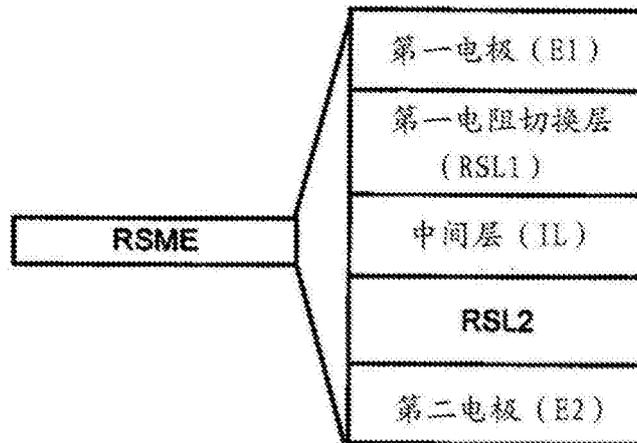


图6C

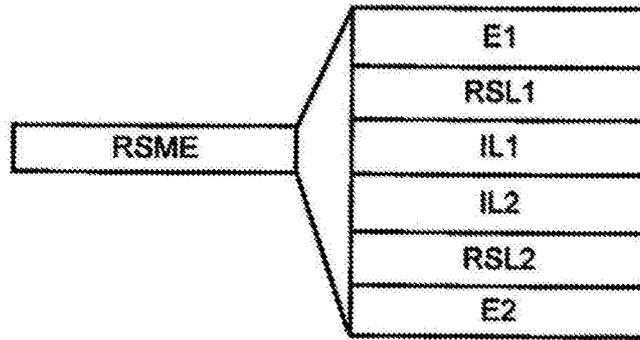


图6D

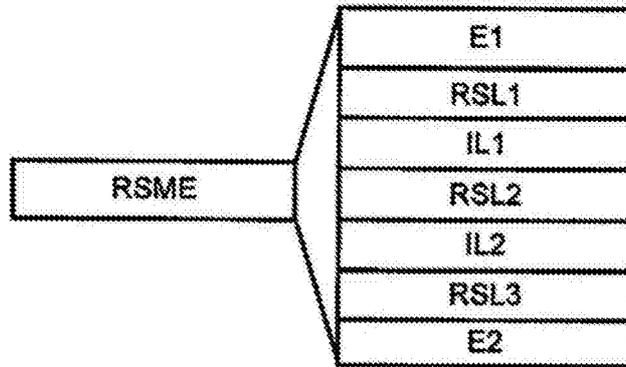


图6E

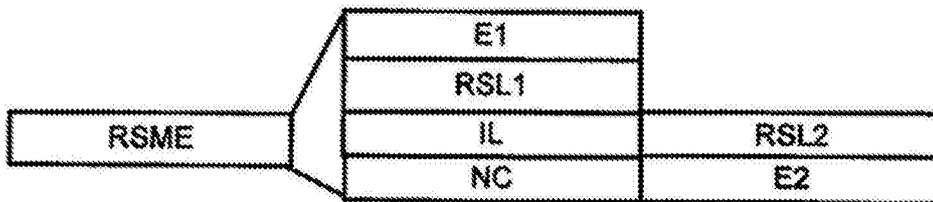


图6F

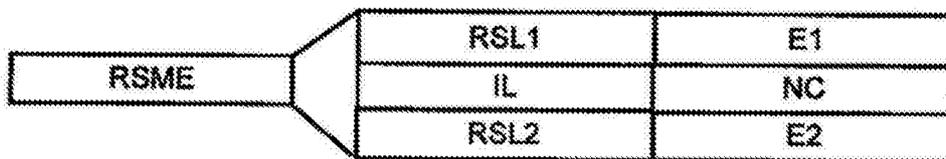


图6G

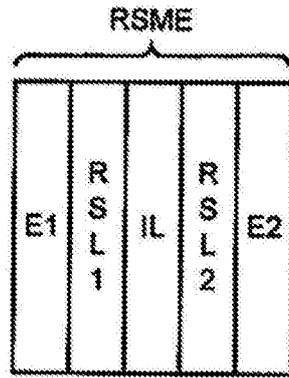


图6H

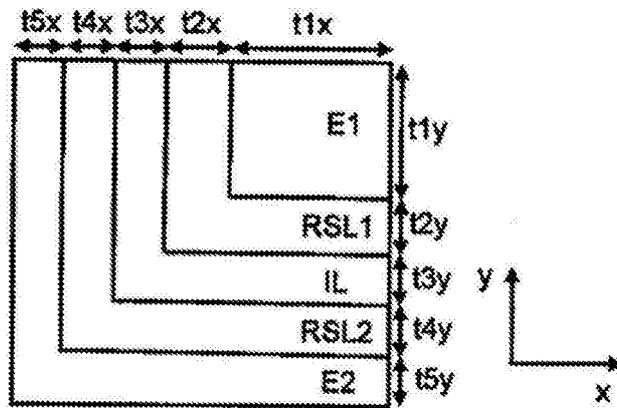


图6I

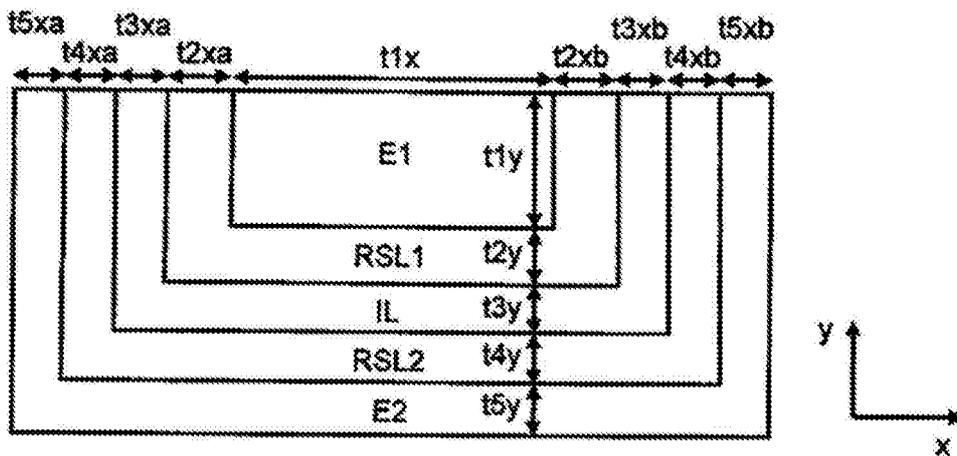


图6J

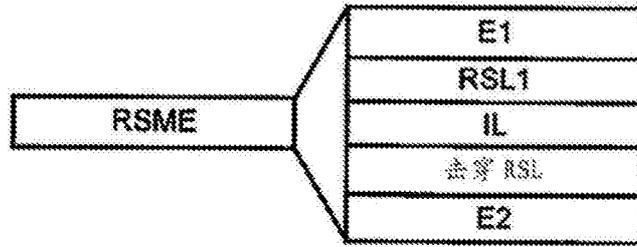


图6K1

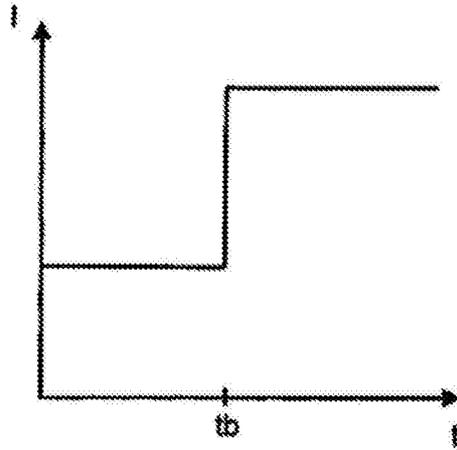


图6K2

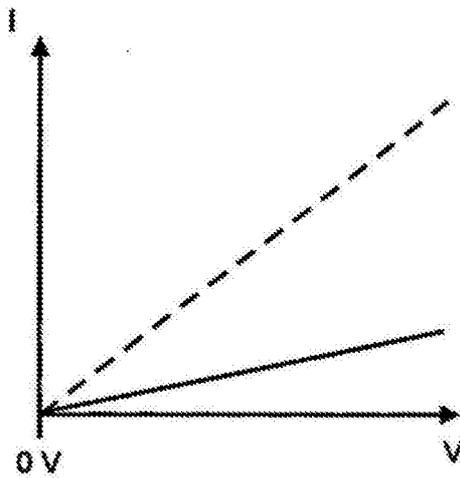


图6K3

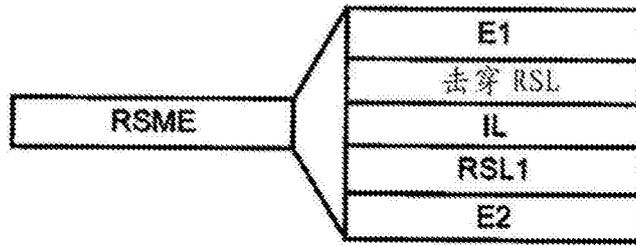


图6L

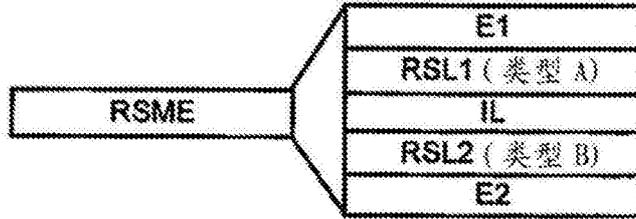


图6M

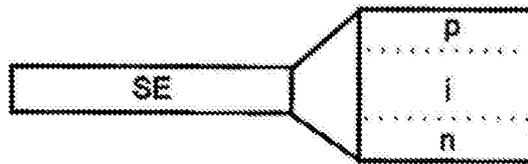


图7A

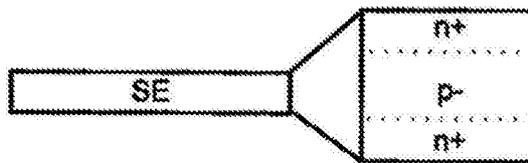


图7B

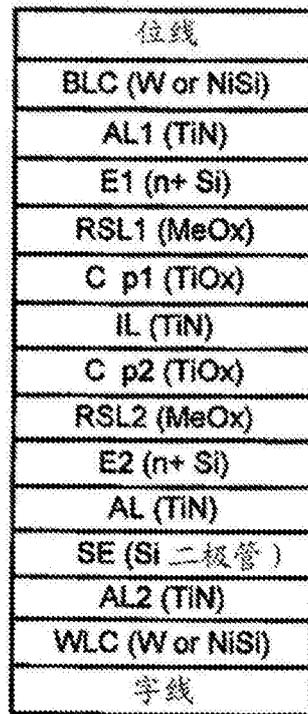


图8

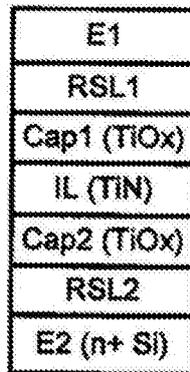


图9A

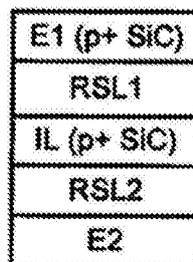


图9B

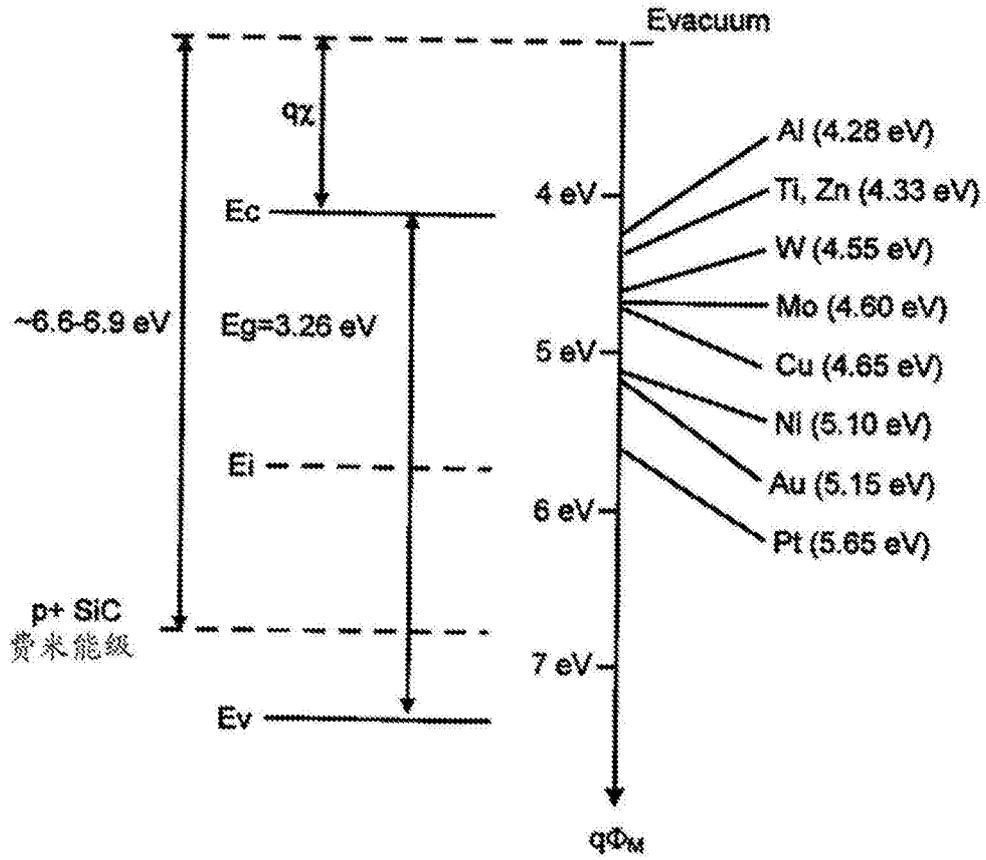


图9C

E1 (TiN)
E1 (n+ Si)
RSL1 (MeOx)
Cap1 (TiOx)
IL (TiN)
Cap2 (TiOx)
RSL2 (MeOx)
E2 (n+ Si)

图10A

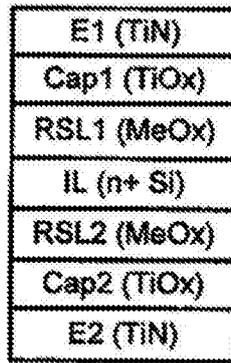


图10B

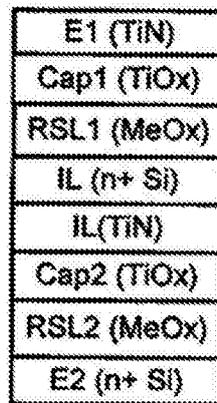


图10C

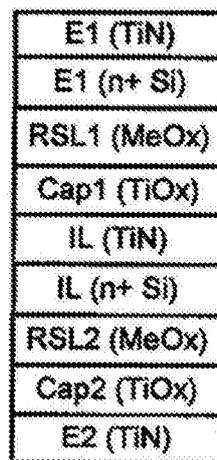


图10D

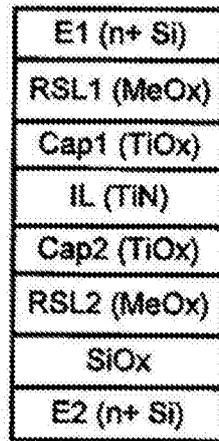


图11A

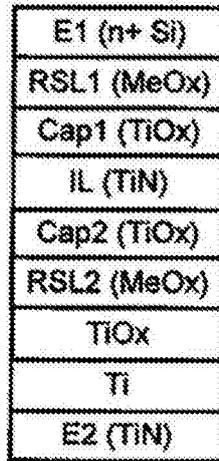


图11B

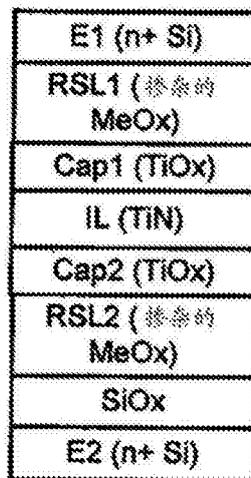


图11C

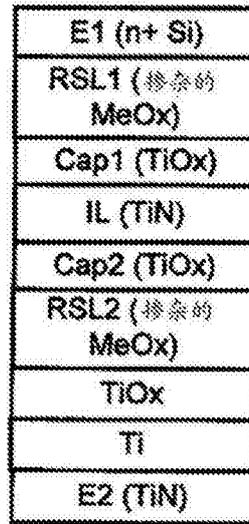


图11D

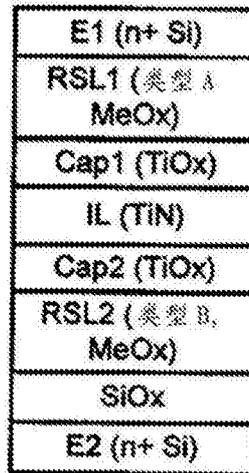


图11E

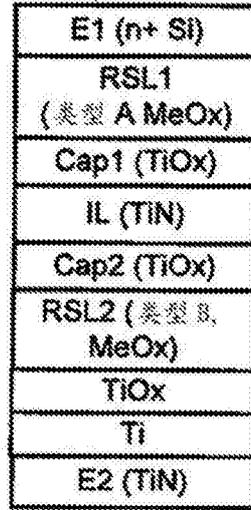


图11F

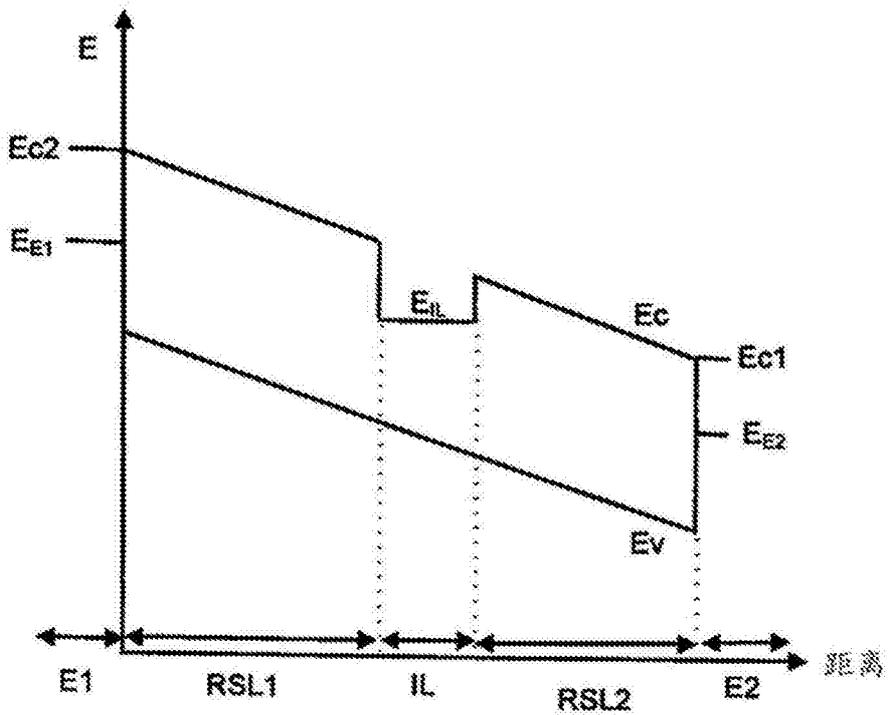


图12

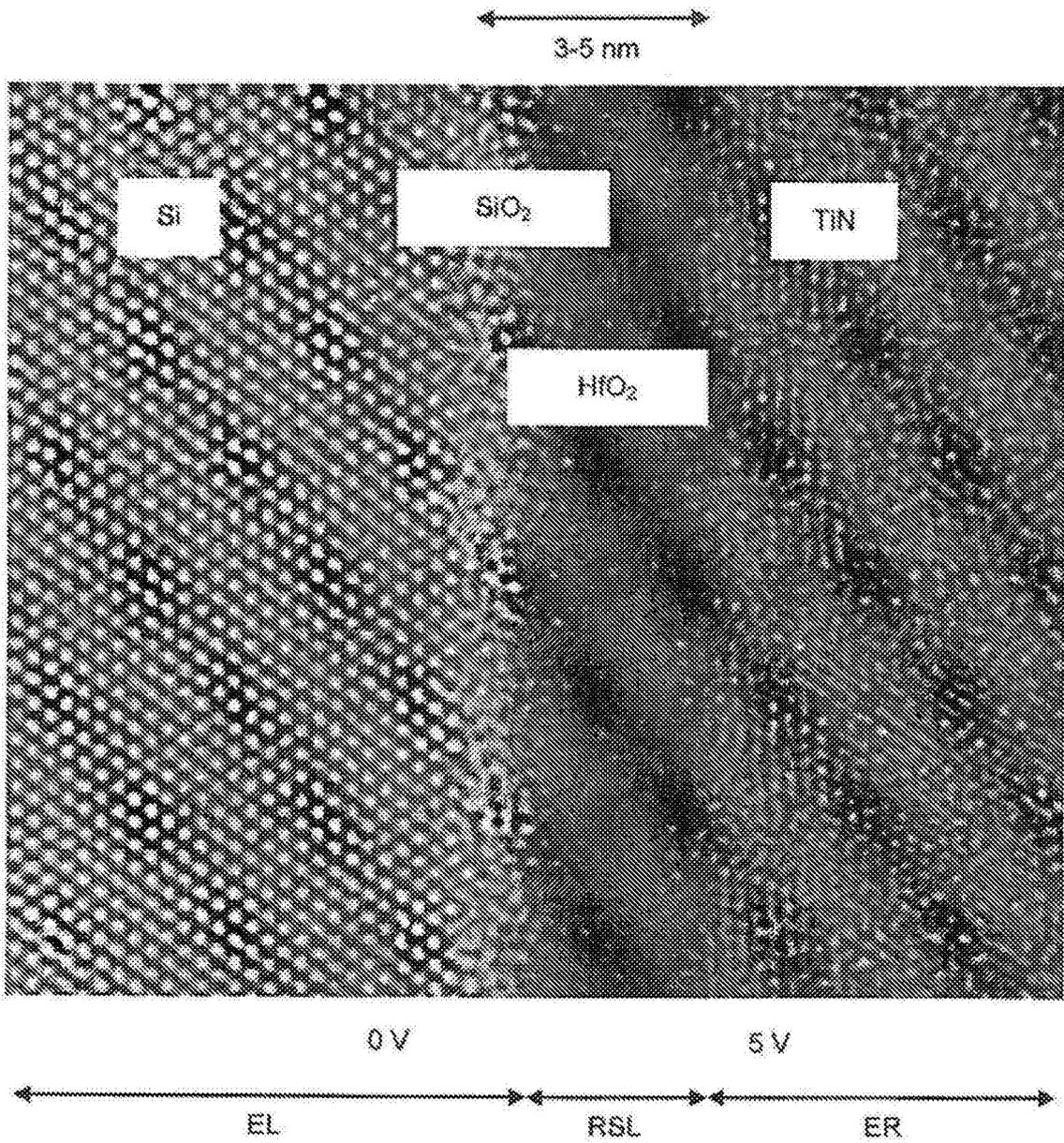


图13

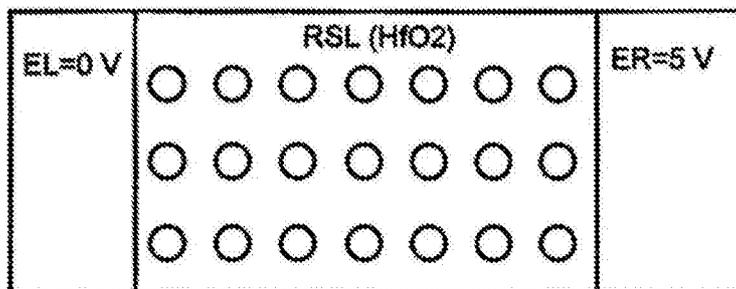


图14A

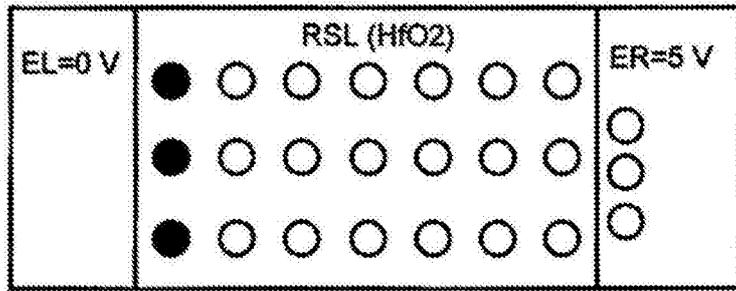


图14B

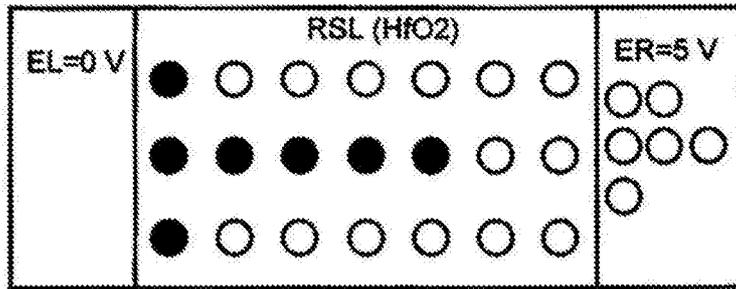


图14C

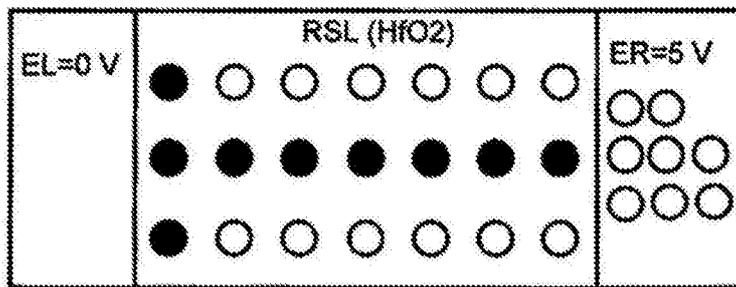


图14D

图 14E

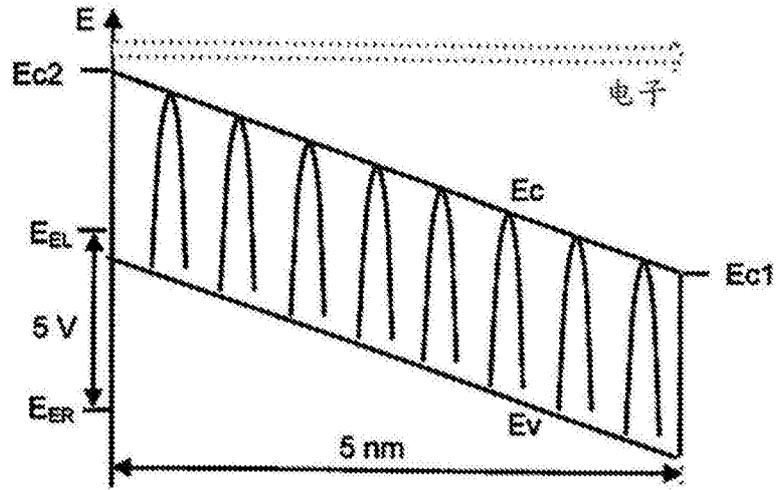


图 14F

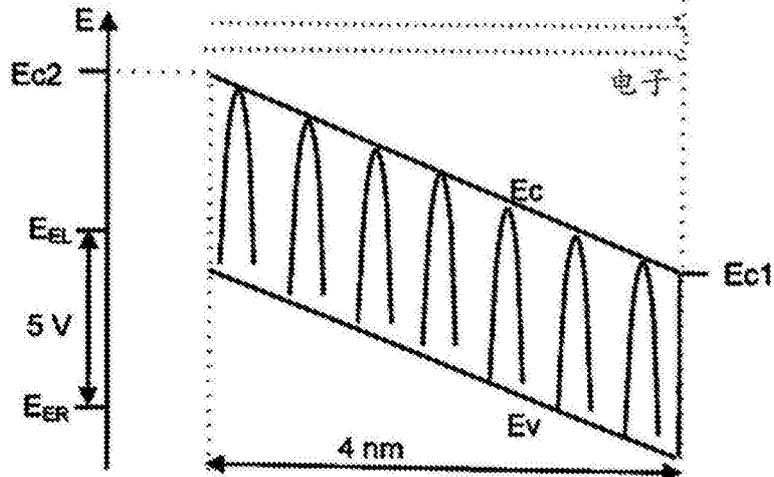
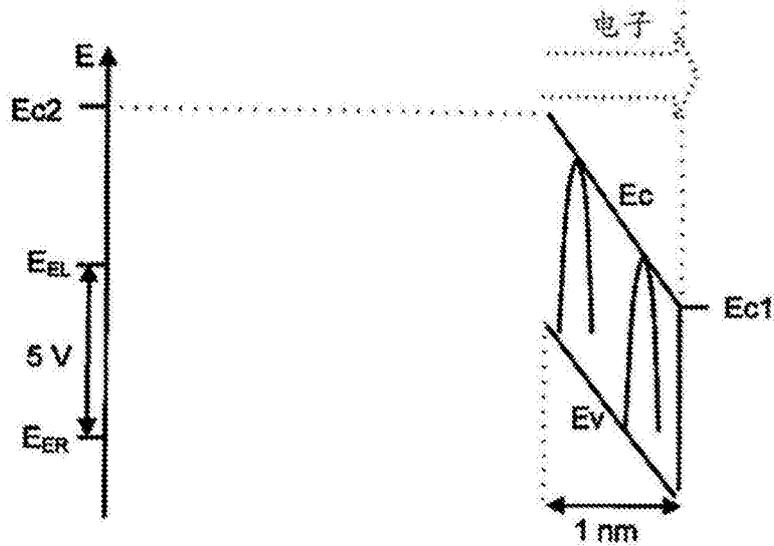


图 14G



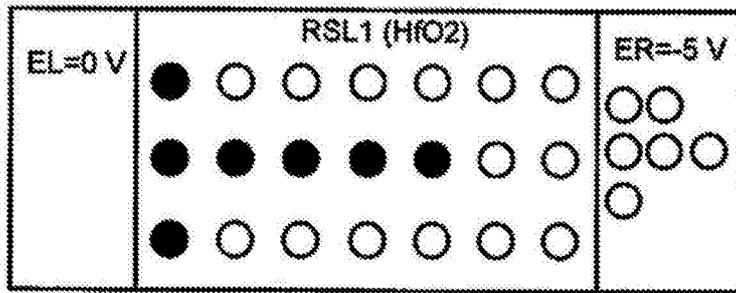


图15A

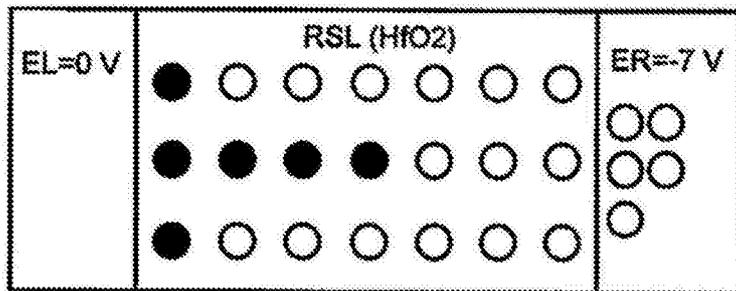


图15B

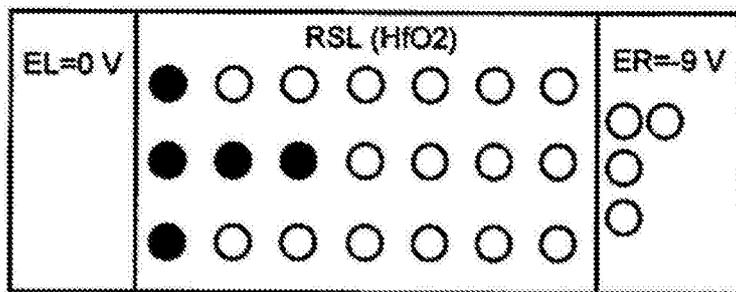


图15C

图 15D

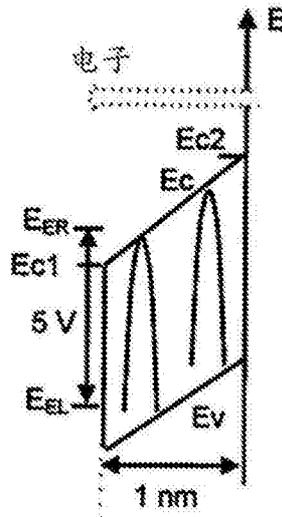


图 15E

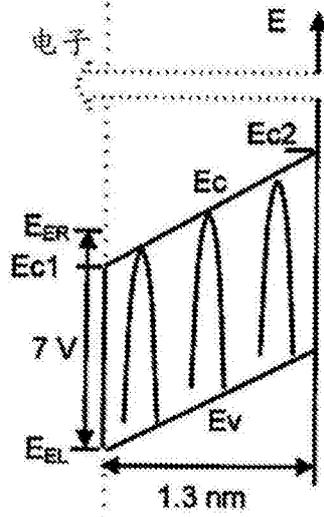
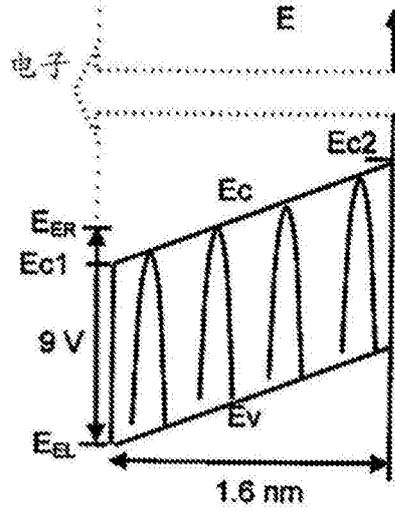


图 15F



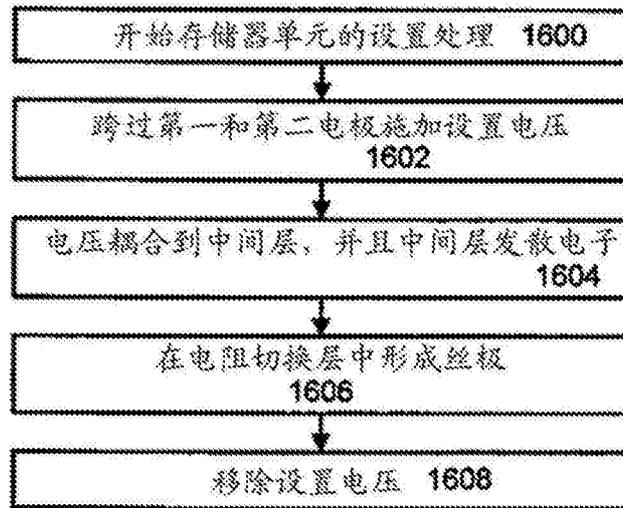


图16A

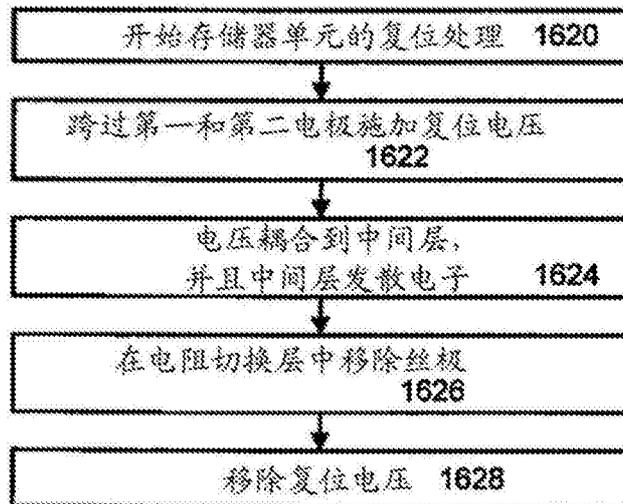


图16B

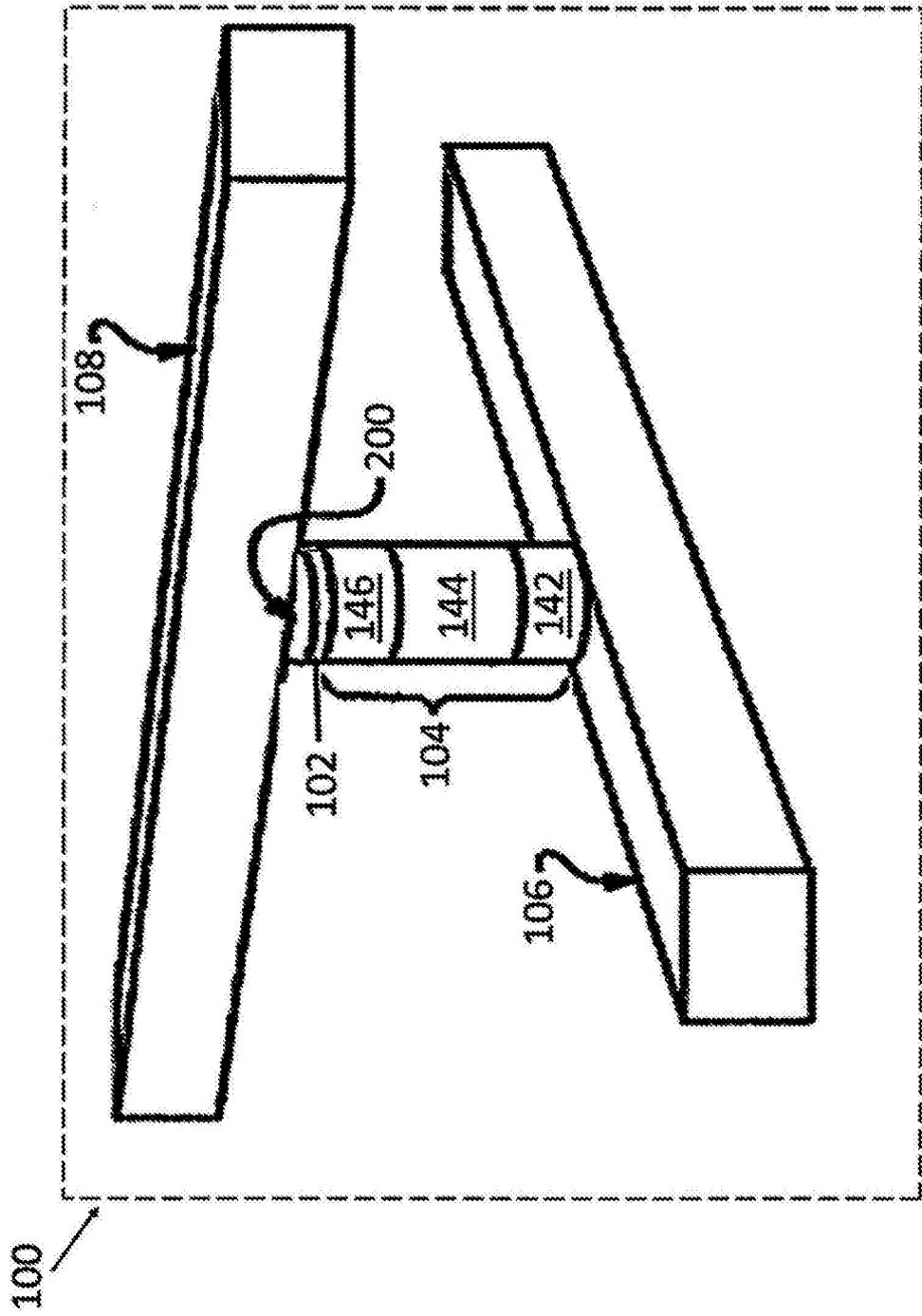


图17

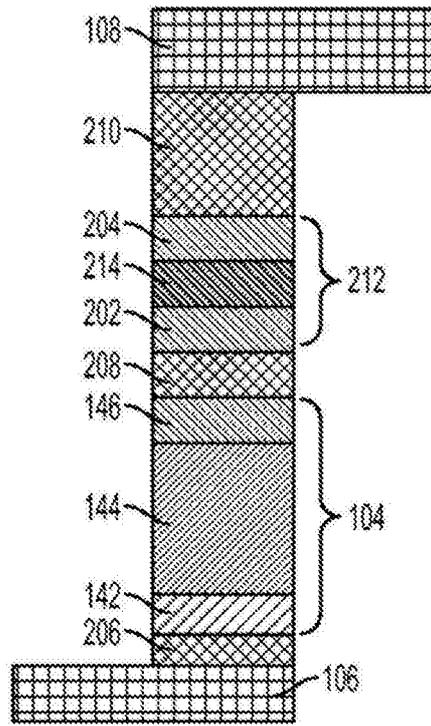


图18A

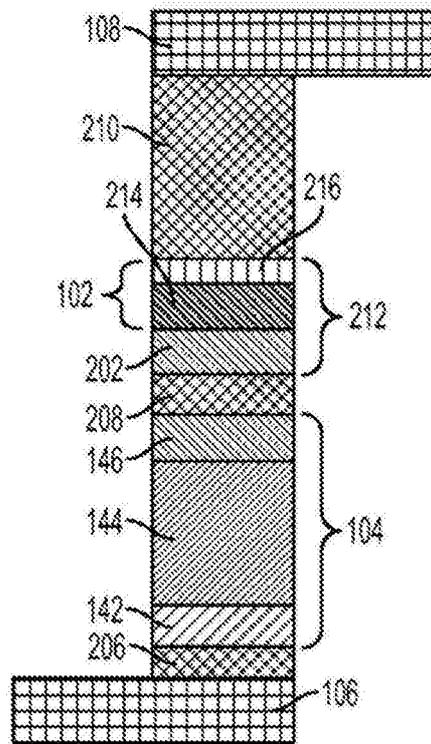


图18B

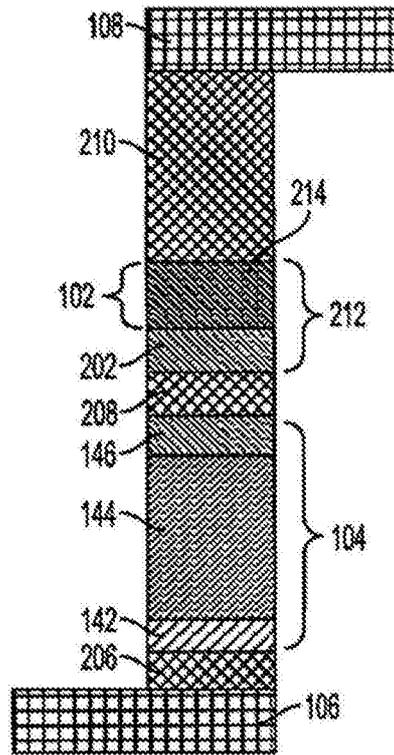


图18C

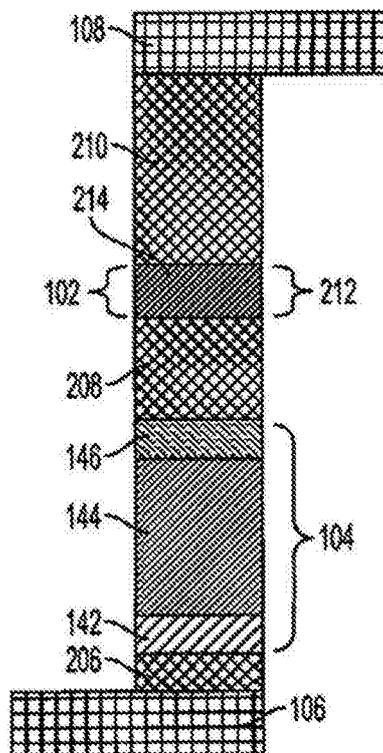


图18D

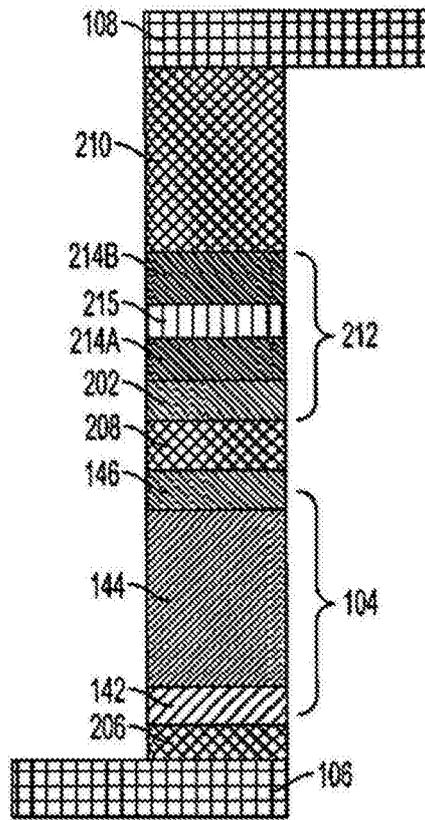


图18E

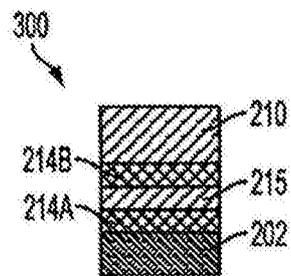
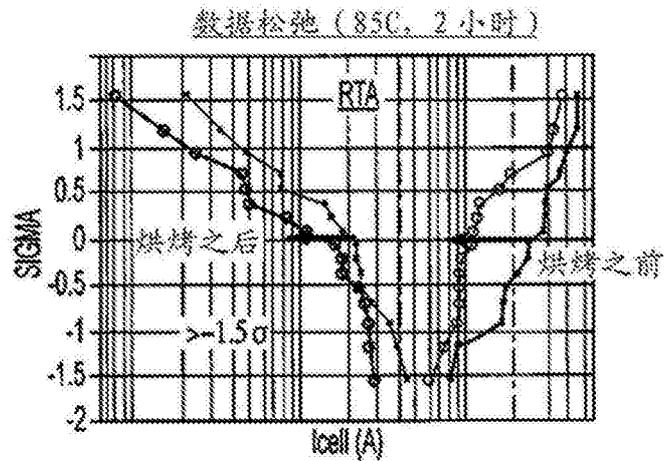
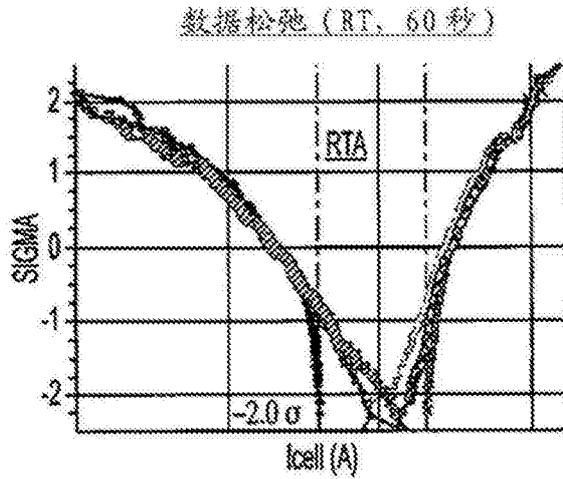
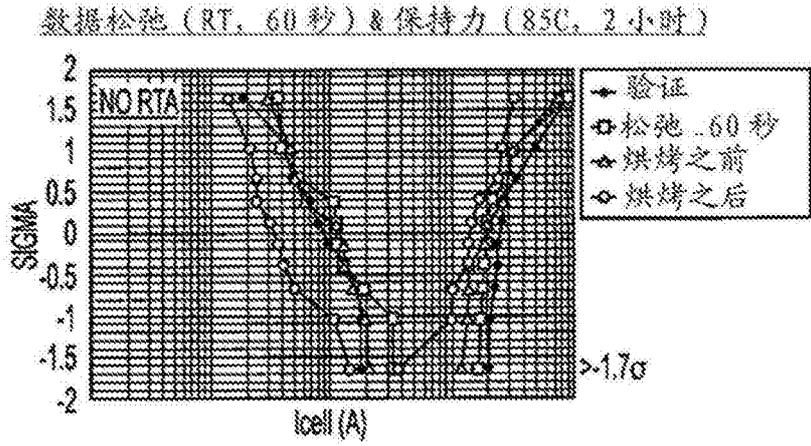


图19A



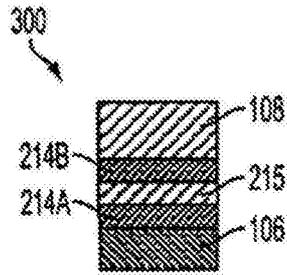


图20A

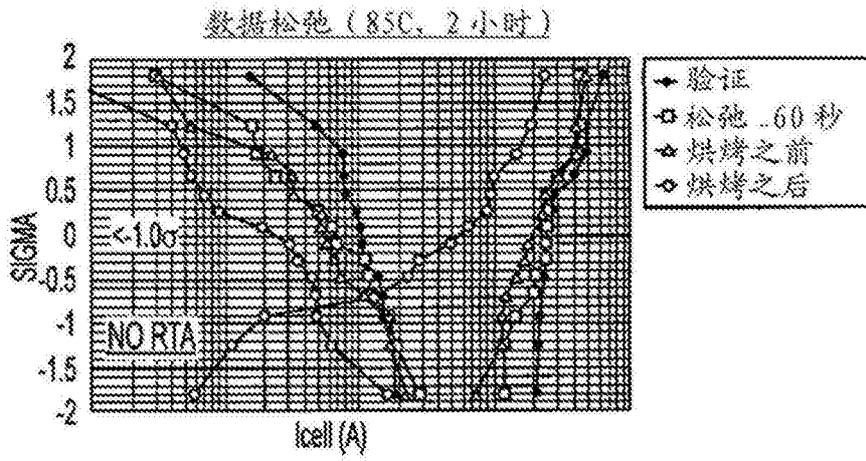


图20B

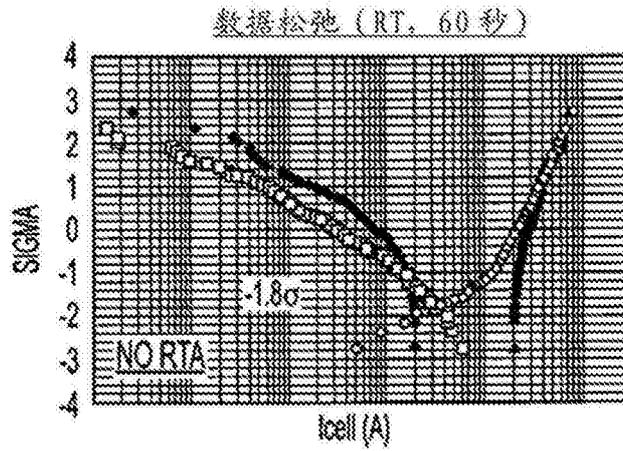


图20C

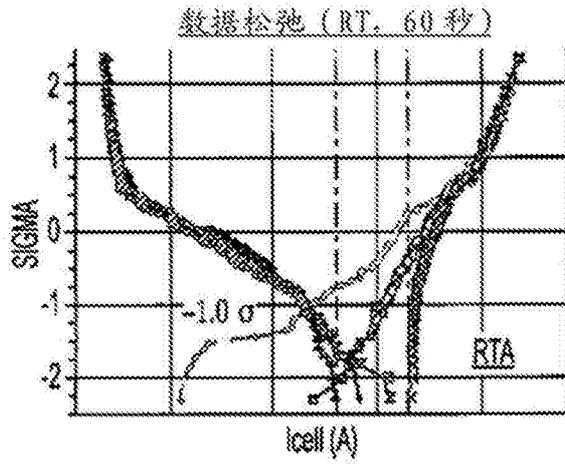


图20D