

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97101173

※ 申請日期：97.1.11

※IPC 分類：H01L 23/538 (2006.01)

一、發明名稱：(中文/英文)

接腳組態改變電路、晶座晶片以及包含該電路、晶片的系統封裝
PIN CONFIGURATION CHANGING CIRCUIT, BASE CHIP AND
SYSTEM IN PACKAGE INCLUDING THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

三星電子股份有限公司

SAMSUNG ELECTRONICS CO., LTD.

☐ 指定 為應受送達人

代表人：(中文/英文) 尹鍾龍/ YUN, JONG-YONG

住居所或營業所地址：(中文/英文)

大韓民國京畿道水原市靈通區梅灘洞 416 番地

416, MAETAN-DONG, YEONGTONG-GU, SUWON-SI,

GYEONGGI-DO, REPUBLIC OF KOREA

國 籍：(中文/英文) 韓國/KR

三、發明人：(共 1 人)

姓 名：(中文/英文)

1. 朴鎮權/ PARK, JIN-KWON

國 籍：(中文/英文) 1. 韓國/KR

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1.韓國；2007/01/25；10-2007-0007684

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明是關於接腳組態，且更特定言之，是關於接腳組態改變電路、晶座晶片以及包含接腳組態改變電路之系統封裝。

【先前技術】

系統封裝（SIP）是關於將晶圓級之兩個獨立晶片整合為單一封裝之技術，因此 SIP 可具有關於成本以及尺寸的優點。

在習知 SIP 中，具有不同尺寸之各種記憶體可連接至晶座晶片。當具有不同尺寸之各種記憶體連接至晶座晶片時，各種記憶體根據記憶體尺寸而具有不同接腳配置。因此，當晶座晶片藉由使用固定接腳配置而支援記憶體介面時，在無額外努力之情形下，可將特定種類之記憶體連接至晶座晶片。然而，當具有不同於所支援種類之記憶體之接腳組態的不同種類之記憶體連接至晶座晶片時，晶座晶片必需包含複雜配線。因此，用於 SIP 之印刷電路板之尺寸增加，且因此，SIP 的成本增加。

【發明內容】

根據本發明之某些態樣，提供一種接腳組態改變電路（PCCC），其當連接至晶座晶片之記憶體改變時，可改變晶座晶片的多個內部接腳之連接次序。

根據本發明之其他態樣，提供包含 PCCC 之晶座晶片。

根據本發明之其他態樣，提供包含晶座晶片之 SIP。

根據本發明之其他態樣，提供改變晶座晶片之接腳組態的方法。

根據本發明之一態樣，提供晶座晶片之 PCCC。PCCC 包含接腳組態改變暫存器 (PCCR) 以及接腳組態改變邏輯單元 (PCCLU)。PCCR 經組態以確定記憶體之記憶體類型，且基於記憶體的類型儲存並提供指示，當記憶體連接至晶座晶片替代先前連接至晶座晶片之另一記憶體時，包含於記憶體中之多個接腳之第一連接次序的接腳連接指派值。PCCLU 經組態以接收接腳連接指派值，且改變晶座晶片之多個內部接腳之第二連接次序。

接腳連接指派值可基於記憶體相對於內部接腳之所需存取速度來確定。

PCCLU 可包含至少一選擇單元，所述至少一選擇單元經組態以基於記憶體相對於內部接腳所需之存取速度，來對內部接腳進行分組。

該至少一選擇單元，可包含至少一多工器，所述至少一多工器經組態以當記憶體改變時，基於接腳連接指派值將內部接腳連接至記憶體之相應接腳。

該至少一選擇單元可包含多個選擇單元，且經組態以根據相應選擇單元，對具有不同速度之內部接腳進行分組。

根據本發明之另一態樣，提供晶座晶片，其包含 PCCC、襯墊單元以及多個外部接腳。PCCC 經組態以當連接至晶座晶片之記憶體改變時改變晶座晶片之多個內部接腳的第一連接次序。內部接腳連接至包含於記憶體中之多

個接腳。襯墊單元耦接至 PCCC。多個外部接腳耦接至襯墊單元，且直接耦接至改變之記憶體。

PCCC 可包含：PCCR，其經組態以儲存並提供指示包含於記憶體中之接腳之第二連接次序的接腳連接指派值；以及 PCCLU，其經組態以接收接腳連接指派值，且改變晶座晶片之內部接腳之第一連接次序。

接腳連接指派值，可基於記憶體相對於內部接腳之所需存取速度來確定。

接腳組態改變邏輯單元(PCCLU)可包含至少一選擇單元，所述至少一選擇單元經組態以基於記憶體相對於內部接腳之所需存取速度，來對內部接腳進行分組。

該至少一選擇單元可包含至少一多工器，所述至少一多工器經組態以當記憶體改變時，基於接腳連接指派值將內部接腳連接至記憶體之相應接腳。

該至少一選擇單元可包含多個選擇單元，其經組態以根據相應選擇單元對具有不同速度之內部接腳進行分組。

根據本發明之另一態樣，提供 SIP，其包含安裝於封裝基板上之晶座晶片，以及連接至晶座晶片的包含多個接腳之記憶體。晶座晶片包含 PCCC、襯墊單元以及多個外部接腳。PCCC 經組態以當記憶體改變時，改變晶座晶片之多個內部接腳之第一連接次序，該些多個內部接腳連接至包含於記憶體中的多個接腳。襯墊單元耦接至 PCCC。該些多個外部接腳耦接至襯墊單元且直接耦接至改變之記憶體。

當記憶體改變時，包含於記憶體中之多個接腳可以實質上類似之次序配置。

接腳組態改變電路可包含：接腳組態改變暫存器，其經組態以儲存並提供指示包含於記憶體中之接腳之第二連接次序的接腳連接指派值；以及接腳組態改變邏輯單元，其經組態以接收接腳連接指派值並改變晶座晶片之內部接腳之第一連接次序。

接腳連接指派值，可基於記憶體相對於內部接腳之所需存取速度來確定。

接腳組態改變邏輯單元可包含至少一選擇單元，所述至少一選擇單元經組態以基於記憶體相對於內部接腳之所需存取速度，來對內部接腳進行分組。

該至少一選擇單元，可包含至少一多工器，所述至少一多工器經組態以當記憶體改變時，基於接腳連接指派值將內部接腳連接至記憶體之相應接腳。

該至少一選擇單元可包含多個選擇單元，其經組態以根據相應選擇單元對具有不同速度之內部接腳進行分組。

根據本發明之另一態樣，在改變安裝於 SIP 上之晶座晶片之接腳組態的方法中，當連接至晶座晶片之記憶體改變時，基於記憶體之類型而儲存並提供接腳連接指派值。包含於連接至晶座晶片之記憶體中之多個接腳的第一連接次序晶座晶片之多個內部接腳之第二連接次序可由接腳連接指派值確定。可藉由接收接腳連接指派值而改變。晶座晶片之多個內部接腳連接至記憶體之多個接腳。

在某實施例中，可基於記憶體相對於內部接腳之所需存取速度來確定接腳連接指派值。可基於存取速度將內部接腳分組為至少一組。

因此，可根據記憶體來改變晶座晶片之多個內部接腳之連接次序，而無需額外配線或印刷電路板（PCB）。

【實施方式】

現將參考隨附圖式描述本發明之實施例。然而，本發明可以許多不同形式具體化，且不應理解為限於本文中闡明之實施例。此申請案中，相同參考數字代表相同元件。

將理解，儘管術語第一、第二等等可在本文中用以描述各種元件，但是此等元件不應受此等術語限制。此等術語用以將一個元件與另一元件區分開來。舉例而言，在不脫離本發明之範疇之情形下，第一元件可稱為第二元件，且類似地，第二元件可稱為第一元件。當在本文中使用时，術語“及/或”包含相關聯之所列項目中之一或多者中的任一者以及其所有組合。

本文中使用之術語是出於描述特定實施例之目的且並非意欲限制本發明。當在本文中使用时，單數形式“一”以及“所述”意欲亦包含複數形式，除非上下文另外明確指示。將進一步理解，當在本文中使用时，術語“包含”指定所陳述之特徵、整體、操作、元件及/或組件的存在，但並不排除一或多個其他特徵、整體、步驟、操作、元件、組件及/或其群組之存在或添加。

圖 1A 為說明包含各種記憶體之晶片系統（SoC）之實

施例的方塊圖，且圖 1B 說明記憶體之接腳組態。

圖 2 為說明根據本發明之態樣之安裝於系統封裝 (SIP) 上之晶座晶片的接腳組態改變電路 (PCCC) 200 之實施例之方塊圖。

參考圖 1A、圖 1B 以及圖 2 之實施例，將描述根據本發明之態樣的 PCCC 200。

參考圖 1A，第一 SoC 10 包含晶座晶片 11 以及第一記憶體 13。第二 SoC 20 包含晶座晶片 11 以及第二記憶體 23。第三 SoC 30 包含晶座晶片 11 以及第三記憶體 33。在圖 1A 中，第一、第二以及第三 SoC 包含同一晶座晶片 11，即使第一、第二以及第三記憶體 13、23 以及 33 具有彼此不同之晶片組態。

如在圖 1B 中所說明，連接至晶座晶片 11 之第一、第二以及第三記憶體 13、23 以及 33 可具有類似接腳配置次序。在圖 1B 中，A0 至 A3 接腳對應於位址接腳，CS 以及 RW 接腳對應於指令接腳，且 D0 至 D7 接腳對應於資料接腳。第一、第二以及第三記憶體 13、23 以及 33 之接腳可由記憶體控制器（未說明）或其他設備以不同存取速度存取。儘管接腳具有不同存取速度，但是接腳可基於存取速度來分組。

下文中，假設需要以相對較快速度存取 A0 以及 Ai 接腳，需要以正常速度存取 A2、A3、CS 以及 RE 接腳，且需要以相對較慢速度存取 D0 至 D7 接腳。

參考圖 2，PCCC 200 包含接腳組態改變暫存器

(PCCR) 210 以及接腳組態改變邏輯單元 (PCCLU) 220。

當具有用於連接至晶座晶片 11 之多個接腳之記憶體改變時，PCCR 210 儲存接腳連接指派值，其基於連接至晶座晶片的記憶體之類型，確定包含於記憶體中之接腳的第一連接次序。接腳連接指派值可基於連接至晶座晶片 11 之記憶體，相對於晶座晶片 11 之多個內部接腳的所需存取速度來確定。接腳連接指派值可根據改變之記憶體類型自動儲存於 PCCR 210 中。或者，接腳連接指派值之資訊可根據改變之記憶體類型預先儲存於 PCCR 210 中。PCCLU 220 接收接腳連接指派值，且改變耦接至包含於記憶體中之接腳之內部接腳的第二連接次序。

圖 3 為說明圖 2 之 PCCC 中之 PCCLU 220 的方塊圖。

參考圖 3，PCCLU 220 包含至少一選擇單元，例如，第一、第二以及第三選擇單元 230、240 以及 250，其基於所需存取速度對內部接腳進行分組。第一、第二以及第三選擇單元 230、240 以及 250 中之每一者可包含至少一多工器，其將內部接腳連接至記憶體之相應接腳。在實例實施例中，第一選擇單元 230 包含兩個多工器 M1 以及 M2。第二選擇單元 240 包含 N 個多工器 MN1、.....、MNn。第三選擇單元 250 包含 M 個多工器 MS1、.....、MSm。

為便於描述，假設在圖 3 中 N 為 4，且 M 為 8。當第一記憶體 13 連接至圖 1A 以及圖 1B 中之晶座晶片 11 時，內部接腳 I1 需要連接至第一記憶體 13 之 A0 接腳，內部接腳 I2 需要連接至第一記憶體 13 的接腳 A1，內部接腳

IN1、IN2、IN3 以及 IN4 需要分別連接至第一記憶體 13 之接腳 A2、A3、CS 以及 RW，且內部接腳 IS1 至 IS8 需要分別連接至第一記憶體 13 之接腳 D0 至 D7。在此狀況下，襯墊 O1 連接至第一記憶體 13 之接腳 A0，襯墊 O2 連接至第一記憶體 13 之接腳 A1，襯墊 ON1、ON2、ON3 以及 ON4 分別連接至第一記憶體 13 的接腳 A2、A3、CS 以及 RW，且襯墊 OS1 至 OS8 分別連接至第一記憶體 13 之接腳 D0 至 D7。

當連接至晶座晶片 11 之記憶體自第一記憶體 13 改變為第二記憶體 23 時，根據如圖 1B 中所說明之第二記憶體 23 的接腳之次序，第二記憶體 23 之接腳分別連接至相應襯墊 O1 至 O2、ON1 至 ON4，以及襯墊 OS1 至 OS8。然而，第一選擇單元 230 根據基於第二記憶體 23 之類型確定之接腳連接指派值將內部接腳 I1 連接至襯墊 O2，且將內部接腳 I2 連接至襯墊 O1。類似地，第二選擇單元 240 根據基於第二記憶體 23 之類型確定之接腳連接指派值，將內部接腳 IN1 連接至襯墊 ON1，將內部接腳 IN2 連接至襯墊 ON3，將內部接腳 IN3 連接至襯墊 ON2，且將內部接腳 IN4 連接至襯墊 ON4。類似地，第三選擇單元 250 根據基於第二記憶體 23 之類型確定之接腳連接指派值，將內部接腳 IS1 連接至襯墊 OS1，將內部接腳 IS2 連接至襯墊 OS3，將內部接腳 IS3 連接至襯墊 OS2，將內部接腳 IS4 連接至襯墊 OS4，將內部接腳 IS5 連接至襯墊 OS6，將內部接腳 IS6 連接至襯墊 OS5，將內部接腳 IS7 連接至襯墊 OS7，

且將內部接腳 IS8 連接至襯墊 OS8。

當第三記憶體 33 連接至晶座晶片 11 而取代第二晶片 23 時，晶座晶片 11 之內部接腳根據基於第三記憶體 33 之類型確定的接腳連接指派值，分別連接至第三記憶體 33 之相應接腳。意即，當連接至晶座晶片 11 之記憶體改變時，晶座晶片 11 之內部接腳分別連接至藉由選擇單元 230、240 以及 250 之操作而改變之記憶體的相應接腳的無額外配線或印刷電路板（PCB）。

在圖 3 中，需要以高速存取內部接腳 I1 以及 I2，且若可能，則期望在晶座晶片之內部接腳 I1 以及 I2 與外部接腳之間無額外邏輯。其他內部接腳 IN1 至 INn 以及 IS1 至 ISm 基於根據在內部接腳與外部接腳之間需要額外邏輯之位準之存取速度，而分組為包含內部接腳 IN1 至 INn 的正常群組以及包含內部接腳 IS1 至 ISm 之較慢群組。在基於存取速度對內部接腳進行分組之後，內部接腳 I1 以及 I2 根據基於連接至晶座晶片 11 之記憶體之類型的接腳連接指派值而分別連接至襯墊 O1 以及 O2。類似地，內部接腳 IN1 至 INn 連接至相應襯墊 ON1 至 ONn，且內部接腳 IS1 至 ISm 連接至相應襯墊 OS1 至 OSm。

因此，如實例實施例中所展示，不同記憶體以及晶座晶片可藉由使用根據本發明之態樣之 PCCC 而在無額外配線或 PCB 的情形下封裝於系統中。

圖 4 為說明根據本發明之態樣之晶座晶片 300 之實施例的方塊圖。

參考圖 4，晶座晶片 300 包含 PCCC 310 以及襯墊單元 340 以及多個外部接腳 350。

PCCC 310 包含 PCCR 320 以及 PCCLU 330。PCCR 320 以及 PCCLU 330 之架構以及操作類似於圖 2 以及圖 3 中之 PCCR 210 以及 PCCLU 220 的架構以及操作，且因此將省略重複之描述。襯墊單元 340 將 PCCLU 330 連接至多個外部接腳 350，外部接腳 350 直接連接至可改變之記憶體。

外部接腳 350 直接連接至記憶體。外部接腳 350 分組為高速接腳 360、正常速度接腳 370 以及低速接腳 380。高速接腳 360 可連接至具有較高存取速度之記憶體之接腳。正常速度接腳 370 可連接至具有正常存取速度之記憶體之接腳。較慢速度接腳 380 可連接至具有較慢存取速度之記憶體之接腳。

當連接至外部接腳 350 之記憶體改變時，晶座晶片之內部接腳的連接次序藉由使用 PCCC 310 而根據存取速度改變。因此，即使連接至晶座晶片之記憶體改變，晶座晶片亦可在無額外配線或 PCB 之情形下封裝於系統中。

圖 5 為說明根據本發明之實例實施例之系統封裝 (SIP) 400 之實施例的方塊圖。

參考圖 5，SIP 400 包含安裝於封裝基板上之晶座晶片 410，以及連接至晶座晶片 410 之記憶體 450。晶座晶片 410 包含 PCCC 420、襯墊單元 430 以及多個外部接腳 440。

包含於晶座晶片 410 中之 PCCC 420 經組態以根據連接至晶座晶片 410 之記憶體 450 的類型而改變晶座晶片

410 之多個內部接腳之連接次序。PCCC 410 之架構以及操作類似於圖 2 以及圖 3 中之 PCCC 200 的架構以及操作，且因此將省略重複之描述。根據實例實施例之 SIP 可藉由使用 PCCC 而根據存取速度改變多個內部接腳之連接次序，且因此可在無額外配線或 PCB 之情形下封裝於系統中。

圖 6 為說明根據本發明之態樣之改變安裝於 SIP 上之晶座晶片的接腳組態之方法之實施例的流程圖。

參考圖 6，當連接至晶座晶片之記憶體改變時，儲存並提供基於記憶體之類型的接腳連接指派值（步驟 S510）。包含於連接至晶座晶片之記憶體中之多個接腳的第一連接次序可由接腳連接指派值確定。藉由接收接腳連接指派值，改變晶座晶片之多個內部接腳之第二連接次序（步驟 S520）。晶座晶片之多個內部接腳連接至記憶體之多個接腳。在步驟 S510 中，可基於記憶體相對於內部接腳之所需存取速度來確定接腳連接指派值。在步驟 S520 中，可基於存取速度將內部接腳分組為至少一組。

改變接腳組態之方法之詳細描述類似於圖 2 以及圖 3 中的 PCCC 之描述，且因此將省略。

如上文所提及，根據本發明之態樣之 PCCC 可根據連接至晶座晶片的記憶體之多個接腳而改變晶座晶片之多個內部接腳的連接次序，且因此系統可在無額外配線或 PCB 之情形下進行封裝。

雖然本發明已以較佳實施例揭露如上，然其並非用以

限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1A 為說明包含各種記憶體之晶片系統 (SoC) 之實施例的方塊圖，且圖 1B 說明記憶體之接腳組態之實施例。

圖 2 為說明根據本發明之態樣之安裝於系統封裝上之晶座晶片的 PCCC 之實施例之方塊圖。

圖 3 為說明圖 2 之 PCCC 中之 PCCLU 的實施例之方塊圖。

圖 4 為說明根據本發明之態樣之晶座晶片之實施例的方塊圖。

圖 5 為說明根據本發明之態樣之系統封裝 (SIP) 之實施例的方塊圖。

圖 6 為說明根據本發明之態樣之改變安裝於 SIP 上之晶座晶片的接腳組態之方法之實施例的流程圖。

【主要元件符號說明】

10：第一晶片系統 (SoC)

11：晶座晶片

13：第一記憶體

20：第二 SoC

23：第二記憶體

30：第三 SoC

33：第三記憶體

- 200：接腳組態改變電路（PCCC）
- 210：接腳組態改變暫存器（PCCR）
- 220：接腳組態改變邏輯單元（PCCLU）
- 230：第一選擇單元
- 240：第二選擇單元
- 250：第二選擇單元
- 300：晶座晶片
- 310：PCCC
- 320：PCCR
- 330：PCCLU
- 340：襯墊單元
- 350：外部接腳
- 360：高速接腳
- 370：正常速度接腳
- 380：低速接腳
- 400：系統封裝（SIP）
- 410：晶座晶片
- 420：PCCC
- 430：襯墊單元
- 440：外部接腳
- 450：記憶體
- A0：接腳
- A1：接腳
- A2：接腳

A3：接腳

CS：接腳

D0：接腳

D1：接腳

D2：接腳

D3：接腳

D4：接腳

D5：接腳

D6：接腳

D7：接腳

I1：內部接腳

I2：內部接腳

IN1：內部接腳

IN2：內部接腳

INn：內部接腳

IS1：內部接腳

IS2：內部接腳

ISm：內部接腳

M1：多工器

M2：多工器

MN1：多工器

MNn：多工器

MS1：多工器

MSm：多工器

O1：襯墊

O2：襯墊

ON1：襯墊

ONn：襯墊

OS1：襯墊

OSm：襯墊

RW：接腳

五、中文發明摘要：

一種晶座晶片之接腳組態改變電路，所述接腳組態改變電路包含接腳組態改變暫存器（PCCR）以及接腳組態改變邏輯單元（PCCLU）。所述 PCCR 基於記憶體之類型當記憶體改變時儲存並提供指示包含於連接至晶座晶片之記憶體中之多個接腳的第一連接次序之接腳連接指派值。所述 PCCLU 接收所述接腳連接指派值，並改變晶座晶片之多個內部接腳之第二連接次序。各種記憶體可在無額外配線或印刷電路板（PCB）之情形下連接至晶座晶片。

六、英文發明摘要：

A pin configuration changing circuit of a base chip includes pin configuration changing register (PCCR) and a pin configuration changing logic unit (PCCLU). The PCCR stores and provides a pin connection assignment value indicating a first connection order of a plurality of pins included in a memory connected to the base chip, based on a type of the memory when the memory is changed. The PCCLU receives the pin connection assignment value and changes a second connection order of a plurality of inner pins of the base chip. Various memories can be connected to the base chip without extra wiring or a printed circuit board (PCB).

十、申請專利範圍：

1.一種晶座晶片之接腳組態改變電路，所述接腳組態改變電路包含：

接腳組態改變暫存器，其經組態以確定記憶體之記憶體類型，且基於所述記憶體的所述類型儲存並提供指示，當所述記憶體連接至所述晶座晶片以替代先前連接至所述晶座晶片之另一記憶體時，包含於所述記憶體中之多個接腳之第一連接次序的接腳連接指派值；以及

接腳組態改變邏輯單元，其經組態以接收所述接腳連接指派值，且改變所述晶座晶片之多個內部接腳之第二連接次序。

2.如申請專利範圍第 1 項所述之晶座晶片之接腳組態改變電路，其中所述接腳連接指派值，是基於所述記憶體對於所述內部接腳之所需存取速度而確定。

3.如申請專利範圍第 2 項所述之晶座晶片之接腳組態改變電路，其中所述接腳組態改變邏輯單元包含至少一選擇單元，所述至少一選擇單元經組態以基於所述記憶體，相對於所述內部接腳之所述所需存取速度，而對所述內部接腳進行分組。

4.如申請專利範圍第 3 項所述之晶座晶片之接腳組態改變電路，其中所述至少一選擇單元包含至少一多工器，所述至少一多工器經組態以當所述記憶體改變時，基於所述接腳連接指派值，將所述內部接腳連接至所述記憶體之相應接腳。

5.如申請專利範圍第 4 項所述之晶座晶片之接腳組態改變電路，其中所述至少一選擇單元，包含多個選擇單元，且經組態以根據所述相應選擇單元對具有不同速度之內部接腳進行分組。

6.一種晶座晶片，包含：

接腳組態改變電路，其經組態以當連接至所述晶座晶片之記憶體改變時，改變所述晶座晶片之多個內部接腳的第一連接次序，所述多個內部接腳連接至包含於所述記憶體中之多個接腳；

襯墊單元，其耦接至所述接腳組態改變電路；以及
多個外部接腳，其耦接至所述襯墊單元且直接耦接至所述改變之記憶體。

7.如申請專利範圍第 6 項所述之晶座晶片，其中所述接腳組態改變電路包含：

接腳組態改變暫存器，其經組態以儲存並提供，指示包含於所述記憶體中之所述接腳之第二連接次序的接腳連接指派值；以及

接腳組態改變邏輯單元，其經組態以接收所述接腳連接指派值，並改變所述晶座晶片之所述內部接腳之所述第一連接次序。

8.如申請專利範圍第 7 項所述之晶座晶片，其中所述接腳連接指派值，是基於所述記憶體相對於所述內部接腳之所需存取速度而確定。

9.如申請專利範圍第 8 項所述之晶座晶片，其中所述

接腳組態改變邏輯單元包含至少一選擇單元，所述至少一選擇單元經組態以基於所述記憶體相對於所述內部接腳之所述所需存取速度，對所述內部接腳進行分組。

10.如申請專利範圍第9項所述之晶座晶片，其中所述至少一選擇單元包含至少一多工器，所述至少一多工器經組態以當所述記憶體改變時，基於所述接腳連接指派值將所述內部接腳連接至所述記憶體之相應接腳。

11.如申請專利範圍第9項所述之晶座晶片，其中所述至少一選擇單元包含多個選擇單元，其經組態以根據所述相應選擇單元，對具有不同速度之內部接腳進行分組。

12.一種系統封裝(SIP)，包含：

記憶體，其包含多個接腳；以及

晶座晶片，其安裝於封裝基板上，所述記憶體連接至所述晶座晶片，所述晶座晶片包含：

接腳組態改變電路，其經組態以當所述記憶體改變時，改變所述晶座晶片之多個內部接腳之第一連接次序，所述多個內部接腳連接至包含於所述記憶體中的所述多個接腳；

襯墊單元，其耦接至所述接腳組態改變電路；以及

多個外部接腳，其耦接至所述襯墊單元且直接耦接至所述改變之記憶體。

13.如申請專利範圍第12項所述之系統封裝(SIP)，其中當所述記憶體改變時，包含於所述記憶體中之所述多個接腳以實質上類似的次序配置。

14.如申請專利範圍第 13 項所述之系統封裝(SIP)，其中所述接腳組態改變電路包含：

接腳組態改變暫存器，其經組態以儲存並提供指示包含於所述記憶體中之所述接腳之第二連接次序的接腳連接指派值；以及

接腳組態改變邏輯單元，其經組態以接收所述接腳連接指派值，並改變所述晶座晶片之所述內部接腳之所述第一連接次序。

15.如申請專利範圍第 14 項所述之系統封裝(SIP)，其中所述接腳連接指派值是基於所述記憶體相對於所述內部接腳之所需存取速度而確定。

16.如申請專利範圍第 15 項所述之系統封裝(SIP)，其中所述接腳組態改變邏輯單元包含至少一選擇單元，所述至少一選擇單元經組態，以基於所述記憶體相對於所述內部接腳之所述所需存取速度，對所述內部接腳進行分組。

17.如申請專利範圍第 16 項所述之系統封裝(SIP)，其中所述至少一選擇單元包含至少一多工器，所述至少一多工器經組態以當所述記憶體改變時基於所述接腳連接指派值，將所述內部接腳連接至所述記憶體之相應接腳。

18.如申請專利範圍第 16 項所述之系統封裝(SIP)，其中所述至少一選擇單元包含多個選擇單元，其經組態以根據所述相應選擇單元，對具有不同速度之所述內部接腳進行分組。

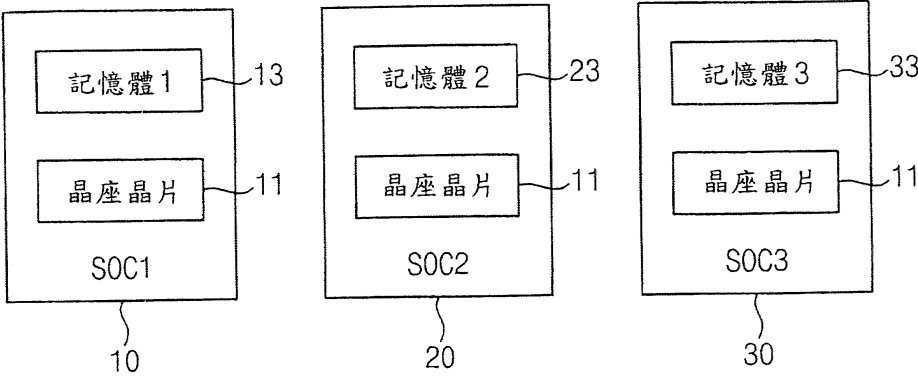


圖 1A

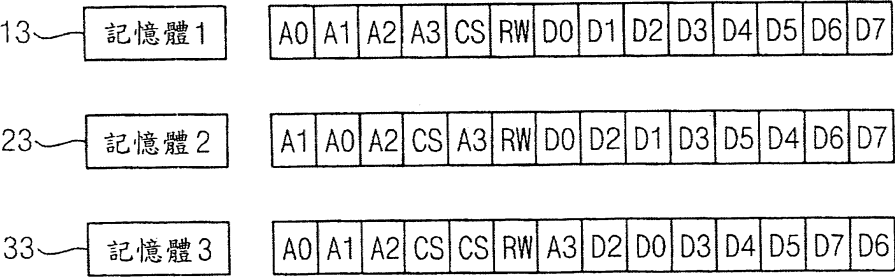


圖 1B

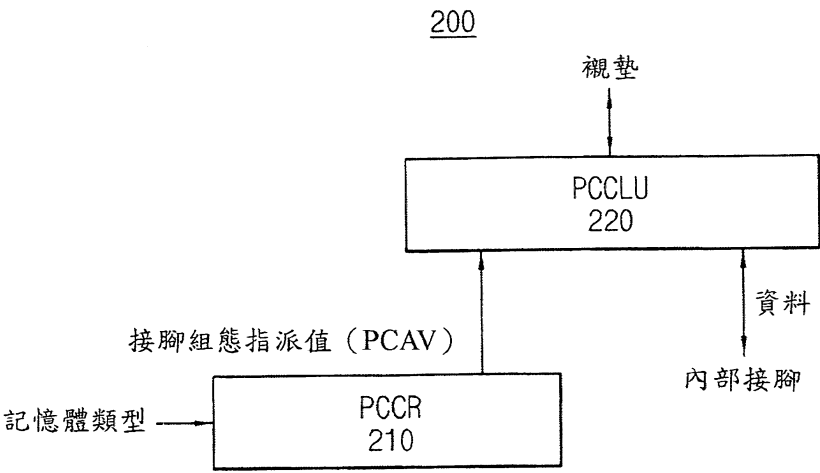


圖 2

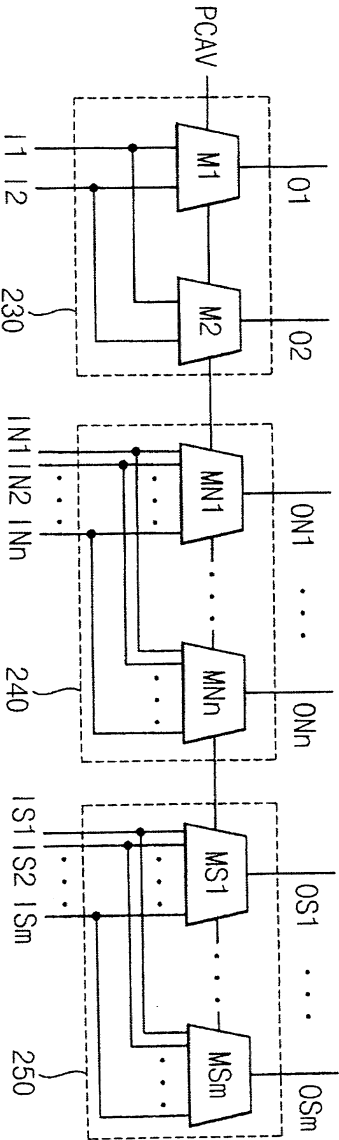


图 3

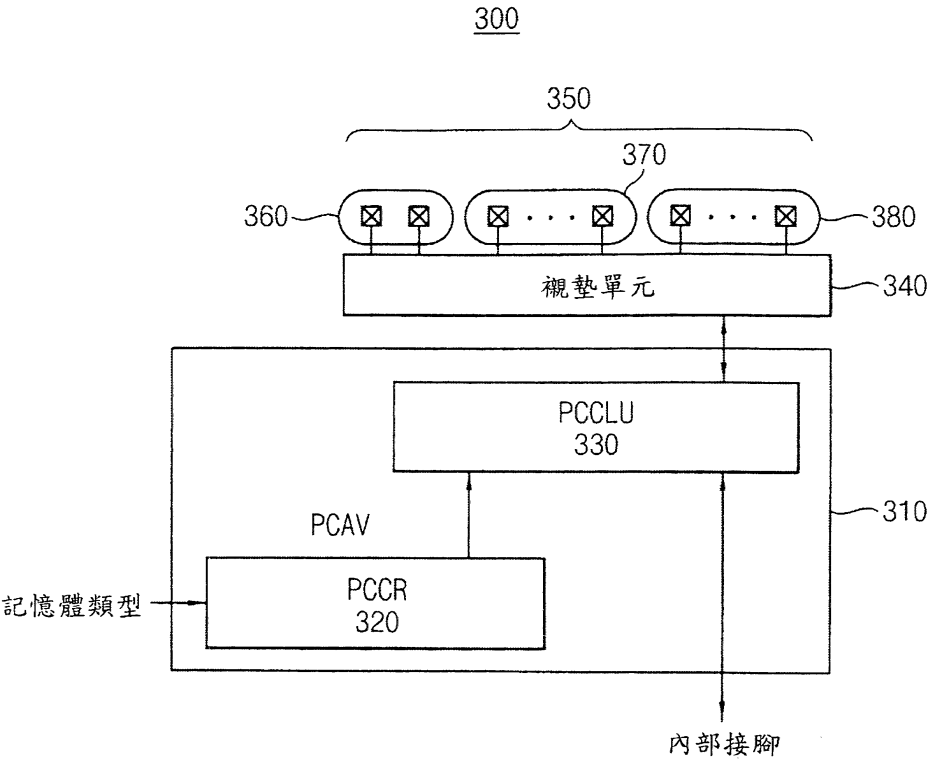


圖 4

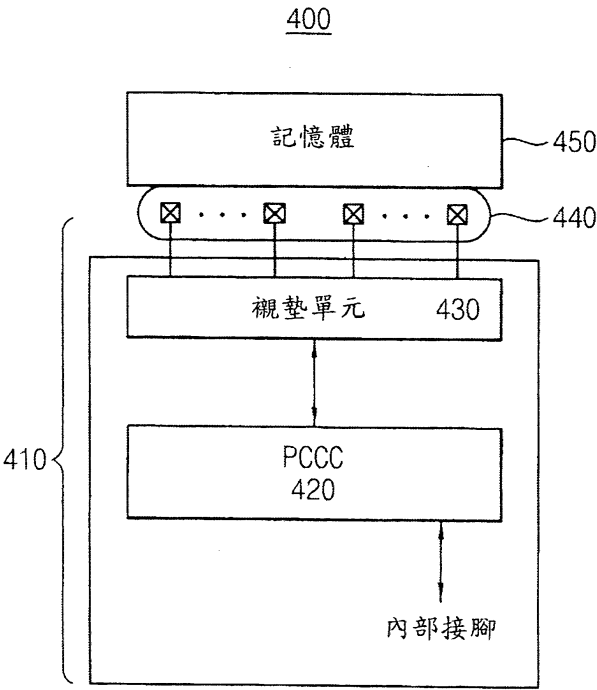


圖 5

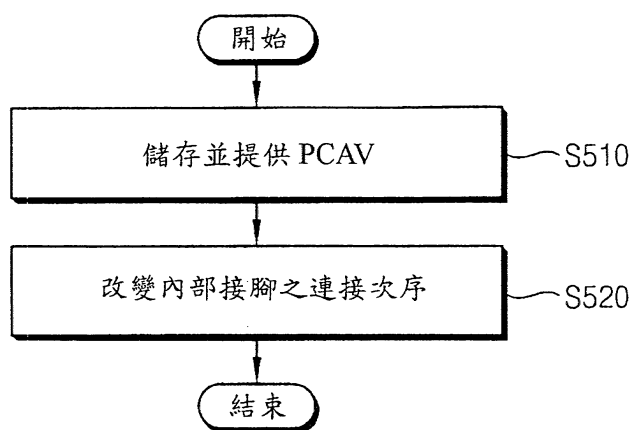


圖 6

七、指定代表圖：

(一)本案指定代表圖為：圖(4)。

(二)本代表圖之元件符號簡單說明：

300：晶座晶片

310：PCCC

320：PCCR

330：PCCLU

340：襯墊單元

350：外部接腳

360：高速接腳

370：正常速度接腳

380：低速接腳

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。