



(12) 发明专利

(10) 授权公告号 CN 102361449 B

(45) 授权公告日 2014. 11. 26

(21) 申请号 201110166824. 2

(22) 申请日 2005. 05. 18

(30) 优先权数据

10/848, 953 2004. 05. 19 US

10/865, 402 2004. 06. 10 US

(62) 分案原申请数据

200580023570. 1 2005. 05. 18

(73) 专利权人 阿尔特拉公司

地址 美国加利福尼亚州

(72) 发明人 D·刘易斯 V·贝茨 I·拉希姆

P·麦克尔赫尼 Y-J·W·刘

B·彼得森

(74) 专利代理机构 北京纪凯知识产权代理有限公司

公司 11245

代理人 赵蓉民

(51) Int. Cl.

H03K 19/003 (2006. 01)

G06F 17/50 (2006. 01)

(56) 对比文件

US 6038194 A, 2000. 03. 14, 全文.

US 2004056679 A1, 2004. 03. 25, 全文.

CN 1414705 A, 2003. 04. 30, 全文.

审查员 解欣

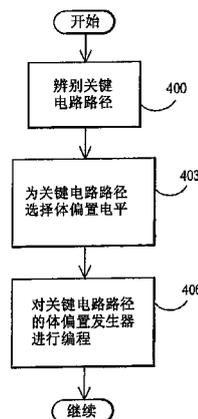
权利要求书1页 说明书22页 附图23页

(54) 发明名称

用于调整集成电路性能的设备和方法

(57) 摘要

用于调整集成电路性能的设备和方法。本发明提供利用可编程逻辑器件 PLD 来实现电子电路的方法,所述方法包括:把所述电子电路映射成所述 PLD 内的功能资源以生成一个设计;从表示所述生成的设计中的至少一部分中的信号传播延迟的延迟得到体偏置值;和把所述生成的设计中的所述至少一部分的至少一个晶体管的体偏置电平编程为所述体偏置值。



1. 一种利用可编程逻辑器件即 PLD 来实现电子电路的方法,所述方法包括:
把所述电子电路映射到所述 PLD 内的功能资源以生成一个设计;
在不考虑所生成的设计的至少一部分的情况下,通过将参考信号的相位与延迟信号进行比较,从表示信号传播延迟的延迟得到体偏置值;和
把生成的所述设计中的所述至少一部分内的至少一个晶体管的体偏置电平编程为所述体偏置值。
2. 根据权利要求 1 所述的方法,其中把所述电子电路映射成所述 PLD 内的功能资源进一步包括把所述电子电路的至少一部分映射到所述 PLD 内的可编程逻辑资源。
3. 根据权利要求 1 所述的方法,其中从表示生成的所述设计中的至少一部分内的信号传播延迟的延迟得到体偏置值进一步包括:把所述延迟和已知的周期进行比较。
4. 根据权利要求 3 所述的方法,其中所述延迟是可调的。
5. 根据权利要求 1 所述的方法,其中所述延迟由在所述 PLD 内实现的逻辑电路产生。
6. 一种用于实现电子电路的可编程逻辑器件即 PLD,所述 PLD 包括:
在所述 PLD 内的功能资源,其中所述电子电路能够被映射到所述功能资源以生成一个设计;
体偏置发生器,其用于在不考虑所生成的设计的至少一部分的情况下,通过将参考信号的相位与延迟信号进行比较,从表示信号传播延迟的延迟生成体偏置值;和
在生成的所述设计中的所述至少一部分中的至少一个晶体管,所述至少一个晶体管具有由所述体偏置发生器生成的所述体偏置值。
7. 根据权利要求 6 所述的 PLD,其中所述电子电路的至少一部分被映射到所述 PLD 内的可编程逻辑资源。
8. 根据权利要求 6 所述的 PLD,其中所述体偏置发生器通过将所述延迟和已知的周期进行比较来生成所述体偏置值。
9. 根据权利要求 8 所述的 PLD,其中所述延迟是可调的。
10. 根据权利要求 6 所述的 PLD,其中所述延迟由在所述 PLD 内实现的逻辑电路产生。

用于调整集成电路性能的设备和方法

[0001] 本申请是于 2005 年 5 月 18 日提交的名称为“用于调整集成电路性能的设备和方法”的中国专利申请 2005800235701 的分案申请。

[0002] 相关申请的交叉参考

[0003] 本申请是美国专利申请序号 10/848,953(代理人案卷号 ALTR:026),于 2004 年 5 月 19 日申请的标题为“用于调整可编程逻辑器件性能的设备和方法 (Apparatus and methods for adjusting the performance of programmable logic devices)”的部分连续申请,此处以参考方式将其并入。

技术领域

[0004] 本发明的构思一般涉及调整集成电路 (IC) 的性能,此处的集成电路包括可编程逻辑器件 (PLD)。

背景技术

[0005] PLD 是普遍存在的既能给设计者又能给终端用户提供灵活性的电子器件。在电子电路或电子系统的设计周期中,对每个设计,设计者仅通过对 PLD 重新编程就可以完成大量的重复设计。因此,与其它可选方案相比,减少了设计周期的长度和费用。类似地,终端用户可能需要对包括 PLD 的设计的功能性进行一定的控制。用户可在现场或实时地对 PLD 编程,就能改变电路或系统的运行方式。

[0006] 为适应日益复杂的设计,现代 PLD 中包含的晶体管相对较多。而且,用户对性能的要求也提高了,这就产生了较大的运行频率。因此,可编程逻辑器件的功率消耗,功率耗散,晶片温度及因此的功率密度(在各种电路或各种块中的功率耗散)也在增大。然而,功率密度的增大可能会使 PLD 的设计和实现变得不实际或更容易失败。所以需要以可调整的功率消耗和可调整的性能为特征的 PLD。更进一步讲,还需要直接对普通集成电路内的晶体管的性能(泄漏,速度和功率耗散)进行控制。

发明内容

[0007] 本发明公开的新构思涉及用于调整 PLD 性能的设备和方法,例如在速度和功率耗散之间做出权衡。本发明的构思的一方面涉及用于调整 PLD 的性能的设备。在一个实施例中,配置成实现用户电路的 PLD 包括延迟电路和体偏置发生器。延迟电路具有一个延迟,它表示在 PLD 中实现的用户电路的延迟。用户电路包括至少一个晶体管。响应从延迟电路的传播延迟中得到的延迟量,体偏置发生器对用户电路中晶体管的体偏置进行调整。

[0008] 在另一个实施例中,PLD 包括参考晶体管,电流测量电路和体偏置发生器。参考晶体管提供关于 PLD 内的电路的电流。电流测量电路测量由参考晶体管提供的电流,并将测量的电流信号提供给体偏置发生器。体偏置发生器从测量的电流信号中得到至少一个体偏置信号,并将此体偏置信号(可为多于一个)提供给 PLD 中的电路。

[0009] 在又一个实施例中,PLD 包括多个用户电路和多于一个体偏置发生器。每个用户

电路都在 PLD 中实现。多个体偏置发生器中至少一个体偏置发生器被配置成可选择性地调整用户电路中至少一个用户电路的晶体管的体偏置。

[0010] 本发明的构思的另一方面涉及调整 PLD 的性能和使用 PLD 实现用户电路的方法。在一个实施例中,使用 PLD 实现电子电路的方法包括:将电子电路映射成 PLD 内的功能资源以生成一个设计;及从表示生成的设计中的至少一部分内的信号传播延迟的延迟得到体偏置值。所述方法进一步包括将生成的设计中的一部分的至少一个晶体管的体偏置电平编程为体偏置值。

[0011] 在另一实施例中,调整包含在 PLD 内的电路的晶体管的泄漏电平的方法包括:获得表示晶体管的漏电流的电流;和从获得的电流中得到体偏置电平。该方法进一步包括将晶体管的体偏置调整为得到的体偏置电平。

[0012] 在又一实施例中,在 PLD 内的至少一个电路区中实现用户电路的方法包括:选择电路区中的至少一个晶体管的体偏置电平;和生成 PLD 内该电路区的初始布置。如果目前的体偏置电平和布置不能满足规定的性能标准,则该方法将进一步包括将施加到电路区中的晶体管的体偏置电平改变成另一电平至少一次。

[0013] 附图的简要描述

[0014] 附图仅对本发明的示例性实施例进行了图解说明,因此不应被认为是限制本发明的范围。本领域普通技术人员从本发明的描述中将理解所公开的发明构思会使他们想到其它等同的有效的实施例。在附图中,多于一个附图中使用的同样的数字指示符表示相同的,相似的,或等同的功能性,部件或块。

[0015] 图 1 显示根据本发明的图解实施例的 PLD 的一般方框图。

[0016] 图 2 图解说明了用在本发明的示例性实施例中的 MOS 晶体管。

[0017] 图 3 描述了根据本发明的示例性实施例中的 PLD 的平面布置图。

[0018] 图 4 显示根据本发明的示例性实施例的 PLD 中的可编程逻辑的结构图。

[0019] 图 5 图解说明了用在根据本发明的示例性实施例的加入了体偏置调整的 PLD 中的多路复用器。

[0020] 图 6A 描述了根据本发明的示例性实施例的 PLD 计算机辅助设计 (CAD) 软件的各种软件模块。

[0021] 图 6B 图解说明了根据本发明的示例性实施例的 PLD CAD 软件的流程图。

[0022] 图 7 显示了根据本发明的示例性实施例的调整体偏置的过程的流程图。

[0023] 图 8 图解说明了根据本发明的示例性实施例的 PLD 内用来对期望的 PLD 电路或块的体偏置电平进行调整,编程或设置的电路的结构图。

[0024] 图 9 描述了根据本发明的示例性实施例用于可选择地关断电路或减少或一般控制 PLD 内电路的功率消耗的电路的结构图。

[0025] 图 10 显示根据本发明的示例性实施例用来响应外部源来调整 PLD 内的体偏置电平的电路布置图。

[0026] 图 11 图解说明了根据本发明的示例性实施例的用于调节 PLD 内的体偏置电平的电路布置。

[0027] 图 12 描述了对用在本发明的示例性实施例的 PLD 的体偏置电平进行调整,编程,或设置的过程或技术的流程图。

[0028] 图 13 显示考虑了温度水平,用来对体偏置电平进行调整,编程,或设置的过程或技术的流程图。

[0029] 图 14 图解说明了考虑了 PLD 运行的环境特征,用来对体偏置电平进行调整,编程,或设置的过程或技术的流程图。

[0030] 图 15 描述了考虑了 PLD 运行的温度水平和环境特征,用来对体偏置电平进行调整,编程,或设置的过程或技术的流程图。

[0031] 图 16 显示根据用户电路的运行延迟的延迟表示来调整用户电路的晶体管的体偏置的电路布置图。

[0032] 图 17 图解说明了根据本发明的说明性实施例的体偏置控制器的结构图。

[0033] 图 18 描述了根据本发明的示例性实施例的参考信号发生器的电路布置。

[0034] 图 19 显示根据本发明的示例性实施例的相位比较器的电路布置图。

[0035] 图 20 图解说明了根据本发明的示例性实施例的相位比较器的另一电路布置。

[0036] 图 21 描述了根据本发明的用在说明性实施例中的可配置的延迟电路。

[0037] 图 22 显示根据本发明的示例性实施例的用于可配置的延迟电路的电路布置图。

[0038] 图 23 图解说明了根据本发明的说明性实施例的布线延迟元件的电路布置。

[0039] 图 24 描述了根据本发明的示例性实施例的逻辑延迟元件的电路布置。

[0040] 图 25 显示根据本发明的示例性实施例的泄漏锁定环的结构图。

[0041] 图 26 图解说明了根据本发明的另一示例性实施例的泄漏锁定环的结构图。

[0042] 图 27 描述了根据本发明的示例性实施例的泄漏测量电路。

[0043] 图 28 显示根据本发明的示例性实施例的参考值和比较器电路。

[0044] 图 29 图解说明了根据本发明的另一示例性实施例的参考值和比较器电路。

[0045] 图 30 描述了根据本发明的示例性实施例用于给集成电路 IC 提供多个体偏置电路的电路布置。

[0046] 详细描述

[0047] 本发明的构思设计了以可调功率和可调性能为特征的 PLD 的设备和相关方法。本发明的构思有助于克服传统 PLD 会遇到的功率密度水平过大的问题。而且,可以对根据本发明的 PLD 的期望的一部分或全部性能水平进行调整(即,从个别晶体管一直到整个 PLD 电路的粒状基础上)。

[0048] 见如下的详细描述,更具体地讲,本发明的构思设计了对 PLD 中的个别晶体管或晶体管组的体偏置或电位阱(well)偏置进行的设置,编程或调整。对体偏置进行的调整改变了晶体管的功率消耗及性能。

[0049] 本发明的构思相对传统的实现方法具有以下优点。首先,本发明的构思可以在性能和功率消耗之间做出权衡,或能优化性能-功率消耗之间的权衡。其次,可以选择性对 PLD 的关键电路路径或部分 PLD 的体偏置电平进行设置,编程或调整,以期增强其性能。相反地,也可以选择性地对 PLD 的非关键电路路径或部分 PLD 的体偏置电平进行设置,编程或调整,从而减少其功率消耗,并降低其功率密度。

[0050] 此外,可以关闭或禁用 PLD 内的没有使用的部分或电路,这样减少它们的功率消耗,并降低它们的功率密度。也可以利用本发明的构思来阻止热耗散(或减少热耗散的可能性)。更具体地讲,在传统的 PLD 中,运行在相对较高速度的电路势必要消耗更多的功率,

导致 PLD 的温度升高。功率消耗的增加会使那些电路消耗更多的功率。这种正反馈的机制可能使功率密度增大到不安全或破坏性水平。

[0051] 图 1 所示为根据本发明的示例性实施例的 PLD 103 的一般的结构图。PLD 103 包括配置电路 130, 配置内存 133, 控制电路 136, 可编程逻辑 106, 可编程互联 109, 及输入 / 输出电路 112。此外, 如果需要, PLD 103 还可以包括测试 / 调试电路 115, 一个或多个处理器 118, 一个或多个通信电路 121, 一个或多个内存 124, 一个或多个控制器 127。

[0052] 注意图 1 显示 PLD 103 的简化的结构图。因此, PLD 103 还可以包括其它块或电路, 其能为本领域普通技术人员所理解。这种电路的例子包括时钟发生和分布电路, 冗余电路, 及类似电路。而且, 如果需要, PLD 103 可以包括模拟电路, 其它数字电路, 和 / 或混合模式电路。

[0053] 可编程逻辑 106 包括可配置或可编程逻辑电路块, 诸如查询表 (LUT), 乘积项逻辑, 多路复用器, 逻辑门, 寄存器, 内存, 和类似电路块。可编程互连 109 耦合到可编程逻辑 106, 并在可编程逻辑 106 内的各块和 PLD 103 之内或之外的其它电路之间提供可配置互联 (耦合机构)。

[0054] 控制电路 136 对 PLD 103 内的各种运行进行控制。在控制电路 136 的管理下, PLD 配置电路 130 使用配置数据 (从诸如存储器设备, 主机等的外部源获得) 来对 PLD 103 的功能性进行编程或配置。通过对可编程逻辑 106 和可编程互联 109 进行编程, 配置数据确定了 PLD103 的功能性, 如本领域普通技术人员受益于本发明的描述所理解的。

[0055] I/O 电路 112 可由多种 I/O 设备或电路组成, 如本领域普通技术人员受益于本发明的描述所理解的。I/O 电路 112 可以耦合到 PLD 103 的各个部分, 例如, 可耦合到可编程逻辑 106 和可编程互联 109。I/O 电路 112 为 PLD 103 内的各个块提供了与外部电路或外部设备进行通信的机构和电路。

[0056] 测试 / 调试电路 115 用于 PLD 103 内的各个块和各个电路的测试和故障查找。测试 / 调试电路 115 可包括本领域普通技术人员在参考本发明的描述之后能知道的各种块或电路。例如, 如果需要, 测试 / 调试电路 115 可包括 PLD 103 上电或重置之后执行测试的电路。如果需要, 测试 / 调试电路 115 还可以包括编码和奇偶校验电路。

[0057] 如上所述, PLD 103 可包括一个或多个处理器 118。处理器 118 可耦合到 PLD 103 内的其它块和其它电路。处理器 118 可从 PLD103 内部或外部接收数据和信息, 并能以许多种方式处理信息, 如本领域普通技术人员受益于本发明的描述所理解的。一个或多个处理器 118 可由数字信号处理器 (DSP) 组成。如果需要, DSP 可执行许多诸如压缩, 解压缩, 音频处理, 视频处理, 滤波, 和类似处理的信号处理任务。

[0058] PLD 103 还可以包括一个或多个通信电路 121。通信电路 121 可以用于 PLD 103 内的各个电路和 PLD 103 的外部各电路之间的数据和信息交换, 如本领域普通技术人员受益于本发明的描述所理解的。举例来说, 如果需要, 通信电路 121 可提供各种协议功能 (例如, 传输控制协议 / 互联网协议 (TCP/IP), 用户数据报协议 (UDP) 等)。举另外一个例子, 如果需要, 通信电路 121 可以包括网络 (诸如, 以太网, 令牌网等等) 或总线接口电路。

[0059] PLD 103 可进一步包括一个或多个内存 124 及一个或多个控制器 127。内存 124 可以存储 PLD 103 内的各种数据和各种信息 (诸如, 用户数据, 中间结果, 计算结果,

等等)。如果需要,内存 124 可以具有粒状或块形式。控制器 127 可以与 PLD 之外的电路的运行和各个功能进行接口连接,并对其进行控制。例如,如果需要,控制器 127 可由与外部同步的动态随机存储器 (SDRAM) 接口并对其进行控制的内存控制器组成。

[0060] PLD 103 内的电路块包括许多晶体管。更具体地讲,如果需要,晶体管由金属氧化物半导体 (MOS) 晶体管组成,诸如由 N 型 MOS (NMOS), P 型 MOS (PMOS), 互补型 MOS (CMOS), 或部分耗尽绝缘膜上硅 (SOI) MOS 晶体管 (或这些类型晶体管的组合) 组成。

[0061] 图 2 显示用在本发明的示例性实施例中的 MOS 晶体管。MOS 晶体管包括体 (或衬底) 区 203, 源区 206, 漏区 209, 栅极绝缘子 215, 和栅极 212。运行在饱和区的 MOS 晶体管的漏电流取决于晶体管的阈值电压和栅 - 源电压。

[0062] 这里

[0063] i_D = 总的漏电流 (即, 包括交流分量和直流分量),

[0064] K = 常数,

[0065] v_{GS} = 总的栅 - 源电压 (即, 包括交流分量和直流分量), 和

[0066] V_T = 阈值电压。

[0067] 阈值电压, V_T , 由许多因素决定, 诸如晶体管的源区 206 和体区 203 之间的电压。以下等式将阈值电压表示成体 - 源电压的函数。

$$[0068] \quad V_T = V_{T(0)} + \gamma \left\{ \sqrt{2\phi_F - v_{BS}} - \sqrt{2\phi_F} \right\} \quad (2A)$$

[0069] 可替换地, 可以把等式 2A 根据源 - 体电压写成:

$$[0070] \quad V_T = V_{T(0)} + \gamma \left\{ \sqrt{2\phi_F + v_{SB}} - \sqrt{2\phi_F} \right\} \quad (2B)$$

[0071] 这里

[0072] $V_{T(0)}$ = 源 - 体电压设定为 0 (或体 - 源电压) 的阈值电压,

[0073] γ = 体因子, 取决于体的掺杂水平的常数,

[0074] ϕ_F = 常数,

[0075] v_{BS} = 总的体 - 源电压 (即, 包括交流分量直流分量), 和

[0076] v_{SB} = 总的源 - 体电压 (即, 包括交流分量和直流分量)。

[0077] 注意当体 - 源电压 v_{BS} (或源 - 体电压 v_{SB}) 等于零时, 阈值电压 V_T 等于 $V_{T(0)}$ 。

[0078] 如等式 2B 所示, 对于有限体因子 γ , 随着源 - 体电压 v_{SB} 的增大, 晶体管的阈值电压也随之增大。然而, 等式 1 说明对于一个给定的栅 - 源电压, 阈值电压的增大会使晶体管的漏电流 i_D 减小。换言之, 根据等式 1 和等式 2B, 对于一个恒定的栅 - 源电压 v_{GS} , 源 - 体电压 v_{SB} 的增大会引起阈值电压 V_T 的增大。

[0079] 阈值电压 V_T 的增大反过来又引起量 $(v_{GS} - V_T)$ 的减少, 因此, 使晶体管的漏电流 i_D 减小。因此, 对于一个恒定的栅 - 源电压 v_{GS} , 源 - 体电压 v_{SB} 的增大引起晶体管的电流驱动能力 (性能的一种度量) 降低。晶体管的电流驱动能力的降低反过来又导致电路运行变慢, 并最终使包括该晶体管的 PLD 的运行变慢。

[0080] 晶体管的功率耗散还会随着其阈值电压的变化而发生改变。更具体地地讲, 一个较小的阈值电压会使晶体管的断开状态的漏电流 (I_{off}) 增大, 反之亦然。晶体管的 I_{off} 影响了其静态 (非开关) 的功率耗散。此外, 一个较小的阈值电压会使晶体管的动态或开关功率耗散减小。因此, 通过调整体偏置来改变阈值电压会影响 MOS 晶体管的功率耗散。

[0081] 而且,对于一个给定的电源电压 V_{DD} , 阈值电压 V_T 的增大限制了晶体管作为传输晶体管运行时晶体管能传输的最大电压。换言之,如果阈值电压 V_T 增大到等于或超过栅-源电压 v_{GS} , 则漏极电流减小到零。因此,施加到晶体管漏极的电压,例如对应于逻辑 1 电平的电压,不能完全传输到晶体管的源极。结果使晶体管不能可靠地作为传输晶体管运行。

[0082] 如以上描述所示,可以通过调整 MOS 晶体管的体偏置,从而调整其源-体电压(最终使其阈值电压发生变化)来影响其性能。对体偏置的调整影响诸如电流驱动能力,运行速度,功率耗散等的性能指标或度量。

[0083] 如上所述,在本发明的各实施例中,如果需要可以调整 PLD 内的个别晶体管,个别电路或块,晶体管组或块组的体偏置,或甚至可以调整整个 PLD 的体偏置。而且,如果需要,可以控制个别 NMOS 和 PMOS 晶体管的体偏置,或可控制 NMOS 晶体管组和 PMOS 晶体管组的体偏置。以下将详细进行描述。

[0084] 图 3 显示根据本发明的示例性实施例的 PLD103 的平面布置图。PLD 103 包括布置为二维阵列的可编程逻辑 106。布置为水平互联和垂直互联的可编程互联 109 将可编程逻辑 106 的各块互相耦连在一起。如果需要,可以调整可编程逻辑 106 的每一块的体偏置,及可编程互联 109 的每一段的体偏置,或可对两者的体偏置进行调整。而且,如果需要,可以调整一个或多个可编程逻辑 106 各块的一部分及可编程互联 109 的一部分的体偏置或可调整两者的体偏置。

[0085] 在示例性的实施例中,根据本发明的 PLD 具有分级结构。换言之,图 3 中的可编程逻辑 106 的每一块包括较小或更多粒状的可编程逻辑块或可编程逻辑电路。如果需要,可以调整 PLD 的分级结构中每一级的晶体管的体偏置。

[0086] 图 4 显示根据本发明的示例性实施例的 PLD 中的可编程逻辑 106 的结构图。可编程逻辑 106 包括逻辑元件或可编程逻辑电路 250, 局部互联 253, 接口电路 256, 和接口电路 259。逻辑元件 250 提供可配置或可编程功能,诸如 LUT, 寄存器, 乘积项逻辑等等,如本领域普通技术人员受益于本发明的描述所理解的。局部互联 253 为逻辑元件 250 提供可配置或可编程机构,以耦连到另一个逻辑元件或如果需要可对可编程互联 109(有时称为“全局互联”)进行编程。

[0087] 接口电路 256 和接口电路 259 为可编程逻辑 106 电路块提供可配置的或可编程的方式以耦连到可编程互联 109(并因此耦连到如图 3 所示的其它的可编程逻辑 106)。接口电路 256 和接口电路 259 可包括多路复用器(MUX), 寄存器, 缓冲器, 驱动器, 和类似器件,如本领域普通技术人员受益于本发明的描述所理解的。

[0088] 如果需要,可以调整 PLD 103 内的电路的每一部分或每一块的体偏置(见图 1, 3, 和 4)。而且,如果需要,可以独立于其它部分,在个别或集合的基础上,调整电路的每一部分或每一块的体偏置。在电路的每一部分或每一块内,如果需要,可以在个别或集合的基础上,调整每一子块或晶体管,子块组或晶体管组的体偏置。

[0089] 例如,根据本发明的示例性实施例,可以调整以下所列的 PLD 内的全部或一部分电路的体偏置:图 1 中的一个或多个块(例如,可编程逻辑 106, 可编程互联 109 等);在一个或多个可编程逻辑块 106 内的一个或多个逻辑元件 250;在一个或多个可编程逻辑块 106 内的一个或多个接口电路 256 和 / 或 259;在一个或多个可编程逻辑块 106 内的一个或多个局部互联;和在一个或多个接口电路 256 和 / 或

259 内的一个或多个于一个 MUX, 驱动器, 缓冲器, 等等。

[0090] 如上所述, 可以在任何需要的粒度水平上对体偏置进行调整。换言之, 如果需要并适用, 可以对适用于个别晶体管, 晶体管组, 子块, 块或整个 PLD 进行调整。例如, 如果需要可以独立于一个或多个于一个 PMOS 晶体管对一个或多个于一个 NMOS 晶体管进行体偏置调整。

[0091] 而且, 如果需要, 可以独立于 PLD 103 内的所有其它元件调整 PLD 103 中的一个元件的体偏置。如本领域普通技术人员受益于本发明的描述所理解的, 如果需要, 可以调整 PLD 的某些部分的体偏置, 并对 PLD 的其它部分提供固定或默认的体偏置。

[0092] 作为体偏置调整的粒度的一个例子, 考虑一个两个输入, 一个输出的多路复用器 (MUX)。图 5 显示用于根据本发明的包括体偏置调整的示例性实施例中的 PLD 的 MUX。该 MUX 包括晶体管 275 和晶体管 278。MUX 从电路 A 接收一个信号, 从电路 B 接收另一个信号。响应选择信号 S, 或其反 S', MUX 把来自电路 A 的信号或来自电路 B 的信号路由至电路 C (耦连到 MUX 的输出)。

[0093] 可以以多种方式调整晶体管 275 和晶体管 278 的体偏置。首先, 可以选择不调整体偏置 (例如, 使用 PLD 内的默认的体偏置)。其次, 可以把晶体管 275 的体偏置调整到与晶体管 278 的体偏置相同的电平。可选择地, 可以对晶体管 275 和晶体管 278 中的一个的体偏置进行调整。还可以选择, 单独调整晶体管 275 和晶体管 278 中每一个的体偏置。

[0094] 因此, 可以以灵活的方式配置 MUX 的性能特性。换言之, 可以在 MUX 的运行速度, 电流驱动能力, 和功率耗散之间进行平衡或在它们之间进行权衡。再如, 注意可以将体偏置调整的构思扩展到 MUX 中的一组晶体管, 一个特定的信号布线 (例如, 对应于特定输入的信号布线), 一组传输晶体管 (例如, 可编程布线中的一组传输晶体管, 其提供其它组的晶体管共享的 MUX 以保存配置内存的位计数), 等等。

[0095] 如上所述, 根据本发明, 用户可以对 PLD 的各个部分的体偏置进行调整。用户可以使用将设计映射到 PLD 的软件来进行调整。图 6A 描述了根据本发明的说明性实施例使用的 PLD 计算机辅助设计 (CAD) 软件的各个软件模块。这些模块包括设计入口模块 305, 合成模块 310, 布局布线模块 315 和验证模块 320。

[0096] 设计入口模块 305 可以把多个设计文件进行集成。如果需要, 用户可以使用设计入口模块 305 或使用各种电子设计自动化 (EDA) 或 CAD 工具 (诸如工业标准的 EDA 工具) 生成设计文件。用户可以以图表形式, 基于波形图的形式, 原理图形式, 文本或二进制形式, 或这些形式的组合来进入设计。

[0097] 合成模块 310 接收设计入口模块 305 的输出。基于用户提供的设计, 合成模块 310 生成能实现用户提供的设计的适当的逻辑电路。一个或多个于一个 PLD (未清楚示出) 实现了合成的总体设计或系统。合成模块 310 还可以生成任何能将用户设计中的各模块集成, 并适当运行, 及接口的胶联逻辑 (glue logic)。例如, 合成模块 310 可以提供适当的硬件, 以使一个块的输出能适当地与另一个块的输入相接。合成模块 310 可以提供适当的硬件以满足总体设计或系统中每一模块的规范。

[0098] 而且, 合成模块 310 可包含用来优化经过合成的设计的算法和程序。通过优化, 合成模块 310 可更有效地使用实现总体设计或系统的一个或多个于一个 PLD 的资源。合成模块 310 将其输出提供给布局布线模块 315。

[0099] 布局布线模块 315 使用设计者的时序规范来实现优化的逻辑映射和布局。逻辑映

射和布局确定了 PLD 内的布线资源的使用。换言之,通过对设计的某些部分使用 PLD 内的特定的可编程互联,布局布线模块 315 有助于优化总体设计或系统的性能。通过适当地使用 PLD 的布线资源,布局布线模块 315 有助于满足总体设计或系统的关键的时序路径。布局布线模块 315 对关键的时序路径进行优化,以用本领域普通技术人员根据本发明的描述已知的方式使时序收敛得更快。结果,总体设计或系统可以获得更快的性能(即,运行在较高的时钟速率或有较大的吞吐量)。

[0100] 而且,布局布线模块 315 对实现本设计或系统的一部分 PLD 或全部 PLD 的体偏置进行调整。布局布线模块 315 可根据用户规定的标准自动进行调整,或将此两者结合起来进行调整。布局布线模块 315 可使用用户规定的标准(例如,诸如功率耗散,速度,和/或电流驱动能力的性能规范)。此外或可替代地,如果需要,布局布线模块 315 可使用在设计或系统内有关键路径的信息来对此设计或系统的部分或全部的体偏置进行调整。

[0101] 例如,布局布线模块 315 可对设计或系统的关键部分的体偏置进行调整以获得较高的性能。如果需要,布局布线模块 315 可考虑功率耗散标准(如,最大功率密度)以在功率和性能之间做出权衡。布局布线模块 315 向验证模块 320 提供经过优化的设计。

[0102] 验证模块 320 执行设计的仿真和验证。该仿真和验证能部分地对设计是否符合用户规定的规范进行验证。仿真和验证的目的还在于在设计原型制作前,检测并更正任何设计问题。因此,验证模块 320 能帮助用户减少总体花费并缩短总体设计或系统推向市场的时间。

[0103] 如果需要,验证模块 320 可以支持或执行多种验证和仿真选择。这些选择包括设计规则检查,功能验证,测试工作台生成,静态时序分析,时序仿真,硬件/软件仿真,系统验证,板级时序分析,信号完整性分析和电磁兼容(EMC),网表形式验证,和功率消耗估计。注意如果需要可以执行其它或附加的验证技术,如本领域普通技术人员受益于本发明的描述所理解的。如上所述,根据本发明的 PLD 的结构和电路能为用户提供在 PLD 中或在 PLD 各区域,对泄漏速度(并因此产生的功率耗散)进行权衡的能力。为了使用户能尽可能方便地使用该功能性,根据本发明示例性实施例的 PLD CAD 能自动配置此电路以自动满足用户的规范和标准。而且,为最大化或最有效地减少泄漏,同时最小化速度对用户电路的影响,根据本发明的各个实施例的 PLD CAD 在实现用户电路的过程中考虑了偏置区的存在,并优化了该电路以最大化偏置区的有效性。以下将对 PLD CAD 的功能性进行详细描述。

[0104] 对时序驱动的 PLD CAD 系统,为更好地利用衬底偏置,在设计实现过程中,应该估计 PLD 的衬底偏置,或 PLD 的每一区(可能包括一个或多于一个晶体管)的衬底偏置。在设计时序分析过程中,PLD CAD 考虑了体偏置。因此,从时序角度看,体偏置电平会影响设计的哪部分会变得很关键。

[0105] 一开始,CAD 系统为 PLD 的每一区假定一些体偏置电平,用户希望对这些区的一个或多于一个晶体管的体偏置电平进行设置或编程。作为一种可能的选择,PLD CAD 可以假设所有受影响的区都使用相对较低的速度设定(即,产生相对较低的泄漏电平的体偏置)。PLD CAD 系统提供 PLD 电路的初始布局。通过对初始布局进行迭代改进,来继续布局。

[0106] 在迭代改进程序的各个点上,PLD CAD 估计电路的速度,并计算涉及到的所有连接的时序松弛值(timing slack value)。计算时序间隙值考虑了估计延迟时为每一区选择的电流体偏置电平。应注意 PLD CAD 将体偏置的选择与迭代的布局改进进行交织。PLD CAD

对包含较小的平均值和最坏情况的连接松弛值 (slack value) 的部分电路区域进行评估, 以转换到较高速度 (对应于较高泄漏) 的体偏置设定。CAD 软件选择一个或多个区域的新的备选偏置设定, 并根据电路的时序, 和漏电流和 / 或功率的总的增大, 通过估计新设定的总花费来评估偏置设定。如果新的偏置设定会在该区域的所有连接上产生正的松弛值 (或在该区域产生不负 (less negative) 的松弛值), 则 PLD CAD 通常会采用新的偏置设定。

[0107] 类似地, CAD 软件对目前具有相对高的偏置设定, 但所有连接都有正的松弛值的那些区域进行评估以转换到低速体偏置设定。如果这种做法不会违反任何电路时序标准或多于一条标准, 则 CAD 软件采用新的体偏置设定。

[0108] 一旦改变了一个或多个偏置设定, 迭代布局改进继续试图解决任何潜在的时序问题或由改变的偏置设定产生的犯规, 或试图将时序要求更严格的电路移动到具有较高速度的新产生的偏置区。当布局或布线满足用户的时序和功率目标, 或当达到期望或规定的迭代极限 (即, 不能完成任何更进一步的改进出现) 时, 算法终止。

[0109] 图 6B 图解说明了根据本发明的示例性实施例的 PLD CAD 软件的流程图。图 6B 所示的 PLD CAD 把 PLD 的每一区的体偏置的选择并入了时序驱动的布局布线 CAD 系统。

[0110] 更具体地讲, 在 330, PLD CAD 设置初始区的体偏置设定。在 335, 软件生成初始布局。然后, 在 338, 软件利用反映当前体偏置设定的延迟估计值分析电路的时序。在 341, 软件确定是否已经满足了用户的时序和功率目标。如果满足, 在 344, 软件记录布局和体偏置选择。如果不满足, 在 347 软件检查确定是否已经达到了迭代极限。如果已经达到迭代极限, 则软件进行到 344 以记录电流布局和体偏置选择。如果软件还没有达到迭代极限, 则递增迭代次数 (未清楚示出), 并在 350 改变至少一些区域的偏置设定。在 353, 软件利用反映变化的体偏置设定的延迟估计值来分析电路的时序。在 356, 软件对电路的布局进行改进, 然后跳转到 341 以确定是否已经满足用户的时序和功率目标。

[0111] 如本领域普通技术人员受益于本发明的描述所理解的, 可以使用此处描述的算法的许多种变形。例如, 可以使用许多种初始体偏置设定, 诸如把所有的区域设置成低速或设置成高速。如果软件估计到在一个布局中能满足所有的时序规范, 则对高速偏置区转换到低速区进行评价, 优选对包含有与较大的正松弛值连接的区域进行评估。把一些区域转换成低速区域之后, 软件继续进行布局改进。软件对上面描述的两个步骤进行迭代直到满足用户的功率和时序目标。

[0112] 作为第二个例子, 软件可以从用户的芯片平面布置图生成偏置区的初始设定。软件一开始将平面布局图上对时间要求严格的区域的偏置设置成高速运行, 把其它区域的偏置设置成相对低速运行。然后软件使用图 6B 所示的技术以进一步对偏置选择进行改进。

[0113] 作为第三个例子, 软件可以从电路的快速布局中生成体偏置的初始设定, 之后进行时序分析以把对速度要求严格的区域和其它区域区别开来。布局可以由标准布局构成, 或者也可以由“粗略布局”构成, “粗略布局”能确定布局中的体偏置区域以对用户电路的每一部分进行定位。然后软件可以使用图 6B 中的算法对那些初始偏置设定进一步改进。

[0114] 作为第四个例子, 在开始布局之前, 软件把电路预先分簇 (pre-cluster) 成由体偏置区域构成的相对较大的电路元件。每一簇由对时间要求严格或对时间要求不严格的电路组成。软件把这些簇放置到表示 PLD 的体偏置区域的粗略的网格中。然后软件根据放置进网格的电路的类型对每一区域的偏置电平进行设置。因此, 对时间要求严格的电路接收

相对较高速的体偏置设定,而对时间要求不严格的电路接收相对较低速的体偏置设定。然后软件使用图 6B 中的算法用那些初始偏置设定对布局进行改进。

[0115] 作为第五个例子,除了布局算法以外的其它算法,诸如布线算法,可以考虑延迟估计中的给定区域的体偏置。可以通过对区域体偏置选择和标准算法优化进行交织,把这些算法和体区域偏置细调进行交织。

[0116] 一旦 PLD CAD 已经实现了一次设计(即,合成,布局布线该设计),CAD 软件就自动地将体偏置电路(即,体偏置生成电路,体偏置控制电路)设置成正确的状态和体偏置电平。取决于体偏置电路的工作细节,及用户的目标,软件可以以多种方式实现此操作。

[0117] 一个可选方法是,如果用户对泄漏功率目标有要求,且偏置电路加入了泄漏锁定环(以下将详细描述),则 PLD CAD 应对偏置电路进行设置以使泄漏功率小于或等于用户的功率耗散目标。CAD 软件然后在相对较高的温度下,及在具有漏电流与“导通”晶体管驱动电流最高比率的工艺拐点(process corner)下分析电路的时序,以使电路在该工艺过程和运行条件下满足所有的时序规范。相反,如果用户的目标是最小化泄漏功率,使其满足所有的时序规范,则软件对每一区域的泄漏锁定环进行设置以使晶体管在最坏的期望过程和操作拐点(operating corner)下在满足所有的时序约束的区域内运行。一般来说,该拐点会出现在相对较高的温度下及在具有漏电流与“导通”晶体管的驱动电流的最高比率的工艺拐点处。

[0118] 另一可选择方法,如果用户的目标是最小化功率以满足一些时序规范,且偏置电路包括延迟锁定环,则 CAD 软件对延迟环进行设置或编程以使电路满足那些时序规范。通过时序分析,软件可以在每一体偏置区域的电路中提取最关键的路径来对延迟环进行设置或编程。如果延迟锁定环使用可编程延迟链,则软件对电路进行设置以把每一体偏置区域中的参考链的延迟设置成额定延迟值,该额定延迟值比对应的体偏置区域的关键路径的额定延迟要大。软件布线到延迟锁定电路,并路由定义关键路径的激励和捕捉边缘的适当的时钟信号。通常同一时钟信号定义了激励和捕捉边缘,但在具有多个相和频率相关的时钟信号的设计中,单独的时钟域可定义激励和捕捉边缘。如果延迟锁定环是“软的”并锁定到一些 PLD 电路,则 CAD 系统应尽可能精确地把每一偏置区域的每一关键路径复制以用作延迟锁定环的参考延迟。

[0119] 又一可选择方法,PLD CAD 通过对体偏置电路进行编程,可以给用户提供在各种功率-延迟之间权衡选择的能力。在那种情况下,CAD 软件根据用户已经选择的偏置设定,查询适当的功率和延迟模块,并把那些模块使用在功率和时序分析中。软件可以使功率和延迟模块不那么保守(最坏情况)。这是通过在给用户发货前,测试设备并存储指示晶体管速度和 PLD 中的泄漏的数据(通常,以阈值电压的形式)来实现的(例如,驻存在 PLD 内的非易失内存)。在编程过程中,CAD 软件仍将用户期望的功率-延迟权衡编程到设备中,但片上硬件将此“期望的”权衡和存储的设备特性进行比较,计算并应用适当的体偏置电平以使晶体管具有期望的功率-延迟权衡。

[0120] 图 7 显示根据本发明的示例性实施例来调整体偏置的过程的流程图。诸如与图 6A 结合进行描述的软件的程序可实现图 7 中的过程。

[0121] 一旦该过程开始,在 400,辨别如上所述的实现设计或系统的 PLD 内的关键电路的路径,如本领域普通技术人员受益于本发明的描述所理解的。在 403,程序对辨别的关键电

路路径内的晶体管的体偏置进行调整。换言之,程序为一个或多个晶体管或晶体管组选择一个或多个体偏置电平。接下来,在 406,程序对关键电路路径编程或配置一个或多个体偏置发生器。体偏置发生器生成一个或多个在 403 中选择的体偏置电平。

[0122] 注意程序不必将其仅局限于识别的关键的电路路径或块。而是或此外,用户可以识别或说明用户期望满足的特定的性能标准的电路路径或块。例如,用户可能希望在 PLD 内实现高速的加法器。用户可识别用来实现该加法器的电路或块,并向软件说明以调整电路的体偏置电平来满足某些时序规范。用户可提供诸如功率耗散的其它的性能规范或标准。软件可在各种性能规范之间做出权衡以选择电路路径或块的体偏置电平。

[0123] 图 8 显示根据本发明的示例性实施例的用来对 PLD 内期望的 PLD 电路或块的体偏置电平进行调整、编程或设置的电路的结构图。该电路包括体偏置发生器 430,多个配置内存(配置随机存取存储器,或 CRAM,或内存的其它实现)单元 438A-438D,多个晶体管 440A-440D,和 PLD 电路 445A-445B。

[0124] 体偏置发生器 430 生成一个或多个体偏置信号 435 并将这些信号提供给晶体管 440A-440D。响应 CRAM 单元 438A-438D 中的数据的一个,晶体管 440A-440D 将体偏置信号 435 提供给 PLD 电路 445A-445B。PLD 电路 445A-445B 可由希望设置、编程或调整的体偏置电平的电路构成,诸如如上所述的个别晶体管,晶体管组,电路块等等。

[0125] 举例来说,假设 CRAM 单元 438A 和 438C 存储二进制 1,而 CRAM 单元 438B 和 438D 存储二进制零。结果,晶体管 440A 和 440C 导通,并将体偏置信号 435A 提供给 PLD 电路 445A-445B。晶体管 440B 和 440D 断开,因此不给 PLD 电路 445A-445B 提供任何信号。

[0126] 作为另外一个例子,假设前面例子的相反的情况存在(即,CRAM 单元 438A-438D 分别保持二进制数据 0,1,0,1)。在这种情况下,晶体管 440A 和 440C 断开(且因此不向 PLD 电路 445A-445B 提供任何信号),而晶体管 440B 和 440D 导通。结果,晶体管 440B 和 440D 向 PLD 电路 445A-445D 提供体偏置信号 435B。

[0127] 在示例性实施例中,如果需要,CRAM 单元 438A-438D 可用作不止一个用途。更具体地讲,CRAM 单元 438A-438D 可以控制 PLD 内各电路的体偏置(如,PLD 电路 445A 或 445B)。此外,CRAM 单元 438A-438D 可作为布线 CRAM 单元。换言之,除了控制体偏置电平外,如果需要,一个或多个 CRAM 单元 438A-438D 可在 MUX 内选择一个电路路径而不选另一个电路路径(即,在 MUX 内选择与 MUX 内的可选的布线路径相反的一个布线路径)。

[0128] 注意可以以多种方式实现体偏置发生器 430,如本领域普通技术人员受益于本发明的描述所理解的。例如,可以使用偏置源(如多种已知的偏置源中的一个)然后使用电荷泵生成被加压成适当的或期望电平的体偏置信号 435。举另外一个例子,可以使用对应于体偏置电平的存储的数字数据,并使用一个或多个定标电路(scaler circuit)和一个或多个数-模转换器(DAC)以生成期望的体偏置信号 435。

[0129] 除了对体偏置电平进行调整、编程或设置外,可以使用其它的方式来控制功率耗散,并因此控制 PLD 的功率密度。更具体地讲,可以选择地关闭或关断 PLD 中的部分电路。结果,可进一步降低 PLD 内的功率耗散。

[0130] 图 9 所示为根据本发明的示例性实施例用于选择性地关断电路或减少或一般控制 PLD 内电路的功率消耗的电路的结构图。该电路包括控制电路 136,晶体管 450,PLD 电路 445A。此外,该电路还可以包括晶体管 450A,晶体管 453,电源电路 456,晶体管 453A 和

PLD 电路 445B。

[0131] 假设希望关断 PLD 电路 445A。晶体管 450 把 PLD 电路 445A 耦连到电源电压 V_{DD} 。换言之,当晶体管 450 导通时,PLD 电路 445A 接收电源电压 V_{DD} ,反之亦然。晶体管响应来自控制电路 136 的控制信号导通或关断。因此,要关断 PLD 电路 445A,应使控制电路 136 使晶体管 450 的栅极信号无效,并中断到 PLD 电路 445A 的电源电压。接着,在控制电路 136 的管理下,可以通过使能 (assert) 晶体管 450 的栅极信号来接通 PLD 电路 445A。

[0132] 注意,除了把晶体管 450 断开或导通外,可以控制晶体管 450 的栅极电压以把晶体管 450 用作可变阻抗的器件。因此,晶体管 450 在其极限状态具有相对较高的阻抗 (断开状态),相对较低的阻抗 (导通状态),或介于此两种状态之间的阻抗水平。结果,不仅可以关断或接通 PLD 电路 445A,还可以通过控制晶体管 450 的阻抗来控制这些电路功率耗散。

[0133] 除此之外或可替代地,使用晶体管 450 来控制供给 PLD 电路 445A (不管关断,接通,或以上所述的这些极限状态之间的任何状态) 的电源电压 V_{DD} ,可以用晶体管 450A 来控制电源电压 V_{SS} (一般电路接地) 的供给。操作的细节类似于以上对晶体管 450 和电源电压 V_{DD} 的描述,如本领域普通技术人员受益于本发明的描述所理解的。

[0134] 如果需要,PLD 103 可以使用多于一个的电源电压。换言之,可以选择使用电源电压电路 456 从主电源电压 V_{DD} 生成第二电源电压 459。如果需要,与主电源电压相比,第二电源电压 459 可以有较小或较大的幅值。而且,如果需要,可以使用多于一个的第二电源电压。第二电源电压 445B 给 PLD 电路 445B 供电。在控制电路 136 的管理下,可以分别对晶体管 453 的栅极信号无效或使能来关断或给 PLD 电路 445B 上电。

[0135] 注意,除了关断或接通晶体管 453 外,可以控制晶体管 453 的栅极以把晶体管用作可变阻抗的器件。因此,晶体管 453 在其极限状态具有相对较高的阻抗 (断开状态),相对较低的阻抗 (导通状态),或介于此两种状态之间的阻抗水平。结果,不仅可以关断并接通 PLD 电路 445B,还可以通过控制晶体管 453 的阻抗,来控制那些电路的功率耗散。

[0136] 除此之外,或可替代地,使用晶体管 453 来控制供给 PLD 电路 445B (不管关断,接通,或以上所述的在这些极限状态之间的任何状态) 的第二电源电压 459,可以用晶体管 453A 来控制电源电压 V_{SS} (一般电路接地) 的供给。操作的细节类似于以上对晶体管 453 和第二电源电压 459 的描述,如本领域普通技术人员受益于本发明的描述所理解的。

[0137] 注意如果需要,每个 PLD 电路 445A 和 / 或 PLD 电路 445B 可由 PLD 块 (如,见图 1,图 3 和图 4),部分 PLD 块,或一组 PLD 块构成。换言之,如果需要,可以选择性地把电源控制技术应用到 PLD 内的一个或多个块、子块、或部分块。

[0138] 注意响应 PLD 的外部源,可以对体偏置电平进行调整,编程或设置。例如,可以把体偏置电平发送给 PLD 以调整或修改其性能。图 10 显示根据本发明的示例性实施例用来响应外部源 470 来调整 PLD 内的体偏置电平的电路布置图。该电路布置包括外部源 470,通信 / 接口电路 475,和体偏置发生器 430。

[0139] 通信 / 接口电路 475 给外部源 470 或体偏置发生器 430 提供了通信和交换信息的机构。外部源 470 可向 PLD 103 内的通信 / 接口电路 475 提供一个或多个控制信号 480。通信 / 接口电路 475 把从外部源 470 接收的信息提供给体偏置发生器 430。响应该信息,体偏置发生器 430 生成其电平对应于控制信号 480 的电平的一个或多个体偏置信号 435。通信 / 接口电路 475 可把诸如状态信号的信息从体偏置发生器 430 (或一般由 PLD

103) 提供给外部源 470。

[0140] 外部源 470 可由多种器件、结构或布置组成,如本领域普通技术人员受益于本发明的描述所理解的。例如,如果需要,外部源 470 可由互联网,计算机网络,总线等构成。

[0141] 注意如果需要可以在动态或时变的基础上对 PLD 内的体偏置电平进行调整、编程或设置以考虑进或响应变化的条件(如,性能规范的改变)。举例来说,参考图 10,外部源 470 可对提供给 PLD 103 的控制信号进行更新或修改。响应该信号,体偏置发生器 430 提供对应于更新的或修改的控制信号 480 的体偏置信号 435。

[0142] 举另外一个例子,可以改变或修改体偏置电平以响应 PLD103 内部的变化,例如,PLD 103 的一个或多个电路或区域的温度的变化。图 11 显示根据本发明的示例性实施例的用于调节 PLD 内的体偏置电平的电路布置图。

[0143] 此电路布置包括一个或多个温度传感器 503,一个或多个参考源 512,减法器 509 和体偏置发生器 430。温度传感器 503 检测 PLD 103 内的一个或多个区域,电路或块的温度,并把温度信号 506 提供给减法器 509。参考源 512 把参考信号 515 提供给减法器 509。参考信号 515 可具有对应于各种温度水平的值。

[0144] 减法器 509 从温度信号 506 中减去参考信号 515,并把差值信号 518 提供给体偏置发生器 430。差值信号 518 可由 PLD 103 内的一个或多个部分的实际温度和期望的温度之间的差值构成。

[0145] 响应差值信号 518,体偏置发生器 430 生成体偏置信号 435。体偏置发生器 430 可用差值信号 518 以生成影响 PLD 103 性能的各个方面的体偏置信号 435。例如,如果差值信号 518 指示比阈值温度或最高温度低,则体偏置发生器 430 就会生成降低 PLD 103 内的一个或多个晶体管的阈值电压的体偏置信号(因此性能提高)。相反地,如果差值信号 518 指示温度水平高于安全水平或最大水平,则体偏置发生器 430 可生成增大 PLD 103 内的一个或多个晶体管的阈值电压的体偏置信号(因此,引起温度水平下降,尽管使性能下降。)

[0146] 更一般地讲,可以实现生成体偏置电平的反馈环以针对特定的性能标准。换言之,可以把 PLD 的实际的性能度量和期望的或具体的度量或标准进行比较,并相应地对体偏置电平进行调整,编程,或设置。

[0147] 图 12 显示用在本发明的示例性实施例的对 PLD 的体偏置电平进行调整,编程,或设置的过程或技术的流程图。用适当的诸如控制电路 136 的电路(或电路和软件或固件的结合),可以实现该程序或技术。

[0148] 该程序以如下方式运行。在 550,对 PLD 的期望的一部分或几部分的初始体偏置电平进行设置或编程。接着,在 533,可以获得 PLD 的性能度量。性能度量可包括许多种标准,诸如给定的操作花费的时间,功率消耗,功率密度,吞吐量,芯片上自检结果和类似的标准,如本领域普通技术人员受益于本发明的描述所理解的。

[0149] 接下来,在 556,程序检查以确定实际的性能度量是否满足期望的或具体的一个标准或多个的标准。如果满足,在 559,程序保持体偏置电平不变。另一方面,如果实际的性能度量不能满足指定的一个标准或多个的标准,在 562,程序对更新的体偏置电平进行调整,编程或设置以减小实际的和期望的性能度量之间的差。然后程序转回到 553 以检查新的体偏置电平是否影响实际性能度量。如果需要,该程序可以无限继续或继续到一给

定的次数。

[0150] 除了检查性能度量（如，运行速度，吞吐量，功率消耗）以外，可以检查 PLD 内的一个或多个部分或电路的温度水平。图 13 显示考虑了温度水平，用来对体偏置电平进行调整，编程，或设置的过程或技术的流程图。如上所述，用适当的诸如控制电路 136 的电路（或电路和软件或固件的结合）可以实现该程序或技术。

[0151] 在 550，程序对 PLD 内的期望的晶体管，电路，块或类似元件的初始体偏置电平进行设置，编程或调整。在 553，程序获得性能度量。性能度量可以包括如上所述的许多种参数或变量。性能度量的选择取决于诸如 PLD 实现的电路或系统的设计和性能规范的因素，如本领域普通技术人员理解的。

[0152] 接下来，在 553A，程序获得温度水平。如上所述，可以从 PLD 的各部分获得并检查一个或多个温度水平。在示例性实施例中，可以从任何识别的关键路径，或一般而言，可以从任何具有相对较高的功率消耗并因此具有相对较高的温度水平的电路中获得温度水平。

[0153] 在 556A 中，程序检查以确定实际的性能度量是否满足期望的或具体的标准或多个的标准。而且，程序检查以确定实际的温度水平是否满足期望的或具体的标准或多个的标准（如，实际的温度是否落在规定的范围内或位于阈值水平之下等）。

[0154] 如果两个条件都成立，在 559 中，程序保持体偏置电平不变。如果两个条件都不成立，则在 562 中，程序对新的或更新的体偏置电平进行调整，编程或设置以减小实际的和期望的性能度量之间的差，及实际的和期望的或规定的温度水平之间的差。然后程序转回到 553 以检查确定新设置的体偏置电平是否对实际的性能度量和温度度量产生影响。如果需要，程序可无限继续，或继续到一给定的次数。

[0155] 在其它实施例中，响应或根据 PLD 实现的电路或系统的运行环境，可以对体偏置电平进行调整，编程或设置。例如，假设根据本发明使用 PLD 来实现通信网络控制器或布线器。在运行过程中，PLD 可以获得关于控制器或布线器运行的环境的条件或特征的信息。

[0156] 例如，PLD 可获得此环境内的有关通信量水平的度量。取决于其运行环境的条件或特性，PLD 可以对一个或多个晶体管的体偏置电平进行调整、编程或设置以使其性能与运行环境的需求相匹配。当然，以上的例子仅说明如何使用这种 PLD。可以将本发明的构思应用到许多种电路，系统，和运行环境中，每一个都具有自己的特性或条件，如本领域普通技术人员受益于本发明的描述所理解的。

[0157] 图 14 显示考虑了 PLD 运行的环境特征或条件，用来对体偏置电平进行调整，编程，或设置的过程或技术的流程图。如上所述，可以用诸如控制电路 136 的适当的电路（或电路和软件或固件的结合）来实现该程序或技术。

[0158] 程序以如下方式运行。在 550，对 PLD 的期望的一部分或几部分的体偏置电平进行编程或设置。接下来，在 553B，可以获得 PLD 运行的环境、电路或系统的一个或多个条件或特性。所述条件或特性可以包括如上所述的许多项。

[0159] 接着，在 556B 中，程序检查以确定运行环境的条件或特性是否能获得理想的更高的 PLD 性能水平。（例如，为了用以上的例子，如果网络交通水平相对很高，因此获得更理想的更高的 PLD 性能或吞吐量），如果没有，在 559，程序保持体偏置电平不变。另一方面，如果需要较高的 PLD 性能或吞吐量，在 562，程序对新的或更新的体偏置电平进行调整、编程

或设置以减小实际的和期望的性能度量之间的差。然后,程序转回到 553B,以检查新的体偏置电平是否影响了实际的性能度量。如果需要,该程序可无限继续或继续到一给定的次数。

[0160] 根据本发明的构思,可以使用多种实施例,这取决于诸如对一特定的应用或实施方式的设计和性能规范的因素。例如,参考图 14,注意其与结合图 13 描述的实施例类似,如果需要,可以把 PLD 的各部分的温度水平考虑进去。

[0161] 换种方式讲,不仅可以检查是否需要较高的 PLD 性能或吞吐量,还可以检查 PLD 内的温度水平或功率密度是否安全或适当地提高了 PLD 的性能。图 15 显示用于实现这种实施例的程序。根据应用,可以把该程序重复期望的次数。如上所述,可以用诸如控制电路 136 的适当的电路(或电路和软件或固件的结合)来实现该程序或技术。

[0162] 本公开的另一方面涉及通过测量 PLD 内的选定的电路或区域的延迟来对 PLD 内的电路的体偏置进行设置或调整。图 16 显示根据用户电路的运行延迟的延迟表示来调整用户电路中的晶体管的体偏置的电路布置图。更具体地讲,该电路布置包括 PLD 103, PLD 区 606, 用户电路 609, 延迟电路 612 和体偏置控制器 603。

[0163] PLD 区 606 包括用户电路 609 和延迟电路 612。用户电路 609 可包括任何需要的电路,诸如用户实现的或指定的电路或部分指定电路(如,关键路径)。延迟电路 612 表示用户电路 609 的实际延迟或以用户电路 609 的实际延迟为模型。一般而言,该延迟表示用户电路 609 的延迟,且该延迟不必与用户电路 609 的延迟相同。例如,如果需要,延迟电路 612 可以与用户电路 609 具有相同的延迟、两倍于用户电路的延迟、或为用户电路的延迟的一半等等。

[0164] 延迟电路 612 可通过信号链 615(诸如导体的一个或多于一个耦连机构)耦连到体偏置控制器 603。响应延迟电路 612 的实际延迟,体偏置控制器 603 把一个或多于一个体偏置信号提供给 PLD 区 606 中的至少一些晶体管(以下将详细描述)。

[0165] 注意,图 16 显示两个体偏置信号 V_{b1} 和 V_{b2} 。体偏置信号对 PLD 区 606 中的至少一个晶体管的体偏置进行调整或设置。例如,一个体偏置信号(比如说 V_{b1})可以设置 PMOS 晶体管的体偏置,而另一信号(比如说, V_{b2})可以设置 NMOS 晶体管的体偏置等等。通过调整用户电路 609 中的晶体管的体偏置,可以如上所述控制或调整其速度或泄漏。

[0166] 图 17 显示根据本发明的说明性实施例的体偏置控制器的结构图。体偏置控制器 603 包括参考信号发生器 625, 延迟电路 612, 相位比较器 637 和体偏置发生器 430。任选地,体偏置控制器 603 可包括 MUX627, 以下将详细描述。

[0167] 参考信号发生器 625 从时钟信号 628 生成参考信号 631。取决于根据电路的实际设计和实施方式的因素(即,延迟电路 612 的延迟和用户电路 609 的延迟的关系),如果需要,参考信号 631 可以与时钟信号 628 有特定的关系。例如,参考信号 631 的频率可为时钟信号 628 的频率的一半。参考信号 631 供给延迟电路 612。响应该参考信号,延迟电路 612 产生输出信号 634,其为参考信号 631 的延迟形式。

[0168] 注意,如果需要,可任选使用 MUX 627 以能从若干时钟信号 628A 中选择一个。如下面详细描述的,体偏置控制器 603 使用时钟信号 628 的周期对参考电路的延迟进行测量,并使用测量的结果以生成体偏置信号并将其提供给 PLD 103 上的各电路。通过 MUX 627 的选择信号 627A,可以从时钟信号 628A 中选择一个以使选择的时钟信号有期望的或特定的周期。在这种方式下,可以提高体偏置控制器 603 的灵活性。

[0169] 相位比较器 637 将参考信号 631 和延迟电路 612 的输出信号 634 进行比较。根据两个信号的相对相位,比较器 637 产生输出信号 640(加速)和输出信号 643(减速)。输出信号 640 和 643 驱动体偏置发生器 430。响应输出信号 640 和 643,体偏置发生器 430 产生体偏置信号。在如图 17 所示的特定的例子中,体偏置发生器产生体偏置信号 646(v_{b1})和体偏置信号 649(v_{b2})。

[0170] 图 18 显示根据本发明的示例性实施例的参考信号发生器的电路布置。参考信号发生器 625 包括触发器 660,和反相器 663 和 666。在此特定的例子中,参考信号发生器 625 由 1:2 分频电路构成。因此,触发器 660 和反相器 663 生成的信号的频率是时钟信号 628 的一半。反相器 666 对信号进行缓冲产生参考信号 631。如本领域普通技术人员受益于本发明的描述所理解的,取决于电路配置及应用,如果需要,可以不需要使用反相器 666 或可以省略它。

[0171] 图 19 描述了根据本发明的示例性实施例的相位比较器 637 的电路布置。比较器 637 包括异或(XOR)门 675,和触发器 681。延迟电路 612 的输出提供 XOR 门 675 的一个输入。参考信号 631 提供 XOR 门 675 的另一个输入。

[0172] XOR 门 675 的输出提供触发器 681 的数据(D)输入。时钟信号 628 驱动触发器 681 和 684。触发器 681 的 Q 输出提供输出信号 640(加速/减速)。高输出信号表明电路运行非常慢(应该有更大的前向体偏置),反之亦然(低速信号表明电路应该有更大的反向体偏置)。

[0173] 如果经过延迟电路 612 的延迟比时钟信号 628 的周期短,则用户电路运行太快。在此情况下,在时钟信号 628 的上升转换时刻,门 675 的输出应为逻辑零。相反地,如果经过延迟电路 612 的延迟比时钟信号 628 的周期长,则用户电路运行太慢。在这些情况下,在时钟信号 628 的上升转换时刻,XOR 门 675 在其输出提供逻辑高电平信号。结果,触发器 681 提供加速的输出信号。

[0174] 图 20 图解说明了根据本发明的示例性实施例的相位比较器的另一电路布置。类似于图 19,图 20 中的比较器 637 包括异或门 675,异或非(XNOR)门 678 和触发器 681 和 684。此外,图 20 中的比较器 637 包括死区延迟电路 690。死区延迟电路 690 能对 PLD 103 内的晶体管进行更稳定和更功率有效的体偏置调整。

[0175] 更具体地讲,死区延迟电路 690 使 XNOR 门 678 接收参考信号 634 的延迟形式,而是接收参考信号 634 本身。在没有死区延迟电路 690 时,当比较器 637 试图寻找用户电路 609 的平衡的速度,泄漏,和功率消耗时,可重复交替地使能其加速和减速输出信号。重复地进行体调整(晶体管的充电和放电)可能会引起功率消耗增加,因此使效率下降。

[0176] 死区延迟电路 690 有助于减少比较器 637 的输出“振动”。换言之,在比较器 637 包括延迟电路 612 和死区延迟电路 690(即,图 20)的情况下,一个延迟电路会形成最小的延迟,两个延迟的和会形成最大的延迟。如果时钟信号 628 的周期超过两个延迟的和,则用户电路 609 运行速度太快。结果,比较器 637 使能减速输出信号。

[0177] 相反,如果时钟周期比延迟电路 612 的延迟短,则用户电路 609 运行速度太慢。因此,比较器 637 使能加速输出信号。如果用户电路 609 在可接收的或规定的速度范围内运行(具有对应的泄漏和功率消耗水平),则比较器 307 不对其输出信号使能。因此,比较器 637 不在其输出信号之间重复交替变化,目的是获得用户电路 609 的可接受的运行速度。

[0178] 注意延迟电路 612 可以提供固定的或可调的或可配置的延迟。在固定延迟情况下,延迟电路 612 包括具有期望或规定延迟的逻辑电路。例如,延迟电路 612 可以包括诸如门的组合逻辑元件的布置。可以用 PLD 103 的可编程资源实现延迟电路 612,这些可编程资源诸如可编程逻辑 106 和可编程布线或互联 109(见图 1)。

[0179] 可替代地,延迟电路 612 具有可配置的延迟。图 21 描述了用于本发明的示例性实施例中的可配置延迟电路。图 21 中的延迟电路 612 接收一组配置或调整信号 703。信号 703 包括一组表示为 B0 到 Bi. 的位。配置信号 703 调整或配置延迟电路 612 的延迟。换言之,通过调整配置信号 703 的各位的值,可以调整延迟电路 612 将其输入信号进行延迟的时间量以生成其输出信号。

[0180] 图 22 显示根据本发明的示例性实施例的用于可配置延迟电路的电路布置图。可配置延迟电路包括耦连的一组互联或布线延迟元件 710 的级联或串联,耦连的一组逻辑延迟元件 719、MUX713 和 MUX725 的级联或串联。

[0181] 布线延迟元件 710 的输出信号构成了 MUX713 的输入信号。MUX713 还接收一个或多个于一个选择信号 716。选择信号 716 的数量取决于布线延迟元件 710 的数量,如本领域普通技术人员受益于本发明的描述所理解的。通过选择信号 716,可以选择地把布线延迟元件 710 中的一个元件的输出耦连到 MUX713 的输出。因此,可以把第一布线延迟元件的输入信号(参考信号 631)配置一定量的延迟再从 MUX713 输出。

[0182] 类似地,逻辑延迟元件 719 的输出信号作为 MUX 725 的输入信号。MUX 725 还接收一个或多个于一个选择信号 728。选择信号 728 的数量取决于逻辑延迟元件 719 的数量,如本领域普通技术人员受益于本发明的描述所理解的。通过使用选择信号 728,可以选择地把逻辑延迟元件 719 中的一个元件的输出耦连到 MUX725 的输出。相应地,可以把第一逻辑延迟元件(即 MUX 713 的输出信号)的输入信号配置一定量的延迟再从 MUX725 输出。

[0183] 利用 MUX713 和 MUX725,可以对可配置延迟电路的延迟进行配置,以构成需要数量的布线延迟元件 710 和逻辑延迟元件 719 的各个延迟的组合。因此,可以配置延迟电路(如,通过如上详细描述 of PLD 配置软件)以使其延迟表示用户电路的延迟。而且,如果需要可以以动态的方式(响应变化的运行环境,外部控制,用户控制等等)配置延迟。

[0184] 图 23 显示用于根据本发明的示例性实施例的布线延迟元件 710 的电路布置。布线延迟元件 710 包括 MUX735 和反相器 738。MUX735 和反相器 738 一起表示 PLD 103 内的一般的布线机制(包括其相应的延迟)。MUX 735 多个输入中的一个输入和其选择输入接地,以使 MUX 735 将其输入信号耦连到反相器 738 的输入。反相器 738 的输出信号由布线延迟元件 738 的输出信号构成。因此,布线延迟逻辑 710 的输出信号是其输入信号的取反的形式。

[0185] 注意这些图(如图 18-20,和 22-24)仅是它们表示的各自电路的示例性的实施例。如本领域普通技术人员受益于本发明的描述所理解的,如果需要,可根据诸如设计和性能规范,使用其它的电路和实施例。

[0186] 仅作为一个例子,可以不使用具有离散时间输出值的比较器,而使用具有连续时间输出值的比较器。而且,如果需要,可以使用多于一个的体偏置控制器 603(和比较器),以给 PLD 103 的各部分提供可调的或可编程的体偏置信号。

[0187] 作为另一个例子,如果需要,可以使用专用电路来实现这些图中的各个电路(如,

体偏置控制器 603), 比如, 可作为控制电路 136(见图 1) 的一部分电路。作为一种可选方案, 如果需要, 可以在 PLD 103(如, 见图 1、3 和 4) 的可编程资源中实现那些电路, 即在可编程逻辑 106 和可编程互联 109 中实现。如本领域普通技术人员受益于本发明的描述所理解的, 可以使用这两种方法的结合。换言之, 如果需要, 可以部分使用 PLD 103 的可编程资源, 部分使用专用电路来实现该电路。如果实现方式使用了 PLD 可编程资源, PLD CAD 软件(如, 见图 6A 和相应的描述) 对 PLD 103 的可编程结构(可编程逻辑 106 和可编程互联 109) 内的各电路元件进行布局布线。

[0188] 此外, PLD CAD 对实现延迟电路 112 的电路元件(可组合的逻辑元件或布线延迟元件 710 和逻辑延迟元件 719) 进行选择, 布局, 和布线。PLD CAD 软件选择电路元件以使延迟电路 612 表示用户电路 609 的延迟。PLD CAD 软件对配置内存 133(见图 1) 的位形式的值进行编程以接下来将其值提供给各种配置或编程信号, 诸如 MUX 选择信号 627A(见图 17) 和配置信号 703(见图 21)。在可替代的实施例中, 用户可以把延迟电路的参数定义到模型用户电路 609 中。可替代的实施例给用户提供了将 PLD 的电路的性能与用户的规范或要求匹配的能力。

[0189] 注意, 除了可使用一个延迟电路 612 和一个比较器 637 外, 如果需要, 还可使用多个延迟电路 612 和 / 或多个比较器 637。这样, 可以提供由延迟链提供的延迟的更高的分辨率, 并因此改进体偏置控制器的收敛 (convergence)。

[0190] 本公开的另一方面涉及直接对集成电路中的晶体管的性能(泄漏, 速度和功率耗散) 进行总体的调整或编程(不使用以包括那些晶体管的电路的性能为模型的延迟电路)。更具体地讲, 可以利用泄漏锁定环 (LLL), 通过对晶体管的体偏置进行编程或调整来设置集成电路中的一个或多个晶体管的泄漏电平。

[0191] 泄漏锁定环技术的优点是它能够直接控制电路的泄漏, 而非利用将延迟表示为漏电流的度量来间接控制。该技术使用户能指定容许的或期望的泄漏电平并在性能, 漏电流和功率耗散之间选择和指定期望做出的权衡。注意可以把泄漏锁定环的构思总体地应用到包括 PLD 的集成电路中。

[0192] 图 25 显示根据本发明的说明性实施例的泄漏锁定环的结构图。泄漏锁定环包括参考晶体管 760, 泄漏测量电路 766, 加法器 755 和体偏置发生器 430。一般而言, 泄漏锁定环包括负反馈电路。它利用参考晶体管 760 来度量集成电路 763 中的晶体管的漏电流, 并利用测量的漏电流来生成那些晶体管的体偏置信号。

[0193] 注意, 如果需要, 可以设计出泄漏锁定环的其它实施例, 泄漏锁定环测量其它的量, 并对一个或多个晶体管的体偏置进行调整以满足一个或多个用户规定的标准, 如本领域普通技术人员受益于本发明的描述所理解的。这种量的例子包括参考晶体管的阈值电压 (V_T), 或参考晶体管的饱和电流 (I_{dsat})。

[0194] 参考晶体管 760 位于 IC 电路 763 中。注意, 如果需要, 可以用多于一个的参考晶体管 760(如, 用来测量 IC 电路 763 中的多于一个位置的漏电流)。IC 电路 763 由集成电路内的电路构成, 该集成电路的性能是人们寻求通过体偏置电平进行调整或编程的性能。例如, 在集成电路是可编程逻辑器件的情况下, IC 电路 763 可由用户电路 609 构成(例如参见图 16)。

[0195] 通常, 应选择 IC 电路 763 在集成电路内包含足够小的部分电路, 以使其中的晶体

管（包括参考晶体管 760）有相似的电特征，且条件的变化（如，过程，电压和温度或 PVT）不会显著降低在整个 IC 电路 763 内对体偏置的编程。

[0196] 泄漏测量电路 766 测量参考晶体管 760 的泄漏，且把泄漏信号 769 提供给加法器 755。加法器 755 把泄漏信号 769 和参考泄漏信号 (v_{ref}) 772 进行比较以生成误差信号 778。体偏置发生器 430 利用误差信号生成一个或多个体偏置信号 435。体偏置发生器 430 把体偏置信号 435 提供给 IC 电路 760 内的期望的晶体管。

[0197] 注意，如果需要，可以用图 25 中的泄漏锁定环的可配置元件。例如，如果需要，可以使用可配置泄漏测量电路 766（可配置增益），可配置加法器 775（可配置增益）或单独的增益块跟随加法器 775，可配置参考泄漏信号 772（可配置电平），和 / 或体偏置发生器 430 的可配置增益。注意，如果需要，可以用 PLD 配置 RAM 位、PLD 上的来自用户电路的信号、或这两者的结合来对这些可配置元件的每一个元件进行配置。

[0198] 图 26 图解说明了根据本发明的另一示例性实施例的泄漏锁定环的结构图。图 26 中的泄漏锁定环包括参考晶体管 760（其位于 IC 电路 763 内），泄漏测量电路 766，参考值和比较器电路 775，滤波器 787 和体偏置发生器 430。

[0199] 参考晶体管 760 和 IC 电路 763 与结合图 25 的以上描述的那些电路具有相同的或类似的配置。泄漏测量电路 766 通过控制信号 781 提供可编程的增益。更具体地讲，通过控制信号 781，可以调整泄漏测量电路 766 施加到测量到的漏电流的增益以提供泄漏信号 769。

[0200] 参考值和比较器电路 775 对泄漏信号进行处理。通过控制信号 784，如果需要，参考值和比较器电路 775 提供可编程参考值、可编程增益、或可提供两者。换言之，如果需要，通过控制信号 784，可以调整参考泄漏信号（类似于图 25 中的参考泄漏信号 772）、将泄漏信号 769 和参考泄漏信号进行比较以生成泄漏误差信号 778 的比较器（未清楚示出）的增益、或两者。如果需要，参考值和比较器电路 775 任选地包括将比较器的输出信号进行量化的量化器。

[0201] 滤波器 787 过滤并处理泄漏误差信号 778 以产生过滤的信号 790。体偏置发生器 430 以上述结合图 25 描述的方式运行，以给 IC 电路 763 提供一个或多个的体偏置信号。

[0202] 注意，如果需要，可以从泄漏锁定环中省掉滤波器 787。滤波器 787 具有期望的传递功能，诸如增益块或电路，低通传递功能或积分器晶体管功能。选择是否包含滤波器 787 及其特定的传递功能取决于设计和性能规范及考虑，如本领域普通技术人员受益于本发明的描述所理解的。

[0203] 如果需要，可以以多种方式实现泄漏测量电路 766 及参考值和比较器 775。对电路和实施方式的选择取决于多种因素（如，使用的集成电路技术、期望的性能特征等等），如本领域普通技术人员受益于本发明的描述所理解的。图 27-29 给出了一些例子。

[0204] 图 27 描述了根据本发明的说明性实施例的泄漏测量电路 766。泄漏测量电路 766 包括 PMOS 晶体管 803 和 805、参考晶体管 760 和多个 NMOS 晶体管 808A-808D。

[0205] 参考晶体管 760 的栅极耦合到其源极，这会使参考晶体管 760 处于断开状态。因此，导通流过参考晶体管 760 的电流表示其漏电流。晶体管 803 串联耦合在参考晶体管 760 上。晶体管 803 的栅极耦合到其漏极（所谓的“二极管连接”配置）。

[0206] 晶体管 803 和晶体管 805 形成电流镜。电流镜放大了漏电流（流过参考晶体管 760 的电流）。放大的水平取决于晶体管 803 和 805 的相对的尺寸，如本领域普通技术人员受益于本发明的描述所理解的。

[0207] 由电流镜放大的电流流过处于导通状态的晶体管 808A-808D 中的任何一个晶体管。晶体管 808A-808D 提供可配置的输出电流（漏电流 769）。通过施加适当电平的控制信号 781，并选择地接通晶体管 808A-808D，从而配置输出电流。通常，对于有 i 位的控制信号 781，可以提供 2^i 个参考电流电平。晶体管 808A-808D 可能具有选择的相关的尺寸，以响应控制信号 781，提供期望的参考电流分布。

[0208] 如本领域普通技术人员受益于本发明的描述所理解的，可以使用多个晶体管的数量和尺寸的多种组合。举一个例子，可以选择晶体管 808A-808D 的尺寸以使晶体管 808B-808D 中的每一个的宽度是前面的晶体管（二进制加权配置）的两倍。在示例性的实施例中，对于一个给定的通道长度，晶体管 706 的宽为 200，晶体管 803 的宽为 1，晶体管 805 的宽为 50，晶体管 808A 的宽为 1，晶体管 808B-808D 具有二进制加权的宽度（即，晶体管 808B 的宽为 2，晶体管 808C 的宽为 4，以此类推）。

[0209] 图 28 显示根据本发明的说明性实施例的参考值和比较器电路 775。该电路包括电阻 818，电阻 821 和比较器 815。电阻 818 和 821 形成电压分压器，它把泄漏参考信号 772 提供给比较器 815。可以选择电阻 818 和 821 的值以提供期望的参考电平。比较器 815 把泄漏信号 769 和泄漏参考信号 772 进行比较，以提供泄漏误差信号 778。如果需要，比较器 815 具有可配置的增益（响应控制信号 784）。注意图 28 显示简化的比较器 815，而且，如果需要，此比较器 815 可包括稳定的参考电路以提供相对准确的参考电压。

[0210] 图 29 图解说明了根据本发明的另一示例性实施例的参考值和比较器电路 775。该电路包括电阻 824，电阻 827，电阻 830，比较器 815A，比较器 815B 和计数器 839。如果需要，比较器 815A 和 / 或 815B 可具有可配置的增益（响应控制信号 784）。

[0211] 图 29 中的参考值和比较器电路 775 类似于图 28 中的电路，但它用了两个参考信号以提供漏电流的一个下界和一个上界。更具体地讲，电阻 824、827 和 830 形成电压分压器，电压分压器将泄漏参考信号 772A 提供给比较器 815A，将泄漏参考信号 772B 提供给比较器 815B。泄漏参考信号 772A 和 772B 构成漏电流的边界。换言之，泄漏参考信号 772A 和 772B 提供漏电流的“视窗”值。可以选择电阻 824、827 和 830 的阻值以提供期望电平的漏电流参考信号 772A 和 772B。

[0212] 比较器 815A 把泄漏信号 769 和泄漏参考信号 772A 进行比较以提供下降信号 833。下降信号 833 使计数器 839 向下计数（即，使集成电路的运行速度降低）。相反地，比较器 815B 把泄漏信号 769 和泄漏参考信号 772B 进行比较以提供上升信号 836。上升信号 836 使计数器 839 向上计数（即，使集成电路的运行速度提高）。换言之，计数器与图 26 中的把积分器用作滤波器 787 是类似的。计数信号 842 提供计数器 839 的电流计数值。体偏置发生器 430（图 29 中未示出）使用计数信号 842 以生成体偏置信号 435（图 29 中未示出），并将此信号提供给 IC 电路 763。

[0213] 为了进一步对体偏置电平进行控制或编程，如果需要，集成电路内可以包含多于一个的体偏置发生器电路 430。在这种配置中，每一体偏置发生器 430 向集成电路内的电路（诸如 IC 电路 763）或区域提供一个或多于一个体偏置信号 435。

[0214] 因此,可以对体偏置发生器 430 进行编程以为集成电路的每一电路或每一区域提供特定的或个性化的体偏置信号。作为可选的方法,用户可以对体偏置发生器 430 进行指定或编程,以生成集成电路的给定的电路或区域的期望数量或电平的体偏置信号 435。具体调整或编程的体偏置电平能在集成电路的每一电路或每一区域的性能、泄漏和功率耗散之间进行权衡。结果,用户用更精细的粒度,增强了对集成电路的各部分或各电路的性能和功率之间的权衡的控制。

[0215] 图 30 描述了根据本发明的示例性实施例用于给集成电路 IC 提供多个体偏置电路的电路布置。此电路布置包括集成电路区 870,一组 IC 电路 763A-763C,相应数量的 MUX 875A-875C,和一组体偏置发生器 435A-435C。

[0216] 每一体偏置发生器 430A-430C 生成一个或多于一个体偏置信号,表示为体偏置信号 435A-435C,并将这些信号提供给每一 MUX875A-875C。响应选择信号 880,每一 MUX 875A-875C 从体偏置发生器 435A-435C 中的一个选择体偏置信号,并将选择的体偏置信号提供给对应的集成电路 763A-763C 中的一个集成电路。

[0217] 除了用 MUX 875A-875C 外,还可以使用可用可编程非易失耦连机构(诸如熔丝)。在这种情况下,可以在制造之后,测试个别集成电路以确定其特征(如,泄漏电平)并对非易失耦连机构进行编程以把期望的或适当的体偏置信号提供给集成电路的各个区或各个电路。通过包含若干体偏置发生器,可以给用户对那些区域或电路的体偏置电平独立进行编程的能力。

[0218] 在另一个实施例中,可以用储存在非易失内存(诸如与集成电路的特征相关的值(如泄漏电平)或集成电路内的特定的区或电路)的值和用户配置的或用户指定的值相结合以生成体偏置电平。该方案既考虑了集成电路的特征又考虑了用户指定的参数,以在性能,功率耗散和泄漏电平之间做出权衡。

[0219] 如果是 PLD,则 PLD 区 780 由 PLD 区 606(例如,见图 25)构成,每一 IC 电路 763 可以对应于用户电路 609。可以给 PLD 103 中的每一用户电路 609(例子,见图 25)提供一个或多于一个调整的或编程的体偏置信号 435。在另一个实施例中,IC 电路 763 可以对应于物理上相近的一组 PLD 电路(可编程逻辑 106 和可编程互联 109),或选择的一组可编程逻辑 106 和可编程互联 109(如,图 3 中排列成矩形阵列的一组可编程逻辑电路 106)。

[0220] 图 30 图解说明了体偏置发生器 430A-430C 作为提供体偏置信号 435A-435C 的电路。在 PLD 的情况下,一般可以用体偏置控制器 603A-603C(如,见图 25),而不使用体偏置发生器 430A-430C。

[0221] 注意图 30 图解说明的 IC 区 780 包括 IC 电路 763A-763C,如本领域普通技术人员受益于本发明的描述所理解的,相反的情况也可能存在(即,每一 IC 电路可包括一个或多于一个 IC 区 870)。

[0222] 还应注意可以把以上所述的性能调整构思和其它的技术结合起来以降低功率密度或使他们保持在安全范围内。例如,可以接通或关断 PLD 内的各电路(见图 9 和相应描述)以在期望的性能水平及安全性或规定的功率消耗水平或功率密度之间做出权衡。其它的修改和实施例对参考了本发明的描述的本领域普通技术人员是很明显的。

[0223] 通常,应该注意如果需要可以把本发明的构思有效地应用到各种可编程逻辑电路或本领域叫做其它名称的集成电路,如本领域普通技术人员受益于本发明的描述所理解

的。这类电路包括被称为复杂可编程逻辑器件 (CPLD)、可编程门阵列 (PGA) 和现场可编程门阵列 (FPGA) 的器件。

[0224] 本领域普通技术人员在参考这些图后会注意到所示的各个块主要描述概念上的功能和信号流。实际的电路实施方式可能包含或可能不包含各功能块的个别的可识别的硬件,且可能使用或可能不使用所示的特定电路。

[0225] 例如,如果需要,可以把各个块的功能性组合到一个电路块中。而且,如果需要,可以在几个电路块中实现单个块的功能性。电路实施方式的选择取决于诸如一个给定的实施方式的特定设计规格和性能规范,如本领域普通技术人员受益于本发明的描述所理解的。

[0226] 除了此处描述的本发明的实施例以外的其它修改例和可替代的实施例,对从本发明的描述中获益的本领域普通技术人员是明显的。因此,此描述教给本领域技术人员实施本发明的方式,而且,此描述仅被认为是说明性的。

[0227] 所显示和描述的本发明的形式应该被认为目前优选的或示例性的实施例。本领域技术人员可以对各部分的形状,尺寸和布置进行修改,而不偏离此文描述的本发明的范围。例如,本领域技术人员可用等同的元件替代此处图解说明和描述的元件。而且,本领域技术人员在参考本发明的描述后可把本发明的一些特征独立于其它特征使用,而不偏离本发明范围。

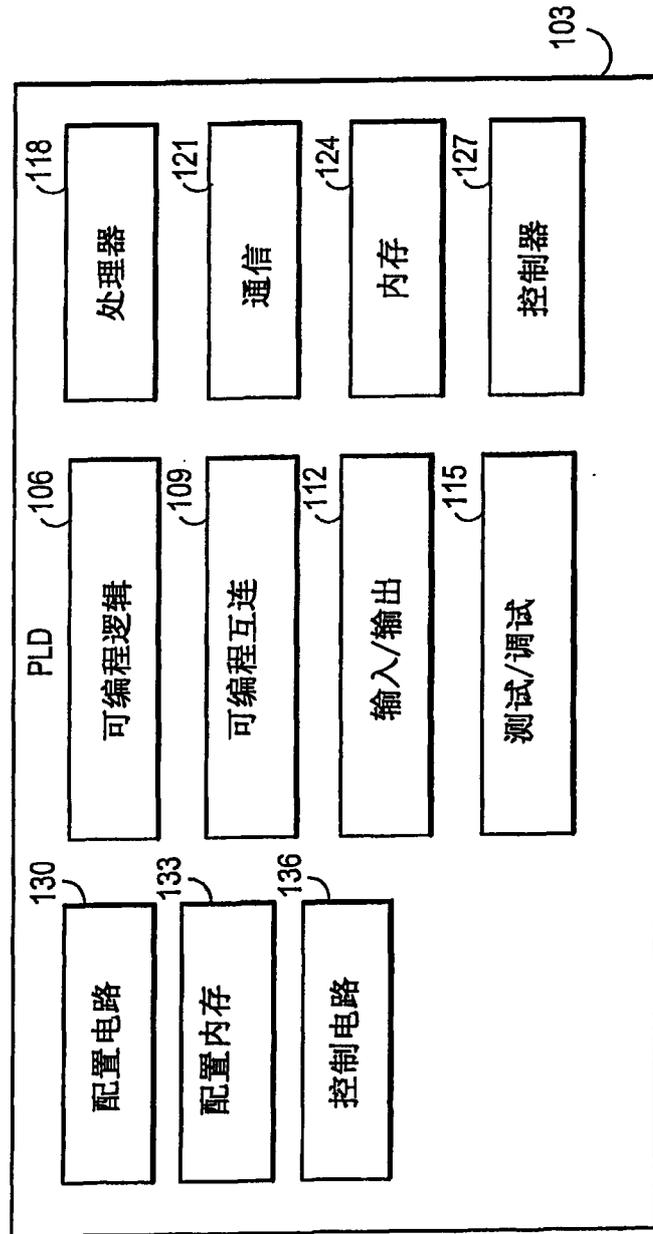


图 1

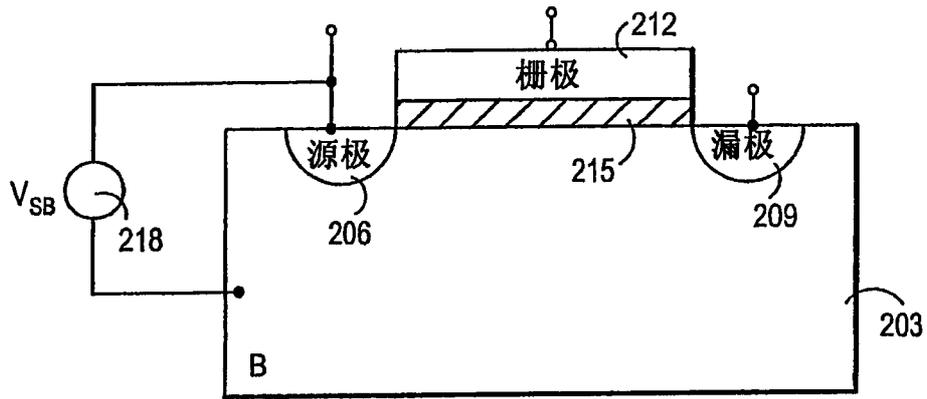


图 2

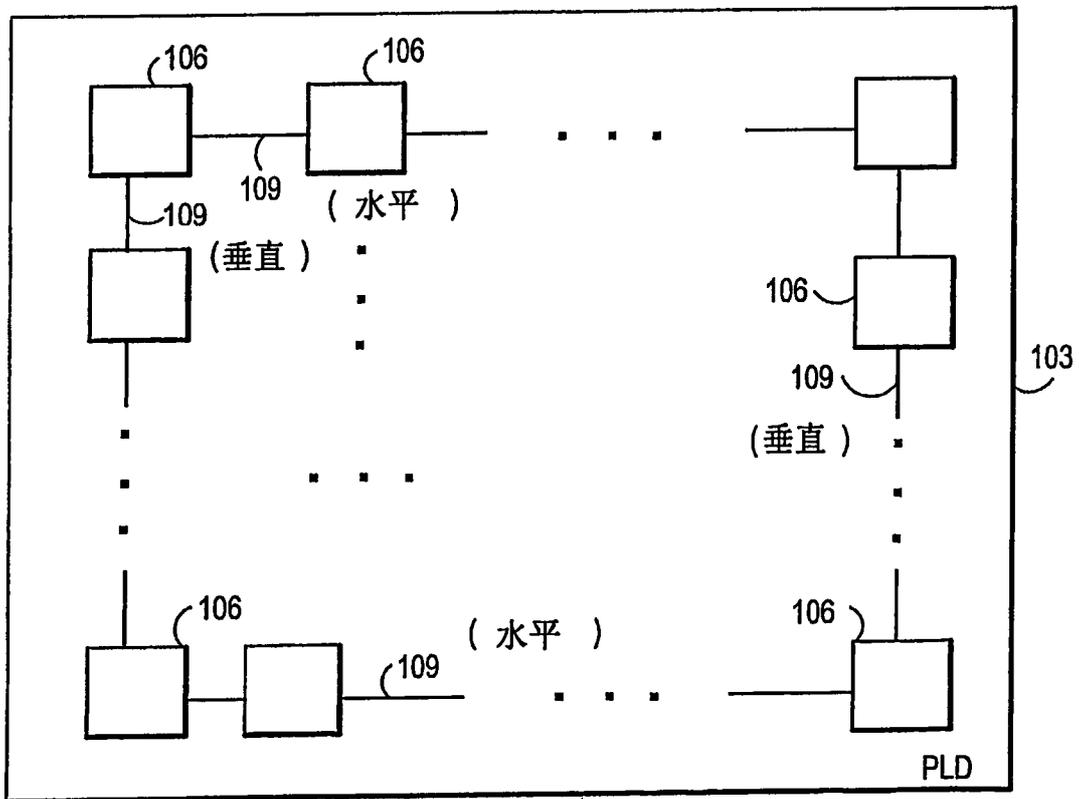


图 3

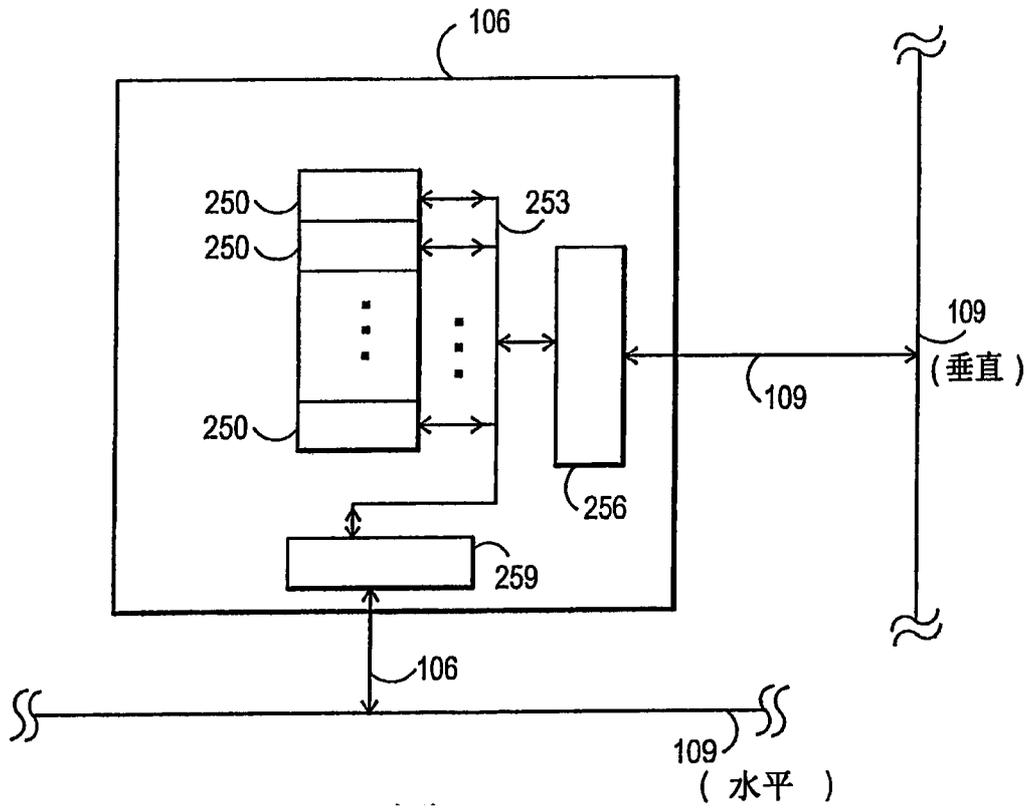


图 4

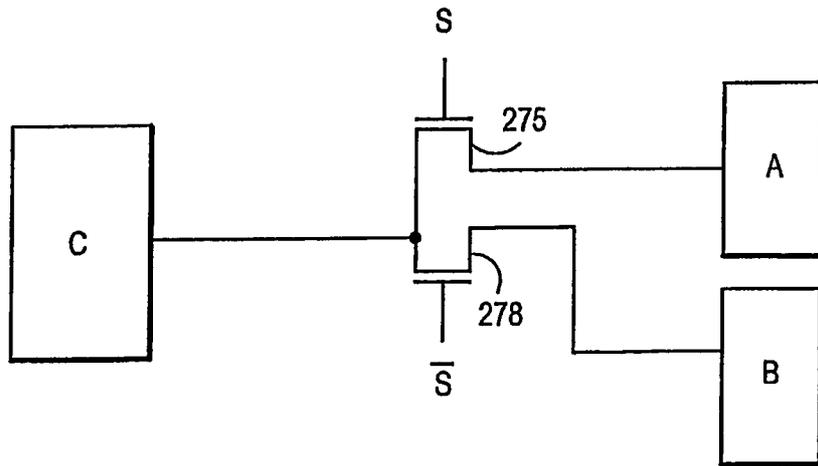


图 5

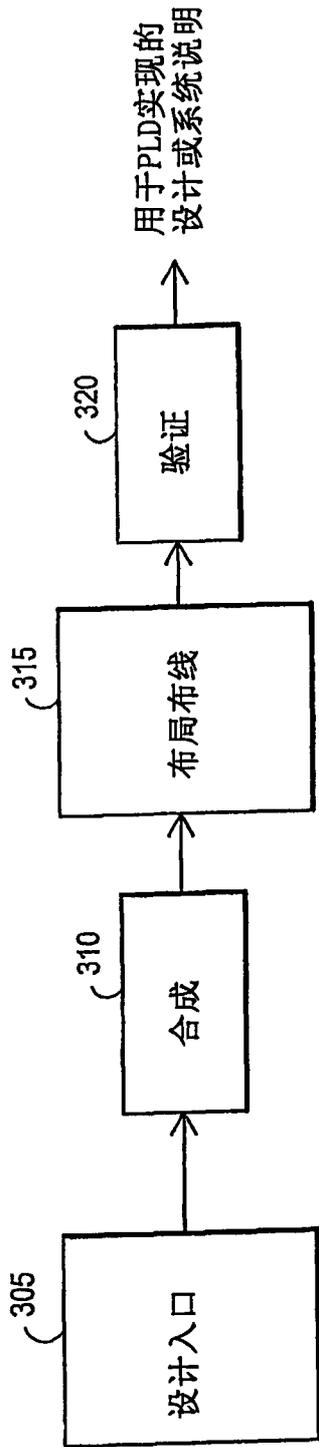


图 6A

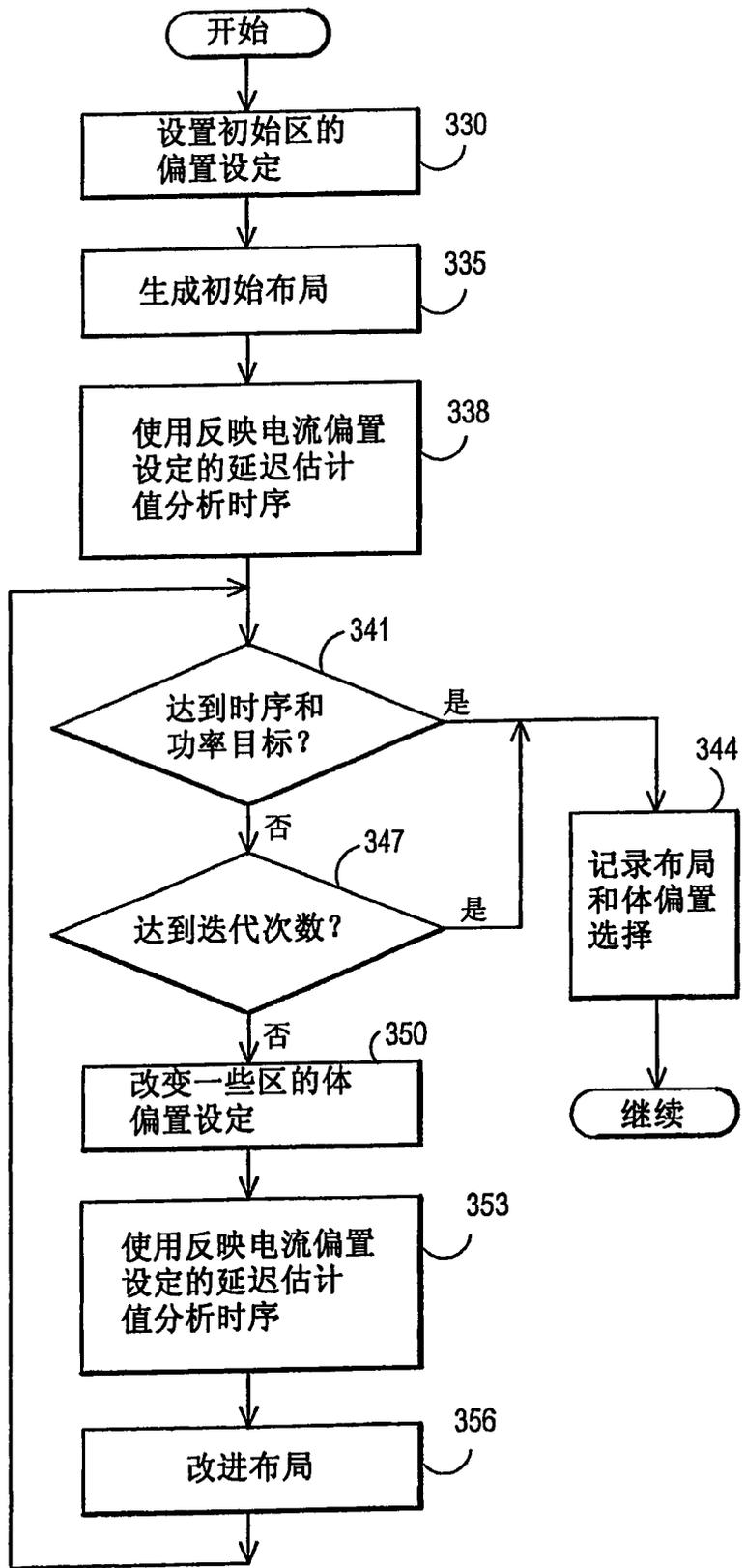


图 6B

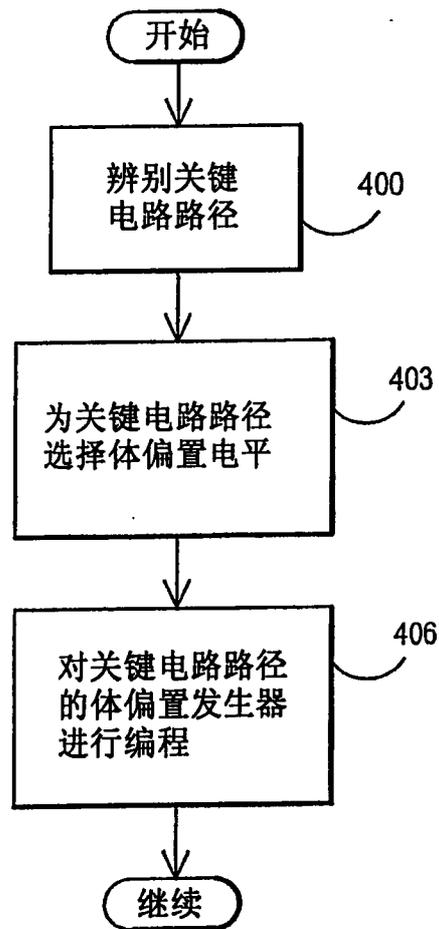


图 7

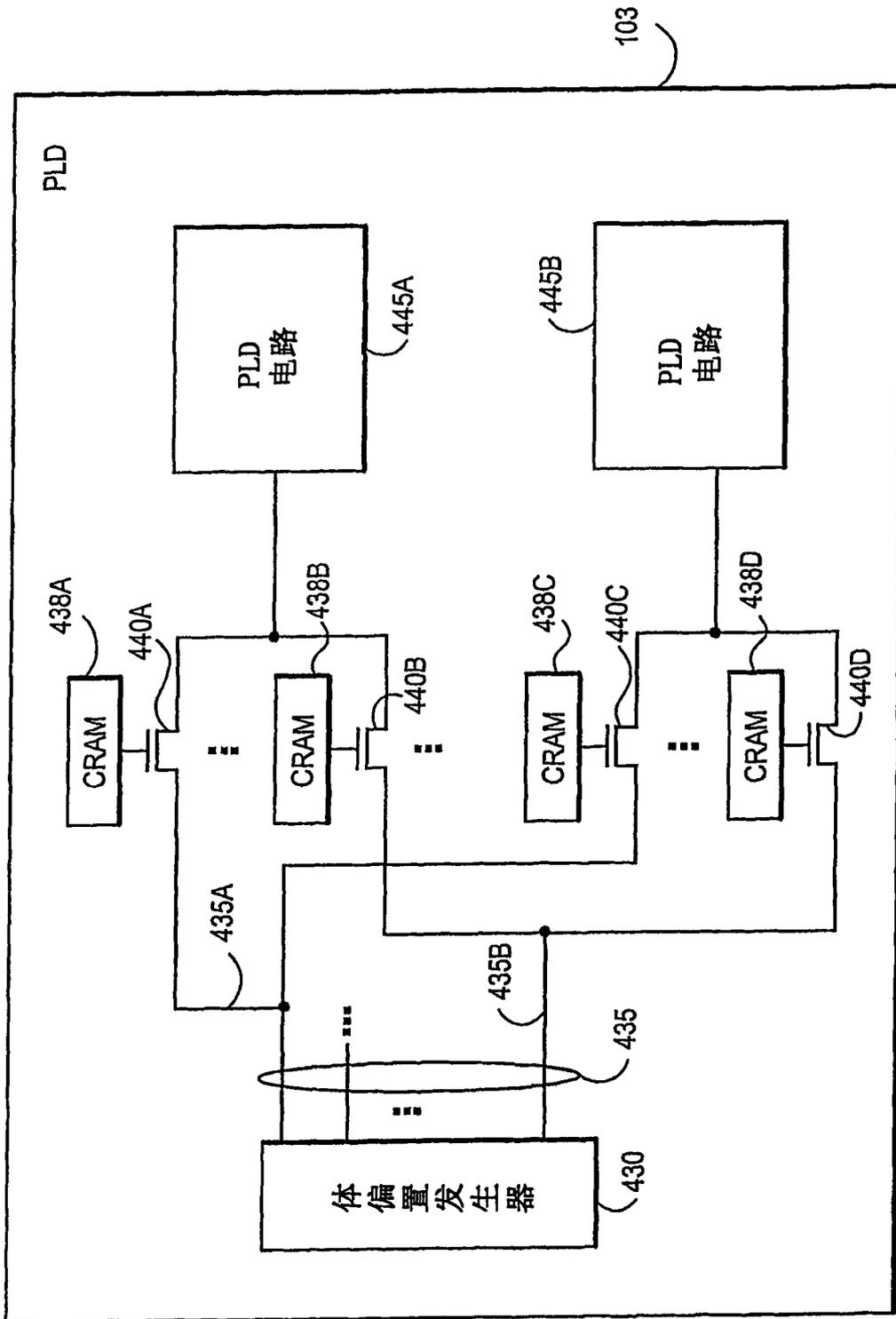


图 8

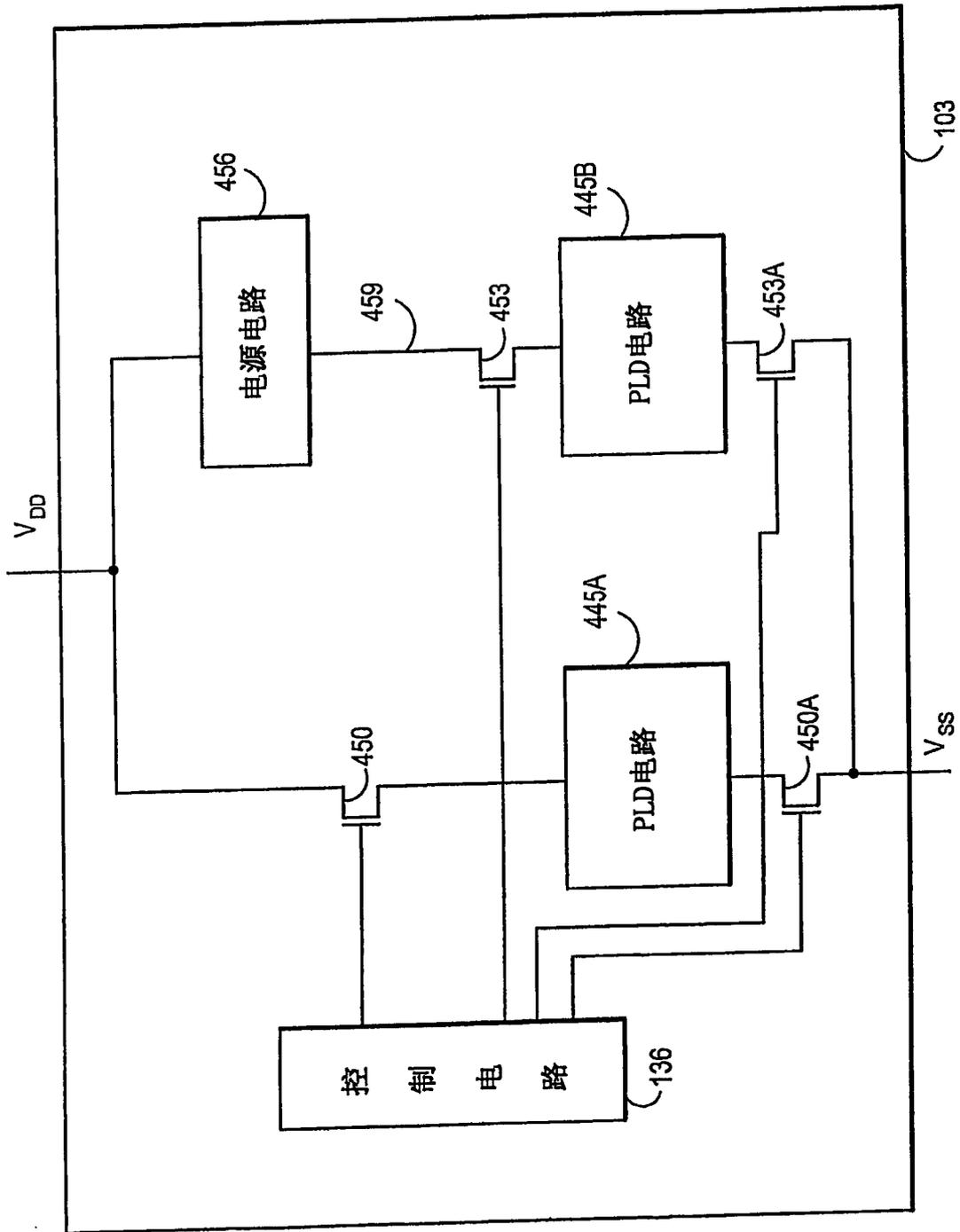


图 9

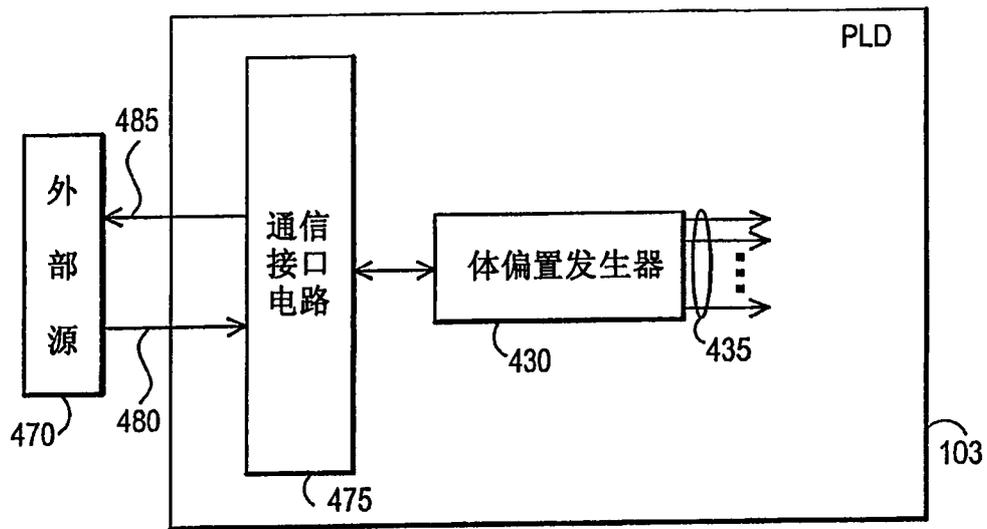


图 10

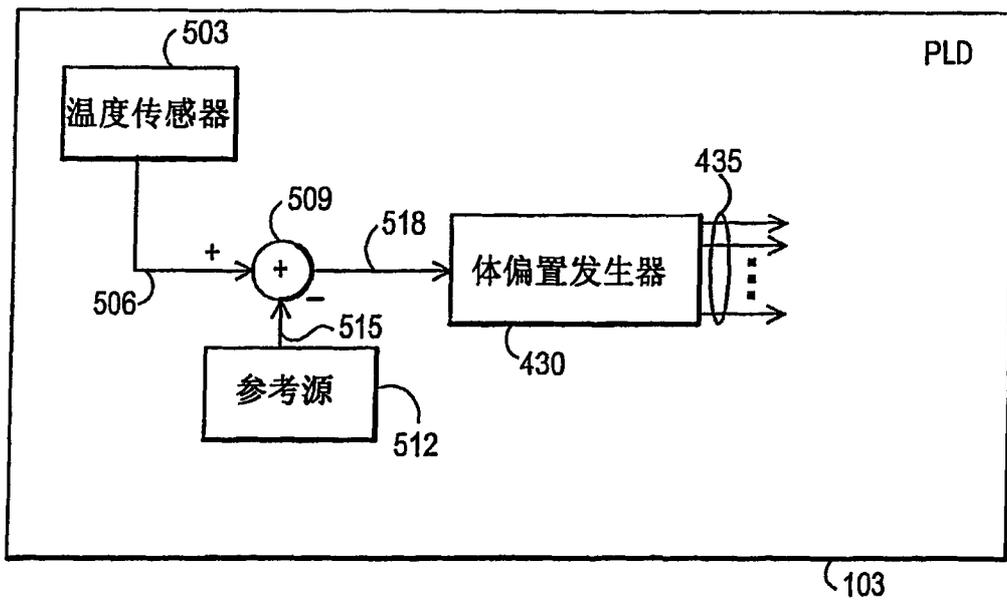


图 11

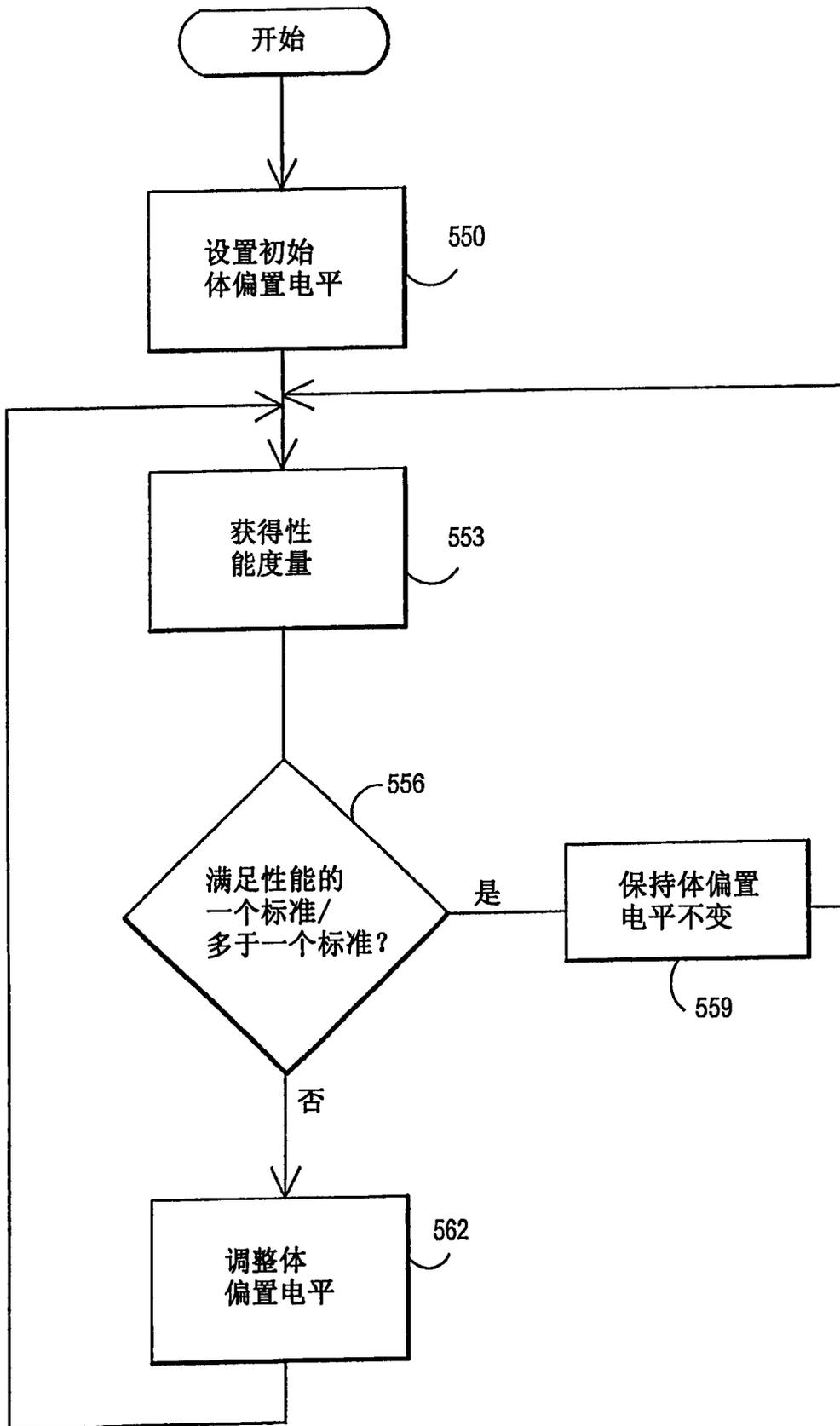


图 12

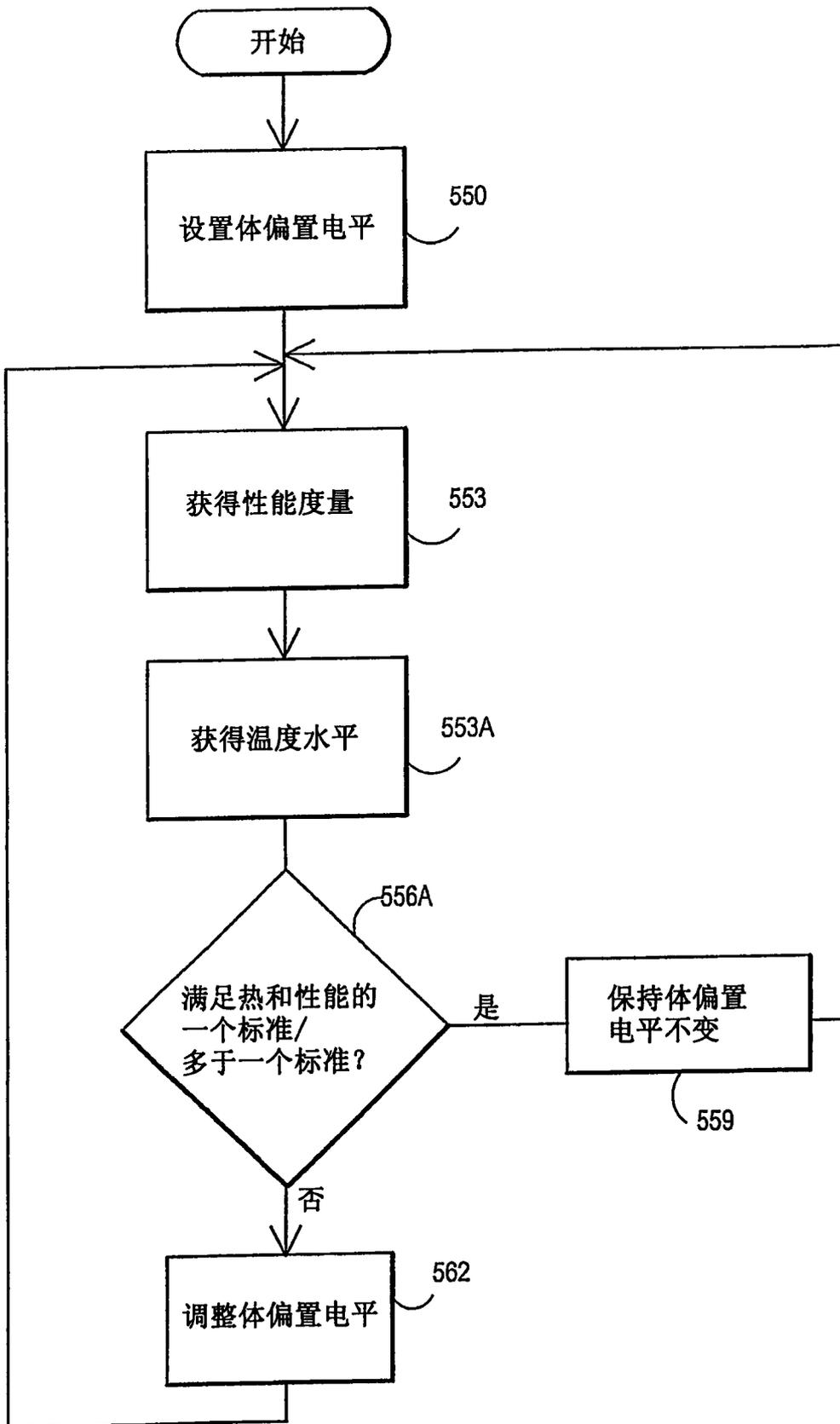


图 13

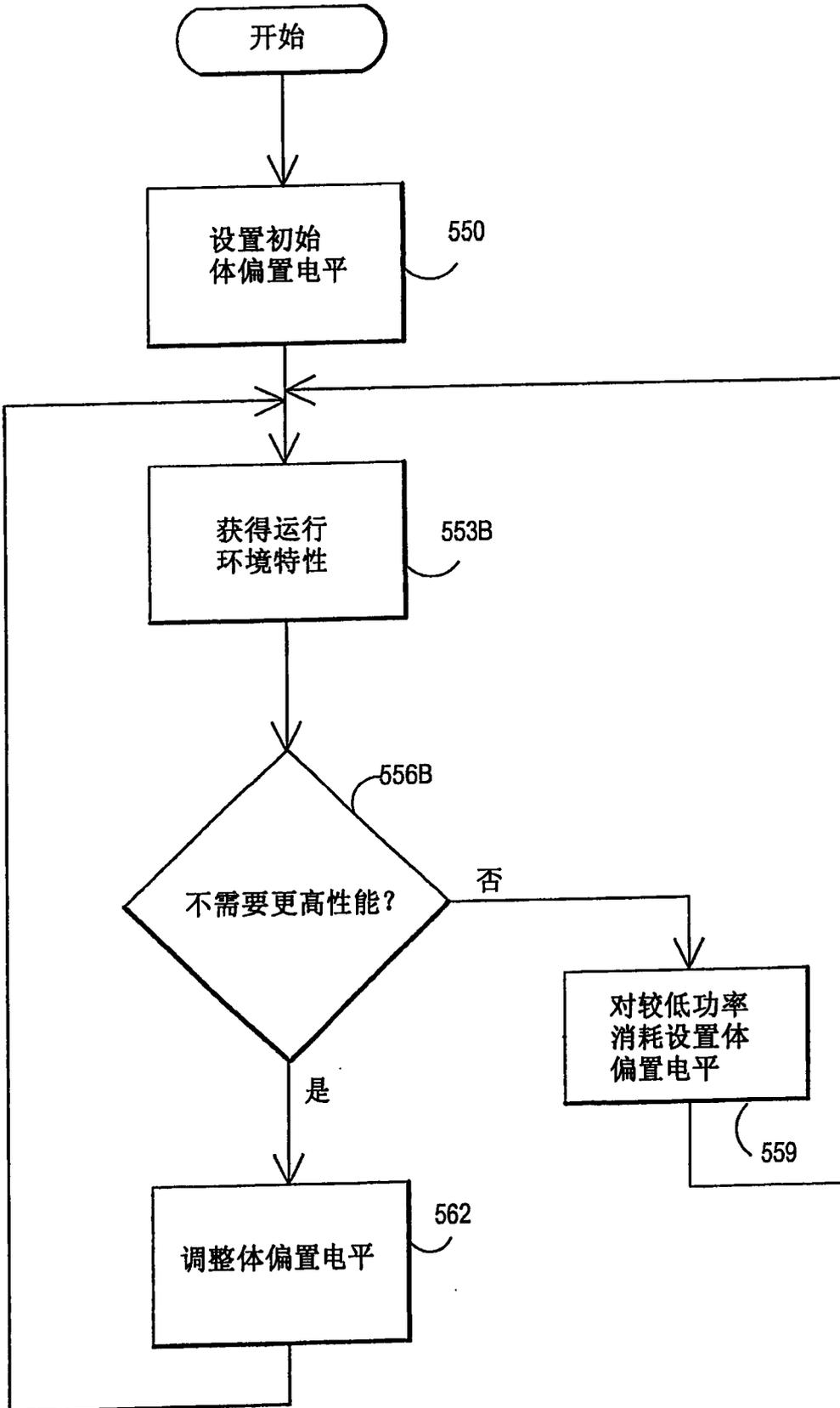


图 14

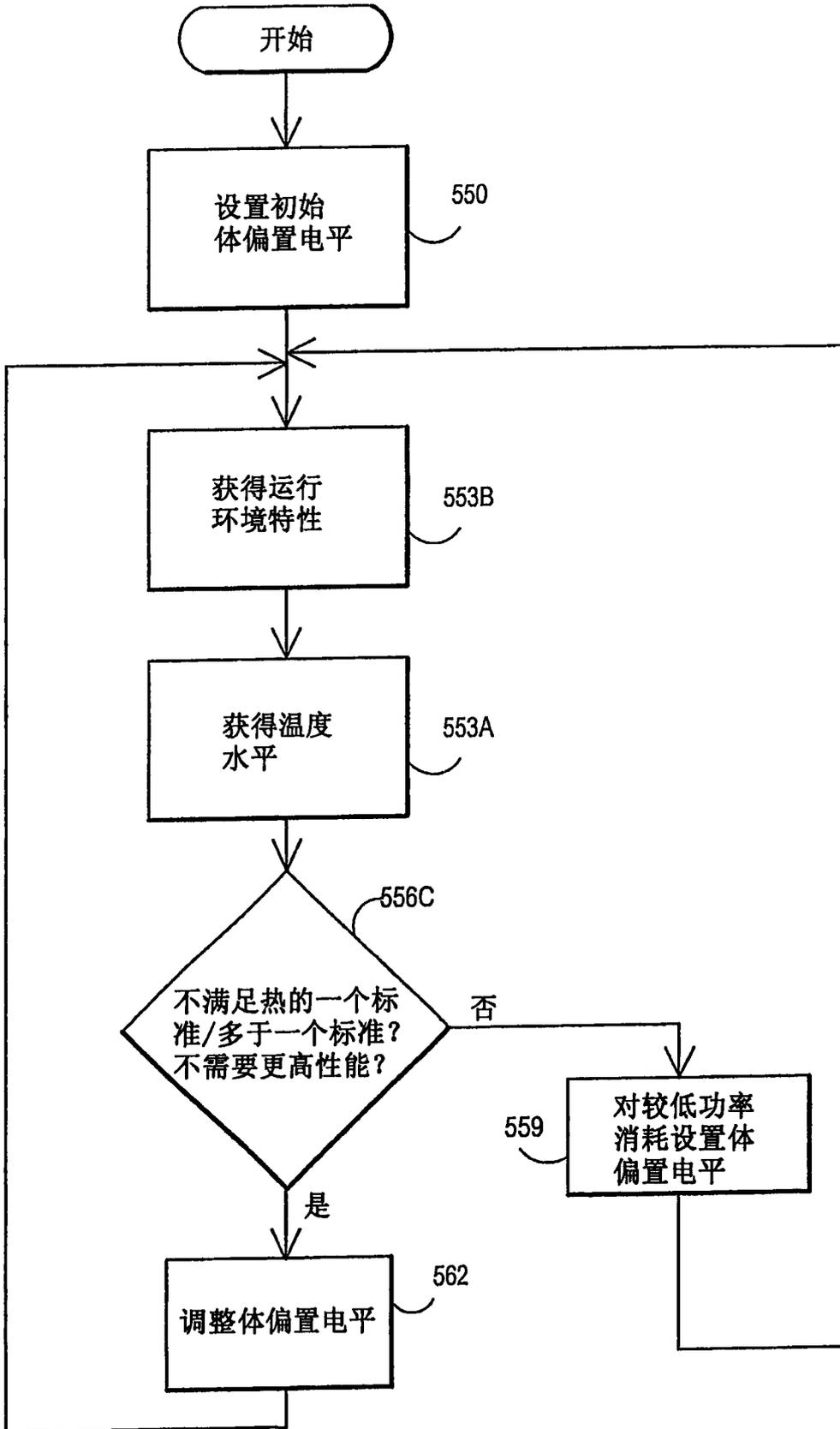


图 15

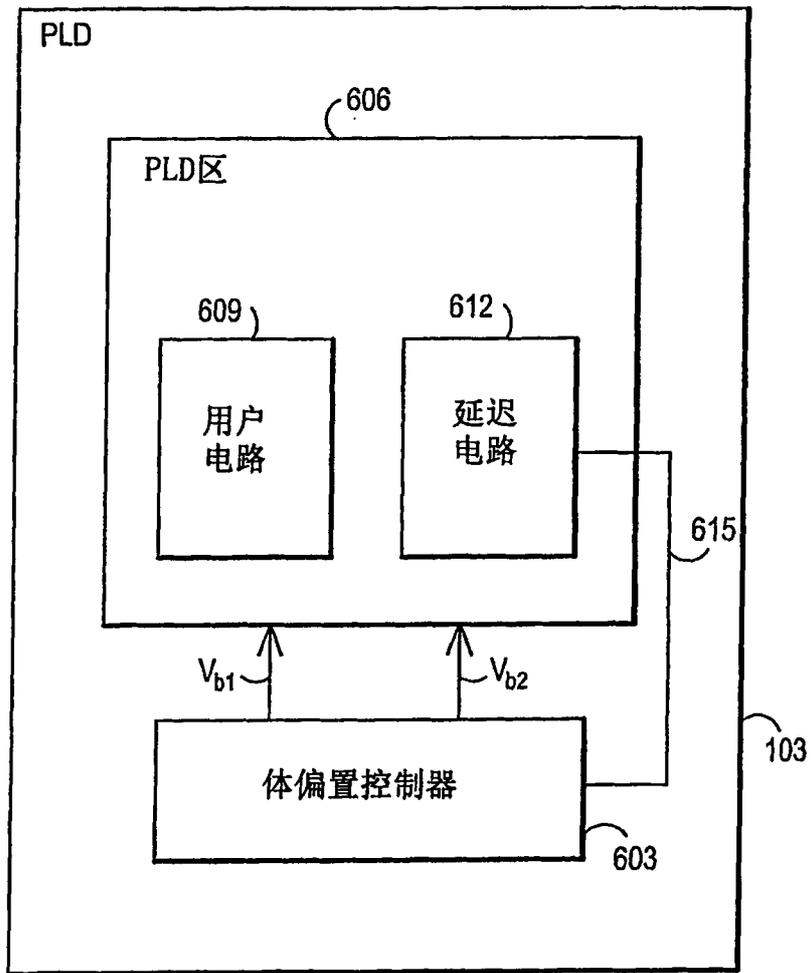


图 16

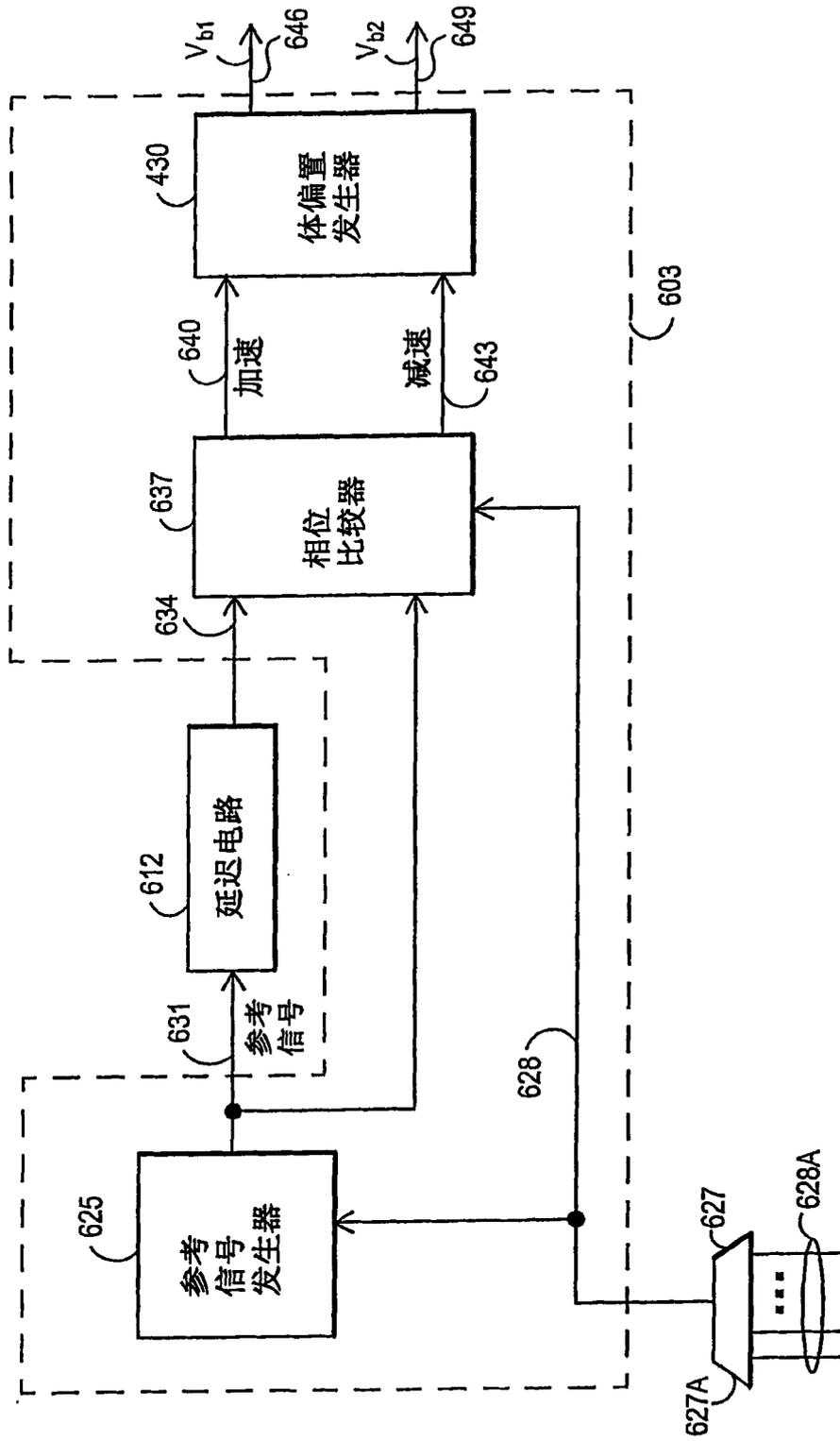


图 17

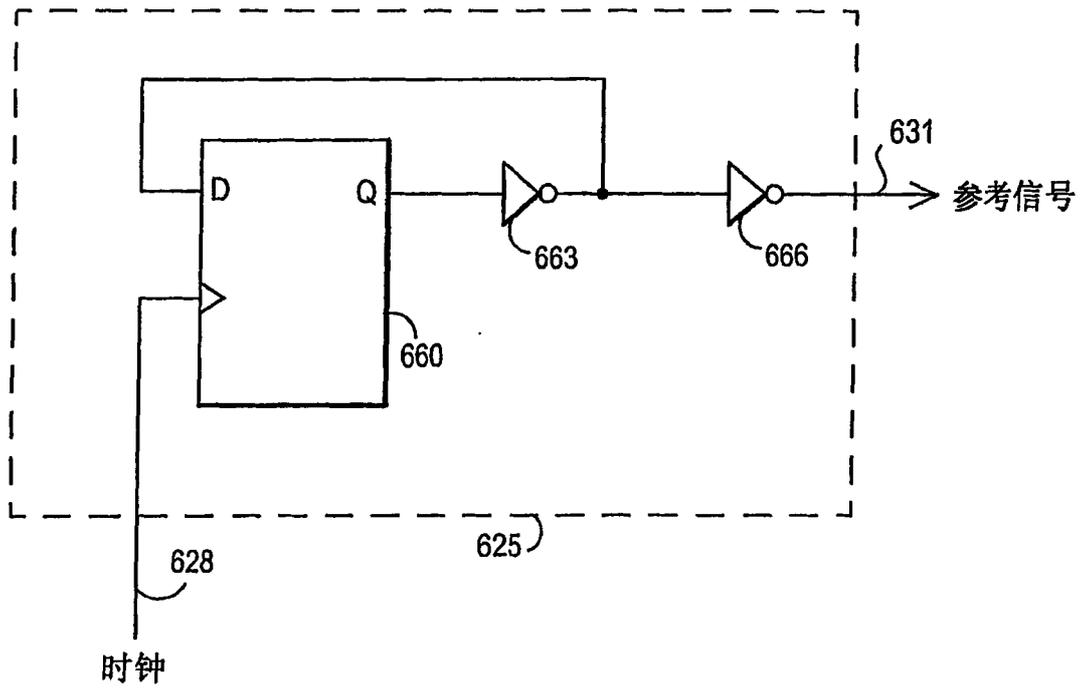


图 18

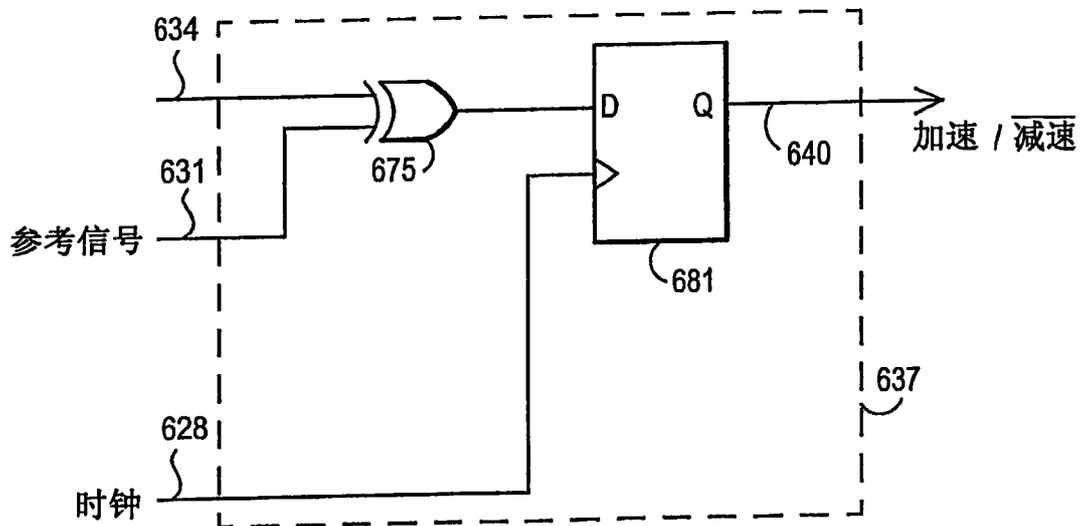


图 19

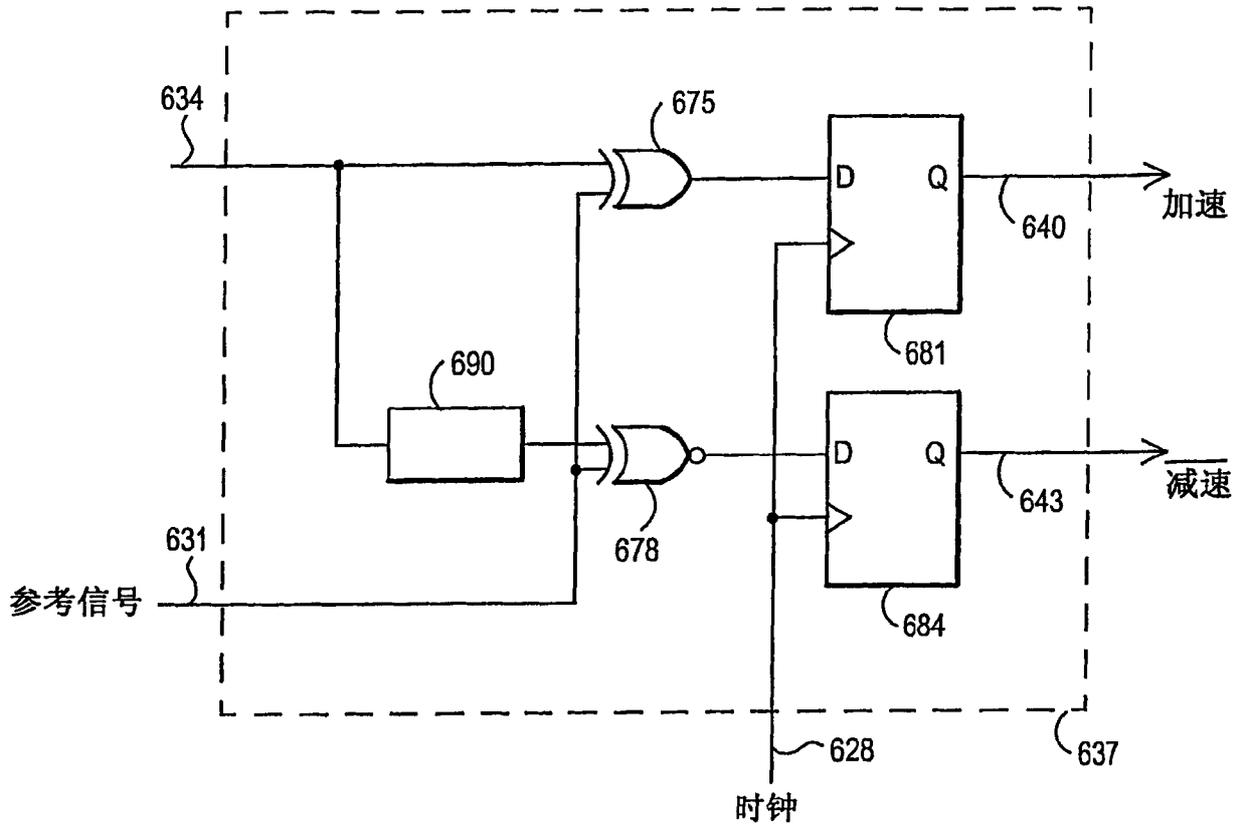


图 20

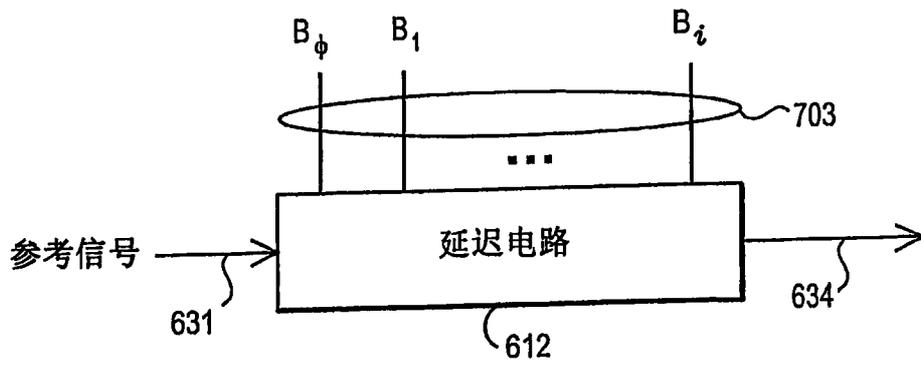


图 21

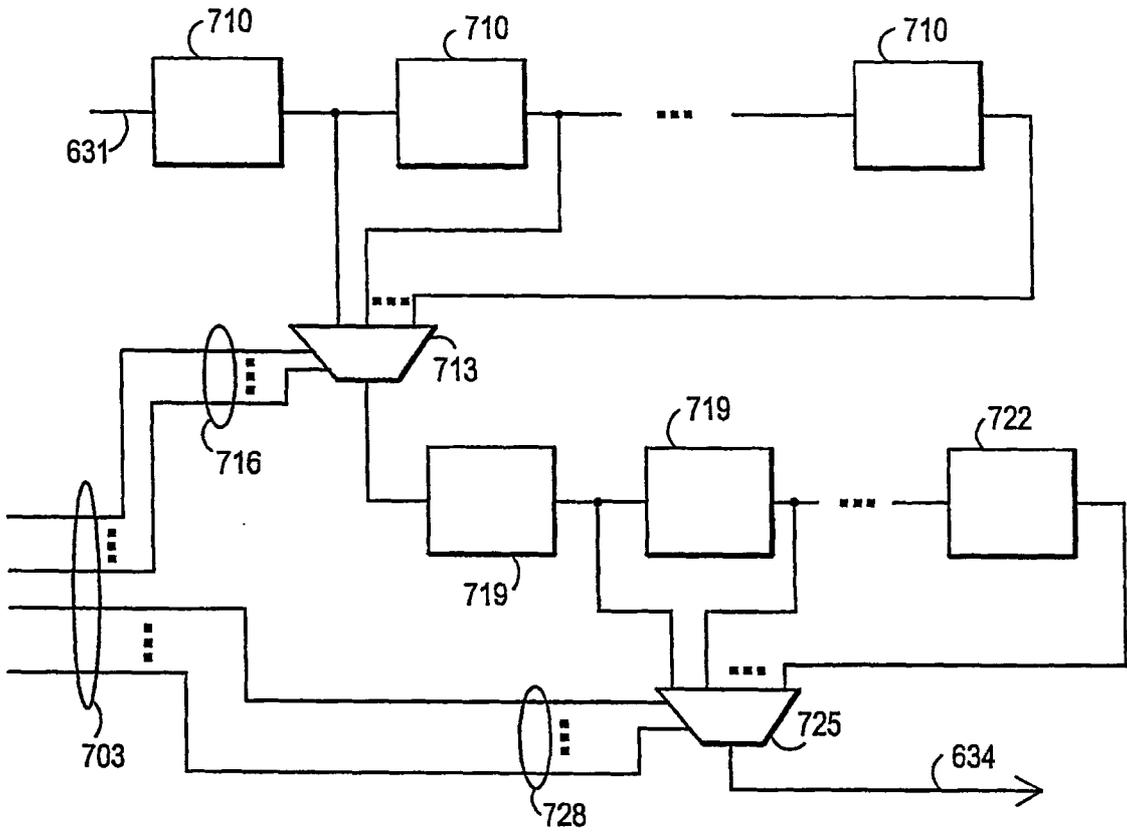


图 22

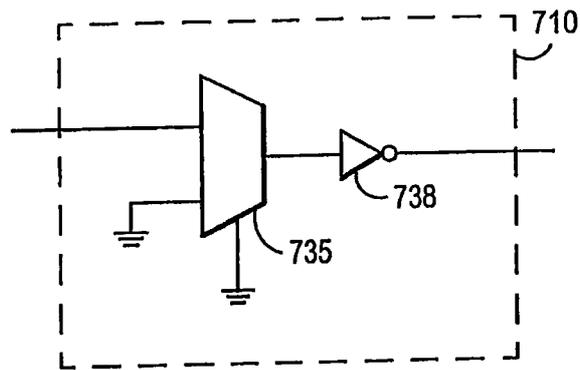


图 23

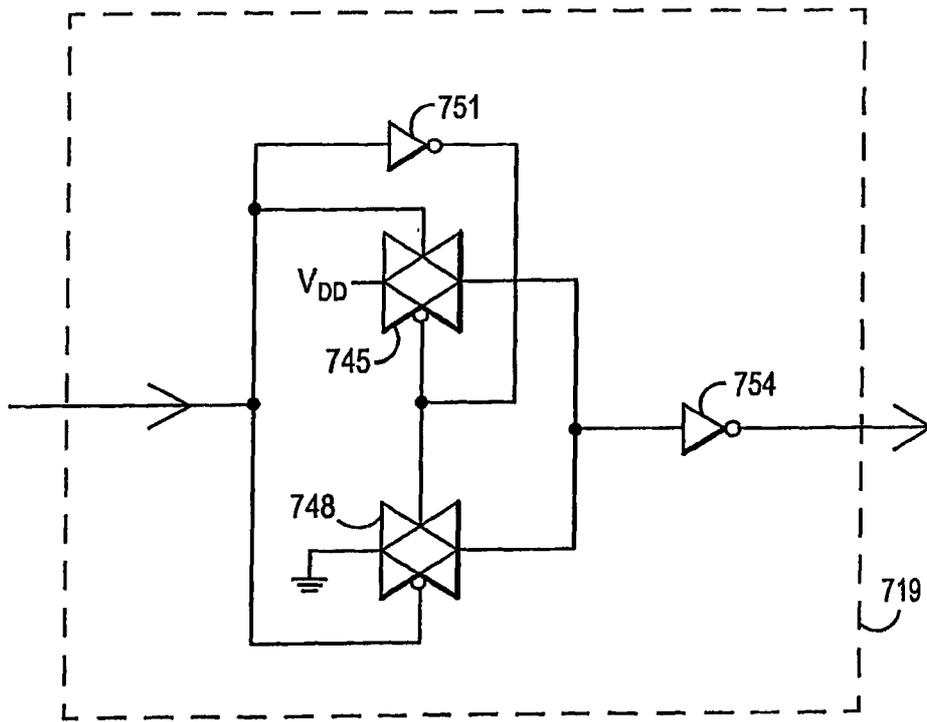


图 24

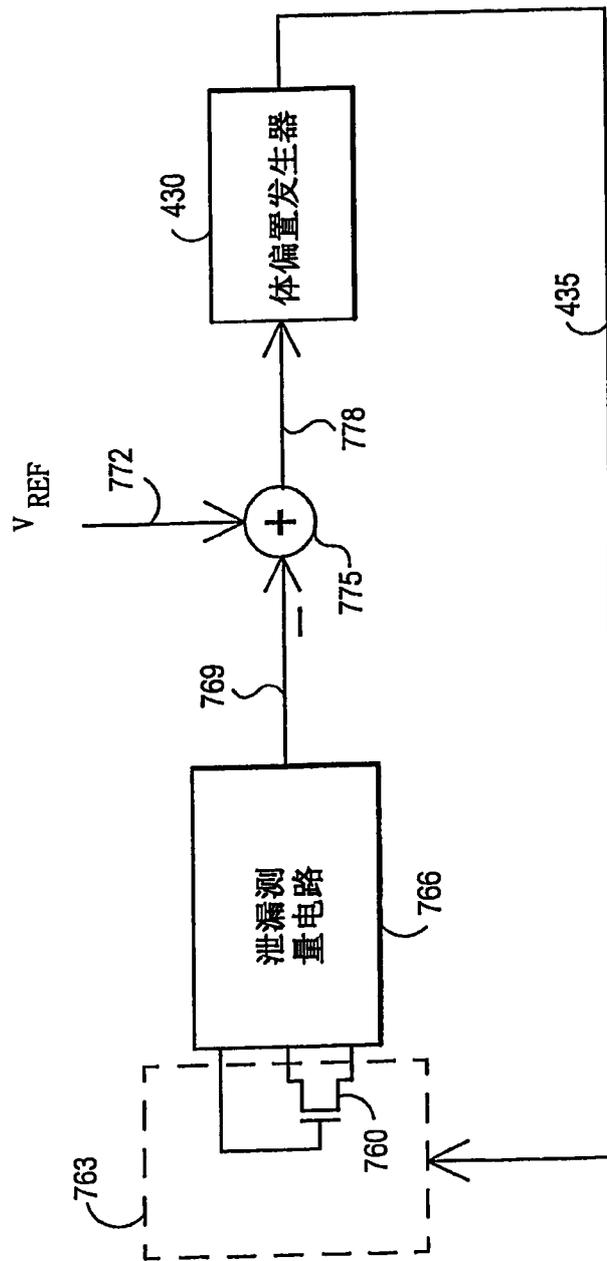


图 25

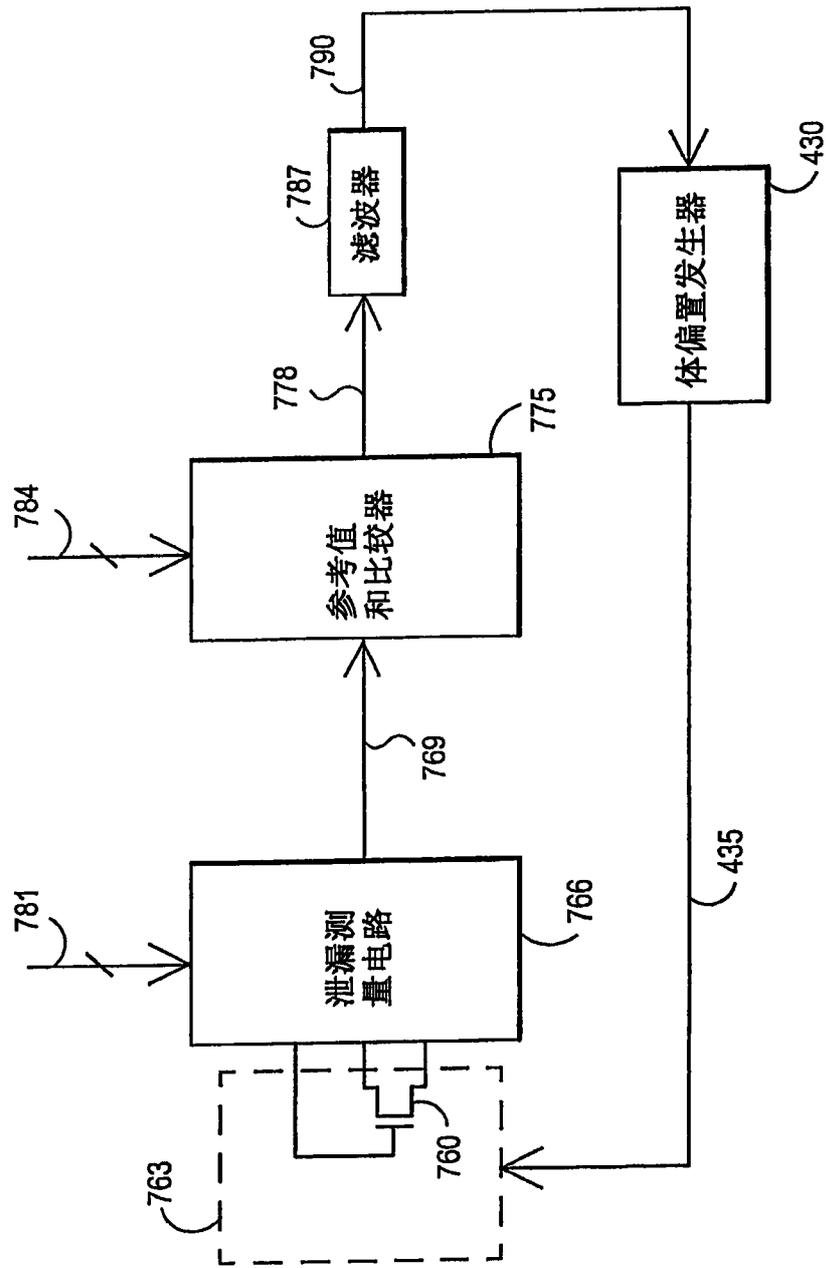


图 26

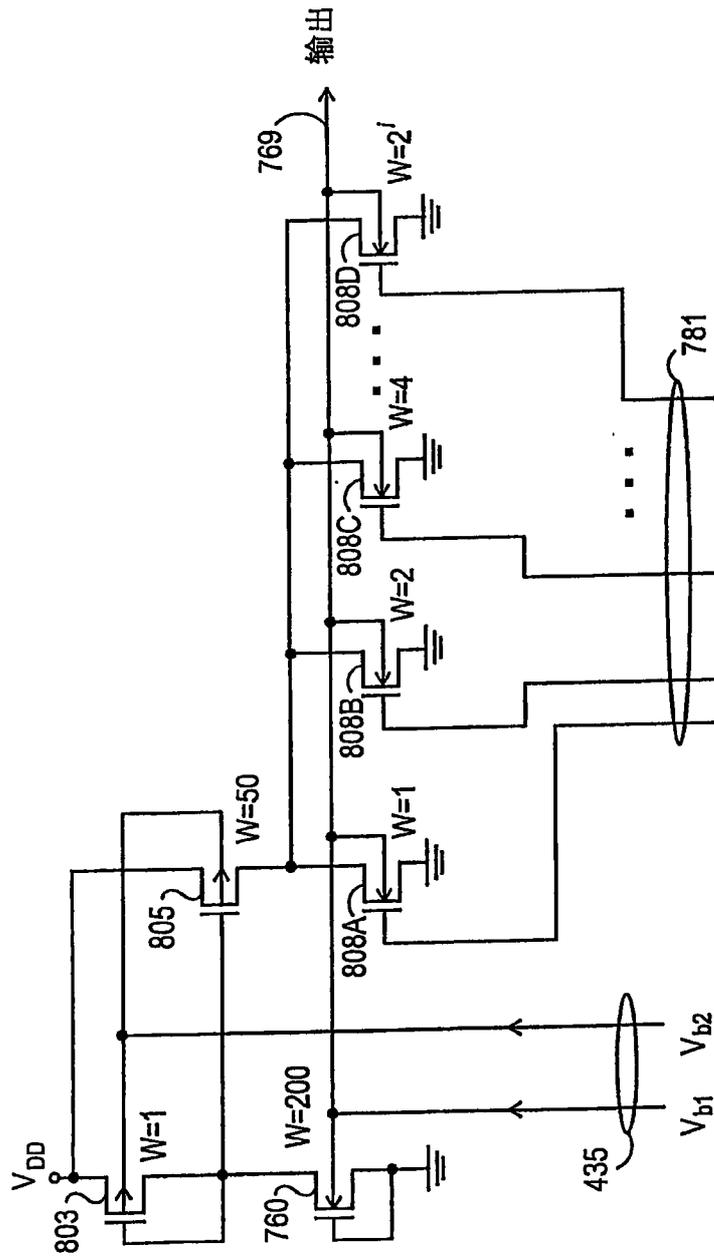


图 27

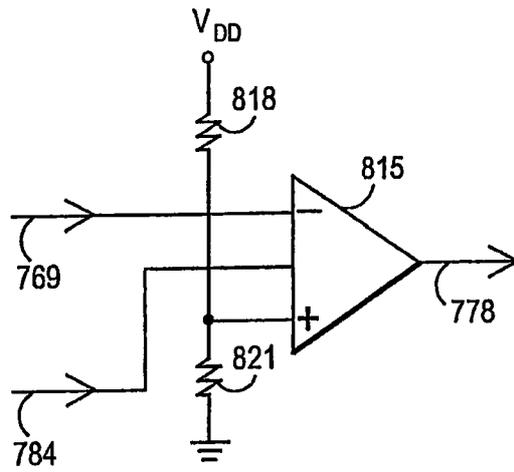


图 28

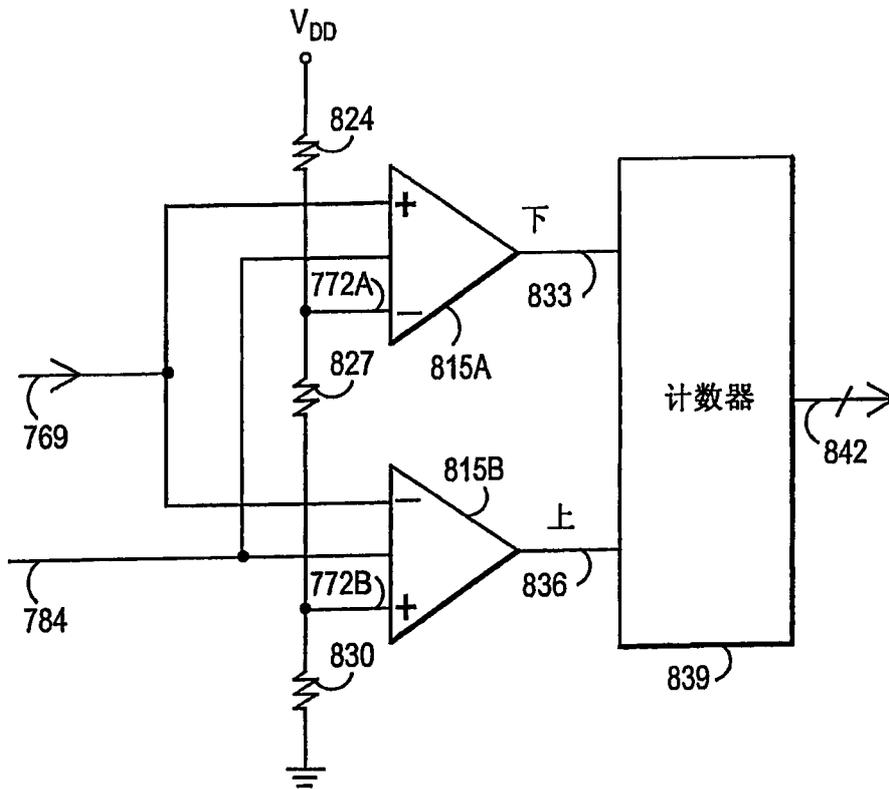


图 29

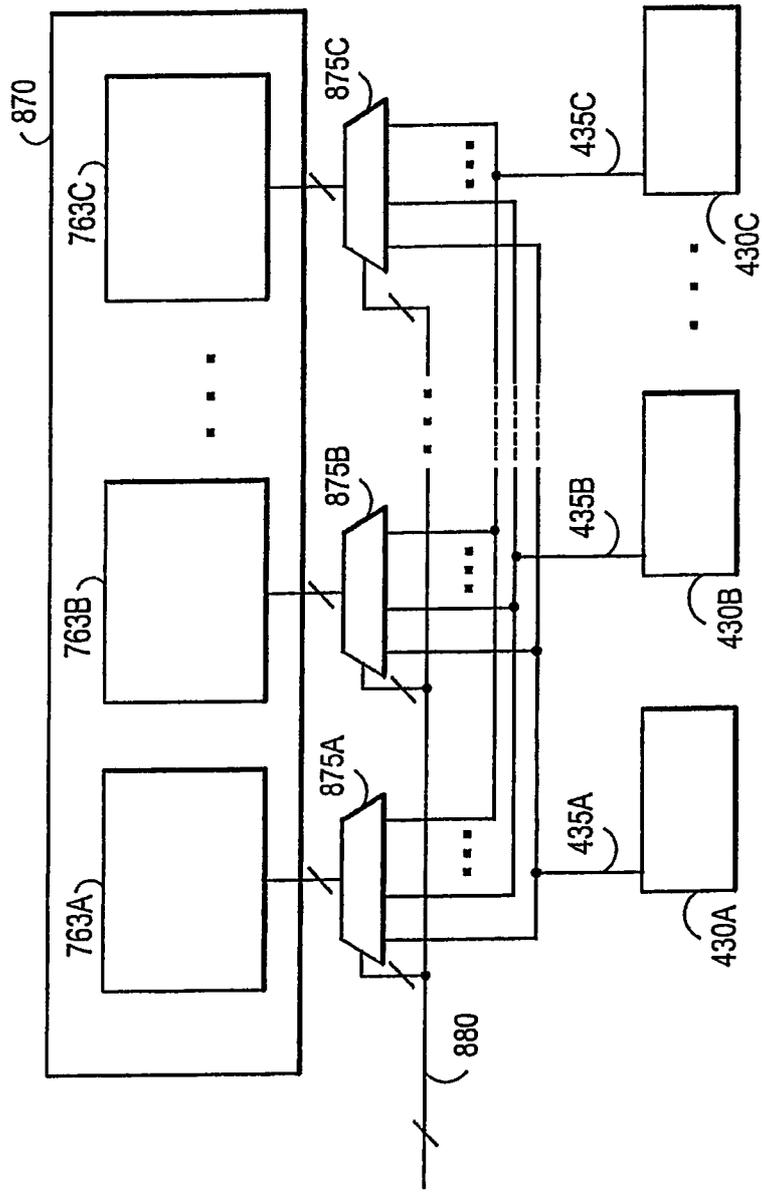


图 30