



(12) 发明专利

(10) 授权公告号 CN 101819941 B

(45) 授权公告日 2014. 03. 12

(21) 申请号 201010164898. 8

(22) 申请日 2010. 04. 29

(73) 专利权人 上海宏力半导体制造有限公司  
地址 201203 上海市张江高科技园区郭守敬路 818 号

(72) 发明人 高超 沈玺

(74) 专利代理机构 上海思微知识产权代理事务  
所(普通合伙) 31237  
代理人 郑玮

(51) Int. Cl.  
H01L 21/66(2006. 01)

(56) 对比文件  
CN 101281898 A, 2008. 10. 08,  
US 6593157 B1, 2003. 07. 15,  
CN 101800212 A, 2010. 08. 11,

审查员 杨丽丽

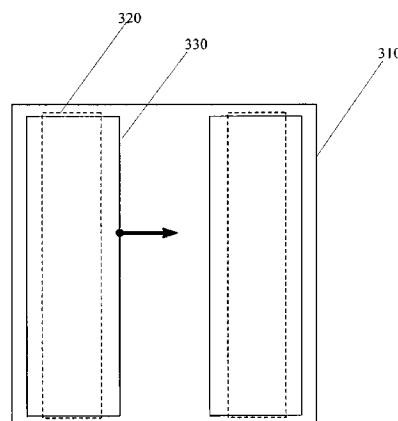
权利要求书1页 说明书3页 附图5页

(54) 发明名称

半导体器件栅氧化层完整性的测试结构

(57) 摘要

本发明揭露了一种半导体器件栅氧化层完整性的测试结构,包括:有源区;所述多个浅槽隔离平行间隔设置于所述有源区中;所述多个栅极结构平行间隔的覆盖于所述浅槽隔离上。利用本发明提供的半导体器件栅氧化层完整性的测试结构可以监测出多晶硅栅边缘和浅槽隔离边缘相接近处的应力对栅氧化层造成的影响,并通过缺陷分析可以有效的避免浅槽隔离边缘的应力对栅边缘的刻蚀的负面影响。



1. 一种半导体器件栅氧化层完整性的测试结构,其特征在于,包括:  
有源区;  
多个浅槽隔离平行间隔设置于所述有源区中;  
多个栅极结构平行间隔的覆盖于所述浅槽隔离上;  
所述多个浅槽隔离为长条形。
2. 根据权利要求 1 所述的半导体器件栅氧化层完整性的测试结构,其特征在于,所述栅极结构包括:栅极及栅氧化层。
3. 根据权利要求 2 所述的半导体器件栅氧化层完整性的测试结构,其特征在于,所述栅极为多晶硅或金属栅。
4. 根据权利要求 2 所述的半导体器件栅氧化层完整性的测试结构,其特征在于,所述栅氧化层为氧化层。
5. 根据权利要求 1 所述的半导体器件栅氧化层完整性的测试结构,其特征在于,所述多个栅极结构与所述多个浅槽隔离呈平行设置。
6. 根据权利要求 1 所述的半导体器件栅氧化层完整性的测试结构,其特征在于,所述多个栅极结构与所述多个浅槽隔离呈交叉设置。

## 半导体器件栅氧化层完整性的测试结构

### 技术领域

[0001] 本发明涉及半导体制造技术领域,特别涉及一种半导体器件栅氧化层完整性的测试结构。

### 背景技术

[0002] 随着半导体技术的不断发展,集成电路中的 MOS 晶体管的栅氧化层的厚度也由 20-30nm 降至 1nm 以下。栅氧化层不断向薄膜方向发展,而电源电压却不宜降低,在较高的电场强度下。势必使栅氧化层的性能成为一个突出的问题。栅氧抗电性能不好将引起 MOS 器件电参数不稳定,如:阈值电压漂移,跨导下降、漏电流增加等,进一步可引起栅氧的击穿,导致器件的失效,使整个集成电路陷入瘫痪状态。因此,栅氧化层的可靠性变的至关重要,而栅氧化层的可靠性问题主要讨论缺陷密度 (Defect Density) 问题和与时间有关的介质击穿 (TDDB :Time Dependent Dielectric Breakdown) 问题,多年来这些问题一直是超大规模集成电路可靠性研究领域关注的热点,也是限制集成度提高的重要原因。

[0003] 栅氧化层完整性 (GOI) 测试主要监测评估栅氧化层受外在因素的影响,这些因素包括制程中产生的缺陷或者微粒。现有技术 GOI 测试结构主要监测有源区,多晶硅栅边缘,浅槽隔离边缘的缺陷,请参见图 1A 至图 1C,现有技术的 GOI 测试结构主要有以下类型:

[0004] 请参见图 1A,其所示的 GOI 测试结构为有源区类型:方形的多晶硅栅 110 覆盖方形的有源区 120,该结构拥有最大的有源区面积,用以监测有源区 120 的应力 (stress) 对栅氧化层造成的影响。

[0005] 请参见图 1B,其所示的 GOI 测试结构为多晶硅栅边缘类型:条状多晶硅栅 130 覆盖方形有源区 140,该结构拥有最大的多晶硅栅边缘长度,用以监测条状多晶硅栅 130 边缘的应力对栅氧化层造成的影响。

[0006] 请参见图 1C,其所示的 GOI 测试结构为浅槽隔离边缘类型:方形多晶硅栅 150 覆盖包括条状浅槽隔离 160 的有源区 170,该结构拥有最大的浅槽隔离边缘长度,用以监测浅槽隔离 160 边缘的应力对栅氧化层造成的影响。

[0007] 然而由于工艺的发展,对 GOI 的测试技术也提出了新的挑战,特别是随着栅氧化层厚度的变化,新材料的引入,传统的 GOI 测试方法已经远远不能满足工艺的进步。

[0008] 在现有技术中,GOI 测试结构只是注重在栅有源区,多晶硅栅边缘,浅槽隔离边缘的应力对栅氧化层造成的影响进行监测,然而这些结构却忽略了多晶硅栅边缘和浅槽隔离边缘相接近处的应力所产生的影响,而浅槽隔离边缘的应力对多晶硅栅边缘的刻蚀有负面的影响,请参见图 2,其所示为 STI 剖面结构示意图,据图可知在有源区 210 的平面区上生长出的栅氧化膜厚度 220 为  $26\text{\AA}$ ,而在顶角区域,由于受到挤压应力,氧化膜厚度只有  $20-24\text{\AA}$ 。这种厚度不均匀会造成两个严重的后果:一是导致双峰效应 (double-hump effect);二是影响栅介质层的可靠度,即栅氧化层完整性 GOI。对于采用 STI 工艺的 MOS 器件,边缘电场的作用会造成器件的阈值电压 (threshold voltage,  $V_{th}$ ) 在接近 STI 区域降低,产生寄生的低阈值电压 MOS 管,恶化了器件在亚阈值区域的性能。而且较薄的氧化膜的

击穿特性差,通常在 GOI 测试中最早失效的区域就是在 STI 边缘。

[0009] 由于现有技术中的 GOI 测试结构忽略对这部分进行缺陷分析,导致器件因这部分存在缺陷而失效的情况时有发生,特别是随着栅氧化层厚度的减小,和新材料的应用,如高介电常数的材料和新型金属栅的应用,以上问题导致器件失效的问题变的日益突出。

### 发明内容

[0010] 本发明旨在解决现有技术中的栅氧化层完整性测试结构忽略对栅氧化层边缘和浅槽隔离边缘相接近处的缺陷,导致器件因这部分存在缺陷而失效的情况时有发生的问题。

[0011] 有鉴于此,本发明提供一种半导体器件栅氧化层完整性的测试结构,包括:有源区;所述多个浅槽隔离平行间隔设置于所述有源区中;所述多个栅极结构平行间隔的覆盖于所述浅槽隔离上。

[0012] 进一步的,所述栅极结构包括:栅极及栅氧化层。

[0013] 进一步的,所述栅极为多晶硅或金属栅。

[0014] 进一步的,所述栅氧化层为氧化层,氮化层或高介电常数材料层。

[0015] 进一步的,所述多个栅极结构与所述多个浅槽隔离呈平行设置。

[0016] 进一步的,所述多个栅极结构与所述多个浅槽隔离呈交叉设置。

[0017] 利用本发明提供的半导体器件栅氧化层完整性的测试结构可以监测出多晶硅栅边缘和浅槽隔离边缘相接近处的应力对栅氧化层造成的影响,并通过缺陷分析可以有效的避免浅槽隔离边缘的应力对栅边缘的刻蚀的负面影响。

### 附图说明

[0018] 图 1A 至图 1C 所示为现有技术中的栅氧化层完整性的测试结构示意图;

[0019] 图 2 所示为浅槽隔离剖面结构示意图;

[0020] 图 3A 至图 3C 所示为本发明一实施例提供的半导体器件栅氧化层完整性的测试结构示意图;

[0021] 图 4A 至图 4B 所示为本发明另一实施例提供的半导体器件栅氧化层完整性的测试结构示意图。

### 具体实施方式

[0022] 为使本发明的技术特征更明显易懂,下面结合附图,给出具体实施例,对本发明做进一步的描述。

[0023] 本发明的实施例提供一种半导体器件栅氧化层完整性的测试结构,该测试结构,包括:有源区;所述多个浅槽隔离(STI)平行间隔设置于所述有源区中;所述多个栅极结构平行间隔的覆盖于所述浅槽隔离上。

[0024] 其中所述栅极结构包括:栅极及栅氧化层。所述栅极为多晶硅或金属栅。所述栅氧化层为氧化层,氮化层或高介电常数材料层。

[0025] 在本发明一实施例中,所述多个栅极结构与所述多个浅槽隔离呈平行设置。

[0026] 请参见图 3A, 3B, 其中图 3A 中的浅槽隔离 320 位于栅极结构 330 下方,图 3B 中的浅

槽隔离 320' 位于栅极结构 330' 之间。当设置于有源区 310, 310' 中的栅极结构 330, 330' 与稀疏型的浅槽隔离 320, 320' 相平行时, 此时浅槽隔离 320, 320' 对栅极结构 330, 330' 边缘产生的一个应力的方向是垂直于栅极结构 330, 330' 的, 因而此结构可以监测到垂直于栅极结构 330, 330' 边缘方向的一个应力产生的影响。

[0027] 请参见图 3C, 当设置于有源区 310" 中的栅极结构 330" 与致密型的浅槽隔离 320" 相平行时, 即栅极结构 330" 下方和之间均存在浅槽隔离 320", 此时浅槽隔离 320" 之间相邻很近其中相邻浅槽隔离 320" 的边缘应力会同时影响到栅极结构 330", 导致栅氧化层中的应力较大, 因而此结构可以监测到垂直于栅极结构 330" 边缘的方向相反的两个应力共同作用的影响。

[0028] 在本发明的另一实施例中, 多个栅极结构与所述多个浅槽隔离呈交叉设置。

[0029] 请参见图 4A, 当设置于有源区 410 中的栅极结构 430 与稀疏型的浅槽隔离 420 相交时, 此时浅槽隔离 420 边缘会产生一个方向平行于栅极结构 430 边缘的应力, 因而该结构可以监测到平行于栅极结构 230 边缘方向的一个应力产生的影响。

[0030] 请参见图 4B, 当设置于有源区 410' 中的栅极结构 430' 与致密型的浅槽隔离 420' 相交时, 此时浅槽隔离 420' 相邻很近, 相邻的两个浅槽隔离 420' 会同时对栅极结构 430' 的边缘产生应力, 所产生的两个应力的方向平行于栅极结构 430' 边缘并且方向相反, 因而该结构可以监测到平行于栅极结构 430' 边缘的方向相反的两个应力共同作用的影响。

[0031] 利用本发明实施例提供的半导体器件栅氧化层完整性的测试结构可以监测出多晶硅栅边缘和浅槽隔离边缘相接近处的应力对栅氧化层造成的影响, 并通过缺陷分析可以有效的避免浅槽隔离边缘的应力对多晶硅栅边缘的刻蚀的负面影响。

[0032] 虽然本发明已以较佳实施例揭露如上, 然其并非用以限定本发明, 任何所属技术领域中具有通常知识者, 在不脱离本发明的精神和范围内, 当可作些许的更动与润饰, 因此本发明的保护范围当视权利要求书所界定者为准。

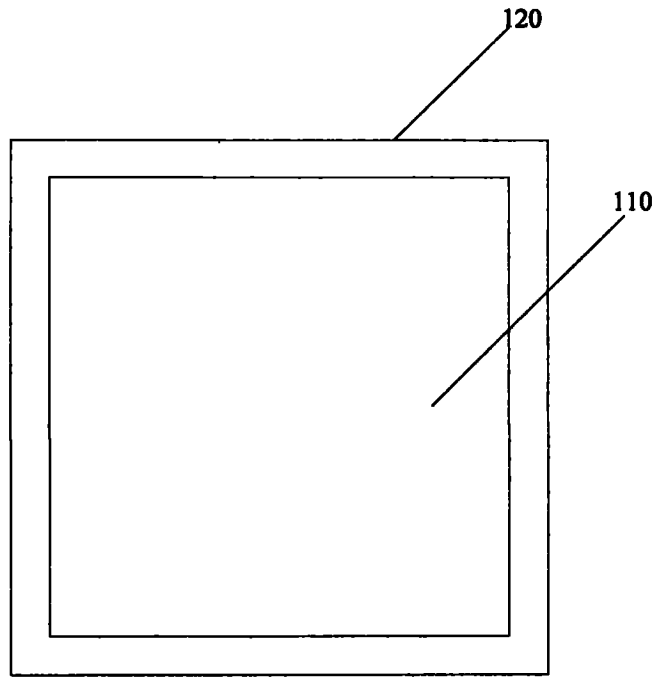


图 1A

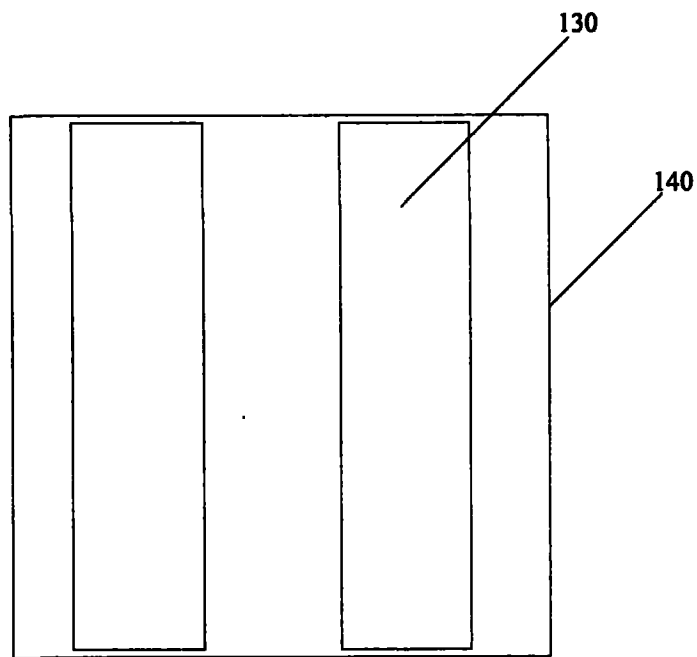


图 1B

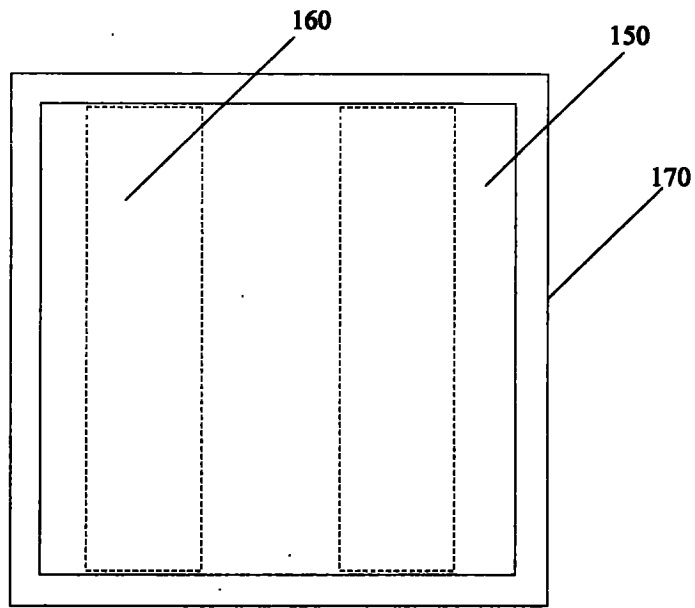


图 1C

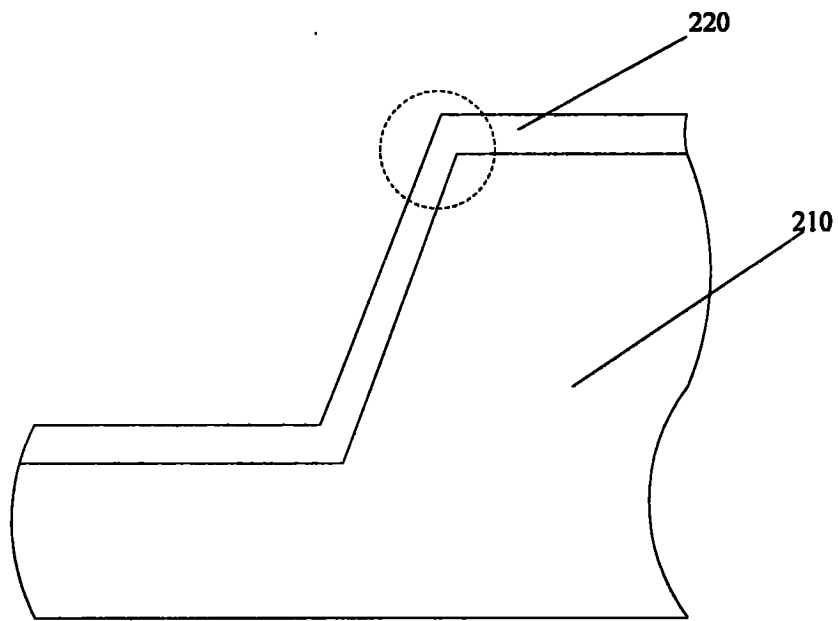


图 2

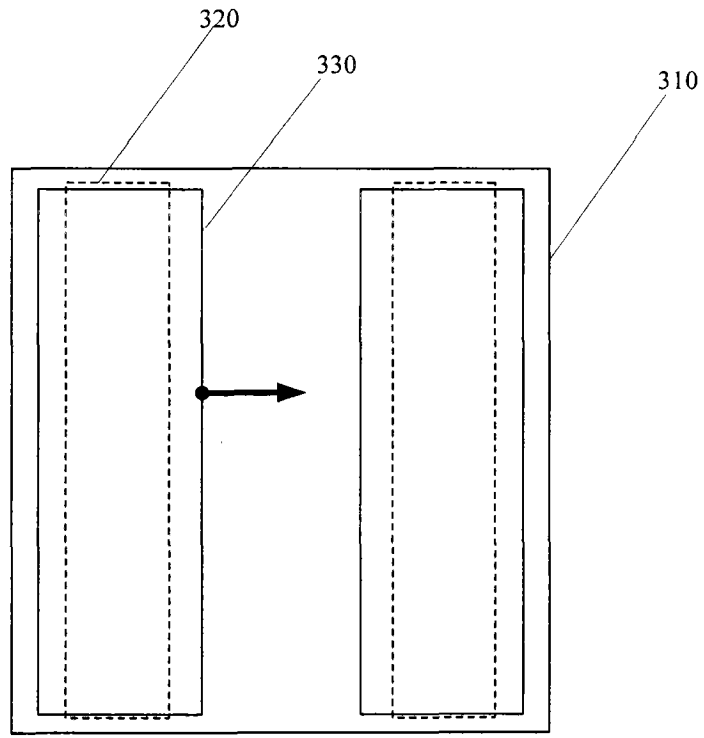


图 3A

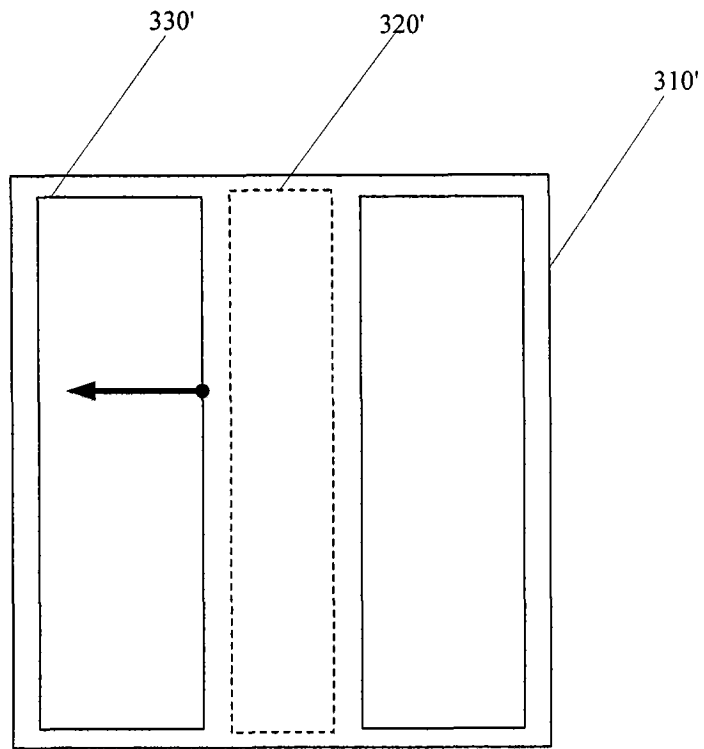


图 3B



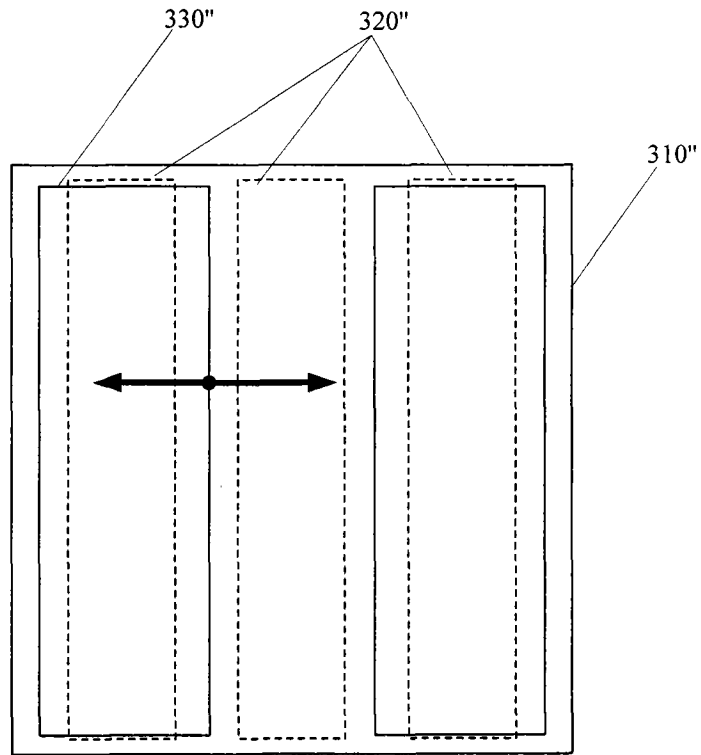


图 3C

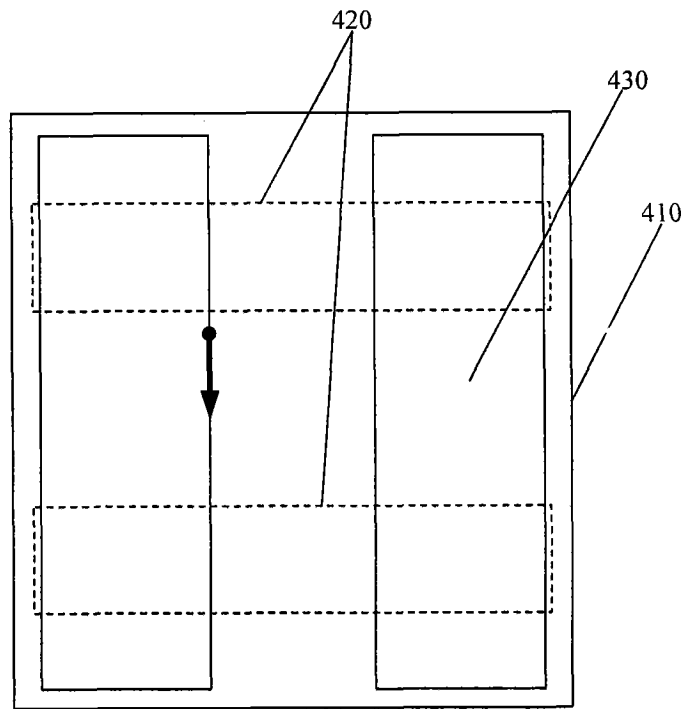


图 4A

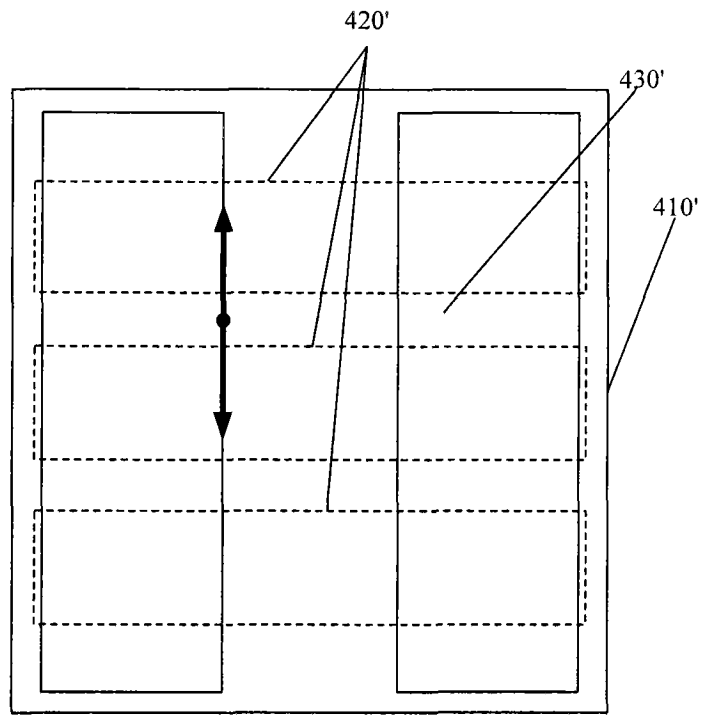


图 4B