

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3996765号
(P3996765)

(45) 発行日 平成19年10月24日(2007.10.24)

(24) 登録日 平成19年8月10日(2007.8.10)

(51) Int. Cl. F I
H O 1 G 4/33 (2006.01) H O 1 G 4/06 1 0 2

請求項の数 6 (全 11 頁)

(21) 出願番号	特願2001-395376 (P2001-395376)	(73) 特許権者	000006633
(22) 出願日	平成13年12月26日(2001.12.26)		京セラ株式会社
(65) 公開番号	特開2003-197464 (P2003-197464A)		京都府京都市伏見区竹田鳥羽殿町6番地
(43) 公開日	平成15年7月11日(2003.7.11)	(72) 発明者	見島 常雄
審査請求日	平成16年6月7日(2004.6.7)		京都府相楽郡精華町光台3丁目5番地3号
			京セラ株式会社中央研究所内
		審査官	鈴木 匡明

最終頁に続く

(54) 【発明の名称】 薄膜コンデンサの製造方法

(57) 【特許請求の範囲】

【請求項1】

下部電極層、薄膜誘電体層、上部電極層を同一バッチで支持基板全面に形成した後、前記上部電極層上に所定形状のレジスト層を形成し、同一レジスト層を用いて、前記上部電極層、前記薄膜誘電体層の一部を順次エッチングを行なうことで前記薄膜誘電体層、前記上部電極層を平面積および形状の等しいものに形成する薄膜コンデンサの製造方法であって、

前記下部電極層を150以上前記薄膜誘電体層の成膜温度より低温で成膜した後に、前記薄膜誘電体層の成膜温度に加熱して、前記薄膜誘電体層の成膜開始まで一定時間保持してアニールすることで平坦な下部電極層を得ることを特徴とする薄膜コンデンサの製造方法。

10

【請求項2】

前記下部電極層を構成する金属層は、PtまたはPdからなる金属層を有することを特徴とする請求項1に記載の薄膜コンデンサの製造方法。

【請求項3】

前記薄膜誘電体層は、少なくともBa、Sr、Tiを含有するペロブスカイト型酸化物結晶からなることを特徴とする請求項1または2に記載の薄膜コンデンサの製造方法。

【請求項4】

前記下部電極層、前記薄膜誘電体層、前記上部電極層を作製した後、前記支持基板全面に絶縁層を成膜し、前記上部電極層よりも大きな窓を有するレジスト膜を用いてエッチン

20

グを行なうことにより、絶縁層を所定形状に加工することを特徴とする請求項1ないし3のいずれかに記載の薄膜コンデンサの製造方法。

【請求項5】

前記下部電極層、前記薄膜誘電体層、前記上部電極層を作製した後、前記支持基板全面に絶縁層を成膜し、前記上部電極層が露出するまでエッチングを行なうことにより、レジスト層を用いずに絶縁層を所定形状に加工することを特徴とする請求項1ないし3のいずれかに記載の薄膜コンデンサの製造方法。

【請求項6】

前記上部電極層の最上面はAuであり、
前記下部電極層、前記薄膜誘電体層、前記上部電極層を作製した後、前記支持基板全面に絶縁層を成膜し、エッチングを、前記上部電極層上の前記絶縁層とその周囲の前記絶縁層とが分断された時点で止め、前記上部電極層上の前記絶縁層を除去することを特徴とする請求項1ないし5のいずれかに記載の薄膜コンデンサの製造方法。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、誘電体層を薄膜技法により形成した薄膜コンデンサに関するものであり、特に自己共振周波数が高く、高周波においても損失が小さい低容量の薄膜コンデンサの製造方法に関する。

【0002】

20

【従来技術】

コンデンサの一つにコンデンサの構成要素である電極層および誘電体層が薄膜で形成された薄膜コンデンサがある。これは通常、電気絶縁性の支持基板上に薄膜状の下部電極層、誘電体層、上部電極層がこの順に積層している。このような薄膜コンデンサでは下部電極層、上部電極層が夫々スパッタ、真空蒸着などで形成されており、誘電体層もスパッタ、ゾルゲル法等で形成されている。このような薄膜コンデンサの製造では、通常、以下のようにフォトリソグラフィの手法が用いられる。先ず、絶縁性支持基板上の全面に下部電極層となる導体層を形成した後、必要部のみをレジストで覆い、その後、ウエットエッチング又は、ドライエッチングで不要部を除去して、所定形状の下部電極層を形成する。次に、支持基板上に薄膜誘電体層となる誘電体層を全面に形成し、下部電極層同様に、不要部を除去して所定形状の薄膜誘電体層を形成する。最後に上部電極層となる導体層を全面に形成し、不要部を除去して所定形状の上部電極層を形成する。また、保護層やハンダバンプを形成することにより、表面実装が可能になる。また、薄膜誘電体層の材料として、 $(\text{Ba}_x\text{Sr}_{1-x})_y\text{Ti}_{1-y}\text{O}_3$ から成る誘電体材料を用いて、上部電極層と下部電極層との間に所定電位を与えて、誘電体層の誘電率を変化させて、容量を制御するチューナブル薄膜コンデンサも同様な構造である。

30

【0003】

薄膜コンデンサを、例えば、高周波回路でコンデンサとして用いるためには、自己共振周波数が使用される周波数よりも高周波側に位置する必要がある。このような薄膜コンデンサは下部電極層、上部電極層でのインダクタンスを小さくすることで可能であり、インダクタンスの小さな薄膜コンデンサは例えば特開平8-241830公報に開示されている。

40

【0004】

【発明が解決しようとする課題】

上述のように薄膜コンデンサを、高周波回路でコンデンサとして用いるためには、自己共振周波数が使用される周波数よりも高周波側に位置する必要があるが、インダクタンスが小さいことが必要であるが、同時に下部電極層、上部電極層の損失も低い必要がある。これは、共振点がコンデンサを使用する周波数より高周波側にあっても、共振点近傍の周波数ではコンデンサに起因するインピーダンスが小さくなっているため、損失が大きいコンデンサでは抵抗成分が支配的になる。このため、下部電極層、上部電極層による損失を低減

50

するためには、抵抗率の小さな金属を用い、且つ下部電極層、上部電極層をできる限り厚くする必要がある。

【0005】

また、コンデンサの容量を小さくすることにより、自己共振周波数をさらに高周波側にずらすことが可能となり、共振の影響による損失の増加を低減できる。コンデンサの容量を小さくすることは、下部電極層と上部電極層に挟持された薄膜誘電体層からなる容量発生領域の平面積を小さくすることが必要となるが、コンデンサの平面積を小さくすることにより、コンデンサを構成する誘電体部分にリーク特性を劣化させる段差が生じ信頼性が低下したり、製造工程において位置合わせの精度が厳しくなり、結果として歩留の低下につながる。

10

【0006】

また、前述の電極層による損失を低減させるために電極層を厚くすることは段差をさらに増大させることになる。

【0007】

また、従来の薄膜コンデンサでは、低融点の金属が電極として用いられていたり、高融点の金属が用いられている場合でも微構造が考慮されておらず、密着性が悪くなり、結果として信頼性、耐湿性に劣ることになっている。

【0008】

本発明は上述の問題点に鑑みて案出されたものであり、その目的は、下部電極層、上部電極の電極損失が小さく、且つ容量発生領域の平面積を位置合わせの精度を必要とすることなく精度よく形成することができ、工程を簡略化し、薄膜コンデンサを提供することにある。

20

【0009】

さらに、段差をなくし、信頼性を向上し、基板、電極、誘電体の密着性を向上し、耐湿性を向上した、薄膜コンデンサを提供することにある。

【0010】

【課題を解決するための手段】

本発明の薄膜コンデンサの製造方法は、下部電極層、薄膜誘電体層、上部電極層を同一バッチで支持基板全面に形成した後、前記上部電極層上に所定形状のレジスト層を形成し、同一レジスト層を用いて、前記上部電極層、前記薄膜誘電体層の一部を順次アルゴンエッチング等により、エッチングを行なうことで前記薄膜誘電体層、前記上部電極層を平面積および形状の等しいものに形成する薄膜コンデンサの製造方法であって、前記下部電極層を150以上前記薄膜誘電体層の成膜温度より低温で成膜した後に、前記薄膜誘電体層の成膜温度に加熱して、前記薄膜誘電体層の成膜開始まで一定時間保持してアニールすることで平坦な下部電極層を得ることを特徴とするものである。

30

【0011】

また、下部電極層が、前記薄膜誘電体層の直下に上部電極層および薄膜誘電体層と形状および平面積が等しい突起部を有している。

【0012】

また、前記下部電極層の突起部、前記薄膜誘電体層、前記上部電極層の周囲に絶縁体層が配置されている。

40

また、前記薄膜誘電体層が、少なくともBa、Sr、Tiを含有するペロブスカイト型酸化物結晶からなる。

また、前記薄膜誘電体層は、下部電極及び上部電極層との界面に夫々SiO_xまたはSiN_xの少なくとも1つから成る誘電体層を介在させている。

また、前記絶縁体層がSiO_xまたはSiN_xから構成されている。

また、前記下部電極層として平坦なPtまたはPdを用いられている。

また、前記下部電極層は、Au、Ag、Cuのいずれから成り、且つ前記支持基板及び誘電体層との界面にPtまたはPdのいずれかの1層を介在させている。

また、前記下部電極層は、PtまたはPdのいずれかとAu合金とから成っている。

50

また、前記上部電極層は、薄膜誘電体層側からPtまたはPdのいずれかの層とAuとからなる2層構造で構成されている。

上部電極層は、前記薄膜誘電体層側からPtまたはPdのいずれかの金属層と、Cu、Agのいずれかの金属層と、Auからなる金属層の3層構造である。

【0014】

また、下部電極層または上部電極層を構成する金属層の内、少なくともPtまたはPdからなる金属層を薄膜誘電体層の成膜温度より低温で成膜した後に、薄膜誘電体層の成膜温度に加熱することにより、平坦な電極を得ることを特徴とする薄膜コンデンサの製造方法である。

【0015】

また、所定形状の下部電極層、薄膜誘電体層、上部電極層を作製した後、支持基板全面に絶縁層をスパッタ等で成膜し、上部電極よりも大きな窓を有するレジスト膜を用いてエッチングを行なうことにより、所定形状の絶縁層を得ることを特徴とする薄膜コンデンサの製造方法。

【0016】

所定形状の下部電極層、薄膜誘電体層、上部電極層を作製した後、基板全面に絶縁層をスパッタ等で成膜し、上部電極層が露出するまでエッチングを行なうことにより、レジスト層を用いずに所定形状の絶縁層を得ることを特徴とする薄膜コンデンサの製造方法である。また、下部電極層、薄膜誘電体層、上部電極層を作製した後、支持基板全面に絶縁層をスパッタ等で成膜し、エッチングを、上部電極層上の絶縁層とその周囲の絶縁層とが分断された時点で止め、上部電極層上の絶縁層を除去することを特徴とする薄膜コンデンサの製造方法である。

【0017】

これにより上部電極、下部電極の厚みを厚くすることができ、電極による損失を小さくすることが出来る。また、薄膜誘電体層が上部電極層の直下にのみ存在し、薄膜誘電体層と上部電極層の形状および平面積が等しいことから、コンデンサ素子の容量を正確に制御することが出来る。

【0018】

また、前記下部電極層が、前記薄膜誘電体層の直下に上部電極層および薄膜誘電体層と形状および平面積が等しい突起部を有することにより、コンデンサ素子の容量をさらに正確に制御できる。

【0019】

さらに、以上のような構造においては、下部電極層、薄膜誘電体層、上部電極層を支持基板全面に形成した後、上部電極層上に所定形状のレジスト層を形成し、同一レジスト層を用いて、上部電極層、薄膜誘電体層を順次アルゴンエッチング等により、物理的にエッチングを行なうことで平面積および形状の等しい下部電極層の突起部、薄膜誘電体層、上部電極層を形成することができ、下部電極層、誘電体層、上部電極層の形成が、1バッチでスパッタ成膜できることになる。下部電極形成後、誘電体形成後も大気中に曝す必要が無いため、膜表面に水分、油脂等の付着が起こることがなくなり、電極、誘電体間の密着が大幅に改善することができ、密着が改善できることから耐湿性が向上し、コンデンサ素子としての信頼性も向上する。また、スパッタが1バッチになること、および上部電極層と薄膜誘電体層のエッチングに同一レジストを用いることが出来るので、薄膜コンデンサ製造工程が大幅に簡略化される。

【0020】

また、前記下部電極層の突起部、前記薄膜誘電体層、前記上部電極層の周囲に、絶縁体層が配置されていることにより、誘電体層が直接絶縁体層に取り囲まれることになる。これにより、誘電体側面が誘電体との密着性がよい絶縁体層に封止されることになり、誘電体側面の耐湿性が向上し、コンデンサ素子としての信頼性も向上する。

【0021】

この様な絶縁体層は所定形状の下部電極層、薄膜誘電体層、上部電極層を作製した後、基

10

20

30

40

50

板全面に絶縁層をスパッタ等で成膜し、上部電極よりも大きな窓を有するレジスト膜を用いてエッチングを行なうことにより作製が可能である。

【0022】

さらに、所定形状の下部電極層、薄膜誘電体層、上部電極層を作製した後、基板全面に絶縁層をスパッタ等で成膜し、物理的にエッチングを行なうことにより、レジスト層を用いずに所定形状の絶縁層を得ることによっても作製が可能である。

【0023】

また、前記薄膜誘電体層が少なくともBa、Sr、Tiを含有するペロブスカイト型酸化物結晶からなることを特徴とする薄膜コンデンサであることから、誘電体自体の損失も低減できるようになり、さらに、外部電圧の印加によって誘電率を変化することが出来る
10 チューナブル薄膜コンデンサとすることも出来る。特に、下部電極層、上部電極層に直流バイアスを印加するが、容量発生領域部分での電極の厚みを厚くすることにより、バイアスの偏りがなく、安定した誘電率の制御が可能となる。

【0024】

また、D1をSiO_xまたはSiN_x、D2を(Ba_xSr_{1-x})_yTi_{1-y}O₃としたときに、前記薄膜誘電体層として下部電極側からD1/D2/D1の3層構造を用いることにより、金属層よりもさらに密着性のよいSiO_xまたはSiN_xの様な絶縁層により(Ba_xSr_{1-x})_yTi_{1-y}O₃の上下を挟み込むことになり、さらに耐湿性が向上し、コンデンサ素子としての信頼性が向上できる。
20

【0025】

また、前記絶縁体層がSiO_xまたはSiN_xからなることにより、薄膜誘電体層の耐湿性が向上し、さらに、これらの低誘電率の絶縁体層が薄膜誘電体層の側面に位置することから、浮遊容量の発生を小さく抑えることが出来る。

【0026】

また、前記下部電極層として平坦なPtまたはPdを用いることにより、薄膜誘電体層との密着性が向上し、薄膜誘電体層の凹凸が小さくなるため、破壊電圧が高く、リーク電流が小さくなり、信頼性の向上に繋がる。また、これらの金属は高融点であることから直後に成膜を行なう薄膜誘電体層を高温で成膜できるようになり、緻密で、酸素欠陥が少なく、損失が小さな薄膜誘電体層を成膜することができる。さらに、チューナブル薄膜コンデンサの作製においては、誘電率の変化率の大きな薄膜誘電体を成膜することができる。
30

【0027】

また、Me1をPtまたはPdとし、Me2をAu、Ag、Cuの何れかとしたときに、前記下部電極層として支持基板側からMe1/Me2/Me1の3層構造を用いることとし、少なくとも薄膜誘電体側のMe1層が平坦であることにより、緻密で、酸素欠陥が少なく、損失が小さな薄膜誘電体層を成膜することができ、チューナブル薄膜コンデンサの作製においては、誘電率の変化率の大きな薄膜誘電体を成膜することができるに加えて、支持基板、薄膜誘電体層と密着性が良く、しかも安価で、抵抗率が小さい電極層を作製することが可能になる。また、MeをPtまたはPdとしたときに、下部電極層として平坦なMe-Au合金を用いることにより、より安定して、支持基板、薄膜誘電体層と密着性が良く、しかも安価で、抵抗率が小さい電極層を作製することが可能になる。
40

【0028】

また、MeをPtまたはPdとしたときに、前記上部電極層として薄膜誘電体層側からMe/Auの2層構造を用いることにより、薄膜誘電体層とは密着性が良く、絶縁体層とは密着性が悪い上部電極層を作製できる。上述の方法で絶縁層を作製する時に、密着性の悪い上部電極上の絶縁層は完全に除去できることになる。さらに、抵抗率の低い上部電極層を作製することが出来るため、薄膜コンデンサとしての損失を小さくすることが出来る。

【0029】

また、Me1をPtまたはPd、Me2をCu、Agとしたときに、上部電極層として誘電体側からMe1/Me2/Auの3層構造を用いることにより、安価に抵抗率の低い上部電極層を作製することが出来る。
50

【0030】

電極層を構成する金属層の内、少なくともPt、Pd層を薄膜誘電体層の成膜温度より低温で成膜した後に、薄膜誘電体層の成膜温度に加熱して、薄膜誘電体層の成膜開始まで一定時間保持することにより、平坦な電極を得ることができるが、この方法では、一旦金属層を成膜したあとに、チャンバーから試料を取り出してアニールを行なうことが必要でなくなり、同一バッチで成膜、アニールが可能となる。

【0031】

【発明の実施の形態】

以下、本発明の薄膜コンデンサを図面に基づいて詳説する。

【0032】

図1は、本発明の薄膜コンデンサの断面を示すものである。図2は図1中丸印部分の容量発生領域部分の拡大断面図であり、図3は保護膜を省略した状態の平面図である。

10

【0033】

図において1は支持基板であり、2は下部電極層であり、3は薄膜誘電体層であり、4は上部電極層であり、6は上部引出し電極であり、7は保護層であり、8、9は端子部である。また、薄膜誘電体層3および上部電極層4の周囲には、絶縁体層5が配置される。

【0034】

支持基板1はアルミナなどのセラミック基板、サファイアなどの単結晶基板などである。そして、支持基板1の表面には、下部電極層2が形成されている。下部電極層2、薄膜誘電体層3、上部電極層4は支持基板上の全面に同一バッチで形成され、全層のスパッタ終了後に、先ず薄膜誘電体層3および上部電極層4が所定形状のレジスト層を用いて同一形状に物理的にエッチングされ、その後下部電極層2が所定形状のレジスト層を用いて物理的または化学的にエッチングされる。

20

【0035】

下部電極層2は、薄膜誘電体層3の形成に高温スパッタが必要となるため、高融点でしかも貴金属であるPtなどである。この下部電極層2は、例えば、基板温度150 から600 で形成されている。その後、薄膜誘電体層3のスパッタ温度である700~900へ加熱され、スパッタ開始まで一定時間保持することにより平坦な薄膜となる。尚、図1中、符号21は、下部電極層2の一部を端子部9が形成される部位にまで延出される端子配置部である。

30

【0036】

この下部電極層2の厚みは、端子部9から容量発生領域までの抵抗成分、下部電極層2の連続性（いずれも厚みが厚い方が望ましい）及び支持基板1との密着性（厚みが相対的に薄い方が望ましい）を考慮して決定され、例えば、0.1~10 μm となっている。例えば、0.1 μm よりも小さくなると、電極自身の抵抗が大きくなると同時に、電極の連続性がなくなり、信頼性が劣るようになる。一方、10 μm 以上にすると支持基板1との密着信頼性が低下する。

【0037】

尚、下部電極層2を構成する金属材料は、高融点の貴金属Pt、Pd以外に、Au、Ag、Cuなどを適用した3層構造とすることも可能である。

40

【0038】

薄膜誘電体層3は、少なくともBa、Sr、Tiを含有するペロブスカイト型酸化物結晶粒子から成る高誘電率の誘電体層である。この薄膜誘電体層3は、上述の下部電極層2の表面に形成されている。例えば、ペロブスカイト型酸化物結晶粒子が得られる誘電体をターゲットとして、スパッタリングを行なう。例えば、基板温度を800として、厚みを考慮した時間だけ成膜を行う。高温でスパッタを行なうことにより、スパッタ後の熱処理を行なうこと無く、高誘電率で損失の低い薄膜誘電体層が得られる。

【0039】

上部電極層4の材料としては電極の抵抗を下げるため、抵抗率の小さなAuが望ましく、その他に、Ag、Cuなども使用できるが、薄膜誘電体層との密着性向上のためにはPt

50

、Pdなどの高融点貴金属が望ましい。この上部電極層4の厚みは0.1~10 μ mとなっている。厚みの下限については下部電極層2と同様に、電極自身の抵抗を考慮して設定される。また、厚みの上限については密着性の低下を考慮して設定される。尚、図1中において、符号61、62は、上部電極層4の一部が延出または同一工程で形成されるものであり、端子部8、9が形成される部位にまで延出される端子配置部である。

本発明の薄膜コンデンサにおいては、上述の様に、下部電極層2、薄膜誘電体層3、上部電極層4を同一バッチでスパッタ成膜でき、大気に曝すことなく上部電極層まで成膜できるので、下部電極層-薄膜誘電体層間、薄膜誘電体層-上部電極層間に油脂等の、余分な付着が起こらないので、密着性が大幅に改善され、下部電極層-薄膜誘電体層間、薄膜誘電体層-上部電極層間への水分等の浸入を防止することができ、耐湿性を大幅に改善することができる。

10

【0040】

絶縁層5は、下部電極層2の突起部、薄膜誘電体層3、上部電極層4の周囲に形成されるものであり、材料は、SiO₂、Si₃N₄等のセラミックスなどである。

このような絶縁層5は、例えば、下部電極層2、上部電極層4及び支持基板1上に形成され、上部電極層4の上面ののみが露出するように、ドライエッチングで不要部分を除去する。成膜、エッチングの様子を図4に示す。絶縁層5をスパッタで成膜する場合、スパッタでは、ターゲットのある一点から色々な方向にターゲット構成物質が放出されるので、基板上のある一点には色々な方向から飛来したターゲット構成物質が堆積していくことになる。ところが、ドライエッチングでは並行に置かれたエッチング装置の電極間で加速されたイオンにより、エッチングが行なわれるため、膜に垂直方向にエッチングが進行する。本発明においては上部電極層の最上面には絶縁層との密着性が悪いAuを用いており、エッチング中に上部電極層上の絶縁層とその周囲の絶縁層が完全に分断された時点で上部電極層上の絶縁層が自動的に除去できる。何らかの原因で除去できない場合は超音波洗浄または300程度の加熱で完全に除去することができる。この様な方法ではレジスト層のサイズ、位置合わせの精度は重要ではなく、上部電極よりも大きな窓を持つレジスト層を用いればよい。また、全くレジストを用いなくても同様の加工が可能である。エッチング時に上部電極層、および薄膜誘電体層の周囲の絶縁層もエッチングされ、浮遊容量発生の原因になるので初期の絶縁層の厚みは厚い方が望ましい。

20

【0041】

尚、絶縁層5は、少なくとも端子部8、9が形成される端子配置部を露出するように形成されている。

30

【0042】

上部引出し電極層6は上部電極層と端子配置部を連結させるために形成される。上部引出し電極には、Ag、Cu、などの安価で低抵抗な金属を用いることができる。サイズは浮遊容量と抵抗を考慮して決定する。

【0043】

また、保護膜7は、端子配置部61、62を露出するように形成されている。保護膜としては、SiO₂、SiN、BCB(ベンゾシクロブテン)、ポリイミドなどが好適である。また、これらの材料の多層構造にしても良い。この保護膜6は、外部からの機械的な衝撃からの保護の他、湿度による劣化、薬品の汚染、酸化等を防止する役割を持っている。

40

【0044】

また、端子部8、9は、半田ボールや金属バンプなどが例示できる。また、金属ワイヤーのファーストボンディングを行い、所定長さで切断することにより、金などのバンプを形成しても構わない。

【0045】

以上のように、上述の薄膜コンデンサにおいて、容量発生領域は、下部電極層2と上部電極層4とに挟持された薄膜誘電体層3部分であり、同一レジスト層を用いて上部電極層と、薄膜誘電体層をエッチングすることで形成される。この時点では、支持基板1上には、下部電極層2、薄膜誘電体層3、上部電極層4が全面に形成されているだけであり、制約

50

事項がない状態で精度よく下部電極層 2 の突起部、薄膜誘電体層 3、上部電極層 4 を形成することができる。従って、容量発生領域の平面積を小さくすることも容易となり、高周波回路に用いるコンデンサを簡単に達成できることになる。

【0046】

しかも、薄膜誘電体層 3 を平坦な下部電極層 2 の段差の全くない面に被着形成できるため、薄膜誘電体層 3 中に段切れが発生したり、また、上部電極層 4 中に段切れが発生することが皆無となる。

【0047】

尚、絶縁層 5 が存在するために、下部電極層 2 と上部電極層 4 との間で、不要な容量成分が発生する可能性があるものの、容量発生領域の下部電極層 2 と上部電極層 4 との間隔に比較して、容量発生領域の周囲の下部電極層 2 と上部引出し電極 6 との間隔が非常に広い
10
ため、ここで発生する容量は、容量発生領域の容量に比較して無視できる。仮に、容量発生領域の周囲に発生する不要な容量をさらに小さくするためには、絶縁層を厚くすればよいが、その為には上部電極層も厚くする必要がある。

【0048】

特に、薄膜誘電体層 3 に $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_3$ などのように、下部電極層 2 と上部電極層 4 との間に直流バイアスを印加して、薄膜誘電体層 3 の誘電率を変化させ、もって、容量特性を調整できるチューナブル薄膜コンデンサにおいては、上部電極層 4、下部電極層 2 での抵抗成分を小さくすることができるため、(薄膜誘電体層 3 中に段切れが発生することが皆無とすることができるため) 薄膜誘電体層 3 にかかる電圧のバラツキを防止でき、安定
20
したチューナビリティーが得られるものとなる。

【0049】

【実施例】

支持基板 1 としてサファイア R 基板上に、下部電極層 2 として Pt を、基板温度 500 でスパッタ法により形成した。薄膜誘電体層 3 として $(\text{Ba}_{0.5}\text{Sr}_{0.5})\text{TiO}_3$ からなるターゲットを用いて同一バッチで成膜した。これは、基板温度は 800、成膜時間は 15 分で成膜を行なった。成膜開始前に Pt 電極の平坦化のためのアニールとして 800 で 15 分間保持した。その上に上部電極層 4 として Pt および Au 電極層を同一バッチで形成し、取り出し後 10 μm のレジスト層を形成し、ECR 装置により上部電極層と薄膜誘電体層をエッチングし、再度下部電極用のレジスト層を形成し、ECR でエッチングし薄膜コン
30
デンサを形成した。レジスト層剥離後、 SiO_2 層をスパッタで 600 で成膜し、レジスト層を剥離後、ECR で 15 分程度エッチングし、上部電極層上の SiO_2 層のみを除去した。部分的に除去されていない上部電極層上の SiO_2 層については純水中で超音波洗浄することにより完全に除去した。最後に上部取り出し電極として Au をスパッタ成膜し、不要部をエッチングで除去した。

インピーダンスアナライザによる測定の結果、容量は約 1 pF であり、ピコアンペアメーターによる測定の結果、リーク電流は 10^{-12} A のオーダーであり、容量が小さく、リーク特性の良い薄膜キャパシタが得られた。

【0050】

即ち、各電極層、薄膜誘電体層で段切れがなく、また、電極部分の損失が低下し、高周波
40
領域でも安定した容量素子として用いることができることを確認した。

【0051】

【発明の効果】

本発明の薄膜コンデンサの製造方法は、下部電極層、薄膜誘電体層、上部電極層を同一バッチで支持基板全面に形成した後、上部電極層上に所定形状のレジスト層を形成し、同一レジスト層を用いて、上部電極層、薄膜誘電体層の一部を順次アルゴンエッチング等により、エッチングを行なうことで薄膜誘電体層、上部電極層を平面積および形状の等しいものに形成する薄膜コンデンサの製造方法であって、下部電極層を 150 以上前記薄膜誘電体層の成膜温度より低温で成膜した後に、前記薄膜誘電体層の成膜温度に加熱して、前記薄膜誘電体層の成膜開始まで一定時間保持してアニールすることで平坦な下部電極層
50

を得ることを特徴とするものである。そして、薄膜誘電体層を取り囲むように絶縁層が形成されている。

【0052】

これにより、薄膜誘電体層及び上部電極層で段切れがなく、また、容量発生領域の上部電極層、下部電極層の厚みを極力厚くすることが可能となり、電極損失を有効に抑えることができる薄膜コンデンサとなる。

【0053】

特に、上部電極層の平面積によってコンデンサの容量がほぼ決定されるため、フォトリソグラフィの工程において位置合わせの精度を全く必要とせず、安定した容量特性を確実に得ることができる。

【0054】

特に、下部電極層、上部電極に直流バイアスを印加して、薄膜誘電体層の誘電率を変化させるチューナブル薄膜コンデンサにおいては、電極内で電位バラツキを抑えることができる。

【図面の簡単な説明】

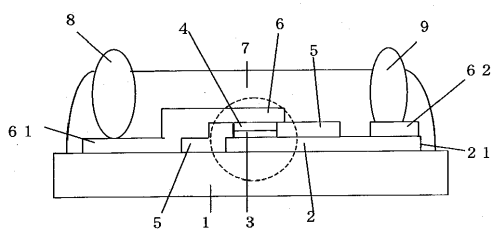
【図1】本発明の薄膜コンデンサの製造方法で作製した薄膜コンデンサの断面図である。

【図2】本発明の薄膜コンデンサの製造方法で作製した薄膜コンデンサの主要部分の断面図である。

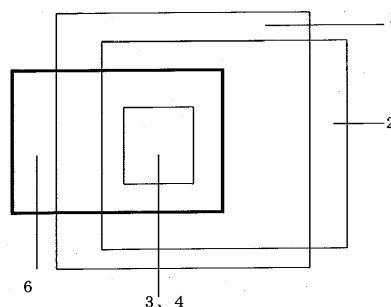
【図3】本発明の薄膜コンデンサの製造方法で作製した、保護膜、端子部を省略した状態の薄膜コンデンサの平面図である。

【図4】本発明の絶縁層の成膜、エッチング工程の説明図である。

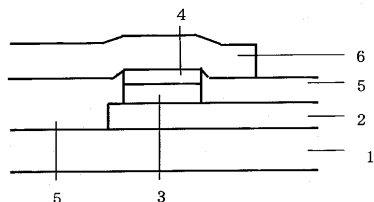
【図1】



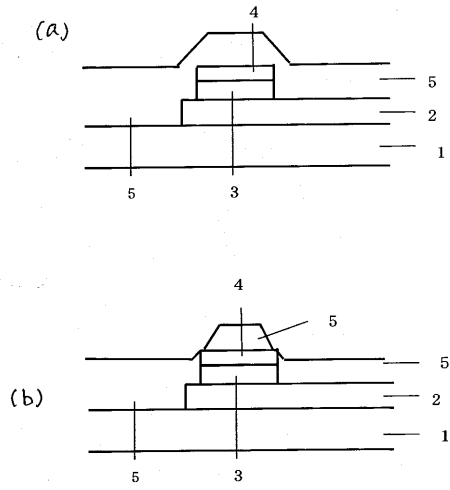
【図3】



【図2】



【 図 4 】



フロントページの続き

- (56)参考文献 特開平06 - 314768 (JP, A)
特開平10 - 237623 (JP, A)
特開平05 - 235264 (JP, A)
特開平07 - 076778 (JP, A)
特開平07 - 307295 (JP, A)
特開平10 - 275742 (JP, A)
特開平09 - 293629 (JP, A)
特開平07 - 078727 (JP, A)
特開2000 - 012792 (JP, A)
特開平07 - 245236 (JP, A)

(58)調査した分野(Int.Cl., DB名)

- H01G 4/00 ~ 4/10
H01G 4/14 ~ 4/40
H01G 13/00 ~ 13/06