

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成20年4月3日(2008.4.3)

【公開番号】特開2001-256200(P2001-256200A)

【公開日】平成13年9月21日(2001.9.21)

【出願番号】特願2001-36104(P2001-36104)

【国際特許分類】

G 06 F 15/16 (2006.01)

G 06 F 9/38 (2006.01)

【F I】

G 06 F 15/16 6 1 0 F

G 06 F 9/38 3 1 0 X

【手続補正書】

【提出日】平成20年2月13日(2008.2.13)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

パイプライン内において上流の処理モジュールと下流の処理モジュールとの間にFIFOが結合されており、前記処理モジュールの各々は共通の外部メモリにアクセスするパイプラインシステムにおけるFIFO管理方法であって、

前記FIFOの空きが実質的になくなつたことを検出すると、前記上流の処理モジュールから前記下流の処理モジュールへのコマンドを前記外部メモリへ転送する転送工程と、

前記FIFO及び前記外部メモリの各々から前記下流の処理モジュールへのコマンドを分析し、当該分析したコマンドの後続コマンドの存在場所を判定する分析工程とを備えることを特徴とするFIFO管理方法。

【請求項2】

前記分析工程は前記下流の処理モジュールにより遂行されることを特徴とする請求項1に記載のFIFO管理方法。

【請求項3】

前記転送工程では、前記FIFOの空きが実質的になくなつたことを検出すると、前記上流の処理モジュールは、後続コマンドは前記外部メモリを出所とすることを指示する第1の特別コマンドを前記FIFOに出力し、後続コマンドを前記外部メモリに転送し、

前記分析工程では、前記FIFOから前記第1の特別コマンドを受けたとき、前記下流の処理モジュールは、後続コマンドの存在場所を前記外部メモリであると判定することを特徴とする請求項1に記載のFIFO管理方法。

【請求項4】

前記FIFOに所定数の空きロケーションが生じたことを検出し、かつ、前記上流の処理モジュールに対して前記外部メモリへのコマンドの転送を停止するように命令する工程を更に備え、

前記転送工程では、転送を停止する際に、後続コマンドは前記FIFOを出所とすることを指示する第2の特別コマンドを転送することを特徴とする請求項1に記載のFIFO管理方法。

【請求項5】

前記外部メモリへの、および前記外部メモリからのコマンドの転送は、所定のデータ転

送サイズをもつバーストモードにおいて行われ、

当該方法は、前記上流の処理モジュールから前記外部メモリへ、および、前記外部メモリから前記下流の処理モジュールへ出力されるコマンドをバッファリングして、バーストモード転送を実行する工程を更に有することを特徴とする請求項1に記載のFIFO管理方法。

【請求項6】

上流のプロセッサモジュールと、

下流のプロセッサモジュールと、

前記上流のプロセッサモジュールの出力と前記下流のプロセッサモジュールの入力との間に連結してプロセッサパイプラインを形成するFIFOと、

前記プロセッサモジュールの各々からアクセス可能なメモリモジュールと、

前記FIFOの空きがないことを検出すると前記上流のプロセッサモジュールの出力を前記メモリモジュール内の中間格納部に向け、また、前記下流のプロセッサモジュールをして前記FIFOおよび前記メモリモジュールの各々から受け取ったコマンドを分析して後続のコマンドの存在場所を判定せしめるところのオーバーロード手段とを備えることを特徴とするパイプラインプロセッサシステム。

【請求項7】

前記オーバーロード手段は、前記FIFO及びメモリモジュールの出力のひとつを前記下流のプロセッサモジュールの入力に選択的に連結する切替手段を有することを特徴とする請求項6に記載のパイプラインプロセッサシステム。

【請求項8】

前記切替手段は、前記下流のプロセッサモジュールにより、前記FIFOまたは前記メモリモジュールのいずれかから受け取った特別コマンドの分析結果に従って制御されることを特徴とする請求項7に記載のパイプラインプロセッサシステム。

【請求項9】

前記特別コマンドは、上流のプロセッサモジュールにより前記FIFOの状態に応じて生成され、前記特別コマンドは、前記FIFOに実質的に空きがない場合には前記FIFOにに対して出力され、前記FIFOに所定数の空きロケーションが生じた場合には前記メモリモジュールに対して出力されることを特徴とする請求項8に記載のパイプラインプロセッサシステム。

【請求項10】

前記プロセッサモジュールの各々と前記メモリモジュールとを連結する保持バッファを更に備え、前記保持バッファを介して前記メモリモジュールのバーストモードのメモリ転送を実行することを特徴とする請求項6に記載のパイプラインプロセッサシステム。

【請求項11】

前記システムは单一の集積回路内に形成されることを特徴とする請求項6に記載のパイプラインプロセッサシステム。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正の内容】

【0005】

本発明の構成のひとつは、パイプライン内において上流の処理モジュールと下流の処理モジュールとの間にFIFOが結合されており、前記処理モジュールの各々は共通の外部メモリにアクセスするパイプラインシステムにおけるFIFO管理方法であって、前記FIFOの空きが実質的になくなつたことを検出すると、前記上流の処理モジュールから前記下流処理モジュールへのコマンドを前記外部メモリへ転送する転送工程と、前記FIFO及び前記外部メモリの各々から前記下流処理モジュールへのコマンドを分析し、当該分析したコマンドの後続コマンドの存在場所を判定する分析工程とを備えることを特徴とす

るFIFO管理方法にある。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正の内容】

【0006】

あるいは、本発明の他の構成は、上流のプロセッサモジュールと、下流のプロセッサモジュールと、前記上流のプロセッサモジュールの出力と前記下流のプロセッサモジュールの入力との間に連結してプロセッサパイプラインを形成するFIFOと、前記プロセッサモジュールの各々からアクセス可能なメモリモジュールと、前記FIFOの空きがないことを検出すると前記上流のプロセッサモジュールの出力を前記メモリモジュール内の中間格納部に向け、また、前記下流のプロセッサモジュールをして前記FIFOおよび前記メモリモジュールの各々から受け取ったコマンドを分析して後続のコマンドの存在場所を判定せしめるところのオーバーロード手段とを備えることを特徴とするパイプラインプロセサシステムにある。