



(21) 申請案號：110113405

(22) 申請日：中華民國 110 (2021) 年 04 月 14 日

(51) Int. Cl. : **H01L21/02 (2006.01)****H01L21/322 (2006.01)****H01L21/762 (2006.01)**

(30) 優先權：2020/07/03 法國

2007096

(71) 申請人：法商梭意泰科公司 (法國) SOITEC (FR)

法國

(72) 發明人：艾利伯特 弗雷德里克 ALLIBERT, FREDERIC (FR)；柏崔德 伊莎貝

BERTRAND, ISABELLE (FR)；布韋龍 羅曼 BOUYEYRON, ROMAIN (FR)；施

瓦岑巴赫 沃爾特 SCHWARZENBACH, WALTER (FR)

(74) 代理人：陳長文

(56) 參考文獻：

TW 201203358A1

EP 1713121A2

審查人員：黃淑萍

申請專利範圍項數：10 項 圖式數：6 共 23 頁

(54) 名稱

用於 S O I 結構之載體基板及相關製造方法

(57) 摘要

本發明係關於一種由單晶矽製成之載體基板(10)，該載體基板(10)具有前面(10a)及背面(10b)且包括：

表面區域(1)，其自該前面(10a)向下直至介於 800 nm 與 2 微米之間的深度，該表面區域(1)具有藉由使用暗視野顯微鏡檢驗該表面而偵測的少於 10 個晶體原生顆粒(COP)，

上部區域(2)，其自該前面(10a)向下延伸至介於幾微米與 40 微米之間的深度，該上部區域(2)具有低於或等於 $7.5E17 \text{ Oi/cm}^3$ 之間隙氧(Oi)含量及高於 500 歐姆-釐米之電阻率，及

下部區域(3)，其在該上部區域(2)與該背面(10b)之間延伸，該下部區域(3)具有高於或等於 $1E8/\text{cm}^3$ 之微缺陷(BMD)濃度。

本發明亦係關於一種用於製作此載體基板(10)之方法。

The invention relates to a carrier substrate (10) made of monocrystalline silicon, having a front face (10a) and a back face (10b) and comprising:

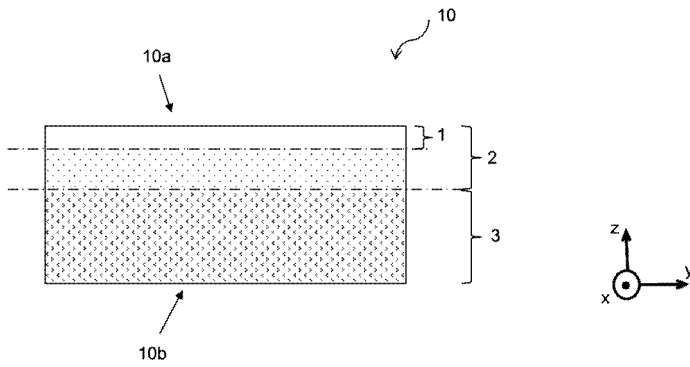
- a surface region (1) from the front face (10a) down to a depth of between 800 nm and 2 microns, having fewer than 10 crystal-originated particles (COPs) detected by inspecting the surface using dark-field microscopy,

- an upper region (2) extending from the front face (10a) down to a depth of between a few microns and 40 microns, having an interstitial oxygen (Oi) content lower than or equal to $7.5E17 \text{ Oi/cm}^3$ and a resistivity higher than 500 ohm.cm, and

- a lower region (3) extending between the upper region (2) and the back face (10b), having a micro-defect (BMD) concentration higher than or equal to $1E8/\text{cm}^3$.

The invention also relates to a process for manufacturing such a carrier substrate (10).

指定代表圖：



【圖1】

符號簡單說明：

1:表面區域

2:上部區域/區域

3:下部區域/區域

10:基板/載體基板/單
晶矽載體基板/未來載
體基板

10a:前面

10b:後面/背面

x:軸

y:軸

z:軸



I873331

【發明摘要】

【中文發明名稱】

用於SOI結構之載體基板及相關製造方法

【英文發明名稱】

CARRIER SUBSTRATE FOR SOI STRUCTURE AND ASSOCIATED PRODUCTION PROCESS

【中文】

本發明係關於一種由單晶矽製成之載體基板(10)，該載體基板(10)具有前面(10a)及背面(10b)且包括：

表面區域(1)，其自該前面(10a)向下直至介於800 nm與2微米之間的深度，該表面區域(1)具有藉由使用暗視野顯微鏡檢驗該表面而偵測的少於10個晶體源生顆粒(COP)，

上部區域(2)，其自該前面(10a)向下延伸至介於幾微米與40微米之間的深度，該上部區域(2)具有低於或等於 $7.5E17$ Oi/cm³之間隙氧(Oi)含量及高於500歐姆-釐米之電阻率，及

下部區域(3)，其在該上部區域(2)與該背面(10b)之間延伸，該下部區域(3)具有高於或等於 $1E8$ /cm³之微缺陷(BMD)濃度。

本發明亦係關於一種用於製作此載體基板(10)之方法。

【英文】

The invention relates to a carrier substrate (10) made of monocrystalline silicon, having a front face (10a) and a back face (10b) and comprising:

- a surface region (1) from the front face (10a) down to a depth of

between 800 nm and 2 microns, having fewer than 10 crystal-originated particles (COPs) detected by inspecting the surface using dark-field microscopy,

- an upper region (2) extending from the front face (10a) down to a depth of between a few microns and 40 microns, having an interstitial oxygen (O_i) content lower than or equal to $7.5E17 O_i/cm^3$ and a resistivity higher than 500 ohm.cm, and

- a lower region (3) extending between the upper region (2) and the back face (10b), having a micro-defect (BMD) concentration higher than or equal to $1E8/cm^3$.

The invention also relates to a process for manufacturing such a carrier substrate (10).

【指定代表圖】

圖1

【代表圖之符號簡單說明】

1: 表面區域

2: 上部區域/區域

3: 下部區域/區域

10: 基板/載體基板/單晶矽載體基板/未來載體基板

10a: 前面

10b: 後面/背面

x: 軸

y: 軸

z: 軸

【發明說明書】

【中文發明名稱】

用於SOI結構之載體基板及相關製造方法

【英文發明名稱】

CARRIER SUBSTRATE FOR SOI STRUCTURE AND ASSOCIATED PRODUCTION PROCESS

【技術領域】

【0001】本發明之領域係關於半導體及微電子學。本發明係關於一種由矽製成的用於絕緣體上矽(SOI)結構之載體基板，特定而言，該載體基板係用於完全耗乏之SOI (FD-SOI，完全耗乏之絕緣體上矽)結構，該載體基板適合於邏輯及射頻應用。本發明亦係關於一種用於製作此載體基板之方法。

【先前技術】

【0002】對於射頻及低功率邏輯應用，FD-SOI技術之優點已得到廣泛證明。

【0003】為解決此等應用之嚴格規範問題，FD-SOI結構必須滿足若干項準則。

【0004】首先，由矽製成之極薄工作層(通常大約20 nm)必須展現優異之厚度均勻性及高晶體品質。為達成此，該工作層尤其在其製造期間必須能夠經歷高溫下長持續時間之處理；需要該等處理來使工作層之自由表面變得平滑，並修復此層中存在之晶體缺陷。此涉及SOI結構之載體基板對滑移線失效模式係有抵抗性的且尤其自始至終展現足夠且均勻之微缺陷(BMD，塊狀微缺陷)密度。此等微缺陷通常在具有高間隙氧含量之基板

(「高 O_i 」基板)中以足夠量存在，此通常對應於高於 $1E18/cm^3$ 之 O_i 濃度 (ASTM' 79標準)：此等高 O_i 載體基板對於滑移線缺陷係尤其穩健的。

【0005】 第二，為了允許偵測工作層上及/或中之大小小於50 nm的缺陷，SOI結構必須與極低檢驗臨限值相容。眾所周知，高 O_i 載體基板包括被稱為「晶體源生顆粒」(COP)之缺陷，該等缺陷限制SOI結構之工作層之可檢驗性；具體而言，即使COP缺陷保留在SOI結構之埋入式氧化物層下方，位於載體基板之表面區帶中之COP缺陷在以極徹底之偵測臨限值來檢驗工作層期間亦會被偵測到，此歸因於將在稍低於埋入式氧化物層下方進行探測之檢驗信號之穿透。因此，高 O_i 載體基板本來與此等應用不相容。

【0006】 最後，為滿足射頻需求，SOI結構之載體基板必須展現穩定且高的電阻率(高於500歐姆-釐米、高於1000歐姆-釐米，或者甚至高於5000歐姆-釐米)。為了獲得此等性質，通常的做法係，使用具有低 O_i 含量之高電阻載體基板(「低 O_i 」基板，通常對應於低於 $8E17 O_i/cm^3$ 之 O_i 濃度)，此乃因具有高 O_i 含量之彼等基板在深處展現電阻率之不穩定性，尤其歸因於工作層所需之平滑熱處理。不幸地，低 O_i 載體基板對高溫下之長時間處理極敏感，且隨後展現對SOI結構有害之高密度之滑移線。

【發明內容】

【0007】 本發明提供一種克服所有或某些上述缺點之解決方案。特定而言，該解決方案係關於一種與施加在SOI結構上之熱處理相容且與邏輯及射頻應用之嚴格規範相容的載體基板。本發明亦係關於一種用於製造此載體基板之方法。

【0008】 本發明係關於一種由單晶矽製成之載體基板，其具有前面

及背面且包括：

-表面區域，其自該前面向下直至介於800 nm與2微米之間的深度，該表面區域具有藉由使用暗視野顯微鏡檢驗該表面而偵測的少於十個晶體源生顆粒(COP)，

-上部區域，其自該前面向下延伸至介於幾微米與40微米之間的深度，該上部區域具有低於或等於 $7.5E17$ Oi/cm³之間隙氧(Oi)含量及高於500歐姆-釐米之電阻率，及

-下部區域，其在該上部區域與該背面之間延伸，該下部區域具有高於或等於 $1E8/cm^3$ 之微缺陷(BMD)濃度。

【0009】 根據本發明之某些有利特徵，單獨或以任何可行組合具有以下各項：

- 該上部區域之該電阻率高於或等於750歐姆-釐米，或者甚至高於或等於1000歐姆-釐米；
- 該上部區域向下延伸至介於10微米與30微米之間的深度；
- 該下部區域中之該微缺陷(BMD)濃度係介於 $1E8/cm^3$ 與 $3E10/cm^3$ 之間，且較佳地介於 $1E9/cm^3$ 與 $2E10/cm^3$ 之間。

【0010】 本發明亦係關於一種包括配置在介電層上之工作層的SOI結構，該介電層自身配置在如上所述之載體基板上。

【0011】 該工作層可具有小於50 nm、較佳地介於4 nm與25 nm之間的厚度；且該介電層可具有介於10 nm與150 nm之間的厚度。

【0012】 本發明亦係關於一種用於射頻及低功率邏輯應用之電子組件，其包括配置在如上所述之SOI結構之工作層上及/中的至少一個電晶體。

【0013】最後，本發明係關於一種用於製造如上文所提及之載體基板的方法。該製造方法包括以下步驟：

a) 提供由單晶矽製成之初始基板，其具有介於 $12E17 \text{ Oi/cm}^3$ 與 $16E17 \text{ Oi/cm}^3$ 之間の間隙氧含量及高於500歐姆-釐米之電阻率，該初始基板意欲在已經歷後續步驟b)及c)之後形成該載體基板，

b) 在中性大氣或還原大氣下，在介於 1150°C 與 1250°C 之間的溫度下施加第一熱處理達長於或等於30分鐘之持續時間，以便形成該載體基板之表面區域及上部區域，

c) 施加第二熱處理，該第二熱處理包括介於 600°C 與 900°C 之間的溫度下之第一序列之退火及介於 950°C 與 1100°C 之間的溫度下之第二序列之退火，以便形成該載體基板之下部區域。

【0014】有利地，該第一序列之該第二熱處理包括兩個溫度平線區：介於 650°C 與 700°C 之間的第一平線區及約 800°C 之第二平線區。

【圖式簡單說明】

【0015】

參考附圖，本發明之其他特徵及優點將依據以下實施方式而變得顯而易見，其中：

圖1展示根據本發明之載體基板；

圖2展示根據本發明的包括載體基板之SOI結構；

圖3a至圖3c展示根據本發明的用於製造載體基板之方法的步驟；

圖4展示自使用暗視野顯微鏡對未用根據本發明之製造方法進行處理之初始基板(a)及根據本發明之製造方法進行第一熱處理之後的中間基板(b)的表面進行表面檢驗所得到的兩個圖譜；

圖5展示根據本發明的在化學地暴露出BMD型微缺陷之後的載體基板之邊緣；

圖6展示根據本發明的載體基板之電阻率隨著深度變化的曲線。

在各圖中，相同元件符號可用於相同性質之元件。

為了可讀性起見，各圖係未按比例繪製之示意圖示。特定而言，層沿著z軸之厚度不與沿著x軸及y軸之橫向尺寸成比例。

【實施方式】

【0016】本發明係關於單晶矽載體基板10，其具有實質上平行於主平面(x, y)之前面10a及後面10b。該單晶矽載體基板有利地呈具有介於200 mm與450 mm之間的直徑之圓形晶圓之形式。該單晶矽載體基板沿著法向於主平面(x, y)之z軸之總厚度之範圍可介於幾百微米與1000微米之間。

【0017】載體基板10包括表面區域1，表面區域1自前面10a向下直至大約一微米(通常介於800 nm與2微米之間)之深度。此表面區域1展現極低密度之晶體原生顆粒(COP)之特殊性。一種偵測此等COP之直截了當手段係使用基於暗視野顯微鏡之表面檢驗儀器，該表面檢驗儀器通常經實施以量測表面缺陷密度。使用(舉例而言)微電子學領域中已知之諸如KLA-Tencor Surfscan SP2 (註冊商標)之設備係可能的。在傾斜入射模式(窄的傾斜通道)中並且在具有44 nm之偵測臨限值的情況下，在根據本發明之載體基板10之前面10a上偵測到少於十個COP。

【0018】載體基板10包括上部區域2，上部區域2自前面10a向下延伸至幾微米與40微米之間的深度，較佳地向下延伸至10微米與30微米之間的深度。因此，上部區域2包含表面區域1。

【0019】上部區域2具有低於或等於 $7.5E17$ Oi/cm³之間隙氧(Oi)含量

(相當於低於或等於15 ppma之含量(根據ASTM' 79標準))。此外，該上部區域具有高於500歐姆-釐米之電阻率，其對應於低濃度之p型摻雜劑(硼)。有利地，該上部區域之電阻率甚至高於或等於750歐姆-釐米，或者甚至高於或等於1000歐姆-釐米。根據目標應用及稍後將在載體基板10之頂部上製造之電子組件來定義電阻率位準。上部區域2之電阻率範圍尤其適合於以30 GHz至300 GHz頻帶(涉及毫米波長(「毫米波(mmWave)」))中之應用為目標的射頻組件，且應注意，尤其適合於支援下一代行動電話之5G網路。

【0020】最後，載體基板10包括在上部區域2與背面10b之間延伸之下部區域3，下部區域3之厚度係大約幾百微米。此下部區域3具有高於或等於 $1E8/cm^3$ 之微缺陷(BMD)濃度，此賦予下部區域3相對於高溫下之熱處理具有高機械穩健性。下部區域3中之微缺陷(BMD)濃度較佳地介於 $1E8/cm^3$ 與 $3E10/cm^3$ 之間，且更佳地介於 $1E9/cm^3$ 與 $2E10/cm^3$ 之間。

【0021】下部區域3具有通常高於或等於250歐姆-釐米且潛在地波動之電阻率，該電阻率對未來射頻組件不具實際影響，此乃因由該等組件產生之電磁場未到達或僅極少地到達下部區域3。僅上部區域2之電阻率必須展現穩定且足夠高之值。

【0022】為了允許製造組件，必須將工作層轉移至載體基板10上，該等組件將位於該工作層上或中。

【0023】因此，本發明亦係關於包括配置在介電層20上之工作層30的絕緣體上矽(SOI)結構100，介電層20自身配置在上文所提及之載體基板10上(圖2)。

【0024】工作層30由高品質單晶矽製成且具有小於50 nm、較佳地介

於4 nm與25 nm之間的厚度。此厚度範圍尤其適合於基於FD-SOI架構及技術之電子組件。例如由氧化矽製成之介電層20自身具有介於10 nm與150 nm之間的厚度。

【0025】展現極低密度之晶體源生顆粒(COP)的載體基板10之表面區域1之存在在極低偵測臨限值(<50 nm)下為SOI結構100提供優異可檢驗性。因此，工作層30之品質可被精細及可靠地控制，而不會歸因於載體基板10之表面處COP之存在而造成阻礙及/或錯誤偵測。

【0026】本發明亦係關於一種用於射頻及低功率邏輯應用之電子組件。特定而言，此組件包括配置在SOI結構100之工作層30上及/或中之至少一個電晶體。載體基板10之上部區域2之特性(即電阻率及低 O_i 濃度)賦予此區域極佳絕緣效能：具體而言，除其高位準之外，電阻率在此區域2中亦係穩定的，此乃因電阻率不會歸因於極度高 O_i 濃度而經歷波動，極度高 O_i 濃度可產生熱氧供體及補償初始p型摻雜之小BMD。因此，在將高溫(>1100°C)下之熱處理施加至SOI結構100期間，上部區域2不會經歷電阻率之任何下降或顯著波動。另外，在該等熱處理期間，載體基板10之下部區域3中高密度之微缺陷(BMD)賦予此基板優異機械強度及對滑移線缺陷之不敏感性。

【0027】本發明進一步係關於一種用於製造如上文所闡述之載體基板10之方法。

【0028】該製造方法包括步驟a)：提供由單晶矽製成之初始基板10'，初始基板10'具有介於 $12E17 \text{ O}_i/\text{cm}^3$ 與 $16E17 \text{ O}_i/\text{cm}^3$ 之間の間隙氧含量(根據ASTM' 79相當於介於24 ppma與32 ppma之間的含量)。應注意，具有介於24 ppma與28 ppma之間的含量(ASTM' 79)之基板通常被認為係

具有中等 O_i 含量之基板(「中等 O_i 」基板)；具有介於27 ppma與32 ppma之間的含量(ASTM' 79)之基板通常被認為係具有高 O_i 含量之基板(「高 O_i 」基板)。

【0029】初始基板10'具有高於500歐姆-釐米之電阻率，亦即，低於或等於 $2.6E13/cm^3$ 之p型摻雜劑(硼)之濃度。意欲在已經歷該方法之後續步驟b)及c)之後形成載體基板10。因此，根據目標應用，選擇初始基板10'之電阻率，以便具有載體基板10之上部區域2所需之值。有利地，初始基板10'之電阻率高於或等於750歐姆-釐米，或甚至高於或等於1000歐姆-釐米。

【0030】在該方法之下一步驟b)期間，在中性大氣或還原大氣下，將在介於 $1150^\circ C$ 與 $1250^\circ C$ 之間的溫度下進行之第一熱處理施加至初始基板10'。此處理之持續時間長於或等於30分鐘，舉例而言介於5小時與10小時之間。

【0031】此第一熱處理之作用係在介於800 nm與2微米之深度上在初始基板10'之表面區域中溶解晶體源生顆粒(COP)。此導致未來載體基板10之表面區域1之形成。

【0032】舉例而言，可藉由在快速增加及減小斜變($50^\circ C/分鐘$)的情況下在中性(氬)大氣或還原(氬及氫)大氣下在約 $1250^\circ C$ 之溫度下快速熱退火(RTA) 10秒來溶解COP。另一選擇係，仍在中性大氣或還原大氣下，在習用烘箱中(舉例而言)在 $1200^\circ C$ 下退火30分鐘或1小時亦允許在表面區域1中溶解COP。

【0033】第一熱處理之額外作用係向外擴散間隙氧(O_i)，且取決於熱處理之持續時間，在自初始基板10'之前面10a向下直至更大或更小深度

之區域中使初始基板10'耗乏 O_i 。通常，對於 1200°C 之處理溫度及10小時之持續時間，基板在大約20微米之深度上係 O_i 耗乏的。此導致未來載體基板10之上部區域2之形成。

【0034】因此，第一熱處理可由將執行上文所提及之兩種作用的單個退火組成，或者由在相同設備中或在不同設備中之一系列退火組成，以便依序溶解COP且向外擴散間隙氧。

【0035】在第一熱處理結束時，獲得中間基板10''，其包括自前面10a向下直至介於800 nm與2微米之間的深度之表面區域1。如圖4(b)中所圖解說明，與對應於任何處理之前的初始基板10'之圖4(a)相比，此表面區域1展現極低密度之晶體源生顆粒(COP)。圖4之圖譜係在具有300 mm之直徑之晶圓上使用諸如KLA-Tencor SP2之設備以傾斜入射模式且以44 nm之偵測臨限值產生的：在方法之步驟a)中所提供的初始基板10'之前面10a處偵測到不止1000個COP；在於步驟b)中進行第一熱處理之後，在中間基板10''之前面10a處偵測到少於十個COP，或者甚至少於五個COP (在圖4(b)之實例中僅一個COP)。

【0036】在自中間基板10''之前面10a移除大約1微米之材料之後，可觀察到，所偵測之COP之數目保持極低，仍低於或等於10。此使得評估具有低COP密度之表面區域1之厚度成為可能。

【0037】中間基板10''亦包括上部區域2，上部區域2自前面10a向下延伸至介於幾微米與40微米之間的深度，較佳地向下延伸至介於10微米與30微米之間的深度。上部區域2具有低於或等於 $7.5\text{E}17 \text{ O}_i/\text{cm}^3$ 之間隙氧(O_i)含量，歸因於第一熱處理，相對於初始基板10'之 O_i 含量，間隙氧(O_i)被耗乏。上部區域2之電阻率係初始基板10'之電阻率，亦即，高於500歐

姆-釐米。此上部區域2可被比作具有低 O_i 含量之矽(「低 O_i 」矽)，即使當基板經受極高溫度時，此亦賦予上部區域2在電阻率方面具有優異穩定性。

【0038】 接下來，製造方法包括步驟c)，在步驟c)期間，將第二熱處理施加至中間基板10"。此處理包括在介於 600°C 與 900°C 之間的溫度下之第一序列之退火及在介於 950°C 與 1100°C 之間的溫度下之第二序列之退火。

【0039】 第一退火序列包括兩個溫度平線區。在中性大氣下或在低氧流量(在用於300 mm晶圓之烘箱及用於200 mm晶圓之烘箱中，通常分別係約0.075標準升/分鐘(slm)之 O_2 及約0.015 slm之 O_2)的情況下，第一平線區係介於 650°C 與 700°C 之間，同時持續時間係介於30分鐘與10小時之間。此第一平線區之作用係促進小的大小(通常小於10 nm，或甚至小於5 nm)之「核」缺陷之成核，尤其在包括高 O_i 濃度的中間基板10"之下部區域(在上部區域2下方)中。此等核係小的 SiO_x 沈澱物，該等 SiO_x 沈澱物係非均勻地開始，亦即，在材料中預先存在之缺陷(空位)上，或者均勻地開始，亦即，透過氧原子之遷移以及 SiO_2 及 SiO_x 鍵之形成。在 O_i 耗乏之上部區域2中不形成或不顯著形成該等核。另外，即使在上部區域2中形成小數目之核，該等核歸因於少量 O_i 而無法在第二序列之第二熱處理中進行生長(下文將進一步闡述)，且因此該等核將被溶解。

【0040】 在中性大氣下或在低氧流量的情況中，第二平線區係約 800°C ，同時持續時間係介於30分鐘與10小時之間：此允許第二成核階段開始，其中在第一核之間在中間基板10"之下部區域中形成其他核，且因此核之密度將增加。請注意，可較佳地在第二平線區之持續時間流逝一半或

甚至四分之三之後使用氧化大氣(濕的或乾的)。

【0041】具有5小時與20小時之間的持續時間之第二序列之第二熱處理將接著導致間隙氧 O_i 之擴散及其在基板10"之下部區域中所存在之諸多核上的沈澱，此將使間隙氧 O_i 生長並使其在材料中穩定。由此產生之微缺陷被稱為BMD，塊狀微缺陷。

【0042】因此形成了富含BMD微缺陷的載體基板10之下部區域3 (圖3c)。特定而言，達成了下部區域3中之BMD濃度介於 $1E8/cm^3$ 與 $3E10/cm^3$ 之間，且較佳地介於 $1E9/cm^3$ 與 $2E10/cm^3$ 之間。圖5對應於在用於暴露BMD微缺陷之化學蝕刻之後載體基板10之邊緣之光學顯微鏡影像：在上部區域2中，在大約20微米至25微米之厚度上觀察到無缺陷區帶。相比而言，下部區域3包括大約幾個 $1E9/cm^3$ (在此實例中通常介於 $2E9/cm^3$ 與 $5E9/cm^3$ 之間)之高密度之BMD缺陷。

【0043】圖6圖解說明根據本發明的載體基板10之電阻率隨著深度變化的曲線。初始基板10'具有大約3500歐姆-釐米之電阻率及高 O_i 含量。在本發明之製造方法之後，載體基板10具有高於或等於3000歐姆-釐米且在前三十微米(上部區域2)內保持穩定之電阻率。歸因於間隙氧之高密度，下部區域3具有極高且波動之電阻率。請主意，在用於製造SOI結構及微電子組件之方法期間，此電阻率仍可能改變，而上部區域2將保持其電阻率位準及其低COP含量(表面區域1)。

【0044】此載體基板10可用於製造諸如圖2中所圖解說明之SOI結構100之方法中。SOI結構100之製造較佳地基於被稱為Smart Cut™方法之薄層轉移方法。

【0045】經由單晶矽供體基板之前面植入單晶矽供體基板，以便界

定實質上平行於前面之埋入式弱化平面，且藉此將待轉移之薄層(諸如工作層30、介電層20)定界。植入通常係藉助輕物質完成的，諸如氫或氦離子或者此等兩種物質之組合。弱化平面之所以如此命名，乃因其包括由經植入輕物質產生之透鏡狀奈米裂紋。

【0046】根據一項較佳選項，待轉移之薄層(諸如工作層30、介電層20)自單晶矽供體基板之前面至埋入式弱化平面包括介電層20及工作層30(諸如矽層)，其等將分別形成SOI結構100之埋入式的介電層20及工作層30(諸如矽工作層)。因此，應理解，考慮到消耗工作層30之部分材料之精加工步驟(下文所提及)，選擇及調整輕物質之植入能量，以便在對應於該工作層30之所期望厚度之深度處形成埋入式弱化平面(或多或少地位於植入峰值處)。

【0047】然後，藉由單晶矽供體基板與載體基板10之前面之間之直接接合，將該等基板結合起來，以形成經接合總成。可在進行結合之前將在藉由分子黏附之接合領域中眾所周知的表面清潔及/或活化施加至基板上，以獲得優異接合品質。在受控制大氣中進行結合亦係可能的。

【0048】歸因於氣體物質之聚結及加壓所導致的微裂紋之生長，較佳地藉由在中等溫度下(通常介於350°C與500°C之間)施加熱處理來執行在埋入式弱化平面處之分離。另一選擇係或以組合方式，可藉由將機械應力施加至經接合總成來達成分離。

【0049】在此分離結束時，一方面獲得了中間SOI結構，且另一方面獲得了供體結構之其餘部分。包括清潔、表面處理(蝕刻、拋光等)及/或熱處理之精加工序列通常被施加至中間SOI結構，且被引導朝向移除經轉移工作層30之材料之一部分。此使得工作層30能夠恢復良好表面狀態(缺陷密度及粗糙度)及良好晶體品質。此後，SOI結構100係可用的。

【0050】上述精加工熱處理通常在介於900°C與1250°C之間的溫度下執行：在此等處理期間，載體基板10之下部區域3對於諸如滑移線及其他塑性變形之缺陷的穩健性係顯著有利的，且使得保持SOI結構100之極佳完整性成為可能。

【0051】儘管此處已參考Smart Cut方法闡述SOI結構100之製造，但此結構亦可藉由先前技術中已知之其他薄層轉移方法之方式來進行製備。

【0052】可接著在工作層30上或中製造RF（舉例而言「毫米波」）電子組件，特定而言，其係基於至少一個CMOS（互補金屬氧化物半導體）電晶體。再次，SOI結構100之載體基板10之特性有利於：

- 憑藉具有極低密度之COP之表面區域1之存在，結構100在用於製造組件之各個步驟中的可檢驗性；

- 潛在地，在表面區域1中製造全部或某些組件，用於混合SOI/塊狀Si整合；

- 歸因於在載體基板10之下部區域3中高密度之BMD微缺陷(該區域3對應於該基板10之大部分厚度)，結構100在用於製造組件之CMOS技術中實施的高溫下之多個序列之熱處理期間之機械強度。藉由有利地以介於 $1E9/cm^3$ 與 $2E10/cm^3$ 之間的BMD密度為目標，避免或極大地最小化載體基板10中之滑移線及/或其他塑性變形，滑移線及/或其他塑性變形會導致在各種層級之微影(「覆疊」)處之對準問題；

- 歸因於載體基板10之上部區域2之高且穩定之電阻率，組件之RF效能：儘管已進行多次熱處理，但此區域之低 O_i 含量確保其電阻率之高穩定性；該區域之厚度適合於由RF組件產生之電磁場的穿透，並防止電磁場到達下部區域3，下部區域3之電阻率受到不良控制且對於目標應用而言潛

在地處於過低之位準。

【0053】電子組件尤其可由RF開關、功率放大器(PA)、低雜訊放大器(LNA)、發射器/接收器等組成。

【0054】毋庸諱言，本發明不限於所闡述之實施例，且實施方案變體可在不背離如由申請專利範圍界定的本發明之範疇的情況下應用於本發明。

【0055】特定而言，用於製造組件之工作層30已在SOI結構之內容脈絡中進行闡述，因此由矽組成；但完全可設想，工作層30包括可係或可並非係半導體之其他類型之材料。類似地，介電層20可包括各種類型之電絕緣材料。

【符號說明】

【0056】

1: 表面區域

2: 上部區域/區域

3: 下部區域/區域

10: 基板/載體基板/單晶矽載體基板/未來載體基板

10': 初始基板

10'': 中間基板/基板

10a: 前面

10b: 後面/背面

20: 介電層

30: 工作層

100: 絕緣體上矽結構/結構

x: 軸

y: 軸

z: 軸

【發明申請專利範圍】

【請求項1】

一種由單晶矽製成之載體基板(10)，其具有前面(10a)及背面(10b)且包括：

表面區域(1)，其自該前面(10a)向下直至介於800 nm與2微米之間的深度，該表面區域(1)具有藉由使用暗視野顯微鏡檢驗該表面而偵測的少於十個晶體源生顆粒(COP)，

上部區域(2)，其自該前面(10a)向下延伸至介於幾微米與40微米之間的深度，該上部區域(2)具有低於或等於 $7.5E17$ Oi/cm³之間隙氧(Oi)含量及高於500歐姆-釐米之電阻率，及

下部區域(3)，其在該上部區域(2)與該背面(10b)之間延伸，該下部區域(3)具有高於或等於 $1E8/cm^3$ 之微缺陷(BMD)濃度。

【請求項2】

如請求項1之載體基板(10)，其中該上部區域(2)之該電阻率高於或等於750歐姆-釐米，或者甚至高於或等於1000歐姆-釐米。

【請求項3】

如請求項1或2之載體基板(10)，其中該上部區域(2)向下延伸至介於10微米與30微米之間的深度。

【請求項4】

如請求項1或2之載體基板(10)，其中該下部區域(3)中之該微缺陷(BMD)濃度係介於 $1E8/cm^3$ 與 $3E10/cm^3$ 之間，且較佳地介於 $1E9/cm^3$ 與 $2E10/cm^3$ 之間。

【請求項5】

一種SOI結構(100)，其包括配置在介電層(20)上之工作層(30)，該介電層(20)自身配置在如請求項1至4中任一項之載體基板(10)上。

【請求項6】

如請求項5之SOI結構(100)，其中該工作層(30)具有小於50 nm、較佳地介於4 nm與25 nm之間的厚度。

【請求項7】

如請求項5或6之SOI結構(100)，其中該介電層(20)具有介於10 nm與150 nm之間的厚度。

【請求項8】

一種用於射頻及低功率邏輯應用之電子組件，其包括配置在如請求項5至7中任一項之SOI結構(100)之工作層(30)上及/或中的至少一個電晶體。

【請求項9】

一種用於製造如請求項1至4中任一項之載體基板(10)的方法，該製造方法包括以下步驟：

a) 提供由單晶矽製成之初始基板(10')，該初始基板(10')具有介於 $12E17 \text{ Oi/cm}^3$ 與 $16E17 \text{ Oi/cm}^3$ 之間の間隙氧含量及高於500歐姆-釐米之電阻率，該初始基板(10')意欲在已經歷後續步驟b)及c)之後形成該載體基板(10)，

b) 在中性大氣或還原大氣下在介於 1150°C 與 1250°C 之間的溫度下施加第一熱處理達長於或等於30分鐘之持續時間，以便形成表面區域(1)及上部區域(2)，

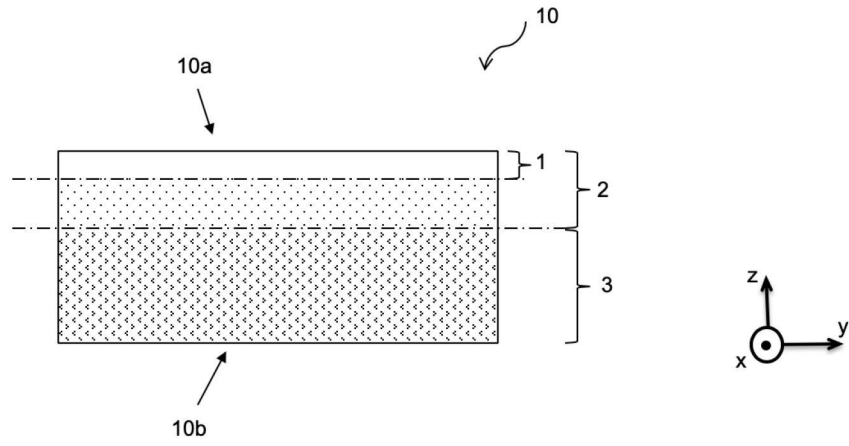
c) 施加第二熱處理，該第二熱處理包括介於 600°C 與 900°C 之間的溫

度下之第一序列之退火以及介於950°C與1100°C之間的溫度下之第二序列之退火，以便形成該載體基板(10)之下部區域(3)。

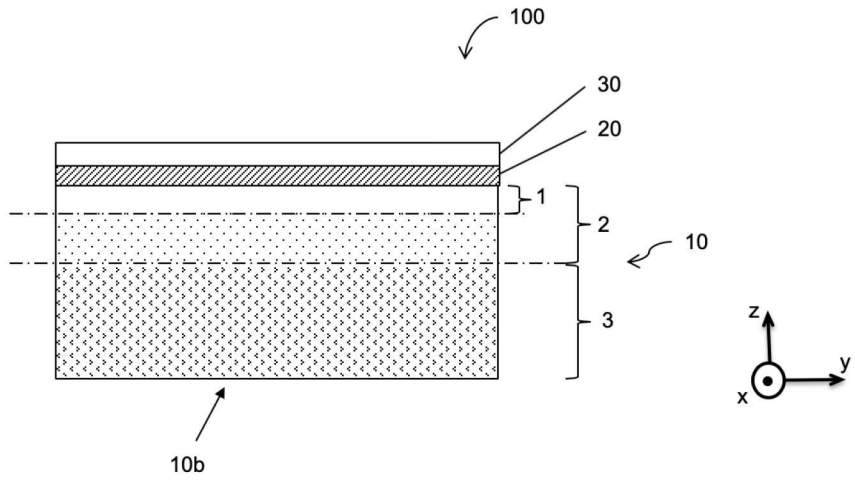
【請求項10】

如請求項9之製造方法，其中該第一序列之該第二熱處理包括兩個溫度平線區：介於650°C與700°C之間的第一平線區及約800°C之第二平線區。

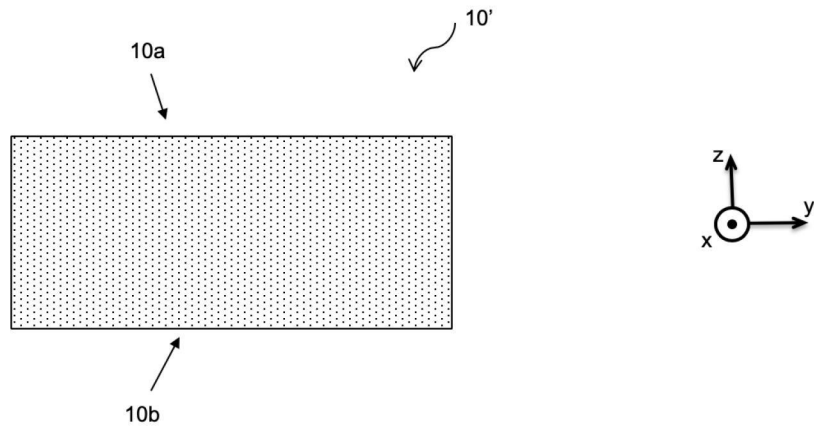
【發明圖式】



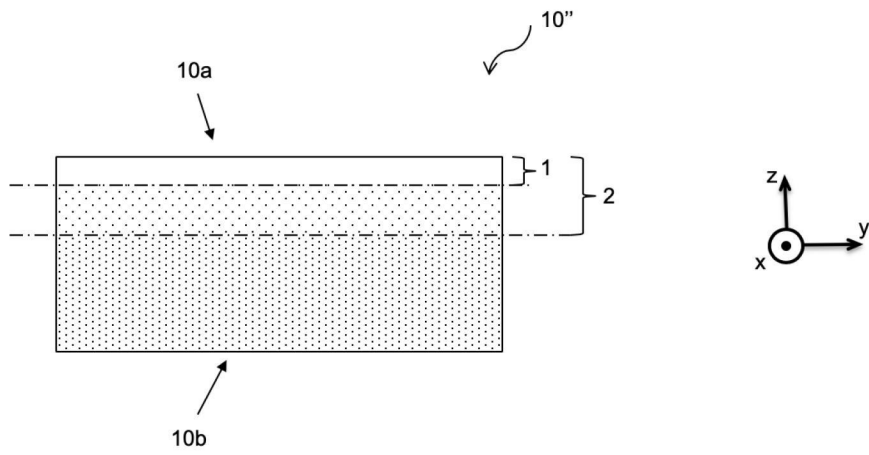
【圖1】



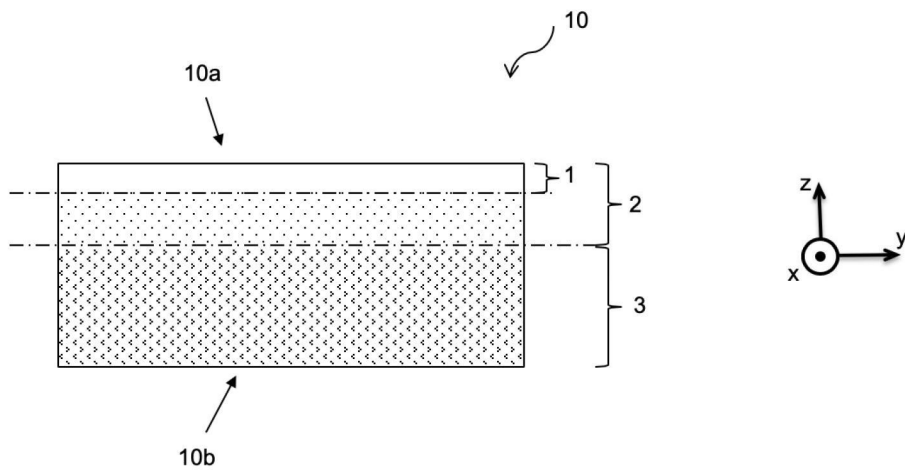
【圖2】



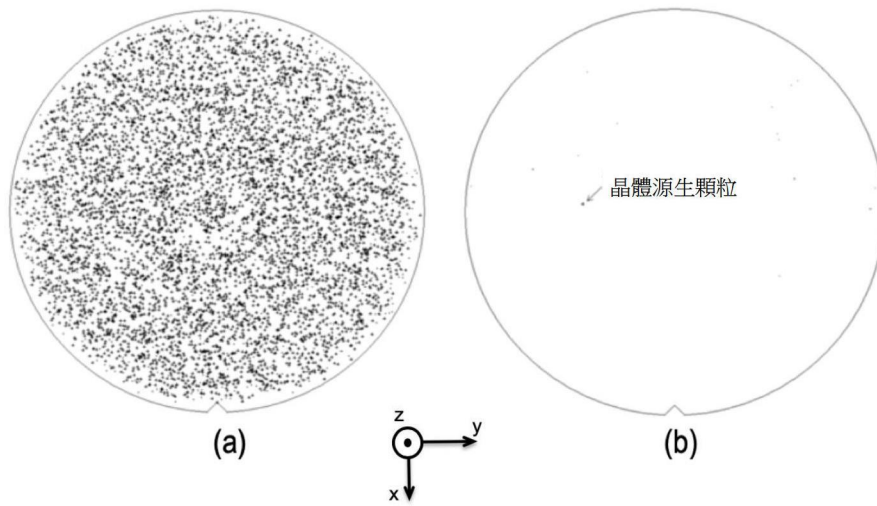
【圖3a】



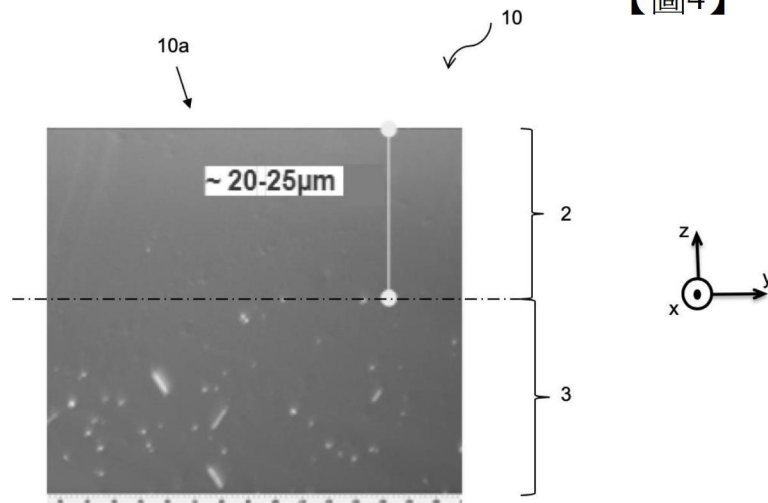
【圖3b】



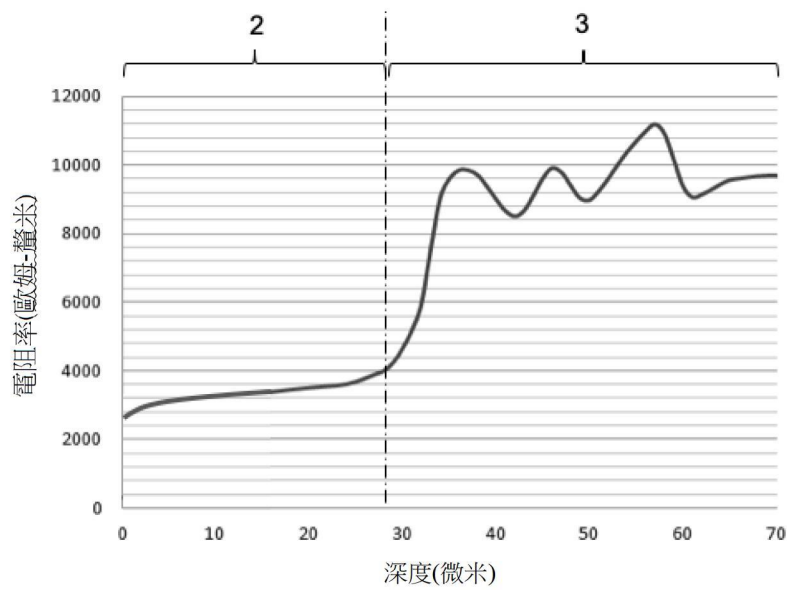
【圖3c】



【圖4】



【圖5】



【圖6】