



등록특허 10-2077455



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년02월14일
(11) 등록번호 10-2077455
(24) 등록일자 2020년02월10일

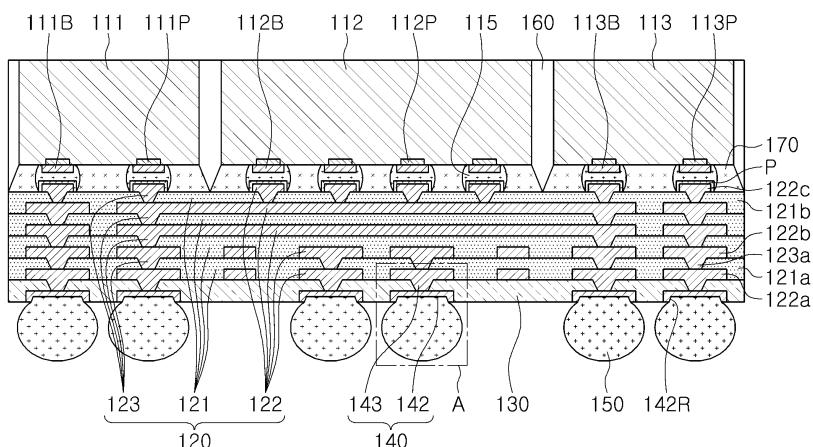
(51) 국제특허분류(Int. Cl.)	(73) 특허권자
<i>H01L 23/00</i> (2006.01) <i>H01L 23/28</i> (2006.01)	삼성전자주식회사
<i>H01L 23/31</i> (2006.01) <i>H01L 23/48</i> (2006.01)	경기도 수원시 영통구 삼성로 129 (매탄동)
<i>H01L 23/498</i> (2006.01) <i>H01L 23/522</i> (2006.01)	(72) 발명자
<i>H01L 25/065</i> (2006.01)	이한울
(52) CPC특허분류	경기도 수원시 영통구 매영로 150 (매탄동)
<i>H01L 24/12</i> (2013.01)	김진수
<i>H01L 23/28</i> (2013.01)	고영관
(21) 출원번호 10-2017-0085041	경기도 수원시 영통구 매영로 150 (매탄동)
(22) 출원일자 2017년07월04일	(74) 대리인
심사청구일자 2017년09월26일	특허법인씨엔에스
(65) 공개번호 10-2019-0004597	
(43) 공개일자 2019년01월14일	
(56) 선행기술조사문헌	
US20110254156 A1*	
(뒷면에 계속)	
전체 청구항 수 : 총 10 항	심사관 : 이정은
(54) 발명의 명칭 반도체 장치	

(57) 요 약

본 개시는 접속패드가 배치된 활성면을 갖는 반도체칩, 반도체칩의 적어도 일부를 봉합하는 봉합재, 반도체칩의 활성면 상에 배치되며 접속패드와 전기적으로 연결된 재배선층을 포함하는 연결부재, 연결부재 상에 배치된 패시베이션층, 및 상기 패시베이션층에 매립되며 상기 연결부재의 재배선층과 전기적으로 연결된 UBM층을 포함하며, 상기 UBM층은, 상기 패시베이션층에 매립되며 리세스부를 갖는 UBM 패드 및 상기 패시베이션층의 적어도 일부를 관통하며 상기 연결부재의 재배선층과 상기 UBM 패드를 전기적으로 연결하는 UBM 비아를 포함하는 반도체 장치에 관한 것이다.

대 표 도 - 도9

100



(52) CPC특허분류

H01L 23/3171 (2013.01)
H01L 23/481 (2013.01)
H01L 23/49811 (2013.01)
H01L 23/522 (2013.01)
H01L 24/97 (2013.01)
H01L 25/0652 (2013.01)
H01L 2224/0401 (2013.01)

(56) 선행기술조사문현

US20130008705 A1*
US20160372395 A1*
US20070015351 A1*
US20150206846 A1*

*는 심사관에 의하여 인용된 문현

명세서

청구범위

청구항 1

접속패드가 배치된 활성면을 갖는 반도체칩;

상기 반도체칩의 적어도 일부를 봉합하는 봉합재;

상기 반도체칩의 활성면 상에 배치되며, 상기 접속패드와 전기적으로 연결된 재배선층을 포함하는 연결부재;

상기 연결부재 상에 배치된 패시베이션층;

상기 패시베이션층에 매립되며, 상기 연결부재의 재배선층과 전기적으로 연결된 UBM(Under Bump Metallurgy)층;
및

상기 UBM층과 연결된 접속단자; 를 포함하며,

상기 UBM층은, 상기 패시베이션층에 매립되며 리세스부를 갖는 UBM 패드, 및 상기 패시베이션층의 적어도 일부를 관통하며 상기 연결부재의 재배선층과 상기 UBM 패드를 전기적으로 연결하는 UBM 비아를 포함하며,

상기 리세스부는 상기 UBM 패드의 최하면에서 상기 UBM 비아를 향하여 내입되는 리세스면과 상기 UBM 패드의 최하면과 상기 리세스면을 연결하는 내벽을 가지며,

상기 접속단자는 상기 리세스부를 채우며, 상기 리세스면 및 상기 내벽의 적어도 일부와 물리적으로 접촉하는,
반도체 장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 UBM 패드에 상기 리세스부가 복수개 형성된,

반도체 장치.

청구항 4

제 1 항에 있어서,

상기 UBM 패드의 최하면은 상기 패시베이션층의 하면과 동일 레벨에 위치하는,

반도체 장치.

청구항 5

접속패드가 배치된 활성면을 갖는 반도체칩;

상기 반도체칩의 적어도 일부를 봉합하는 봉합재;

상기 반도체칩의 활성면 상에 배치되며, 상기 접속패드와 전기적으로 연결된 재배선층을 포함하는 연결부재;

상기 연결부재 상에 배치된 패시베이션층;

상기 패시베이션층에 매립되며, 상기 연결부재의 재배선층과 전기적으로 연결된 UBM(Under Bump Metallurgy)층; 및

상기 패시베이션층 상에 배치된 수지층; 을 포함하며,

상기 UBM층은, 상기 패시베이션층에 매립되는 UBM 패드, 및 상기 패시베이션층의 적어도 일부를 관통하며 상기 연결부재의 재배선층과 상기 UBM 패드를 전기적으로 연결하는 UBM 비아를 포함하고,

상기 UBM 패드는 최하면에서 상기 UBM 비아를 향하여 내입되는 리세스면과 상기 UBM 패드의 최하면과 상기 리세스면을 연결하는 내벽을 가지며,

상기 수지층은 상기 UBM 패드의 상기 최하면의 적어도 일부를 오픈시키는 개구부를 갖는,

반도체 장치.

청구항 6

제 5 항에 있어서,

상기 UBM 패드의 최하면은 상기 수지층의 하면과 단차를 갖는,

반도체 장치.

청구항 7

제 1 항에 있어서,

상기 UBM 비아는 상기 연결부재의 재배선층과 접하는 상면의 폭이 상기 UBM 패드와 접하는 하면의 폭 보다 넓은,

반도체 장치.

청구항 8

제 1 항에 있어서,

상기 UBM 비아의 상면은 상기 패시베이션층의 상면과 동일 레벨에 위치하는,

반도체 장치.

청구항 9

◆청구항 9은(는) 설정등록료 납부시 포기되었습니다.◆

제 7 항에 있어서,

상기 UBM 비아는 역 사다리꼴의 단면 형상을 갖는,

반도체 장치.

청구항 10

◆청구항 10은(는) 설정등록료 납부시 포기되었습니다.◆

제 7 항에 있어서,

상기 UBM 비아는 채워진 비아(Filled-via)인,

반도체 장치.

청구항 11

제 1 항에 있어서,

상기 반도체칩은 프로세서칩 및 메모리칩을 포함하며,

상기 프로세서칩 및 상기 메모리칩은 상기 연결부재를 통하여 전기적으로 연결된,

반도체 장치.

청구항 12

삭제

청구항 13

제 1 항에 있어서,

상기 연결부재는, 상기 패시베이션층과 접하는 절연층, 상기 절연층에 매립되며 상기 패시베이션층 및 상기 UBM 비아와 접하는 제1재배선층, 상기 절연층 상에 배치된 제2재배선층, 및 상기 절연층의 적어도 일부를 관통하며 상기 제1재배선층 및 상기 제2재배선층을 전기적으로 연결하는 비아를 포함하며,

상기 비아는 상기 제2재배선층과 접하는 상면의 폭이 상기 제1재배선층과 접하는 하면의 폭 보다 넓은,

반도체 장치.

청구항 14

제 13 항에 있어서,

상기 절연층의 하면은 상기 제1재배선층의 하면과 동일 레벨에 위치하는,

반도체 장치.

발명의 설명

기술 분야

[0001] 본 개시는 반도체 장치에 관한 것이다.

배경 기술

[0002] 세트(Set)의 고사양화 및 HBM(High Bandwidth Memory) 채용으로 다이 투 다이 인터포저(Interposer) 시장이 성장하고 있다. 현재는 인터포저의 재료로 실리콘(Silicon) 주류를 이루고 있으나, 대면적화 및 저 코스트화를 위하여 글라스(Glass)나 올가닉(Organic) 방식의 개발이 이루어지고 있다. 인터포저를 세트의 메인보드 등에 연결하는 부분을 UBM(Under Bump Metallurgy)층이라고 하며, UBM층의 구조에 따라 연결부분의 신뢰성이 크게 영향을 받게 되므로 이를 최적화 할 필요가 있다.

[0003] 종래의 인터포저는 RDL(Re Distribution Layer)을 형성하고, RDL 상에 다이를 부착하고 이를 몰딩하는 패키지 공정을 수행한 후, 패키지를 캐리어에서 분리하고, 캐리어와 접해있던 패키지의 하면에 비아 형성, 노광, 및 도금 등의 공정을 거쳐 UBM층을 형성하였다. 다만, 이 경우 패키지 단독에서의 흡(Warpage)로 인해 공정 진행이 어렵기 때문에 별도의 캐리어를 더 사용해야 하며, UBM층 공정을 위한 전용 라인을 구축해야 하는 부담이 존재

하였다. 또한, 저 청정도의 패키지 라인을 통과한 제품이 다시 고 청정도의 노광 및 도금 공정을 거쳐야 함에 따라서 공정 품질의 리스크나 수율 하락의 리스크 등이 존재하였다.

발명의 내용

해결하려는 과제

[0004] 본 개시의 여러 목적 중 하나는 공정을 간소화하면서 고 신뢰성을 확보할 수 있는 UBM층 구조를 갖는 반도체 장치를 제공하는 것이다.

과제의 해결 수단

[0005] 본 개시를 통하여 제안하는 여러 해결 수단 중 하나는 종래의 UBM층 라스트 공법에서 UBM층 퍼스트 공법으로 전환함으로써 연결부재의 재배선층 형성 전에 UBM층을 먼저 형성하여, 최종 패키지 구조에서 UBM 패드가 패시베이션층에 매립되며 리세스부를 갖도록 하는 것이다.

[0006] 예를 들면, 본 개시에서 제안하는 일례에 따른 반도체 장치는 접속패드가 배치된 활성면을 갖는 반도체칩, 반도체칩의 적어도 일부를 봉합하는 봉합재, 반도체칩의 활성면 상에 배치되며 접속패드와 전기적으로 연결된 재배선층을 포함하는 연결부재, 연결부재 상에 배치된 패시베이션층, 및 패시베이션층에 매립되며 연결부재의 재배선층과 전기적으로 연결된 UBM층을 포함하며, UBM층은 패시베이션층에 매립되며 리세스부를 갖는 UBM 패드 및 패시베이션층의 적어도 일부를 관통하며 연결부재의 재배선층과 UBM 패드를 전기적으로 연결하는 UBM 비아를 포함하는 것일 수 있다.

[0007] 또는, 본 개시에서 제안하는 일례에 따른 반도체 장치는 접속패드가 배치된 활성면을 갖는 반도체칩, 반도체칩의 적어도 일부를 봉합하는 봉합재, 반도체칩의 활성면 상에 배치되며 접속패드와 전기적으로 연결된 재배선층을 포함하는 연결부재, 연결부재 상에 배치된 패시베이션층, 패시베이션층에 매립되며 리세스부를 갖는 UBM 패드, 패시베이션층의 적어도 일부를 관통하며 연결부재의 재배선층과 UBM 패드를 전기적으로 연결하는 UBM 비아, 및 UBM 패드의 리세스부를 채우는 접속단자를 포함하며, UBM 비아는 연결부재의 재배선층과 접하는 상면의 폭이 UBM 패드와 접하는 하면의 폭 보다 넓은 것일 수도 있다.

발명의 효과

[0008] 본 개시의 여러 효과 중 일 효과로서 공정을 간소화하면서 고 신뢰성을 갖는 UBM층 구조의 반도체 장치를 제공할 수 있다.

[0009] 예를 들면, UBM층 퍼스트 공법을 적용하여 제조하는 바, 공정 과정에서 발생하는 추가적인 캐리어를 생략할 수 있고, UBM층 형성을 위한 전용 라인을 생략할 수 있으며, 패키지 공정 후 이물에 의한 리스크를 제거할 수 있다. 또한, 최종 구조에서 UBM 패드가 패시베이션층에 매립되며 접속단자로 채워지는 리세스부를 갖는 바 접속단자와의 접속신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

[0010] 도 1은 전자기기 시스템의 예를 개략적으로 나타내는 블록도다.

도 2는 전자기기의 일례를 개략적으로 나타낸 사시도다.

도 3은 팬-인 반도체 장치의 패키징 전후를 개략적으로 나타낸 단면도다.

도 4는 팬-인 반도체 장치의 패키징 과정을 개략적으로 나타낸 단면도다.

도 5는 팬-인 반도체 장치가 인터포저 기판 상에 실장되어 최종적으로 전자기기의 메인보드에 실장된 경우를 개략적으로 나타낸 단면도다.

도 6은 팬-인 반도체 장치가 인터포저 기판 내에 내장되어 최종적으로 전자기기의 메인보드에 실장된 경우를 개략적으로 나타낸 단면도다.

도 7은 팬-아웃 반도체 장치의 개략적 모습을 나타낸 단면도다.

도 8은 팬-아웃 반도체 장치가 전자기기의 메인보드에 실장된 경우를 개략적으로 나타낸 단면도다.

도 9는 반도체 장치의 일례를 대략 나타낸 단면도다.

도 10a는 도 9의 반도체 장치의 A 영역의 확대하여 대략 나타낸 단면도다.

도 10b 및 10c는 도 9의 A 영역의 다양한 변형 예를 대략 나타낸 단면도다.

도 11a 및 도 11b는 도 9의 반도체 장치의 제조 일례를 대략 나타낸 공정도다.

도 12는 도 11a의 UBM 패드의 제조 일례를 보다 구체적으로 나타낸 공정도다.

도 13a 내지 도 13c는 도 11b의 마지막 공정의 보다 구체적인 다양한 예를 대략 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0011]

이하, 첨부된 도면을 참조하여 본 개시에 대해 설명한다. 도면에서 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장되거나 축소될 수 있다.

[0012]

전자기기

[0013]

도 1은 전자기기 시스템의 예를 개략적으로 나타내는 블록도이다.

[0014]

도면을 참조하면, 전자기기(1000)는 메인보드(1010)를 수용한다. 메인보드(1010)에는 칩 관련부품(1020), 네트워크 관련부품(1030), 및 기타부품(1040) 등이 물리적 및/또는 전기적으로 연결되어 있다. 이들은 후술하는 다른 부품과도 결합되어 다양한 신호라인(1090)을 형성한다.

[0015]

칩 관련부품(1020)으로는 휘발성 메모리(예컨대, DRAM), 비-휘발성 메모리(예컨대, ROM), 플래시 메모리 등의 메모리 칩; 센트럴 프로세서(예컨대, CPU), 그래픽 프로세서(예컨대, GPU), 디지털 신호 프로세서, 암호화 프로세서, 마이크로 프로세서, 마이크로 컨트롤러 등의 어플리케이션 프로세서 칩; 아날로그-디지털 컨버터, ASIC(application-specific IC) 등의 로직 칩 등이 포함되며, 이에 한정되는 것은 아니고, 이 외에도 기타 다른 형태의 칩 관련 부품이 포함될 수 있음을 물론이다. 또한, 이들 부품(1020)이 서로 조합될 수 있음을 물론이다.

[0016]

네트워크 관련부품(1030)으로는, Wi-Fi(IEEE 802.11 패밀리 등), WiMAX(IEEE 802.16 패밀리 등), IEEE 802.20, LTE(long term evolution), Ev-DO, HSPA+, HSDPA+, HSUPA+, EDGE, GSM, GPS, GPRS, CDMA, TDMA, DECT, Bluetooth, 3G, 4G, 5G 및 그 이후의 것으로 지정된 임의의 다른 무선 및 유선 프로토콜들이 포함되며, 이에 한정되는 것은 아니고, 이 외에도 기타 다른 다수의 무선 또는 유선 표준들이나 프로토콜들 중의 임의의 것이 포함될 수 있다. 또한, 네트워크 관련부품(1030)이 칩 관련 부품(1020)과 더불어 서로 조합될 수 있음을 물론이다.

[0017]

기타부품(1040)으로는, 고주파 인덕터, 페라이트 인덕터, 파워 인덕터, 페라이트 비즈, LTCC(low Temperature

Co-Firing Ceramics), EMI(Electro Magnetic Interference) filter, MLCC(Multi-Layer Ceramic Condenser) 등이 포함되며, 이에 한정되는 것은 아니고, 이 외에도 기타 다른 다양한 용도를 위하여 사용되는 수동부품 등이 포함될 수 있다. 또한, 기타부품(1040)이 칩 관련 부품(1020) 및/또는 네트워크 관련 부품(1030)과 더불어 서로 조합될 수 있음은 물론이다.

[0018] 전자기기(1000)의 종류에 따라, 전자기기(1000)는 메인보드(1010)에 물리적 및/또는 전기적으로 연결되거나 그렇지 않을 수도 있는 다른 부품을 포함할 수 있다. 다른 부품의 예를 들면, 카메라(1050), 안테나(1060), 디스플레이(1070), 배터리(1080), 오디오 코덱(미도시), 비디오 코덱(미도시), 전력 증폭기(미도시), 나침반(미도시), 가속도계(미도시), 자이罗斯코프(미도시), 스피커(미도시), 대량 저장 장치(예컨대, 하드디스크 드라이브)(미도시), CD(compact disk)(미도시), 및 DVD(digital versatile disk)(미도시) 등이 있으며, 다만, 이에 한정되는 것은 아니고, 이 외에도 전자기기(1000)의 종류에 따라 다양한 용도를 위하여 사용되는 기타 부품 등이 포함될 수 있음은 물론이다.

[0019] 전자기기(1000)는, 스마트 폰(smart phone), 개인용 정보 단말기(personal digital assistant), 디지털 비디오 카메라(digital video camera), 디지털 스틸 카메라(digital still camera), 네트워크 시스템(network system), 컴퓨터(computer), 모니터(monitor), 태블릿(tablet), 랩탑(laptop), 넷북(netbook), 텔레비전(television), 비디오 게임(video game), 스마트 워치(smart watch), 오토모티브(Automotive) 등일 수 있다. 다만, 이에 한정되는 것은 아니며, 이를 외에도 데이터를 처리하는 임의의 다른 전자기기일 수 있음은 물론이다.

[0020] 도 2는 전자기기의 일례를 개략적으로 나타낸 사시도다.

[0021] 도면을 참조하면, 반도체 장치는 상술한 바와 같은 다양한 전자기기에 다양한 용도로써 적용된다. 예를 들면, 스마트 폰(1100)의 바디(1101) 내부에는 마더보드(1110)가 수용되어 있으며, 마더보드(1110)에는 다양한 부품(1120)들이 물리적 및/또는 전기적으로 연결되어 있다. 또한, 카메라(1130)와 같이 마더보드(1110)에 물리적 및/또는 전기적으로 연결되거나 그렇지 않을 수도 있는 다른 부품이 바디(1101) 내에 수용되어 있다. 부품(1120) 중 일부는 칩 관련부품일 수 있으며, 반도체 장치(100)는, 예를 들면, 그 중 어플리케이션 프로세서일 수 있으나, 이에 한정되는 것은 아니다. 전자기기는 반드시 스마트 폰(1100)에 한정되는 것은 아니며, 상술한 바와 같이 다른 전자기기일 수도 있음은 물론이다.

반도체 장치

[0023] 일반적으로 반도체칩은 수많은 미세 전기 회로가 집적되어 있으나 그 자체로는 반도체 완성품으로서의 역할을 할 수 없으며, 외부의 물리적 또는 화학적 충격에 의해 손상될 가능성이 존재한다. 그래서 반도체칩 자체를 그대로 사용하지 않고 반도체칩을 패키징하여 패키지 상태로 전자기기 등에 사용하고 있다.

[0024] 반도체 패키징이 필요한 이유는, 전기적인 연결이라는 관점에서 볼 때, 반도체칩과 전자기기의 메인보드의 회로 폭에 차이가 있기 때문이다. 구체적으로, 반도체칩의 경우, 접속패드의 크기와 접속패드간의 간격이 매우 미세한 반면 전자기기에 사용되는 메인보드의 경우, 부품 실장 패드의 크기 및 부품 실장 패드의 간격이 반도체칩의 스케일보다 훨씬 크다. 따라서, 반도체칩을 이러한 메인보드 상에 바로 장착하기 어려우며 상호간의 회로 폭 차이를 완충시켜 줄 수 있는 패키징 기술이 요구되는 것이다.

[0025] 이러한 패키징 기술에 의하여 제조되는 반도체 장치는 구조 및 용도에 따라서 팬-in 반도체 장치(Fan-in semiconductor device)와 반도체 장치(Fan-out semiconductor device)로 구분될 수 있다.

[0026] 이하에서는, 도면을 참조하여 팬-인 반도체 장치와 반도체 장치에 대하여 보다 자세히 알아보도록 한다.

[0027] (팬-인 반도체 장치)

[0028] 도 3은 팬-인 반도체 장치의 패키징 전후를 개략적으로 나타낸 단면도다.

[0029] 도 4는 팬-인 반도체 장치의 패키징 과정을 개략적으로 나타낸 단면도다.

[0030] 도면을 참조하면, 반도체칩(2220)은 실리콘(Si), 게르마늄(Ge), 갈륨비소(GaAs) 등을 포함하는 바디(2221), 바디(2221)의 일면 상에 형성된 알루미늄(Al) 등의 도전성 물질을 포함하는 접속패드(2222), 및 바디(2221)의 일면 상에 형성되며 접속패드(2222)의 적어도 일부를 덮는 산화막 또는 질화막 등의 패시베이션막(2223)을 포함하는, 예를 들면, 베어(Bare) 상태의 집적회로(IC)일 수 있다. 이때, 접속패드(2222)는 매우 작기 때문에, 집적회로(IC)는 전자기기의 메인보드 등은 물론, 중간 레벨의 인쇄회로기판(PCB)에도 실장 되기 어렵다.

[0031] 이에, 접속패드(2222)를 재배선하기 위하여 반도체칩(2220) 상에 반도체칩(2220)의 사이즈에 맞춰 연결부재(2240)를 형성한다. 연결부재(2240)는 반도체칩(2220) 상에 감광성 절연수지(PID)와 같은 절연물질로 절연층(2241)을 형성하고, 접속패드(2222)를 오픈시키는 비아홀(2243h)을 형성한 후, 배선패턴(2242) 및 비아(2243)를 형성하여 형성할 수 있다. 그 후, 연결부재(2240)를 보호하는 패시베이션층(2250)을 형성하고, 개구부(2251)를 형성한 후, UBM층(2260) 등을 형성한다. 즉, 일련의 과정을 통하여, 예를 들면, 반도체칩(2220), 연결부재(2240), 패시베이션층(2250), 및 UBM층(2260)을 포함하는 팬-인 반도체 장치(2200)가 제조된다.

[0032] 이와 같이, 팬-인 반도체 장치는 반도체칩의 접속패드, 예컨대 I/O(Input/Output) 단자를 모두 소자 한쪽에 배치시킨 패키지형태이며, 팬-인 반도체 장치는 전기적 특성이 좋으며 저렴하게 생산할 수 있다. 따라서, 스마트폰에 들어가는 많은 소자들이 팬-인 반도체 장치 형태로 제작되고 있으며, 구체적으로는 소형이면서도 빠른 신호 전달을 구현하는 방향으로 개발이 이루어지고 있다.

[0033] 다만, 팬-인 반도체 장치는 I/O 단자를 모두 반도체칩 한쪽에 배치해야 하는바 공간적인 제약이 많다. 따라서, 이러한 구조는 많은 수의 I/O 단자를 갖는 반도체칩이나 크기가 작은 반도체칩에 적용하는데 어려운 점이 있다. 또한, 이러한 취약점으로 인하여 전자기기의 메인보드에 팬-인 반도체 장치가 직접 실장되어 사용될 수 없다. 반도체칩의 I/O 단자를 재배선 공정으로 그 크기와 간격을 확대하였다 하더라도, 전자기기 메인보드에 직접 실장 될 수 있을 정도의 크기와 간격을 가지는 것은 아니기 때문이다.

[0034] 도 5는 팬-인 반도체 장치가 인터포저 기판 상에 실장되어 최종적으로 전자기기의 메인보드에 실장된 경우를 개략적으로 나타낸 단면도다.

[0035] 도 6은 팬-인 반도체 장치가 인터포저 기판 내에 내장되어 최종적으로 전자기기의 메인보드에 실장된 경우를 개략적으로 나타낸 단면도다.

[0036] 도면을 참조하면, 팬-인 반도체 장치(2200)는 반도체칩(2220)의 접속패드들(2222), 즉 I/O 단자들이 인터포저 기판(2301)을 통하여 다시 한 번 재배선되며, 최종적으로는 인터포저 기판(2301) 상에 팬-인 반도체 장치(2200)가 실장된 상태로 전자기기의 메인보드(2500)에 실장될 수 있다. 이때, 솔더볼(2270) 등은 언더필 수지(2280) 등으로 고정될 수 있으며, 외측은 몰딩재(2290) 등으로 커버될 수 있다. 또는, 팬-인 반도체 장치(2200)는 별도의 인터포저 기판(2302) 내에 내장(Embedded) 될 수도 있으며, 내장된 상태로 인터포저 기판(2302)에 의하여 반도체칩(2220)의 접속패드들(2222), 즉 I/O 단자들이 다시 한 번 재배선되고, 최종적으로 전

자기기의 메인보드(2500)에 실장될 수 있다.

[0037] 이와 같이, 팬-인 반도체 장치는 전자기기의 메인보드에 직접 실장되어 사용되기 어렵기 때문에, 별도의 인터포저 기판 상에 실장된 후 다시 패키징 공정을 거쳐 전자기기 메인보드에 실장되거나, 또는 인터포저 기판 내에 내장된 채로 전자기기 메인보드에 실장되어 사용되고 있다.

(팬-아웃 반도체 장치)

[0039] 도 7은 팬-아웃 반도체 장치의 개략적은 모습을 나타낸 단면도다.

[0040] 도면을 참조하면, 팬-아웃 반도체 장치(2100)는, 예를 들면, 반도체칩(2120)의 외측이 봉합재(2130)로 보호되며, 반도체칩(2120)의 접속패드(2122)가 연결부재(2140)에 의하여 반도체칩(2120)의 바깥쪽까지 재배선된다. 이때, 연결부재(2140) 상에는 패시베이션층(2150)이 더 형성될 수 있으며, 패시베이션층(2150)의 개구부에는 UBM층(2160)이 더 형성될 수 있다. UBM층(2160) 상에는 솔더볼(2170)이 더 형성될 수 있다. 반도체칩(2120)은 바디(2121), 접속패드(2122), 패시베이션막(미도시) 등을 포함하는 접적회로(IC)일 수 있다. 연결부재(2140)는 절연층(2141), 절연층(2241) 상에 형성된 재배선층(2142), 접속패드(2122)와 재배선층(2142) 등을 전기적으로 연결하는 비아(2143)를 포함할 수 있다.

[0041] 이와 같이, 팬-아웃 반도체 장치는 반도체칩 상에 형성된 연결부재를 통하여 반도체칩의 바깥쪽에 까지 I/O 단자를 재배선하여 배치시킨 형태이다. 상술한 바와 같이, 팬-인 반도체 장치는 반도체칩의 I/O 단자를 모두 반도체칩 안쪽에 배치시켜야 하고 이에 소자 사이즈가 작아지면 볼 크기와 피치를 줄여야 하므로 표준화된 볼 레이아웃을 사용할 수 없다. 반면, 팬-아웃 반도체 장치는 이와 같이 반도체칩 상에 형성된 연결부재를 통하여 반도체칩의 바깥쪽에 까지 I/O 단자를 재배선하여 배치시킨 형태인바 반도체칩의 크기가 작아지더라도 표준화된 볼 레이아웃을 그대로 사용할 수 있는바, 후술하는 바와 같이 전자기기의 메인보드에 별도의 인터포저 기판 없이도 실장될 수 있다.

[0042] 도 8은 팬-아웃 반도체 장치가 전자기기의 메인보드에 실장된 경우를 개략적으로 나타낸 단면도다.

[0043] 도면을 참조하면, 팬-아웃 반도체 장치(2100)는 솔더볼(2170) 등을 통하여 전자기기의 메인보드(2500)에 실장될 수 있다. 즉, 상술한 바와 같이, 팬-아웃 반도체 장치(2100)는 반도체칩(2120) 상에 반도체칩(2120)의 사이즈를 벗어나는 팬-아웃 영역까지 접속패드(2122)를 재배선할 수 있는 연결부재(2140)를 형성하기 때문에, 표준화된 볼 레이아웃을 그대로 사용할 수 있으며, 그 결과 별도의 인터포저 기판 등 없이도 전자기기의 메인보드(2500)에 실장될 수 있다.

[0044] 이와 같이, 팬-아웃 반도체 장치는 별도의 인터포저 기판 없이도 전자기기의 메인보드에 실장 될 수 있기 때문에, 인터포저 기판을 이용하는 팬-인 반도체 장치 대비 두께를 얇게 구현할 수 있는바 소형화 및 박형화가 가능하다. 또한, 열 특성과 전기적 특성이 우수하여 모바일 제품에 특히 적합하다. 또한, 인쇄회로기판(PCB)을 이용하는 일반적인 POP(Package on Package) 타입 보다 더 컴팩트하게 구현할 수 있고, 휨 현상 발생으로 인한 문제를 해결할 수 있다.

[0045] 이하에서는, 공정을 간소화하면서 고 신뢰성을 확보할 수 있는 UBM층 구조를 갖는 반도체 패키지에 대하여 도면을 참조하여 설명한다.

- [0046] 도 9는 반도체 장치의 일례를 대략 나타낸 단면도다.
- [0047] 도 10a는 도 9의 반도체 장치의 A 영역의 확대하여 대략 나타낸 단면도다.
- [0048] 도면을 참조하면, 일례에 따른 반도체 장치(100)는 각각 접속패드(111P, 112P, 113P)가 배치된 활성면을 갖는 반도체칩(111, 112, 113), 반도체칩(111, 112, 113)의 적어도 일부를 봉합하는 봉합재(160), 반도체칩(111, 112, 113)의 활성면 상에 배치되며 각각의 접속패드(111P, 112P, 113P)와 전기적으로 연결된 재배선층(122)을 포함하는 연결부재(120), 연결부재(120) 상에 배치된 패시베이션층(130), 패시베이션층(130)에 매립되어 연결부재(120)의 재배선층(122)과 전기적으로 연결된 UBM층(140), 및 UBM층(140)과 연결된 접속단자(150)를 포함한다. UBM층(140)은 패시베이션층(130)에 매립되어 리세스부(142R)를 갖는 UBM 패드(142) 및 패시베이션층(130)에 매립되어 연결부재(120)의 재배선층(122)과 UBM 패드(142)를 전기적으로 연결하는 UBM 비아(143)를 포함한다. 접속단자(150)는 리세스부(142R)를 채운다. UBM 패드(142)의 하면은 패시베이션층(130)의 하면과 동일 레벨에 위치할 수 있다.
- [0049] 한편, 상술한 바와 같이, 종래의 인터포저는 절연층에 재배선층을 형성하고, 재배선층 상에 다이를 부착하고 이를 물딩하는 패키지 공정을 수행한 후, 패키지를 캐리어에서 분리하고, 캐리어와 접해있던 패키지의 하면에 비아 형성, 노광, 및 도금 등의 공정을 거쳐 UBM층을 형성하였다. 이러한 종래의 방법은 UBM층을 가장 마지막에 형성하는바, 통상 UBM층 라스트 공법이라 한다. 이러한 UBM층 라스트 공법에서는 패키지 단독에서의 흡 문제로 인해 공정 전행이 어렵기 때문에 별도의 캐리어를 더 사용해야 하며, UBM층 공정을 위한 전용 라인을 구축해야 하는 부담이 존재하였다. 또한, 저 청정도의 패키지 라인을 통과한 제품이 다시 고 청정도의 노광 및 도금 공정을 거쳐야 함에 따라서 공정 품질의 리스크나 수율 하락의 리스크 등이 존재하였다. 일반적으로, UBM층 라스트 공법을 적용하는 경우, UBM 패드는 패시베이션층 상에 형성되며, UBM 비아는 패시베이션층에 형성된 비아홀을 따라 형성된다.
- [0050] 반면, 일례에 따른 반도체 장치(100)의 경우는 후술하는 공정에서 알 수 있듯이 UBM층 퍼스트 공법을 적용하여 제조한다. 즉, 연결부재(120)를 형성하기 전에 연결부재(120)를 형성하는 라인에서 UBM층(140)과 패시베이션층(130)을 먼저 형성할 수 있다. 따라서, 추가적인 캐리어가 요구되지 않고, UBM층 형성을 위한 전용 라인을 생략할 수 있으며, 패키지 공정 후 이물에 의한 리스크를 제거할 수 있다. 이러한 공정에서, UBM층(140)은 패시베이션층(130)에 매립되게 형성된다. 따라서, UBM 패드(142)의 하면은 패시베이션층(130)의 하면과 동일 레벨에 위치할 수 있다. 동일 레벨은 실질적으로 동일 평면에 위치하는 것을 의미하며, 일부 공정에 따른 굴곡 등은 무시한다. 다만, UBM 패드(142)가 리세스부(142R)를 갖도록 형성된다. 이 경우, 리세스부(142R)는 접속단자(150)로 채워지는바, 우수한 접속신뢰성을 가질 수 있다.
- [0051] 한편, 일례에 따른 반도체 장치(100)의 경우는 UBM 비아(143)는 연결부재(120)의 재배선층(122)과 접하는 상면의 폭이 UBM 패드(142)와 접하는 하면의 폭 보다 크다. 여기서, 폭은 단면도를 기준으로 판단한다. 종래와 같이 UBM층 라스트 공법을 적용하는 경우에는, UBM 비아의 상면의 폭은 하면의 폭 보다 작은 것이 일반적이다. 반면, 일례에 따른 반도체 장치(100)의 경우는 UBM층 퍼스트 공법을 적용하는바, UBM 비아(143)가 상면의 폭이 하면의 폭 보다 넓은, 소위 역 사다리꼴 형상으로 형성될 수 있다. 또한, 연결부재(120)의 재배선층(122) 및 비아(123)와 마찬가지로 UBM 패드(142) 및 UBM 비아(143)를 형성하는바, UBM 비아(143)는 대략 채워진 비아(Filled-via)일 수 있다.
- [0052] 이하, 일례에 따른 반도체 장치(100)에 포함되는 각각의 구성에 대하여 보다 자세히 설명한다.
- [0053] 반도체칩(111, 112, 113)은 예를 들면, 센트랄 프로세서(예컨대, CPU), 그래픽 프로세서(예컨대, GPU), 필드 프로그램어블 케이트 어레이(FPGA), 디지털 신호 프로세서, 암호화 프로세서, 마이크로 프로세서, 마이크로 컨트롤러 등의 프로세서 칩일 수 있고, 또는 아날로그-디지털 컨버터, ASIC(application-specific IC) 등의 로직 칩

일 수도 있으며, 또는 휘발성 메모리(예컨대, DRAM), 비-휘발성 메모리(예컨대, ROM), 플래시 메모리, HBM(High Bandwidth Memory) 등의 메모리 칩일 수도 있다. 또한, 이들이 서로 조합되어 배치될 수도 있다. 제한되지 않는 예로서, 제1반도체칩(111) 및 제3반도체칩(113)은 HBM 등의 메모리 칩일 수 있고, 제2반도체칩(112)은 AP 등의 프로세서 칩일 수 있으나, 이에 한정되는 것은 아니다.

[0054] 반도체칩(111, 112, 113)은 각각 소자 수백 내지 수백만 개 이상이 하나의 칩 안에 집적화된 집적회로(IC: Integrated Circuit)일 수 있다. 이 경우 각각의 바디를 이루는 모재로는 실리콘(Si), 게르마늄(Ge), 갈륨비소(GaAs) 등이 사용될 수 있다. 각각의 바디에는 다양한 회로가 형성되어 있을 수 있다. 반도체칩(111, 112, 113) 각각의 접속패드(111P, 112P, 113P)는 각각의 반도체칩(111, 112, 113)을 다른 구성요소와 전기적으로 연결시키기 위한 것으로, 형성물질로는 알루미늄(Al) 등의 도전성 물질을 특별한 제한 없이 사용할 수 있다. 각각의 바디 상에는 접속패드(111P, 112P, 113P)를 노출시키는 패시베이션막이 형성될 수 있으며, 패시베이션막은 산화막 또는 질화막 등일 수 있고, 또는 산화막과 질화막의 이중층일 수도 있다. 기타 필요한 위치에 절연막 등이 더 배치될 수도 있다. 필요에 따라서는, 반도체칩(111, 112, 113)의 활성면 상에 재배선층이 더 형성될 수 있으며, 범프(111B, 112B, 113B) 등이 접속패드(111P, 112P, 113P)와 연결된 형태를 가질 수도 있다. 범프(111B, 112B, 113B)는 금속이나 솔더로 이루어질 수 있다. 반도체칩(111, 112, 113)은 접속패드(111P, 112P, 113) 및/또는 범프(111B, 112B, 113B)를 통하여 연결부재(120)의 상부의 노출된 재배선층(122c)과 연결될 수 있으며, 연결에는 솔더 등의 접속부재(115)가 이용될 수 있다. 각각의 반도체칩(111, 112, 113)은 공지의 언더필수지(170)로 연결부재(120) 상에 고정될 수도 있다.

[0055] 연결부재(120)는 반도체칩(111, 112, 113) 각각의 접속패드(111P, 112P, 113P)를 재배선한다. 연결부재(120)를 통하여 다양한 기능을 가지는 수십 수백의 반도체칩(111, 112, 113) 각각의 접속패드(111P, 112P, 113P)가 재배선 될 수 있으며, 접속단자(150)를 통하여 그 기능에 맞춰 외부에 물리적 및/또는 전기적으로 연결될 수 있다. 연결부재(120)는 절연층(121)과 절연층(121) 상에 또는 내에 형성된 재배선층(122)과 절연층(121)의 관통하며 서로 다른 층에 형성된 재배선층(122)을 전기적으로 연결하는 비아(123)를 포함한다. 연결부재(120)의 층 수는 도면에 도시한 것 보다 많을 수도 있고, 또는 더 적을 수도 있다. 이러한 형태의 연결부재(120)는 2.5D 형태의 인터포저로 사용될 수 있다.

[0056] 절연층(121)의 물질로는 절연물질이 사용될 수 있는데, 이때 절연물질로는 예폭시 수지와 같은 열경화성 수지, 폴리이미드와 같은 열가소성 수지, 또는 이를 수지가 무기필러와 혼합된 수지, 예를 들면, ABF(Ajinomoto Build-up Film) 등이 사용될 수 있다. 또는, PID(Photo Imeagable Dielectric) 수지와 같은 감광성 절연물질을 사용할 수도 있다. 즉, 절연층(121)은 각각 감광성 절연층일 수 있다. 절연층(121)이 감광성의 성질을 가지는 경우, 절연층(121)을 보다 얇게 형성할 수 있으며, 보다 용이하게 비아(123)의 파인 피치를 달성할 수 있다. 절연층(121)이 다층인 경우, 이들의 물질은 서로 동일할 수 있고, 필요에 따라서는 서로 상이할 수도 있다. 절연층(121)이 다층인 경우, 이들은 공정에 따라 일체화 되어 이를 자체로는 경계가 불분명할 수도 있다.

[0057] 재배선층(122)은 실질적으로 접속패드(111P, 112P, 113P)를 재배선하는 역할을 수행할 수 있으며, 형성물질로는 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 도전성 물질을 사용할 수 있다. 재배선층(122)은 해당 층의 설계 디자인에 따라 다양한 기능을 수행할 수 있다. 예를 들면, 그라운드(GrouND: GND) 패턴, 파워(PoWeR: PWR) 패턴, 신호(Signal: S) 패턴 등을 포함할 수 있다. 여기서, 신호(S) 패턴은 그라운드(GND) 패턴, 파워(PWR) 패턴 등을 제외한 각종 신호, 예를 들면, 데이터 신호 등을 포함한다. 또한, 비아 패드, 접속단자 패드 등을 포함할 수 있다.

[0058] 비아(123)는 서로 다른 층에 형성된 재배선층(122) 등을 전기적으로 연결시키며, 그 결과 패키지(100) 내에 전기적 경로를 형성시킨다. 비아(123)의 형성물질로는 구리(Cu), 알루미늄(Al), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni), 납(Pb), 티타늄(Ti), 또는 이들의 합금 등의 도전성 물질을 사용할 수 있다. 비아(123)는 도전성 물질로

완전히 충전될 수 있으나, 이에 한정되는 것은 아니다.

[0059] 연결부재(120)는 패시베이션층(130)과 접하는 제1절연층(121a), 제1절연층(121a)에 매립되며 패시베이션층(130) 및 UBM 비아(143)와 접하는 제1재배선층(122a), 제1절연층(121a) 상에 배치된 제2재배선층(122b), 및 제1절연층(121a)의 적어도 일부를 관통하며 제1재배선층(122a)과 제2재배선층(122b)을 전기적으로 연결하는 제1비아(123a)를 포함한다. 연결부재(120)는 이러한 형태의 절연층과 재배선층과 비아가 다층으로 구성된 것일 수 있다. 제1비아(123a)는 제2재배선층(122b)과 접하는 상면의 폭이 제1재배선층(122a)과 접하는 하면의 폭 보다 클 수 있다. 즉, 연결부재(120)의 비아(123)의 단면 형상은 UBM 비아(143)의 단면 형상과 실질적으로 동일할 수 있다. 즉, 대략 역 사다리꼴 형상일 수 있다.

[0060] 연결부재(120)는 봉합재(160) 및/또는 언더필 수지(170)와 접하는 제2절연층(121b), 및 제2절연층(121b) 상에 배치된 제3재배선층(122c)을 포함한다. 제3재배선층(122c)은 연결부재(120)의 최상부 절연층인 제2절연층(121b)의 상면 상에 돌출된 형태로 형성된다. 제3재배선층(122c)은 반도체칩(111, 112, 113)의 실장을 위한 패드 역할을 수행한다. 제3재배선층(122c)의 표면에는 표면처리층(P)이 형성될 수 있다. 표면처리층(P)은 당해 기술분야에 공지된 것이라면 특별히 한정되는 것은 아니며, 예를 들어, 전해 금도금, 무전해 금도금, OSP 또는 무전해 주석도금, 무전해 은도금, 무전해 니켈도금/치환금도금, DIG 도금, HASL 등에 의해 형성될 수 있으나, 이에 한정되는 것은 아니다. 제3재배선층(122c) 및/또는 표면처리층(P)은 솔더링 등의 접속부재(115)를 통하여 반도체칩(111, 112, 113)의 접속패드(111P, 112P, 113P) 및/또는 범프(111B, 112B, 113B)와 연결될 수 있다.

[0061] 패시베이션층(130)은 연결부재(120)를 외부의 물리적 화학적 손상 등으로부터 보호할 수 있다. 패시베이션층(130)의 재료는 특별히 한정되는 않는다. 예를 들면, 절연물질이 사용될 수 있는데, 이때 절연물질로는 상술한 연결부재(120)의 절연층(121)의 절연물질에서 설명한 물질, 예를 들면, ABF를 사용할 수 있다.

[0062] UBM층(140)은 접속단자(150)의 접속신뢰성을 향상시켜주며, 그 결과 패키지(100)의 보드 레벨 신뢰성을 개선해 준다. UBM층(140)은 패시베이션층(130)에 매립되며 리세스부(142R)를 갖는 UBM 패드(142) 및 패시베이션층(130)에 매립되어 연결부재(120)의 재배선층(122)과 UBM 패드(142)를 전기적으로 연결하는 UBM 비아(143)를 포함한다. 접속단자(150)는 리세스부(142R)를 채우며 패시베이션층(130) 상에 돌출되게 배치된다. UBM 패드(142)의 하면은 패시베이션층(130)의 하면과 동일 레벨에 위치할 수 있다. 동일 레벨은 실질적으로 동일 평면에 위치하는 것을 의미하며, 일부 공정에 따른 굴곡 등을 무시한다.

[0063] UBM 비아(143)는 연결부재(120)의 재배선층(122)과 접하는 상면의 폭이 UBM 패드(142)와 접하는 하면의 폭 보다 크다. 여기서, 폭은 단면도를 기준으로 판단한다. 종래와 같이 UBM층 라스트 공법을 적용하는 경우에는, UBM 비아의 상면의 폭은 하면의 폭 보다 작은 것이 일반적이다. 반면, 일례에 따른 반도체 장치(100)의 경우는 UBM 층 퍼스트 공법을 적용하는바, UBM 비아(143)가 상면의 폭이 하면의 폭 보다 넓은, 소위 역 사다리꼴 형상으로 형성될 수 있다. 또한, 연결부재(120)의 재배선층(122) 및 비아(123)와 마찬가지로 UBM 패드(142) 및 UBM 비아(143)를 형성하는바, UBM 비아(143)는 대략 채워진 비아(Filled-via)일 수 있다. UBM 비아(143)의 상면은 패시베이션층(130)의 상면과 실질적으로 동일 레벨에 위치할 수 있다. 동일 레벨은 실질적으로 동일 평면에 위치하는 것을 의미하며, 일부 공정에 따른 굴곡 등을 무시한다.

[0064] 접속단자(150)는 반도체 패키지(100)를 외부와 물리적 및/또는 전기적으로 연결시킨다. 예를 들면, 반도체 패키지(100)는 접속단자(150)를 통하여 전자기기의 메인보드에 실장될 수 있다. 접속단자(150)는 도전성 물질, 예를 들면, 솔더(solder) 등으로 형성될 수 있으나, 이는 일례에 불과하며 재질이 특별히 이에 한정되는 것은 아니다. 접속단자(150)는 랜드(land), 볼(ball), 핀(pin) 등일 수 있다. 접속단자(150)는 다중층 또는 단일층으로 형성될 수 있다. 다중층으로 형성되는 경우에는 구리 필러(pillar) 및 솔더를 포함할 수 있으며, 단일층으로 형성되는 경우에는 주석-은 솔더나 구리를 포함할 수 있으나, 역시 이는 일례에 불과하며 이에 한정되는

것은 아니다.

[0065] 접속단자(150)의 개수, 간격, 배치 형태 등은 특별히 한정되지 않으며, 통상의 기술자에게 있어서 설계 사항에 따라 충분히 변형이 가능하다. 예를 들면, 접속단자(150)의 수는 접속패드(111P, 112P, 113P)의 수에 따라서 수십 내지 수천 개일 수 있으며, 그 이상 또는 그 이하의 수를 가질 수도 있다. 접속단자(150) 중 적어도 하나는 팬-아웃 영역에 배치된다. 팬-아웃 영역이란 반도체칩(111, 112, 113)이 배치된 영역을 벗어나는 영역을 의미한다. 즉, 일례에 따른 반도체 장치(100)는 팬-아웃 반도체 장치일 수 있다. 팬-아웃(fan-out) 패키지는 팬-in(fan-in) 패키지에 비하여 신뢰성이 우수하고, 다수의 I/O 단자 구현이 가능하며, 3D 인터코넥션(3D interconnection)이 용이하다. 또한, BGA(Ball Grid Array) 패키지, LGA(Land Grid Array) 패키지 등과 비교하여 패키지 두께를 얇게 제조할 수 있으며, 가격 경쟁력이 우수하다.

[0066] 봉합재(160)는 반도체칩(111, 112, 113) 등을 보호할 수 있다. 봉합형태는 특별히 제한되지 않으며, 반도체칩(111, 112, 113)의 적어도 일부를 감싸는 형태이면 무방하다. 봉합재(160)의 재료는 특별히 한정되는 않는다. 예를 들면, 절연물질이 사용될 수 있는데, 이때 절연물질로는 애폴시 수지와 같은 열경화성 수지, 폴리이미드와 같은 열가소성 수지, 또는 이들 수지가 무기필러와 혼합된 재료, 예를 들면, ABF(Ajinomoto Build-up Film) 등이 사용될 수 있다. 다만, 이에 한정되는 것은 아니며, 유리섬유 또한 포함하는 프리프레그(prepreg) 등이 사용될 수도 있다. 또는, 공지의 EMC(Epoxy Molding Compound) 등이 사용될 수도 있다.

[0067] 언더필 수지(170)는 반도체칩(111, 112, 113)을 연결부재(120) 상에 고정할 수 있다. 언더필 수지(170)는 애폴시 등을 포함하는 공지의 재료를 적용할 수 있다. 필요에 따라서는 언더필 수지(170)는 생략될 수 있다. 한편, 도면에는 도시하지 않았으나, 필요에 따라서는 수동부품이 연결부재(120) 상에 반도체칩(111, 112, 113)과 나란하게 배치되어 패키징될 수도 있다.

[0068] 도 10b 및 10c는 도 9의 A 영역의 다양한 변형 예를 대략 나타낸 단면도다.

[0069] 도 10b를 참조하면, UBM 패드(142)에 리세스부(142R1, 142R2, 142R3)가 복수개 형성될 수 있다. 복수의 리세스부(142R1, 142R2, 142R3)는 모두 접속단자(150)로 채워질 수 있다. 이 경우, UBM 패드(142)와 접속단자(150) 사이의 계면의 확대로 접속신뢰성이 더욱 우수할 수 있다.

[0070] 도 10c를 참조하면, 패시베이션층(130) 상에는 수지층(220)이 더 배치될 수 있으며, 수지층(220)에는 UBM 패드(142)의 하면의 적어도 일부를 오픈시키는 개구부(221)가 형성될 수 있다. UBM 패드(142)의 하면은 이러한 수지층(220)의 하면과 단자를 갖는다. 접속단자(150)는 수지층(220)의 개구부(221)에 형성된다. 수지층(220)은 후술하는 공정에 있어서 공정 중 연결부재(120)를 형성한 후 연결부재(120)의 재배선층(122)의 전기검사를 수행하는 경우 캐리어(210)와의 절연을 위하여 형성된 것으로, 그라인딩 등을 거치지 않는 경우에는 수지층(220)이 이와 같이 최종 제품에서 남아 있을 수 있다. 수지층(220)은 절연수지 및 무기필러를 포함하는, 예를 들면, ABF 일 수 있으나, 이에 한정되는 것은 아니다. 수지층(220)은 패시베이션층(130)과 동일한 재료로 구성될 수 있으며, 이 경우 양자의 경계는 불분명할 수 있으나, 이에 한정되는 것은 아니다.

[0071] 도 11a 및 도 11b는 도 9의 반도체 장치의 제조 일례를 대략 나타낸 공정도다.

[0072] 도면을 참조하면, 먼저, 캐리어(210)를 준비한다. 캐리어(210)는 코어층(211) 및 코어층 상에 형성된 금속막(212, 213)을 포함할 수 있다. 코어층(211)은 절연수지, 무기필러, 및 유리섬유를 포함하는, 예를 들면, 프리프레그일 수 있다. 금속막(212, 213)은 구리(Cu), 티타늄(Ti) 등의 금속을 포함할 수 있다. 금속막(212, 213) 사이에는 분리가 용이하도록 표면처리가 되어있을 수 있다. 또는 그 사이에 이형층이 구비되어 있을 수도

있다. 캐리어(210)는 통상의 디테치 코어(Detach Core)일 수 있다. 필요에 따라서 캐리어(210) 상에 수지층(220)을 형성할 수도 있다. 수지층(220)은 캐리어(210)와 제조되는 패키지(100) 간의 전기적인 절연 역할을 수행할 수 있다. 즉, 수지층(220)은 연결부재(120)의 재배선층(122)의 전기검사를 수행하는 경우 캐리어(210)와의 절연을 위하여 이용될 수 있다. 수지층(220)은 필름 형태를 라미네이션 하거나, 액상 형태를 도포 및 경화 방법으로 형성할 수 있다. 수지층(220)은 생략될 수도 있다.

[0073] 다음으로, 패시베이션층(130)과 UBM층(140)을 형성하고, 그 후 연결부재(120)를 형성한다. 즉, 같은 라인에서 연결부재(120), 패시베이션층(130), 및 UBM층(140)을 형성한다. UBM층(140)은, 예를 들면, 수지층(220) 상에 시드층을 형성하고, 드라이 필름 등을 이용하여 패턴을 형성한 다음, 도금 공정으로 패턴을 채워 UBM 패드(142)를 형성하고, UBM 패드(142)를 패시베이션층(130)으로 덮은 후, 패시베이션층(130)에 비아홀을 형성하고, 비아홀을 도금 공정 등으로 채워 UBM 비아(143)를 형성하는 방법으로 형성할 수 있다. 수지층(220)이 생략된 경우에는, 캐리어(210)의 제2금속막(213)을 시드층으로 이용하여 UBM층(140)을 형성할 수 있다. 한편 UBM 비아(143)를 형성할 때 패시베이션층(130) 상에 연결부재(120)의 제1재배선층(122a)이 형성될 수 있다. 즉, UBM층(140)과 연결부재(120)의 재배선층(122) 및 비아(123)는 동일한 라인에서 연속적으로 형성될 수 있다.

[0074] 다음으로, 연결부재(120)의 상부에 형성된 제3재배선층(122c)에 표면처리층(P) 등을 형성한다. 또한, 쿼드 루트(Quad Route) 검사, 재배선층(122)의 전기검사 등을 수행한다. 다음으로, 반도체칩(111, 112, 113)을 실장한다. 실장에는 솔더(115) 등을 이용할 수 있으며, 그 후 언더필 수지(170)로 반도체칩(111, 112, 113)을 고정할 수 있다. 그 후, 연결부재(120) 상에 반도체칩(111, 112, 113)을 봉합하는 봉합재(160)를 형성한다. 봉합재(160)는 필름 형태를 라미네이션 하거나, 액상 형태를 도포 및 경화 방법으로 형성할 수 있다. 한편, 필요에 따라서 봉합재(160)를 그라인딩(Grinding) 처리할 수 있다. 그라인딩에 의하여 반도체칩(111, 112, 113)의 각각의 상면이 동일 레벨에 위치할 수 있다. 즉, 반도체칩(111, 112, 113)의 두께가 실질적으로 동일해질 수 있다.

[0075] 다음으로, 캐리어(210)를 분리한다. 캐리어(210)의 분리는 금속막(212, 213)의 분리로 수행될 수 있으며, 이때 금속막(213)은 에칭 공정으로 제거한다. 분리 후에는, 그라인딩 등으로 수지층(220)을 제거한다. 다만, 수지층(220)이 생략된 경우에는 그라인딩 역시 생략될 수 있다. 그 후, 패시베이션층(130)에 개구부(131)를 형성한다. 개구부(131)는 UBM 패드(142) 주위를 레이저로 가공하여 UBM 패드(142)의 측면의 적어도 일부가 노출되도록 형성한다. 개구부(131) 형성 후에는 디스미어(Desmear) 처리, 접속단자(150) 부착, 리플로우(Reflow) 등을 진행한다. 일련의 과정을 통하여 상술한 일례에 따른 반도체 장치(100)가 제조될 수 있다.

[0076] 도 12는 도 11a의 UBM 패드의 제조 일례를 보다 구체적으로 나타낸 공정도다.

[0077] 도면을 참조하면, 수지층(220) 상에 포토 레지스트(230)를 형성한다. 수지층(220)이 생략된 경우에는 캐리어(210)의 금속막(213) 상에 포토 레지스트(230)를 형성한다. 노광 및 현상을 통하여 포토 레지스트(230)를 리레스부(142R)에 대응되는 형상으로 패터닝한다. 그 후, 수지층(220) 상에, 수지층(220)이 생략된 경우라면 금속막(213) 상에, 드라이 필름(240)을 형성하고, 노광 및 현상으로 UBM 패드(142)를 형성하기 위한 패턴(142P)을 형성한다. 드라이 필름(240)에 형성된 패턴(142P)을 도금으로 채워 UBM 패드(142)를 형성한다. 드라이 필름(240)은 UBM 패드(142) 형성 후 박리시킨다. 도면에 도시하지는 않았으나, 도금에는 필요에 따라서 시드층이 이용될 수 있다. 한편, 패터닝된 포토 레지스트(230) 대신 블락 형태의 다른 재료, 예컨대 니켈 등의 금속 등을 사용할 수도 있다.

[0078] 도 13a 내지 도 13c는 도 11b의 마지막 공정의 보다 구체적인 다양한 예를 대략 나타낸다.

[0079] 도 13a를 참조하면, 캐리어(210)를 분리한 후, 남아있는 금속막(213)을 에칭으로 제거한다. 다음으로, 수지층

(220)을 그라인딩으로 제거한다. 다음으로, 레이저 드릴 등을 이용하여 포토 레지스트(230) 등을 제거하여 리세스부(142R)를 형성한다. 그 후, 디스미어 처리를 하고, 리세스부(142R)를 채우는 접속단자(150)를 형성한다. 이 경우, 최종 제품에서 수지층(220)은 남아있지 않는다.

[0080] 도 13b를 참조하면, 캐리어(210)를 분리한 후, 남아있는 금속막(213)을 에칭으로 제거한다. 다음으로, 그라인딩 수행 없이 바로 레이저 드릴 등으로 수지층(220)에 개구부(231)를 형성한다. 그 외에 다른 점은 상술한 바와 실질적으로 동일하다. 이 경우 최종 제품에서 수지층(220)이 패시베이션층(130)의 최외층으로 남아있으며, 수지층(220)에 형성된 개구부(231)는 UBM 패드(142)의 하면의 적어도 일부를 노출시킨다. 수지층(220)과 패시베이션층(130)의 재료가 동일한 경우에는, 양자의 경계가 불분명할 수 있다. 금속 등을 이용하여 패턴을 형성했을 경우에는 추가적인 에칭 공정이 필요할 수 있다.

[0081] 도 13c를 참조하면, 공정 과정에서 수지층(220)이 생략될 수도 있다. 이 경우 캐리어(210)를 분리한 후 남아있는 금속막(213)을 에칭하며, 그라인딩 없이 바로 레이저 드릴 등을 이용하여 포토 레지스트(230) 등을 제거하여 리세스부(142R)를 형성할 수 있다. 그 외에 다른 점은 상술한 바와 실질적으로 동일하다. 최종 제품은 전술한 그라인딩을 이용하는 경우와 실질적으로 동일할 수 있다.

[0082] 본 개시에서 하측, 하부, 하면 등은 편의상 도면의 단면을 기준으로 반도체 장치의 실장 면을 향하는 방향을 의미하는 것으로 사용하였고, 상측, 상부, 상면 등은 그 반대 방향으로 사용하였다. 다만, 이는 설명의 편의상 방향을 정의한 것으로, 특히 청구범위의 권리범위가 이러한 방향에 대한 기재에 의하여 특별히 한정되는 것이 아님은 물론이다.

[0083] 본 개시에서 연결된다는 의미는 직접 연결된 것뿐만 아니라, 접착제 층 등을 통하여 간접적으로 연결된 것을 포함하는 개념이다. 또한, 전기적으로 연결된다는 의미는 물리적으로 연결된 경우와 연결되지 않은 경우를 모두 포함하는 개념이다. 또한, 제1, 제2 등의 표현은 한 구성요소와 다른 구성요소를 구분 짓기 위해 사용되는 것으로, 해당 구성요소들의 순서 및/또는 중요도 등을 한정하지 않는다. 경우에 따라서는 권리범위를 벗어나지 않으면서, 제1 구성요소는 제2 구성요소로 명명될 수도 있고, 유사하게 제2 구성요소는 제1 구성요소로 명명될 수도 있다.

[0084] 본 개시에서 사용된 일례라는 표현은 서로 동일한 실시 예를 의미하지 않으며, 각각 서로 다른 고유한 특징을 강조하여 설명하기 위해서 제공된 것이다. 그러나, 상기 제시된 일례들은 다른 일례의 특징과 결합되어 구현되는 것을 배제하지 않는다. 예를 들어, 특정한 일례에서 설명된 사항이 다른 일례에서 설명되어 있지 않더라도, 다른 일례에서 그 사항과 반대되거나 모순되는 설명이 없는 한, 다른 일례에 관련된 설명으로 이해될 수 있다.

[0085] 본 개시에서 사용된 용어는 단지 일례를 설명하기 위해 사용된 것으로, 본 개시를 한정하려는 의도가 아니다. 이때, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

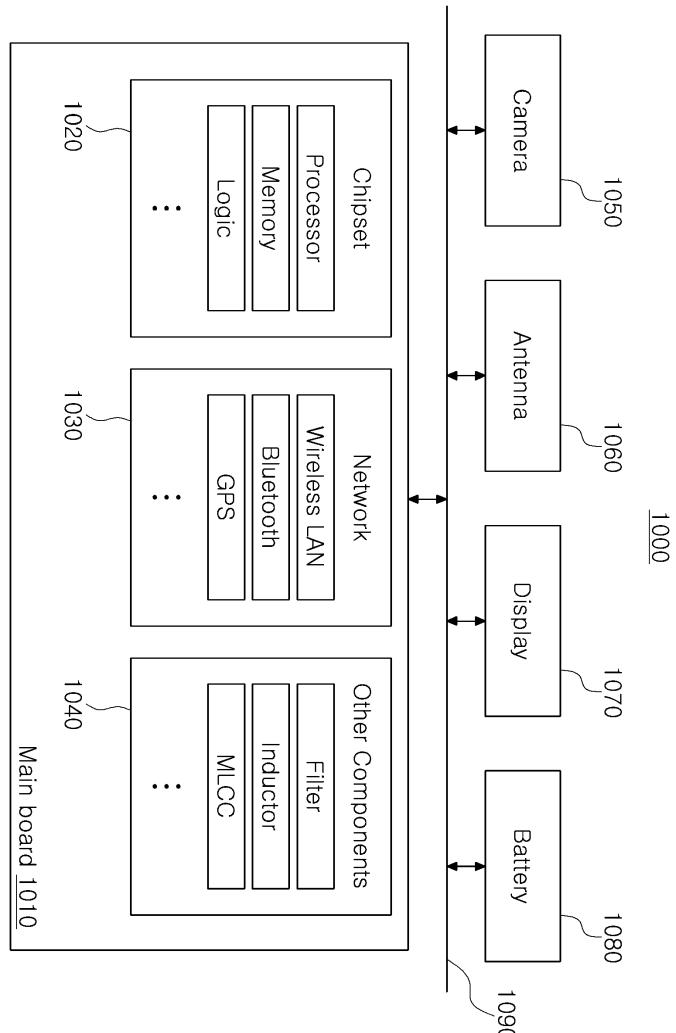
부호의 설명

1000: 전자기기	1010: 메인보드
1020: 칩 관련 부품	1030: 네트워크 관련 부품
1040: 기타 부품	1050: 카메라
1060: 안테나	1070: 디스플레이

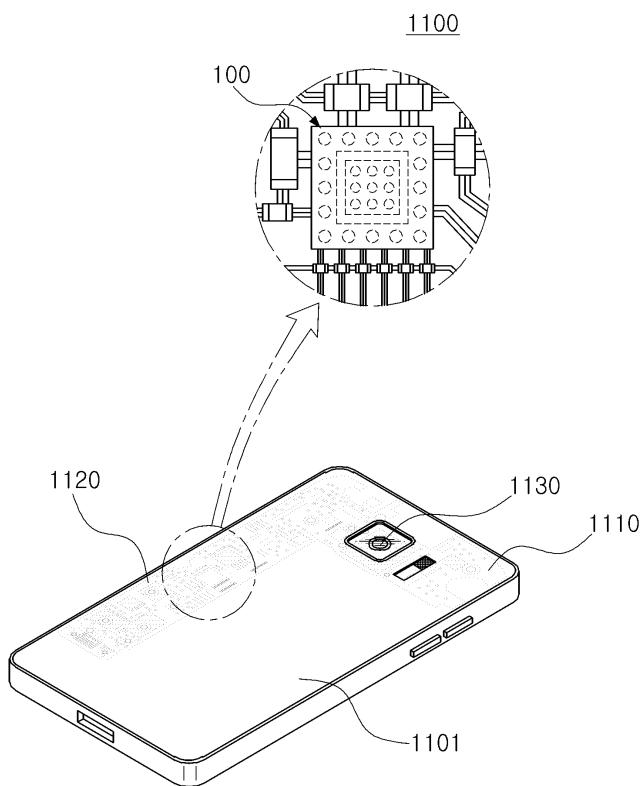
1080: 배터리	1090: 신호 라인
1100: 스마트 폰	1101: 스마트 폰 바디
1110: 스마트 폰 마더보드	1111: 메인보드 절연층
1112: 메인보드 배선	1120: 부품
1130: 스마트 폰 카메라	2200: 팬-인 반도체 장치
2220: 반도체칩	2221: 바디
2222: 접속패드	2223: 패시베이션막
2240: 연결부재	2241: 절연층
2242: 재배선층	2243: 비아
2250: 패시베이션층	2260: UBM층
2270: 솔더볼	2280: 언더필 수지
2290: 몰딩재	2500: 메인보드
2301: 인터포저 기판	2302: 인터포저기판
2100: 팬-아웃 반도체 장치	2120: 반도체칩
2121: 바디	2122: 접속패드
2140: 연결부재	2141: 절연층
2142: 재배선층	2143: 비아
2150: 패시베이션층	2160: UBM층
2170: 솔더볼	100: 반도체 장치
111, 112, 113: 반도체칩	111P, 112P, 113P: 접속패드
111B, 112B, 113B: 범프	115: 접속부재
120: 연결부재	122, 122a, 122b, 122c: 재배선층
123, 123a: 비아	P: 표면처리층
130: 패시베이션층	
140: UBM층	142: UBM 패드
142R, 142R1~142R3: 리세스부	
143: UBM 비아	150: 접속단자
160: 봉합재	170: 언더필 수지
210: 캐리어	211: 코어층
212, 213: 금속막	220: 수지층
221: 개구부	

도면

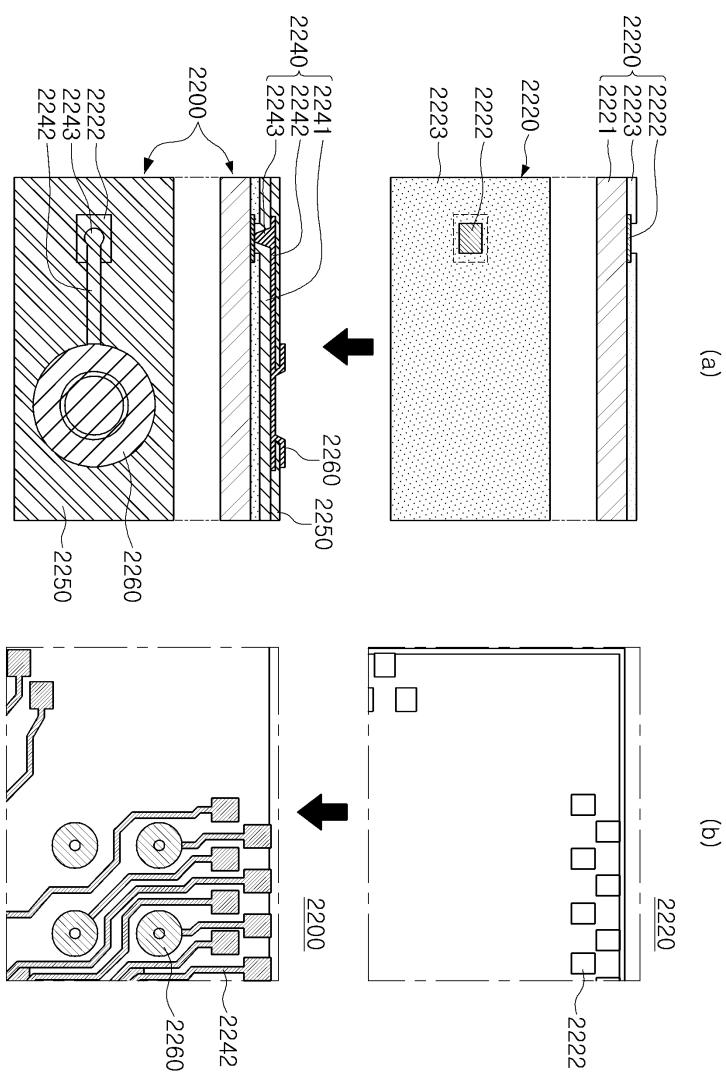
도면1



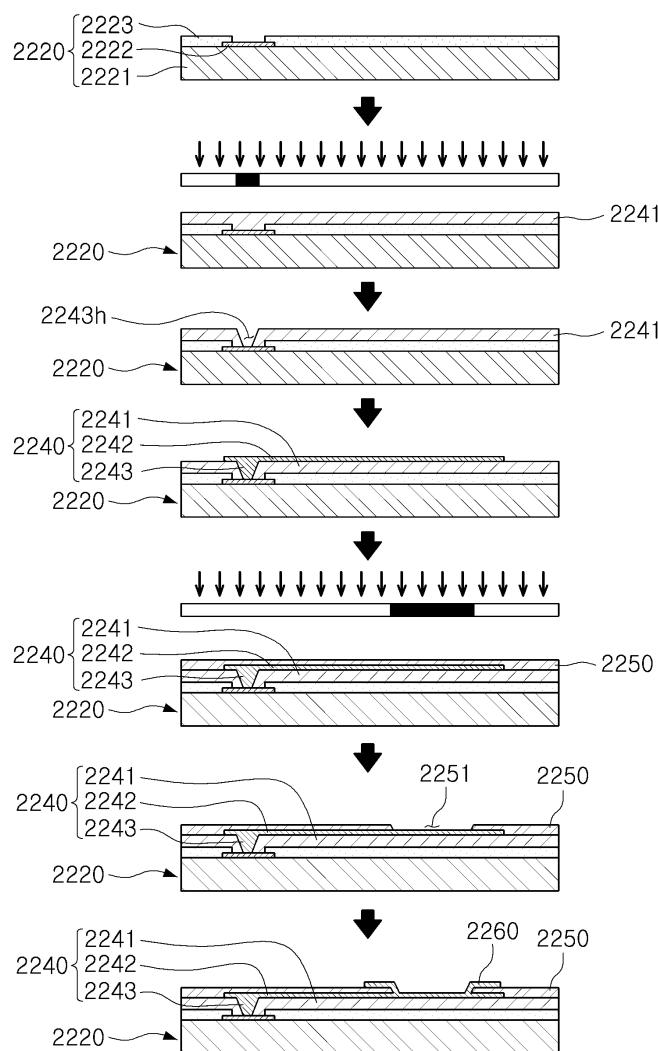
도면2



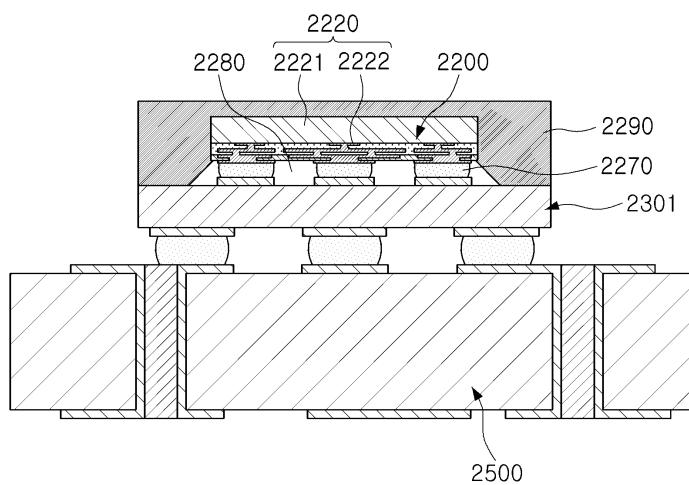
도면3



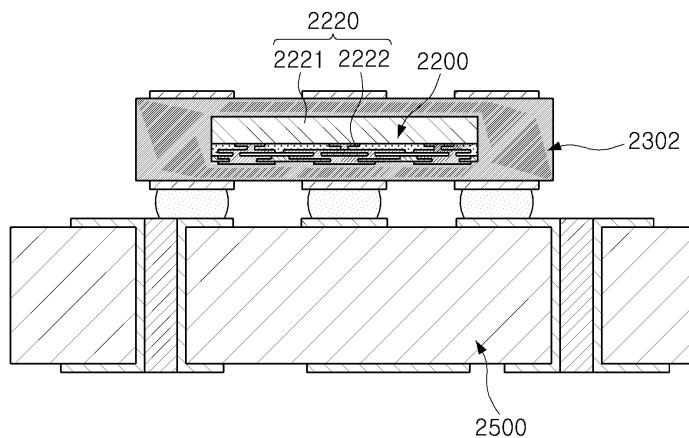
도면4



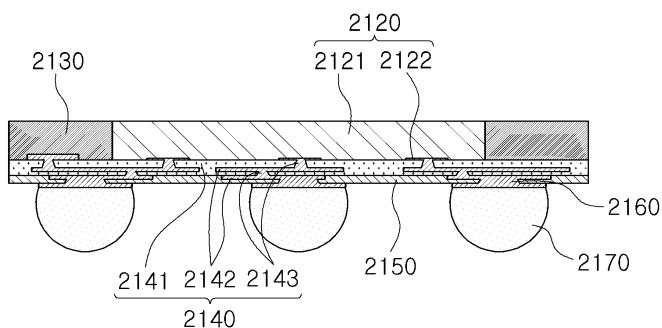
도면5



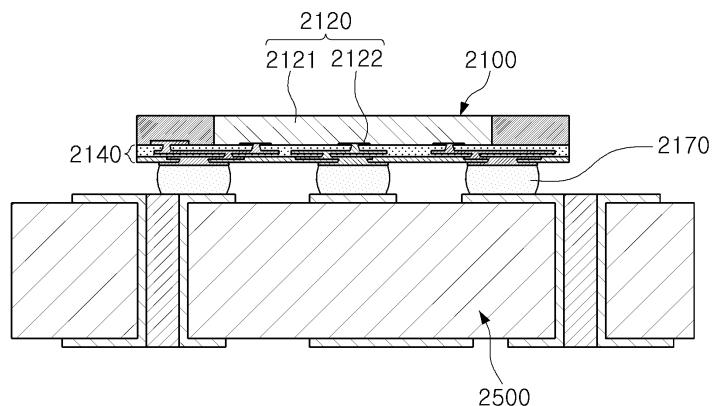
도면6



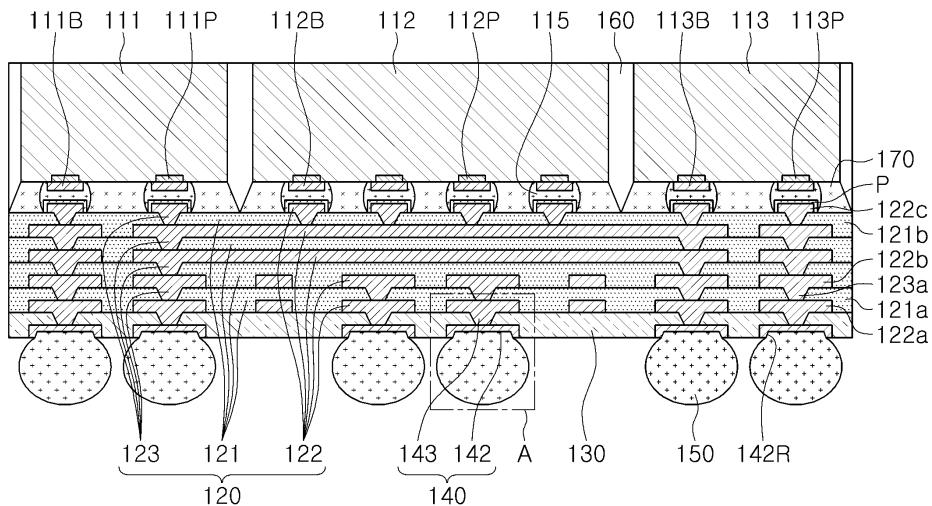
도면7



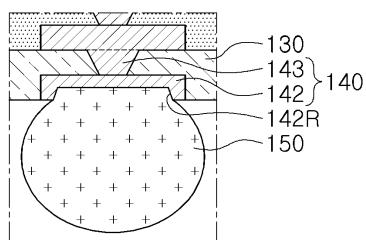
도면8



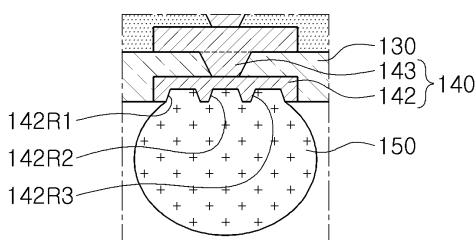
도면9

100

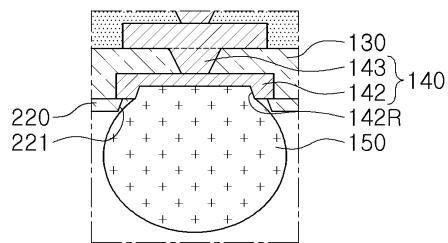
도면10a

A

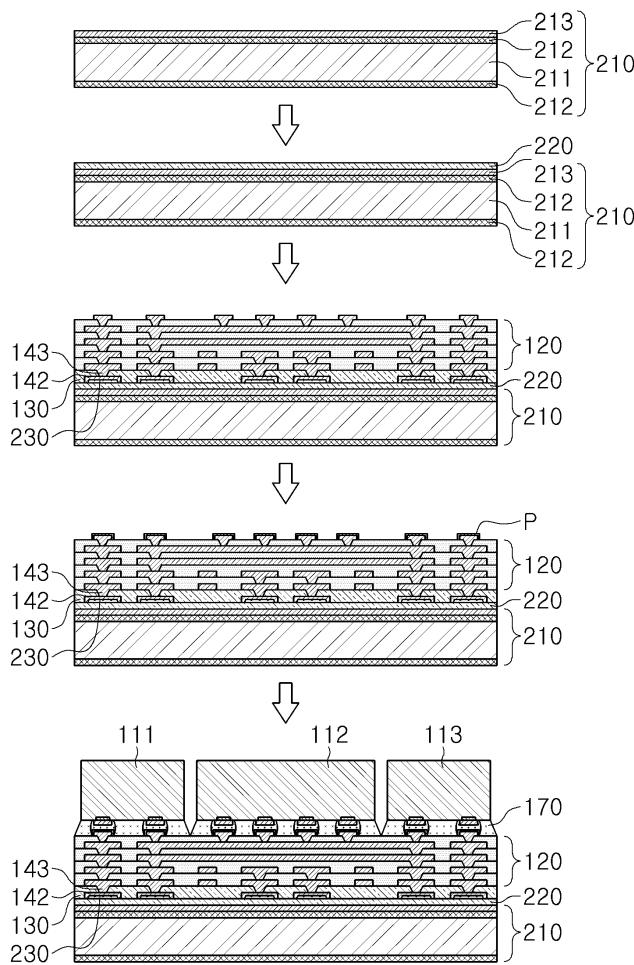
도면10b

A'

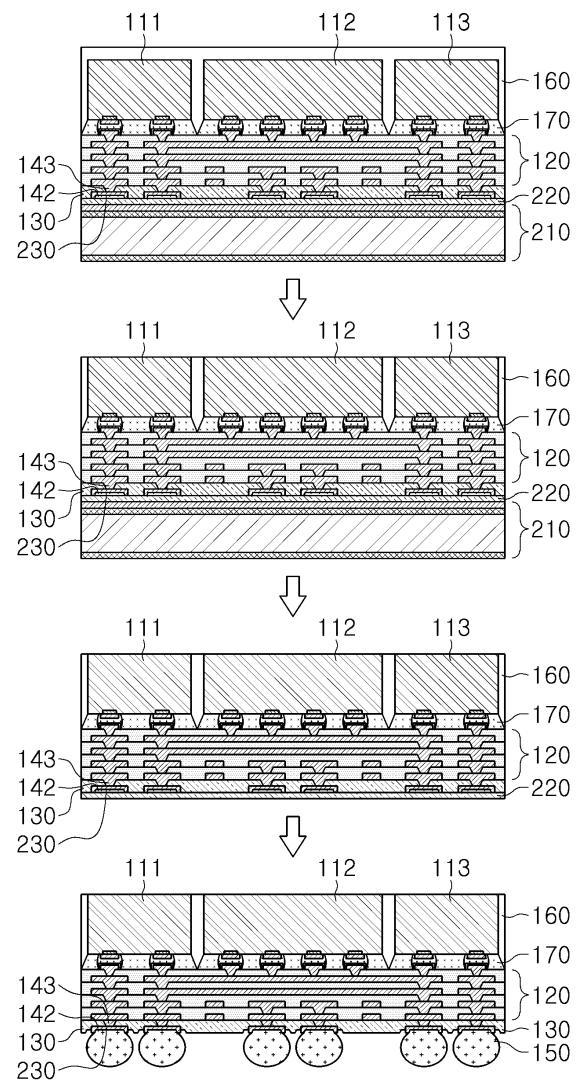
도면10c

A''

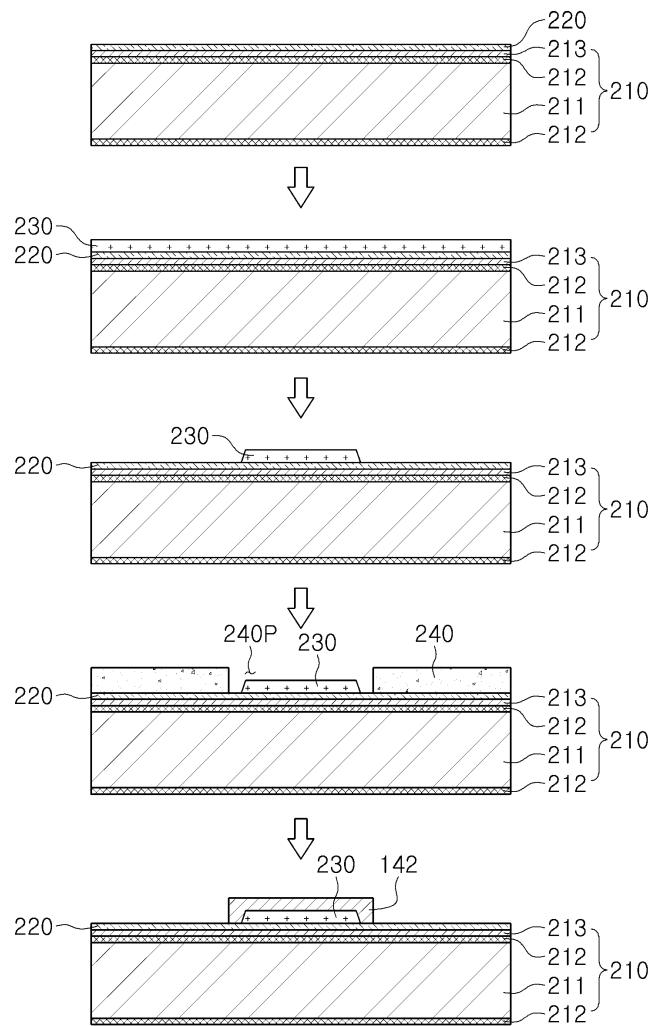
도면11a



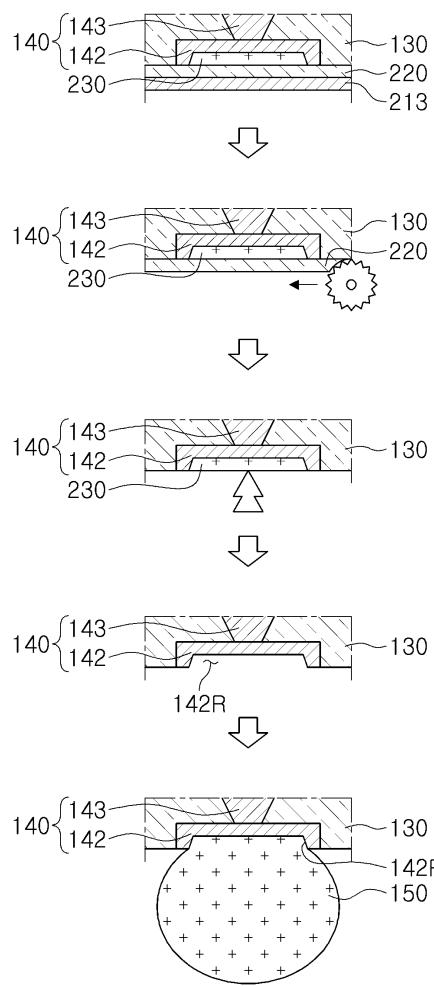
도면11b



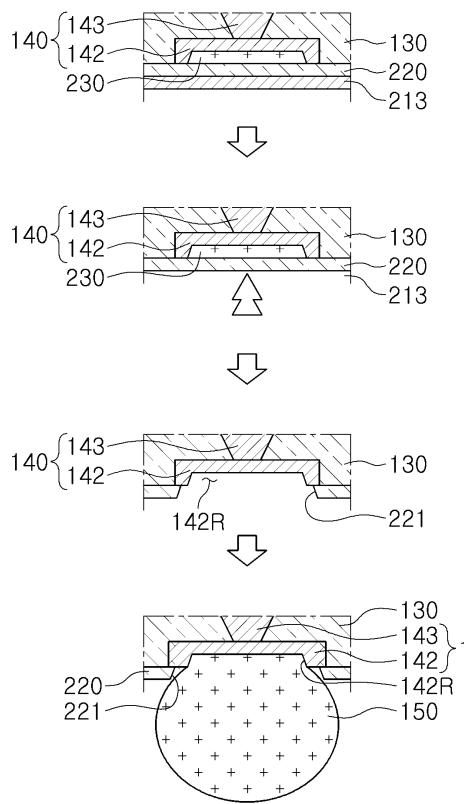
도면12



도면13a



도면13b



도면13c

