



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0095903  
(43) 공개일자 2020년08월11일

- |  |  |
|--|--|
| (51) 국제특허분류(Int. Cl.)<br><i>G11C 16/26</i> (2006.01) <i>G06F 3/06</i> (2006.01)<br><i>G11C 29/42</i> (2015.01) <i>G11C 7/04</i> (2006.01)<br>(52) CPC특허분류<br><i>G11C 16/26</i> (2013.01)<br><i>G06F 11/1008</i> (2013.01)<br>(21) 출원번호 10-2019-0013867<br>(22) 출원일자 2019년02월01일<br>심사청구일자 없음 | (71) 출원인<br>에스케이하이닉스 주식회사<br>경기도 이천시 부발읍 경충대로 2091<br>(72) 발명자<br>이종환<br>경기도 화성시 동탄대로22길 9, 634동 103(영천동, 동탄역 센트럴 상록아파트)<br>(74) 대리인<br>신성특허법인(유한) |
|--|--|

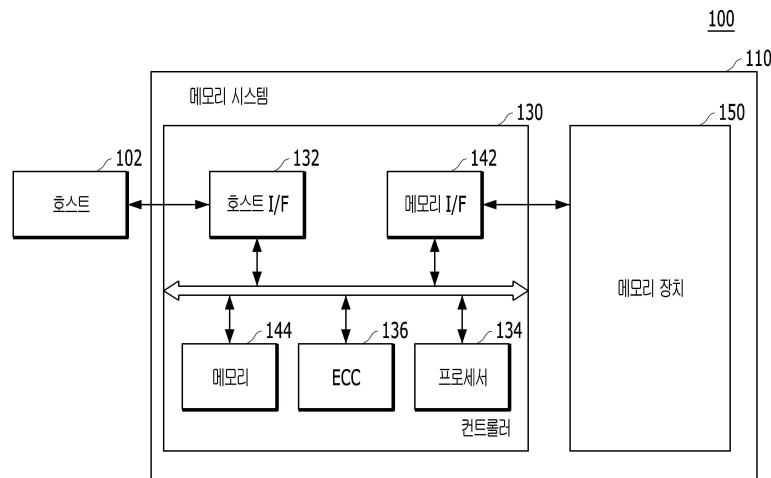
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 메모리 시스템 및 그것의 동작방법

(57) 요약

본 발명의 실시 예들에 따른 메모리 시스템은 복수의 메모리 셀들을 포함하는 메모리 장치; 및 호스트로부터 제공된 리드 커맨드에 대응하는 데이터가 저장된 타겟 메모리 셀에 제 1 리드 전압을 인가하여 제 1 리드 동작을 수행하도록 상기 메모리 장치를 제어하는 컨트롤러를 포함하고, 상기 컨트롤러는 상기 제 1 리드 데이터 - 상기 제 1 리드 동작에 의하여 리드된 데이터- 의 페일 비트가 사전 설정된 임계 값보다 크거나 같은 경우, 상기 호스트로부터 제공된 RTC 정보 및 위치 정보에 기초하여 온도 테이블 내 기록된 외부 온도를 확인하고, 상기 외부 온도 및 리드 전압 테이블에 기초하여 제 2 리드 전압을 설정하며, 상기 제 2 리드 전압을 활용하여 상기 데이터에 대하여 제 2 리드동작을 수행할 수 있다.

대표도 - 도1



(52) CPC특허분류

*G06F 3/061* (2013.01)

*G06F 3/0658* (2013.01)

*G06F 3/0659* (2013.01)

*G11C 29/42* (2013.01)

*G11C 7/04* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

메모리 시스템에 있어서,

복수의 메모리 셀들을 포함하는 메모리 장치; 및

호스트로부터 제공된 리드 커맨드에 대응하는 데이터가 저장된 타겟 메모리 셀에 제 1 리드 전압을 인가하여 제 1 리드 동작을 수행하도록 상기 메모리 장치를 제어하는 컨트롤러

를 포함하고,

상기 컨트롤러는

상기 제 1 리드 데이터 - 상기 제 1 리드 동작에 의하여 리드된 데이터- 의 페일 비트가 사전 설정된 임계 값보다 크거나 같은 경우, 상기 호스트로부터 제공된 RTC 정보 및 위치 정보에 기초하여 온도 테이블 내 기록된 외부 온도를 확인하고, 상기 외부 온도 및 리드 전압 테이블에 기초하여 제 2 리드 전압을 설정하며, 상기 제 2 리드 전압을 활용하여 상기 데이터에 대하여 제 2 리드 동작을 수행하는

메모리 시스템.

#### 청구항 2

제 1 항에 있어서,

상기 온도 테이블은 복수의 위치 정보 각각의 '월'(month) 평균 온도를 나타내며,

상기 리드 전압 테이블은 복수의 온도 구간들, 상기 복수의 온도 구간들 각각에 포함된 복수의 인덱스들 및 상기 복수의 인덱스들 각각에 대응하는 리드 전압을 나타내는

메모리 시스템.

#### 청구항 3

제 1 항에 있어서,

상기 컨트롤러는

상기 온도 테이블 및 상기 리드 전압 테이블을 저장하는 메모리,

상기 제 1 리드 데이터에 대한 디코딩 동작을 통하여 상기 페일 비트 수를 카운트하고, 상기 페일 비트 수와 사전 설정된 임계 값을 비교하는 ECC 유닛, 및

상기 제 1 리드 데이터의 페일 비트가 사전 설정된 임계 값보다 크거나 같은 경우, 상기 외부 온도를 확인하고, 상기 제 2 리드 전압을 설정하며, 상기 제 2 리드 전압을 상기 타겟 메모리 셀에 인가하여 상기 제 2 리드 동작을 수행하도록 상기 메모리 장치를 제어하는 프로세서

를 포함하는 메모리 시스템.

#### 청구항 4

제 2 항에 있어서,

상기 컨트롤러는

상기 리드 전압 테이블에 포함된 복수의 온도 구간들 중 상기 외부 온도가 포함된 타겟 온도 구간을 확인하는 메모리 시스템.

#### 청구항 5

제 4 항에 있어서,

상기 컨트롤러는

상기 타겟 온도 구간에 포함된 복수의 인덱스들 중에서 상기 외부 온도에 기초하여 타겟 인덱스를 선택하는 메모리 시스템.

#### 청구항 6

제 5 항에 있어서,

상기 컨트롤러는

상기 타겟 인덱스에 포함된 전압을 상기 제 2 리드 전압으로 설정하고, 상기 제 2 리드 전압을 상기 타겟 메모리 셀에 인가하여 상기 제 2 리드 동작을 수행하도록 상기 메모리 장치를 제어하는 메모리 시스템.

#### 청구항 7

제 6 항에 있어서,

상기 컨트롤러는

제 2 리드 데이터 - 상기 제 2 리드 동작에 의하여 리드된 데이터 - 에 대한 디코딩 동작을 수행하고, 상기 제 2 리드 데이터의 페일 비트 수가 사전 설정된 임계 값보다 크거나 같은 경우, 상기 타겟 인덱스가 상기 타겟 엔트리 내 마지막 인덱스인지 확인하는

메모리 시스템.

#### 청구항 8

제 7 항에 있어서,

상기 컨트롤러는

상기 타겟 인덱스가 상기 타겟 엔트리 내 마지막 인덱스가 아니라면, 상기 타겟 엔트리 내에서 타겟 인덱스의 다음 인덱스에 포함된 전압을 제 3 리드 전압으로 설정하고, 상기 제 3 리드 전압을 상기 타겟 메모리 셀에 인가하여 제 3 리드 동작을 수행하도록 상기 메모리 장치를 제어하는

메모리 시스템.

#### 청구항 9

제 7 항에 있어서,

상기 컨트롤러는

상기 타겟 인덱스가 상기 타겟 엔트리 내 마지막 인덱스라면, 상기 데이터에 대한 리드 실패를 상기 호스트에

통지하는  
메모리 시스템.

#### 청구항 10

제 7 항에 있어서,  
상기 컨트롤러는  
상기 제 2 리드 데이터의 페일 비트 수가 사전 설정된 임계 값보다 작은 경우, 상기 제 2 데이터를 상기 리드 커맨드에 응답하여 상기 호스트로 제공하는  
메모리 시스템.

#### 청구항 11

메모리 시스템의 동작방법에 있어서,  
호스트로부터 RTC 정보 및 위치 정보를 제공받는 단계;  
상기 호스트로부터 제공된 리드 커맨드에 대응하는 데이터가 저장된 타겟 메모리 셀에 제 1 리드 전압을 인가하여 제 1 리드 동작을 수행하는 단계;  
상기 제 1 리드 데이터 - 상기 제 1 리드 동작에 의하여 리드된 데이터 -의 페일 비트가 사전 설정된 임계 값보다 크거나 같은 경우, 상기 RTC 정보 및 상기 위치 정보에 기초하여 온도 테이블 내 기록된 외부 온도를 확인하는 단계;  
상기 외부 온도 및 리드 전압 테이블에 기초하여 제 2 리드 전압을 설정하는 단계; 및  
상기 제 2 리드 전압을 상기 타겟 메모리 셀에 인가하여 제 2 리드 동작을 수행하는 단계를 포함하는 메모리 시스템의 동작방법.

#### 청구항 12

제 11 항에 있어서,  
상기 온도 테이블은 복수의 위치 정보 각각의 '월'(month) 평균 온도를 나타내며,  
상기 리드 전압 테이블은 복수의 온도 구간들, 상기 복수의 온도 구간들 각각에 포함된 복수의 인덱스들 및 상기 복수의 인덱스들 각각에 대응하는 리드 전압을 나타내는  
메모리 시스템의 동작방법.

#### 청구항 13

제 11 항에 있어서,  
상기 온도 테이블 및 상기 리드 전압 테이블을 저장하는 단계;  
상기 제 1 리드 데이터에 대한 디코딩 동작을 수행하여 상기 제 1 리드 데이터의 페일 비트 수를 카운트하는 단계;  
상기 제 1 리드 데이터의 페일 비트 수와 사전 설정된 임계 값을 비교하는 단계를 더 포함하는 메모리 시스템의 동작방법.

**청구항 14**

제 12 항에 있어서,

상기 제 2 리드 전압을 설정하는 단계는

상기 리드 전압 테이블에 포함된 복수의 온도 구간들 중 상기 외부 온도가 포함된 타겟 온도 구간을 확인하는 단계

를 포함하는 메모리 시스템의 동작방법.

**청구항 15**

제 14 항에 있어서,

상기 제 2 리드 전압을 설정하는 단계는

상기 타겟 온도 구간에 포함된 복수의 인덱스들 중에서 상기 외부온도에 기초하여 타겟 인덱스를 선택하고, 상기 타겟 인덱스에 포함된 전압을 상기 제 2 리드 전압으로 설정하는 단계

를 포함하는 메모리 시스템의 동작방법.

**청구항 16**

제 15 항에 있어서,

상기 제 2 리드 동작을 수행하는 단계는

상기 타겟 인덱스에 포함된 전압을 제 2 리드 전압으로 활용하여 상기 제 2 리드 동작을 수행하는

메모리 시스템의 동작방법.

**청구항 17**

제 16 항에 있어서,

제 2 리드 데이터 - 상기 제 2 리드 동작에 의하여 리드된 데이터 - 에 대한 디코딩 동작을 수행하는 단계; 및

상기 제 2 리드 데이터의 페일 비트 수가 사전 설정된 임계 값보다 크거나 같은 경우, 상기 타겟 인덱스가 상기 타겟 엔트리 내 마지막 인덱스인지 확인하는 단계

를 더 포함하는 메모리 시스템의 동작방법.

**청구항 18**

제 17 항에 있어서,

상기 타겟 인덱스가 상기 타겟 엔트리 내 마지막 인덱스가 아니라면, 상기 타겟 엔트리 내에서 타겟 인덱스의 다음 인덱스에 포함된 전압을 제 3 리드 전압으로 설정하는 단계; 및

상기 제 3 리드 전압을 상기 타겟 메모리 셀에 인가하여 제 3 리드 동작을 수행하는 단계

를 더 포함하는 메모리 시스템의 동작방법.

**청구항 19**

제 17 항에 있어서,

상기 타겟 인덱스가 상기 타겟 엔트리 내 마지막 인덱스라면, 상기 데이터에 대한 리드 실패를 상기 호스트에 통지하는 단계

를 더 포함하는 메모리 시스템의 동작방법.

## 청구항 20

제 17 항에 있어서,

상기 제 2 리드 데이터의 페일 비트 수가 사전 설정된 임계 값보다 작은 경우, 상기 제 2 리드 데이터를 상기 호스트로 제공하는 단계

를 더 포함하는 메모리 시스템의 동작방법.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 메모리 시스템 및 그의 동작방법에 관한 것으로, 보다 구체적으로 데이터 처리의 효율을 향상시킬 수 있는 메모리 시스템 및 그것의 동작방법에 관한 것이다.

### 배경 기술

[0003] 최근 컴퓨터 환경에 대한 패러다임(paradigm)이 언제, 어디서나 컴퓨터 시스템을 사용할 수 있도록 하는 유비쿼터스 컴퓨팅(ubiquitous computing)으로 전환되고 있다. 이로 인해 휴대폰, 디지털 카메라, 노트북 컴퓨터 등과 같은 휴대용 전자 장치의 사용이 급증하고 있다. 이와 같은 휴대용 전자 장치는 일반적으로 메모리 장치를 이용하는 메모리 시스템, 다시 말해 데이터 저장 장치를 사용한다. 데이터 저장 장치는 휴대용 전자 장치의 주 기억 장치 또는 보조 기억 장치로 사용된다.

[0004] 메모리 장치를 이용한 데이터 저장 장치는 기계적인 구동부가 없어서 안정성 및 내구성이 뛰어나며, 또한 정보의 액세스 속도가 매우 빠르고 전력 소모가 적다는 장점이 있다. 이러한 장점을 갖는 메모리 시스템의 일 예로 데이터 저장 장치는, USB(Universal Serial Bus) 메모리 장치, 다양한 인터페이스를 갖는 메모리 카드, 솔리드 스테이트 드라이브(SSD: Solid State Drive) 등을 포함한다.

## 발명의 내용

### 해결하려는 과제

[0006] 본 발명의 실시 예에 따른 메모리 시스템은 온도에 따라 데이터를 효율적으로 처리할 수 있다.

### 과제의 해결 수단

[0008] 본 발명의 실시 예들에 따른 메모리 시스템은 복수의 메모리 셀들을 포함하는 메모리 장치; 및 호스트로부터 제공된 리드 커맨드에 대응하는 데이터가 저장된 타겟 메모리 셀에 제 1 리드 전압을 인가하여 제 1 리드 동작을 수행하도록 상기 메모리 장치를 제어하는 컨트롤러를 포함하고, 상기 컨트롤러는 상기 제 1 리드 데이터 - 상기 제 1 리드 동작에 의하여 리드된 데이터- 의 페일 비트가 사전 설정된 임계 값보다 크거나 같은 경우, 상기 호스트로부터 제공된 RTC 정보 및 위치 정보에 기초하여 온도 테이블 내 기록된 외부 온도를 확인하고, 상기 외부 온도 및 리드 전압 테이블에 기초하여 제 2 리드 전압을 설정하며, 상기 제 2 리드 전압을 활용하여 상기 데이터에 대하여 제 2 리드 동작을 수행할 수 있다.

[0009] 본 발명의 실시 예에 따른 메모리 시스템의 동작방법은 호스트로부터 RTC 정보 및 위치 정보를 제공받는 단계;

상기 호스트로부터 제공된 리드 커맨드에 대응하는 데이터가 저장된 타겟 메모리 셀에 제 1 리드 전압을 인가하여 제 1 리드 동작을 수행하는 단계; 상기 제 1 리드 데이터 - 상기 제 1 리드 동작에 의하여 리드된 데이터 - 의 페일 비트가 사전 설정된 임계 값보다 크거나 같은 경우, 상기 RTC 정보 및 상기 위치 정보에 기초하여 온도 테이블 내 기록된 외부 온도를 확인하는 단계; 상기 외부 온도 및 리드 전압 테이블에 기초하여 제 2 리드 전압을 설정하는 단계; 및 상기 제 2 리드 전압을 상기 타겟 메모리 셀에 인가하여 제 2 리드 동작을 수행하는 단계를 포함할 수 있다.

**발명의 효과**

[0011] 본 발명의 실시 예에 따른 데이터 처리 시스템은 온도에 따라 리드 리트라이 (Read Retry) 동작을 효율적으로 수행할 수 있다.

**도면의 간단한 설명**

[0013] 도 1은 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템의 일 예를 개략적으로 도시한 도면이다.

도 2는 본 발명의 실시 예에 따른 메모리 시스템에서 메모리 장치의 일 예를 개략적으로 도시한 도면이다.

도 3는 메모리 장치 내 메모리 셀의 산포를 나타낸 도면이다.

도 4a 및 도 4b는 메모리 셀의 특성 열화로 인하여 변형된 메모리 셀의 상태를 나타낸 도면이다.

도 5a는 본 발명의 실시 예에 따른 온도 테이블을 나타낸다.

도 5b는 본 발명의 실시 예에 따른 리드 전압 테이블을 나타낸다.

도 6 는 본 발명의 실시 예에 따른 리드 동작을 나타낸 흐름도이다.

도 7은 본 발명의 실시 예에 따른 리드 리트라이 동작을 나타는 흐름도이다.

도 8 내지 도 11은 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템의 다른 일 예들을 개략적으로 도시한 도면이다.

**발명을 실시하기 위한 구체적인 내용**

[0014] 이하, 본 발명에 따른 바람직한 실시 예를 첨부한 도면을 참조하여 상세히 설명한다. 하기의 설명에서는 본 발명에 따른 동작을 이해하는데 필요한 부분만이 설명되며 그 이외 부분의 설명은 본 발명의 요지를 흐트리지 않도록 생략될 것이라는 것을 유의하여야 한다.

[0015] 이하, 도면들을 참조하여 본 발명의 실시 예들에 대해서 보다 구체적으로 설명하기로 한다.

[0016] 도 1은 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템의 일 예를 개략적으로 도시한 도면이다.

[0017] 도 1을 참조하면, 데이터 처리 시스템(100)은, 호스트(Host)(102) 및 메모리 시스템(110)을 포함한다.

[0018] 그리고, 호스트(102)는, 전자 장치, 예컨대 휴대폰, MP3 플레이어, 랩탑 컴퓨터 등과 같은 휴대용 전자 장치들, 또는 데스크탑 컴퓨터, 게임기, TV, 프로젝터 등과 같은 전자 장치들을 포함, 즉 유무선 전자 장치들을 포함한다.

[0019] 또한, 호스트(102)는, 적어도 하나의 운영 시스템(OS: operating system) 혹은 복수의 운영 시스템들을 포함할 수 있으며, 또한 사용자의 요청에 상응한 메모리 시스템(110)과의 동작 수행을 위해 운영 시스템을 실행한다. 여기서, 호스트(102)는, 사용자 요청에 해당하는 복수의 커맨드들을 메모리 시스템(110)으로 전송하며, 그에 따라 메모리 시스템(110)에서는 커맨드들에 해당하는 동작들, 즉 사용자 요청에 상응하는 동작들을 수행한다. 운영 시스템은 호스트(102)의 기능 및 동작을 전반적으로 관리 및 제어하고, 데이터 처리 시스템(100) 또는 메모리 시스템(110)을 사용하는 사용자와 호스트(102) 간에 상호 동작을 제공한다.

- [0020] 호스트(102)를 포함하는 전자 장치는 외부 통신망에 접속하여 RTC 정보(Real Time Clock information) 및 위치 정보(Country information)를 외부 통신망으로부터 제공받을 수 있다. 그리고, 호스트(102)는 제공받은 RTC 정보 및 위치 정보에 기초하여 기존 RTC 정보 및 위치 정보를 새롭게 업데이트 할 수 있다. RTC 정보는 절대 시간 혹은 상대 시간을 포함할 수 있다. 위치 정보는 국가 및 도시 정보를 포함할 수 있다.
- [0021] 호스트(102)는 메모리 시스템(110)에 RTC 정보를 제공할 수 있다. 호스트(102)는 사전 설정된 주기마다 RTC 정보를 메모리 시스템(110)에 제공할 수 있다. RTC 정보가 제공되는 주기는 설계자에 의하여 설정될 수 있다. 예를 들면, 호스트(102)는 시스템 부팅 시에 RTC 정보를 메모리 시스템(110)에 제공할 수 있다. 메모리 시스템(110)은 RTC 정보를 호스트(102)로부터 제공받아 RTC 정보를 업데이트할 수 있다. 메모리 시스템(110)은 RTC 정보를 활용하여 효율적으로 내부 동작(internal operation)을 수행할 수 있다.
- [0022] 호스트(102)는 RTC 정보와 함께 호스트(102)가 포함된 전자 장치가 현재 사용되는 위치 정보를 메모리 시스템(110)에 제공할 수 있다.
- [0023] 예를 들어, 호스트(102)를 포함하는 전자 장치가 2018년 12월 24일 16시 20분에 서울에서 시스템 부팅 동작을 수행한 경우, 호스트(102)는 '2018-12-24, 16:20'을 나타내는 RTC 정보와 '서울'을 나타내는 위치정보를 메모리 시스템(110)으로 제공할 수 있다.
- [0024] 또한, 메모리 시스템(110)은, 호스트(102)의 요청에 응답하여 동작하며, 특히 호스트(102)에 의해서 액세스되는 데이터를 저장한다. 다시 말해, 메모리 시스템(110)은, 호스트(102)의 주 기억 장치 또는 보조 기억 장치로 사용될 수 있다. 여기서, 메모리 시스템(110)은 호스트(102)와 연결되는 호스트 인터페이스 프로토콜에 따라, 다양한 종류의 저장 장치(솔리드 스테이트 드라이브(SSD: Solid State Drive), MMC, eMMC(embedded MMC))들 중 어느 하나로 구현될 수 있다.
- [0025] 아울러, 메모리 시스템(110)을 구현하는 저장 장치들은, DRAM(Dynamic Random Access Memory), SRAM(Static RAM) 등과 같은 휘발성 메모리 장치와, ROM(Read Only Memory), MROM(Mask ROM), PROM(Programmable ROM), EPROM(Erasable ROM), EEPROM(Electrically Erasable ROM), FRAM(Ferromagnetic ROM), PRAM(Phase change RAM), MRAM(Magnetic RAM), RRAM(Resistive RAM), 플래시 메모리 등과 같은 비휘발성 메모리 장치로 구현될 수 있다.
- [0026] 메모리 시스템(110)은 메모리 장치(150), 및 컨트롤러(130)를 포함한다.
- [0027] 여기서, 컨트롤러(130) 및 메모리 장치(150)는 하나의 반도체 장치로 집적될 수 있다. 일 예로, 컨트롤러(130) 및 메모리 장치(150)는 하나의 반도체 장치로 집적되어 SSD, PC 카드(PCMCIA: Personal Computer Memory Card International Association), SD 카드(SD, miniSD, microSD, SDHC), 유니버설 플래시 기억 장치(UFS) 등으로 구성할 수 있다. 또한, 다른 일 예로, 메모리 시스템(110)은, 컴퓨팅 시스템을 구성하는 다양한 구성 요소들 중 하나(컴퓨터, 스마트폰, 휴대용 게임기) 등을 구성할 수 있다.
- [0028] 한편, 메모리 시스템(110)에서의 메모리 장치(150)는, 전원이 공급되지 않아도 저장된 데이터를 유지할 수 있으며, 특히 라이트(write) 동작을 통해 호스트(102)로부터 제공된 데이터를 저장하고, 리드(read) 동작을 통해 저장된 데이터를 호스트(102)로 제공한다. 여기서, 메모리 장치(150)는, 복수의 메모리 블록(memory block, 152)들을 포함하며, 각각의 메모리 블록들은, 복수의 페이지들(pages)을 포함하며, 또한 각각의 페이지들은, 복수의 워드라인(WL: Word Line)들이 연결된 복수의 메모리 셀들을 포함한다. 또한, 메모리 장치(150)는, 복수의 메모리 블록들이 각각 포함된 복수의 플레인들(plane)을 포함하며, 특히 복수의 플레인들이 각각 포함된 복수의 메모리 다이(memory die)들을 포함할 수 있다. 아울러, 메모리 장치(150)는, 비휘발성 메모리 장치, 일 예로 플래시 메모리가 될 수 있으며, 이때 플래시 메모리는 3차원(dimension) 입체 스택(stack) 구조가 될 수 있다.
- [0029] 메모리 시스템(110)에서의 컨트롤러(130)는, 호스트(102)로부터의 요청에 응답하여 메모리 장치(150)를 제어한다. 예컨대, 컨트롤러(130)는, 메모리 장치(150)로부터 리드된 데이터를 호스트(102)로 제공하고, 호스트(102)로부터 제공된 데이터를 메모리 장치(150)에 저장하며, 이를 위해 컨트롤러(130)는, 메모리 장치(150)의 리드, 라이트, 프로그램(program), 이레이즈(erase) 등의 동작을 제어한다.
- [0030] 컨트롤러(130)는, 호스트 인터페이스(Host I/F) 유닛(132), 프로세서(Processor)(134), 에러 정정 코드(ECC: Error Correction Code) 유닛(136), 메모리 인터페이스(Memory I/F) 유닛(142) 및 메모리(Memory)(144)를 포함할 수 있다. 비록 도면에 도시되진 아니하였으나, 컨트롤러(130)는 컨트롤러(130)에 포함된 구성 요소들의 파워를 제공 및 관리할 수 있는 파워 관리 유닛(PMU: Power Management Unit)을 더 포함할 수 있다.

- [0031] 호스트 인터페이스 유닛(132)은, 호스트(102)의 커맨드(command) 및 데이터를 처리하며, USB(Universal Serial Bus), SATA(Serial Advanced Technology Attachment), SCSI(Small Computer System Interface), ESDI(Enhanced Small Disk Interface), 등과 같은 다양한 인터페이스 프로토콜들 중 적어도 하나를 통해 호스트(102)와 통신하도록 구성될 수 있다. 여기서, 호스트 인터페이스 유닛(132)은, 호스트(102)와 데이터를 주고 받는 영역으로 호스트 인터페이스 계층(HIL: Host Interface Layer, 이하 'HIL'이라 칭하기로 함)이라 불리는 펌웨어(firmware)를 통해 구동될 수 있다.
- [0032] 또한, 메모리 인터페이스 유닛(142)은, 컨트롤러(130)가 호스트(102)로부터의 요청에 응답하여 메모리 장치(150)를 제어하기 위해, 컨트롤러(130)와 메모리 장치(150) 간의 인터페이싱을 수행하는 메모리/스토리지(storage) 인터페이스가 된다.
- [0033] ECC 유닛(136)은 메모리 장치(150)에서 처리되는 데이터의 페일 비트(fail bit)를 정정하며, ECC 인코더와 ECC 디코더를 포함할 수 있다.
- [0034] ECC 인코더(ECC encoder)는 메모리 장치(150)에 프로그램될 데이터를 에러 정정 인코딩(error correction encoding)하여, 패리티(parity) 비트가 추가된 데이터를 생성하며, 패리티 비트가 추가된 데이터는 메모리 장치(150)에 저장될 수 있다. 그리고, ECC 디코더(ECC decoder)는 메모리 장치(150)에 저장된 데이터를 리드할 경우, 메모리 장치(150)로부터 리드된 데이터에 포함되는 페일 비트(fail bit)를 검출 및 정정한다. 나아가, ECC 유닛(136)은 리드 데이터에 포함된 fail bit)의 수가 사전 설정된 임계 값보다 크거나 같은 경우, 프로세서(134)에 리드 리트라이 요청을 제공할 수 있다.
- [0035] ECC 유닛(136)은 LDPC(low density parity check) 코드(code), BCH(Bose, Chaudhri, Hocquenghem) 코드, 터보 코드(turbo code), 리드-솔로몬 코드(Reed-Solomon code), 컨벌루션 코드(convolution code), RSC(recursive systematic code), TCM(trellis-coded modulation), BCM(Block coded modulation) 등의 코디드 모듈레이션(coded modulation)을 사용하여 에러 정정을 수행할 수 있다. 다만, 이에 한정되는 것은 아니다. 또한, ECC 유닛(136)은 오류 정정을 위한 회로, 모듈, 시스템, 또는 장치를 모두 포함할 수 있다.
- [0036] 프로세서(134)는, 메모리 시스템(110)의 전체적인 동작을 제어하며, 특히 호스트(102)로부터의 라이트 요청 또는 리드 요청에 응답하여, 메모리 장치(150)에 대한 프로그램 동작 또는 리드 동작을 제어할 수 있다. 예를 들면, 프로세서(134)는 기 설정된 리드 전압을 리드 커맨드에 대응하는 데이터가 저장된 타겟 메모리 셀에 인가하여 리드 동작을 수행하도록 메모리 장치(150)를 제어할 수 있다. 나아가, 프로세서(134)는 ECC 유닛(136)으로부터 제공된 리드 리트라이 요청에 응답하여, 메모리 장치(150)에 대한 리드 리트라이 동작을 제어할 수 있다. 본 발명의 실시 예에 따른 리드 리트라이 동작은 도 7을 통하여 자세히 설명된다.
- [0037] 프로세서(134)는, 메모리 시스템(110)의 제반 동작을 제어하기 위해 플래시 변환 계층(FTL: Flash Translation Layer, 이하 'FTL'이라 칭하기로 함)이라 불리는 펌웨어(firmware)를 구동한다. 또한, 프로세서(134)는, 마이크로프로세서 또는 중앙 처리 장치(CPU) 등으로 구현될 수 있다.
- [0038] 또한, 컨트롤러(130)는, 마이크로프로세서 또는 중앙 처리 장치(CPU) 등으로 구현된 프로세서(134)를 통해, 호스트(102)로부터 요청된 동작을 메모리 장치(150)에서 수행, 다시 말해 호스트(102)로부터 수신된 커맨드에 해당하는 커맨드 동작을, 메모리 장치(150)와 수행한다. 또한 메모리 장치(150)에 대한 백그라운드(background) 동작을 수행할 수도 있다. 메모리 장치(150)에 대한 백그라운드 동작은, 가비지 컬렉션(GC: Garbage Collection) 동작, 웨어 레벨링(WL: Wear Leveling) 동작, 맵 플러시(map flush) 동작, 배드 블록 관리(bad block management) 동작 등을 포함할 수 있다.
- [0039] 아울러, 메모리(144)는, 메모리 시스템(110) 및 컨트롤러(130)의 동작 메모리로서, 메모리 시스템(110) 및 컨트롤러(130)의 구동을 위한 데이터를 저장한다.
- [0040] 여기서, 메모리(144)는, 휘발성 메모리로 구현될 수 있으며, 예컨대 정적 랜덤 액세스 메모리(SRAM: Static Random Access Memory), 또는 동적 랜덤 액세스 메모리(DRAM: Dynamic Random Access Memory) 등으로 구현될 수 있다. 아울러, 메모리(144)는 컨트롤러(130)의 내부에 존재하거나, 또는 컨트롤러(130)의 외부에 존재할 수 있으며, 이때 메모리 인터페이스를 통해 컨트롤러(130)로부터 데이터가 입출력되는 외부 휘발성 메모리로 구현될 수도 있다.
- [0041] 또한, 메모리(144)는, 호스트(102)와 메모리 장치(150) 간 데이터 라이트 및 리드 등의 동작을 수행하기 위해 필요한 데이터), 및 데이터 라이트 및 리드 등의 동작 수행 시의 데이터를 저장할 수 있다. 이러한 데이터 저

장을 위해, 메모리(144)는 프로그램 메모리, 데이터 메모리, 라이트 버퍼(buffer)/캐시(cache), 리드 버퍼/캐시, 데이터 버퍼/캐시, 맵(map) 버퍼/캐시 등을 포함한다.

[0042] 뿐만 아니라, 메모리(144)는 리드 리트라이 동작에 활용되는 온도 테이블(510) 및 리드 전압 테이블(530)을 저장할 수 있다. 온도 테이블(510) 및 리드 전압 테이블(530)은 메모리 장치(150)에도 저장될 수 있으며, 프로세서(134)에 의하여 메모리 장치(150)로부터 메모리(144)에 로드될 수 있다. 온도 테이블(510) 및 리드 전압 테이블(530) 각각은 도 5a 및 도 5b를 통하여 구체적으로 설명된다.

[0044] 도 2는 본 발명의 실시 예에 따른 메모리 장치(150)에서 메모리 블록들의 메모리 셀 어레이 회로를 개략적으로 도시한 도면이다.

[0045] 메모리 장치(150)는 복수의 메모리 블록들을 포함할 있다. 각각의 블록들은, 복수의 페이지들(Pages), 예컨대  $2^M$ 개의 페이지들( $2^M$ Pages)을 포함할 수 있다. 여기서, 설명의 편의를 위해, 복수의 메모리 블록들이 각각  $2^M$ 개의 페이지들을 포함하는 것을 일 예로 하여 설명하지만, 복수의 메모리들은, 각각 M개의 페이지들을 포함할 수도 있다. 그리고, 각각의 페이지들은, 복수의 워드라인(WL: Word Line)들이 연결된 복수의 메모리 셀들을 포함한다.

[0046] 또한, 메모리 장치(150)는, 복수의 메모리 블록들을 하나의 메모리 셀에 저장 또는 표현할 수 있는 비트의 수에 따라, 하나의 메모리 셀에 1 비트 데이터를 저장하는 메모리 셀들에 의해 구현된 복수의 페이지들을 포함하는 단일 레벨 셀(SLC: Single Level Cell) 메모리, 하나의 메모리 셀에 2 비트 데이터를 저장할 수 있는 메모리 셀들에 의해 구현된 복수의 페이지들을 포함하는 멀티 레벨 셀(MLC: MultiLevel Cell) 메모리 블록, 하나의 메모리 셀에 3 비트 데이터를 저장할 수 있는 메모리 셀들에 의해 구현된 복수의 페이지들을 포함하는 트리플 레벨 셀(TLC: Triple Level Cell) 메모리 블록, 하나의 메모리 셀에 4 비트 데이터를 저장할 수 있는 메모리 셀들에 의해 구현된 복수의 페이지들을 포함하는 쿼드러플 레벨 셀(QLC: Quadruple Level Cell) 메모리 블록, 또는 하나의 메모리 셀에 5 비트 또는 그 이상의 비트 데이터를 저장할 수 있는 메모리 셀들에 의해 구현된 복수의 페이지들을 포함하는 다중 레벨 셀(multiple level cell) 메모리 블록 등을 포함할 수 있다.

[0047] 이하에서는, 설명의 편의를 위해, 메모리 장치(150)가, 플래시 메모리, 예컨대 NAND 플래시 메모리 등과 같은 비휘발성 메모리 등으로 구현되는 것을 일 예로 설명하지만, 상변환 메모리(PCRAM: Phase Change Random Access Memory), 저항 메모리(RRAM(ReRAM): Resistive Random Access Memory), 강유전체 메모리(FRAM: Ferroelectrics Random Access Memory), 및 스핀 주입 자기 메모리(STT-RAM(STT-MRAM): Spin Transfer Torque Magnetic Random Access Memory) 등과 같은 메모리들 중 어느 하나의 메모리로 구현될 수도 있다.

[0048] 메모리 시스템(110)의 메모리 장치(150)에 포함된 복수의 메모리 블록들에서 각 메모리 블록(330), 메모리 셀 어레이로 구현되어 비트라인들(BL0 to BLm-1)에 각각 연결된 복수의 셀 스트링들(340)을 포함할 수 있다. 각 열(column)의 셀 스트링(340)은, 적어도 하나의 드레인 선택 트랜지스터(DST)와, 적어도 하나의 소스 선택 트랜지스터(SST)를 포함할 수 있다. 선택 트랜지스터들(DST, SST) 사이에는, 복수 개의 메모리 셀들, 또는 메모리 셀 트랜지스터들(MC0 to MCn-1)이 직렬로 연결될 수 있다. 각각의 메모리 셀(MC0 to MCn-1)은, 셀 당 복수의 비트들의 데이터 정보를 저장하는 MLC로 구성될 수 있다. 셀 스트링들(340)은 대응하는 비트라인들(BL0 to BLm-1)에 각각 전기적으로 연결될 수 있다.

[0049] 여기서, 도 2는, 낸드 플래시 메모리 셀로 구성된 각 메모리 블록(330)을 일 예로 도시하고 있으나, 본 발명의 실시 예에 따른 메모리 장치(150)에 포함된 복수의 메모리 블록은, 낸드 플래시 메모리에만 국한되는 것은 아니라 노어 플래시 메모리(NOR-type Flash memory), 적어도 두 종류 이상의 메모리 셀들이 혼합된 하이브리드 플래시 메모리, 메모리 칩 내에 컨트롤러가 내장된 One-NAND 플래시 메모리 등으로도 구현될 수 있다.

[0050] 그리고, 메모리 장치(150)의 전압 공급 회로(310)는, 동작 모드에 따라서 각각의 워드라인들로 공급될 워드라인 전압들(예를 들면, 프로그램 전압, 리드 전압, 패스 전압 등)과, 메모리 셀들이 형성된 벌크(예를 들면, 웰 영역)로 공급될 전압을 제공할 수 있으며, 이때 전압 공급 회로(310)은 제어 회로(도시하지 않음)의 제어에 의해 컨트롤러(130)로부터 워드라인 전압들을 제공받을 수 있다. 또한, 전압 공급 회로(310)는 제어 회로의 제어에 응답하여 메모리 셀 어레이의 메모리 블록들(또는 섹터들) 중 하나를 선택하고, 선택된 메모리 블록의 워드라인들 중 하나를 선택할 수 있으며, 리드 전압을 선택된 워드라인 및 비선택된 워드라인들로 각각 제공할 수 있다.

[0051] 아울러, 메모리 장치(150)의 리드/라이트(read/write) 회로(320)는, 제어 회로에 의해서 제어되며, 동작 모드에

따라 감지 증폭기(sense amplifier)로서 또는 라이트 드라이버(write driver)로서 동작할 수 있다. 예를 들면, 검증/정상 리드 동작의 경우 리드/라이트 회로(320)는, 메모리 셀 어레이로부터 데이터를 리드하기 위한 감지 증폭기로서 동작할 수 있다. 또한, 프로그램 동작의 경우 리드/라이트 회로(320)는, 메모리 셀 어레이에 저장될 데이터에 따라 비트라인들을 구동하는 라이트 드라이버로서 동작할 수 있다. 리드/라이트 회로(320)는, 프로그램 동작 시 셀 어레이에 라이트될 데이터를 버퍼(미도시)로부터 수신하고, 입력된 데이터에 따라 비트라인들을 구동할 수 있다. 이를 위해, 리드/라이트 회로(320)는, 열(column)들(또는 비트라인들) 또는 열쌍(column pair)(또는 비트라인 쌍들)에 각각 대응되는 복수 개의 페이지 버퍼들(PB)(322,324,326)을 포함할 수 있으며, 각각의 페이지 버퍼(page buffer)(322,324,326)에는 복수의 래치들(도시하지 않음)이 포함될 수 있다.

[0052] 또한, 메모리 장치(150)는, 2차원 또는 3차원의 메모리 장치로 구현될 수 있으며, 3차원 입체 스택 구조의 비휘발성 메모리 장치로 구현될 수 있으며, 3차원 구조로 구현될 경우, 복수의 메모리 블록들(BLK0 to BLKN-1)을 포함할 수 있다. 여기서, 도 5는, 도 1에 도시한 메모리 장치(150)의 메모리 블록들을 보여주는 블록도로서, 각각의 메모리 블록들은, 3차원 구조(또는 수직 구조)로 구현될 수 있다. 예를 들면, 각각의 메모리 블록들은 제1방향 내지 제3방향들, 예컨대 x-축 방향, y-축 방향, 및 z-축 방향을 따라 신장된 구조물들을 포함하여, 3차원 구조로 구현될 수 있다.

[0053] 그리고, 메모리 장치(150)에 포함된 각 메모리 블록(330)은, 제2방향을 따라 신장된 복수의 낸드 스트링들(NS)을 포함할 수 있으며, 제1방향 및 제3방향들을 따라 복수의 낸드 스트링들(NS)이 제공될 수 있다. 여기서, 각 낸드 스트링(NS)은, 비트라인(BL), 적어도 하나의 스트링 선택라인(SSL), 적어도 하나의 접지 선택라인(GSL), 복수의 워드라인들(WL), 적어도 하나의 더미 워드라인(DWL), 그리고 공통 소스라인(CSL)에 연결될 수 있으며, 복수의 트랜지스터 구조들(TS)을 포함할 수 있다.

[0054] 즉, 메모리 장치(150)의 복수의 메모리 블록들에서 각 메모리 블록(330)은, 복수의 비트라인들(BL), 복수의 스트링 선택라인들(SSL), 복수의 접지 선택라인들(GSL), 복수의 워드라인들(WL), 복수의 더미 워드라인들(DWL), 그리고 복수의 공통 소스라인(CSL)에 연결될 수 있으며, 그에 따라 복수의 낸드 스트링들(NS)을 포함할 수 있다. 또한, 각 메모리 블록(330)에서, 하나의 비트라인(BL)에 복수의 낸드 스트링들(NS)이 연결되어, 하나의 낸드 스트링(NS)에 복수의 트랜지스터들이 구현될 수 있다. 아울러, 각 낸드 스트링(NS)의 스트링 선택 트랜지스터(SST)는, 대응하는 비트라인(BL)과 연결될 수 있으며, 각 낸드 스트링(NS)의 접지 선택 트랜지스터(GST)는, 공통 소스라인(CSL)과 연결될 수 있다. 여기서, 각 낸드 스트링(NS)의 스트링 선택 트랜지스터(SST) 및 접지 선택 트랜지스터(GST) 사이에 메모리 셀들(MC)이 제공, 즉 메모리 장치(150)의 복수의 메모리 블록들에서 각 메모리 블록(330)에는 복수의 메모리 셀들이 구현될 수 있다.

[0055] 도 3는 메모리 장치(150)의 메모리 셀의 산포를 나타낸 도면이다.

[0056] 도 2와 같은 구조의 메모리 장치(150)의 메모리 셀들은 각각, 프로그램 되어 있는 프로그램 데이터의 비트의 개수에 따라, 도 3과 같은 산포 중 어느 하나의 산포에 포함되는 문턱 전압(Vth)을 가질 수 있다.

[0057] 도 3의 (a)는 메모리 셀들이 각각 하나의 비트로 프로그램되는 단일 레벨 셀(SLC)의 셀 산포를 나타내고, 도 3의 (b)는 메모리 셀들이 각각 2비트로 프로그램 되는 2비트 멀티 레벨 셀(MLC)의 셀 산포를 나타내며, 도 3의 (c)는 메모리 셀들이 각각 3비트로 프로그램 되는 트리플 레벨 셀(TLC)의 셀 산포를 나타낸다.

[0058] 단일 레벨 셀의 경우, 메모리 셀 어레이의 메모리 셀들 각각은 프로그램 된 데이터의 값에 따라, 도 3의 (a)와 같이 이레이즈 상태(E) 및 프로그램 상태(P) 중 하나의 상태에 포함되는 문턱 전압을 가질 수 있다. 멀티 레벨 셀의 경우, 메모리 셀 어레이의 메모리 셀들 각각은 도 3의 (b)와 같이, 이레이즈 상태(E) 및 제 1 프로그램 상태(P1) 내지 제 3 프로그램 상태(P3) 중 하나의 상태에 포함되는 문턱 전압을 가질 수 있다. 트리플 레벨 셀의 경우, 메모리 셀 어레이의 메모리 셀들 각각은 도 3의 (c)와 같이 이레이즈 상태(E) 및 제 1 프로그램 상태(P1) 내지 제 7 프로그램 상태(P7) 중 하나의 상태에 포함되는 문턱 전압을 가질 수 있다.

[0059] 그러나, 이에 한정되는 것은 아니며, 메모리 셀 어레이의 메모리 셀들 각각은 도 3에서는 도시되지 아니하였으나, 4 비트 이상으로 프로그램될 수 있다. 또한, 도 1의 메모리 장치(150)는 서로 다른 개수의 비트로 프로그램 되는 메모리 셀들을 포함할 수 있다.

[0060] 메모리 장치(150)의 경우, 시간이 지남에 따라, 플로팅 게이트(floating gate) 혹은 터널 산화물(tunnel oxide)에 포획(trap)된 전자들이 방출되는 차지 로스(charge loss)가 발생할 수 있다. 또한, 프로그램 및 이레이즈를 반복하면서 터널 산화물이 열화되어 차지 로스(charge loss)를 더욱 증가될 수 있다. 차지 로스는 문턱 전압을 감소시킬 수 있다.

- [0061] 또한, 프로그램 디스터번스, 이레이즈 디스터번스 및/또는 백 패턴 디펜던시 현상은 문턱 전압의 산포를 증가시킬 수 있다. 따라서, 상술한 이유로 인한 메모리 장치(150) 내 메모리 셀의 특성 열화로 인하여, 도 3에 도시된 각각의 상태의 문턱 전압 산포가 서로 중첩될 수 있다.
- [0062] 도 4a 및 도 4b는 메모리 셀의 특성 열화로 인하여 변형된 메모리 셀의 상태를 나타낸 도면이다. 특히, 도 4a 및 도 4b는 온도에 의하여 변형된 메모리 셀의 상태를 나타낸다. 도 4a 및 도 4b에서는 예로써, 제 1 메모리 셀 상태(S1) 및 제 2 메모리 셀 상태(S2)만을 도시한다. 그리고, 제 2 메모리 셀 상태(S2)만을 활용하여 특성 열화가 설명된다.
- [0063] 반면에, 도 4a의 (a)를 참조하면, 본 발명의 실시 예에 따른 메모리 시스템(110)을 포함하는 전자 장치의 외부 온도가 감소하는 경우, 플로팅 게이트 혹은 터널 산화물에 포획된 전자 이동도가 감소할 수 있다. 전자 이동도의 감소에 의하여 메모리 셀로 흐르는 전류의 인가량이 감소할 수 있다. 전류의 인가량의 감소에 의하여 메모리 셀의 문턱 전압이 증가될 수 있다. 그 결과, 도 4a의 (a)에 도시된 제 2 메모리 셀 상태(S2)와 같이 문턱 전압이 증가할 수 있다.
- [0064] 반면에, 도 4a의 (b)를 참조하면, 본 발명의 실시 예에 따른 메모리 시스템(110)을 포함하는 전자 장치의 외부 온도가 상승하는 경우, 메모리 장치(150) 내 플로팅 게이트 혹은 터널 산화물에 포획된 전자 이동도가 증가할 수 있다. 전자 이동도의 증가로 인하여, 메모리 셀로 흐르는 전류의 인가량이 증가할 수 있으며, 전자들이 플로팅 게이트 혹은 터널 산화물로부터 빠르게 방출될 수 있다. 전자가 방출되면 차지 로스가 발생할 수 있다. 그 결과, 도 4a의 (b)에 도시된 제 2 메모리 셀 상태(S2)와 같이 문턱 전압이 감소될 수 있다.
- [0065] 뿐만 아니라, 메모리 셀의 문턱 전압은 온도에 따라 문턱 전압의 증가폭 혹은 감소폭이 달라질 수 있다. 즉, 외부 온도가 높을수록, 메모리 셀의 문턱 전압은 더 많이 감소할 수 있다. 반대로, 외부 온도가 낮을수록, 메모리 셀의 문턱 전압은 더 많이 증가할 수 있다.
- [0066] 예를 들면, 외부 온도가 10° 일 때, 메모리 셀이 제 1 메모리 셀 상태(S1) 및 제 2 메모리 셀 상태(S2)를 갖는다고 가정한다.
- [0067] 도 4b의 (a)는 외부 온도가 20° 인 경우, 문턱 전압이 감소된 제 2 메모리 셀 상태(S2')의 문턱 전압 산포를 나타낸다. 그리고, 도 4b의 (b)는 외부 온도가 30° 인 경우, 문턱 전압이 감소된 제 2 메모리 셀 상태(S2'')를 나타낸다.
- [0068] 도 4b를 참조하면, 외부 온도가 30° 에서 형성된 메모리 셀의 문턱 전압이 외부 온도가 20° 에서 형성된 메모리 셀의 문턱 전압보다 'V<sub>d</sub>'만큼 더 감소될 수 있다.
- [0069] 비록, 상기에서 제 2 메모리 셀 상태(S2)만을 설명하고 있으나, 제 1 메모리 셀 상태(S1)도 동일한 원리로 문턱 전압이 증가 혹은 감소할 수 있다.
- [0070] 문턱 전압 산포가 변형되면, 메모리 장치(150)로부터 리드되는 데이터에는 많은 페일 비트(fail bit)가 포함될 수 있다.
- [0071] 도 4c는 변형된 문턱 전압 산포를 반영하여 메모리 장치에 인가되는 리드 전압의 변화를 나타낸다.
- [0072] 도 4c의 (a)를 참조하면, 호스트(102)의 리드 커맨드에 따라 데이터를 리드하기 위하여 컨트롤러(130)내 프로세서(134)는 메모리 장치(150)에 디폴트 리드 전압(RV<sub>0</sub>)을 인가할 수 있다. 디폴트 리드 전압(RV<sub>0</sub>)은 기 설정된 초기 리드 전압을 나타낸다. 디폴트 리드 전압(RV<sub>0</sub>)은 설계자에 의하여 설정될 수 있으며, 추후 변경될 수도 있다.
- [0073] 다만, 도 4c의 (b)에 도시된 바와 같이, 외부 온도가 상승하여, 제 2 메모리 셀 상태(S2)의 문턱 전압이 감소한 경우, 프로세서(134)가 디폴트 리드 전압(RV<sub>0</sub>)을 활용하여 데이터를 리드한다면, 리드 데이터는 페일 비트를 다수 포함할 수 있다. 도 1 에서 설명된 바와 같이, 페일 비트가 사전 설정된 임계 값보다 크거나 같다면, ECC 유닛(136)은 프로세서(134)에 리드 리트라이 요청을 제공할 수 있다. 그리고, 프로세서(134)는 리드 리트라이 요청에 응답하여 리드 리트라이 동작을 수행하기 위하여 리드 전압을 재설정할 수 있다. 특히, 본 발명의 실시 예에 따른 프로세서(134)는 리드 리트라이 동작 시, 외부 온도를 반영하여 리드 전압을 효율적으로 재설정할 수 있다.
- [0074] 이하에서는 도 5a 내지 도 7을 통하여 본 발명의 실시 예에 따른 리드 리트라이 동작이 설명된다.

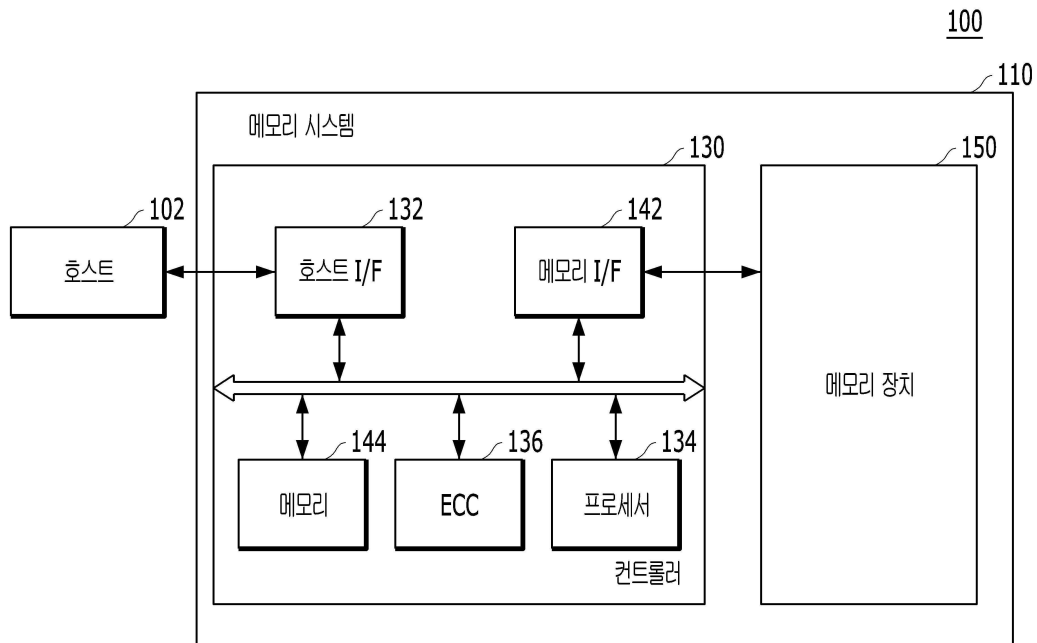
- [0075] 도 5a는 본 발명의 실시 예에 따른 온도 테이블(510)을 나타내며, 도 5b는 본 발명의 실시 예에 따른 리드 전압 테이블(530)을 나타낸다. 온도 테이블(510) 및 리드 전압 테이블(530)은 리드 리트라이 동작에서 활용될 수 있다.
- [0076] 도 5a를 참조하면, 온도 테이블(510)의 필드(field)는 복수의 위치 정보를 나타내며, 온도 테이블(510)의 엔트리(entry)는 '월(month)'을 나타낼 수 있다. 온도 테이블(510) 내에 기록된 값(value)들은 해당 위치에 해당 월의 평균 온도를 나타낼 수 있다. 예를 들면, 온도 테이블(510)을 참조하면, 제 1 위치의 3월 평균 온도는 '5°'이다. 온도 테이블(510)은 제 1 위치 내지 제 K 위치 각각의 월별 평균 온도를 나타낼 수 있다. 온도 테이블(510) 내 'K'는 설계자에 의하여 설정될 수 있다.
- [0077] 프로세서(134)는 호스트(102)로부터 제공받은 RTC 정보 및 위치 정보에 따라 온도 테이블(510)을 활용하여 해당 위치의 해당 월의 평균 온도인 타겟 온도(T)를 확인할 수 있다. 예를 들어, 호스트(102) 및 메모리 시스템(110)을 포함하는 전자 장치가 2018년 12월 24일 16시 20분에 제 1 위치에서 시스템 부팅 동작을 수행한 경우, 프로세서(134)는 온도 테이블(510)을 활용하여 타겟 온도(T)가 '0.5'인 것을 확인할 수 있다.
- [0078] 도 5b를 참조하면, 리드 전압 테이블(530)의 필드는 온도, 인덱스, 제 1 리드 전압(RV1), 제 2 리드 전압(RV2) 및 제 3 리드 전압(RV3)을 나타낸다.
- [0079] 리드 전압 테이블(530)의 온도 필드는 복수의 온도 구간들을 나타낼 수 있다. 도 5b에 도시된 리드 전압 테이블(530)의 온도 필드는 동일한 온도 차이로 엔트리가 구분되어 있다. 하지만, 이는 일 실시 예일 뿐이며, 이에 제한되는 것은 아니다. 상기 온도 차이는 설계자에 의하여 설정될 수 있다.
- [0080] 리드 전압 테이블(530)의 인덱스는 1 내지 N 값을 나타낼 수 있다. 인덱스는 리드 리트라이 동작에서 리드 전압의 설정 순서를 나타낸다. 프로세서(134)는 제 1 인덱스에 해당하는 리드 전압부터 제 N 인덱스에 해당하는 리드 전압까지 순차적으로 리드 전압을 설정할 수 있다. 'N'은 설계자에 의하여 설정될 수 있다. 또한, 프로세서(134)는 타겟 온도(T)를 반영하여 리드 전압의 설정 순서를 변경할 수 있다.
- [0081] 리드 전압 테이블(530)의 제 1 내지 제 3 리드 전압(RV1 내지 RV3)은 디폴트 리드 전압과 상이하고, 각기 서로 다른 리드 전압들을 나타낸다. 도 5b에 도시된 리드 전압 테이블(530)은 멀티 레벨 셀에 대한 리드 리트라이 동작을 위한 테이블이다. 멀티 레벨 셀에 대한 리드 동작은 3개의 서로 다른 리드 전압을 필요로 하기 때문에, 도 5b에 도시된 리드 전압 테이블(530)에 제 1 내지 제 3 리드 전압(RV1 내지 RV3) 필드가 포함될 수 있다. 단일 레벨 셀에 대한 리드 리트라이 동작을 위한 테이블은 오직 하나의 리드 전압에 대한 필드를 가질 수 있다. 트리플 레벨 셀에 대한 리드 리트라이 동작을 위한 테이블은 7개의 리드 전압에 대한 필드를 가질 수 있다.
- [0082] 프로세서(134)는 리드 리트라이 동작 시 리드 전압 테이블(530)을 활용하여 리드 전압을 설정할 수 있다. 예를 들면, 타겟 온도(T)가 '15°'인 경우, 프로세서(134)는 리드 전압 테이블(530) 내 온도 필드에서 '15°'가 포함된 타겟 엔트리( $10^{\circ} = T < 20^{\circ}$ )를 확인할 수 있다. 그리고, 프로세서(134)는 타겟 엔트리에 복수의 인덱스들 각각에 해당하는 리드 전압들을 리드 리트라이 동작에 활용될 리드 전압으로 설정할 수 있다.
- [0083] 나아가, 프로세서(134)는 타겟 온도(T)를 반영하여 리드 전압의 설정 순서를 조정할 수 있다. 예를 들어, 타겟 온도(T)가 '10°'인 경우, 프로세서(134)가 제 1 인덱스에 포함된 리드 전압들을 우선적으로 설정한다고 가정한다. 타겟 온도(T)가 '15°'인 경우, 프로세서(134)는 제 N/2 인덱스에 포함된 리드 전압들을 우선적으로 설정할 수 있다. 프로세서(134)가 타겟 온도를 반영하여 리드 전압들을 설정함으로써, 프로세서(134)는 효율적인 리드 리트라이 동작을 수행할 수 있다.
- [0085] 도 6는 본 발명의 실시 예에 따른 리드 동작을 나타낸 흐름도이다.
- [0086] 단계 S601에서, 호스트(102)는 리드 커맨드를 컨트롤러(130)에 제공할 수 있다. 호스트(102)는 리드 커맨드와 함께 리드 데이터에 대응하는 논리주소를 컨트롤러(130)에 제공할 수 있다. 리드 데이터는 리드하려고 하는 데이터를 의미한다.
- [0087] 단계 S603에서, 컨트롤러(130) 내 프로세서(134)는 호스트(102)로부터 제공받은 논리주소에 대응하는 물리주소를 확인할 수 있다.
- [0088] 그리고, 단계 S605에서, 프로세서(134)는 상기 물리주소에 저장된 데이터를 리드하기 위하여 디폴트 리드 전압을 설정할 수 있다.

- [0089] 단계 S607에서, 프로세서(134)는 메모리 장치(150)에 리드 요청을 제공할 수 있다. 프로세서(134)는 리드 요청과 함께 디폴트 리드 전압 및 물리주소를 함께 메모리 장치(150)에 제공할 수 있다. 구체적으로, 프로세서(134)는 디폴트 리드 전압을 리드 커맨드에 대응하는 데이터가 저장된 타겟 메모리 셀에 인가하여 리드 동작을 수행하도록 메모리 장치(150)를 제어할 수 있다.
- [0090] 단계 S609에서, 메모리 장치(150)는 제공받은 디폴트 리드 전압 및 물리주소에 기초하여 데이터를 리드할 수 있다.
- [0091] 그리고, 단계 S611에서, 메모리 장치(150)는 리드 데이터를 컨트롤러(130)에 제공할 수 있다.
- [0092] 단계 S613에서, 컨트롤러(130) 내 ECC 유닛(136)은 프로세서(134)의 제어에 의하여 메모리 장치(150)로부터 제공받은 리드 데이터에 대하여 디코딩 동작을 수행할 수 있다. ECC 유닛(136)은 디코딩 동작을 통하여 리드 데이터의 페일 비트(fail bit) 수를 카운트할 수 있다.
- [0093] 단계 S615에서, ECC 유닛(136)은 카운트한 리드 데이터의 페일 비트 수와 사전 설정된 임계 값을 비교할 수 있다.
- [0094] 만약, 페일 비트 수가 사전 설정된 임계 값보다 작은 경우(단계 S515에서, 'No'), 단계 S617에서, 컨트롤러(130)는 리드 커맨드에 응답하여 리드 데이터를 호스트(102)로 제공할 수 있다.
- [0095] 반면에, 페일 비트 수가 사전 설정된 임계 값보다 크거나 같은 경우(단계 S517에서, 'Yes'), 단계 S519에서, ECC유닛(136)은 프로세서(134)에 리드 리트라이 요청을 제공할 수 있으며, 프로세서(134)는 리드 리트라이 요청에 응답하여 리드 리트라이 동작을 수행할 수 있다.
- [0096] 도 7은 본 발명의 실시 예에 따른 리드 리트라이 동작을 나타는 흐름도이다. 도 7에 도시된 단계 S701 내지 단계 S727은 도 6에 도시된 단계 S619에 포함될 수 있다.
- [0097] 단계 S701에서, 호스트(102)는 컨트롤러(130)에 RTC 정보 및 위치 정보를 제공할 수 있다. 비록, RTC 정보 및 위치정보가 컨트롤러(130)에 제공되는 동작이 단계 S701에 도시되어 있지만, 1에서 설명된 바와 같이, 호스트(102)는 사전 설정된 주기에 따라 RTC 정보 및 위치 정보를 컨트롤러(130)에 제공할 수 있다.
- [0098] 단계 S703에서, 컨트롤러(130) 내 프로세서(134)는 호스트(102)로부터 제공받은 RTC 정보 및 위치 정보에 따라 데이터 처리 시스템(100)을 포함하는 전자 장치의 외부 평균 온도, 즉 타겟 온도를 온도 테이블(510)을 활용하여 확인할 수 있다.
- [0099] 그리고, 단계 S705에서, 프로세서(134)는 리드 전압 테이블(530)에 포함된 복수의 엔트리들 중 단계 S703에서 확인된 온도가 포함된 타겟 엔트리를 확인할 수 있다.
- [0100] 단계 S707에서, 프로세서(134)는 타겟 엔트리 내에 포함된 복수의 인덱스들 중에서 단계 S703에서 확인된 온도에 기초하여 리드 전압 테이블(530) 내 인덱스 값인 'i' 값을 설정하여 타겟 인덱스를 선택할 수 있다.
- [0101] 그리고, 단계 S709에서, 프로세서(134)는 타겟 엔트리 내 'i' 번째 인덱스에 포함된 전압을 리드 전압으로 설정할 수 있다.
- [0102] 단계 S711에서, 프로세서(134)는 설정된 리드 전압을 활용하여 리드 커맨드에 대응하는 데이터를 리드하기 위한 리드 요청을 메모리 장치(150)에 제공할 수 있다. 구체적으로, 프로세서(134)는 설정된 리드 전압을 리드 커맨드에 대응하는 데이터가 저장된 타겟 메모리 셀에 인가하여 리드 동작을 수행하도록 메모리 장치(150)를 제어할 수 있다.
- [0103] 단계 S713에서, 메모리 장치(150)는 단계 S709에서 설정된 리드 전압을 활용하여 데이터를 리드할 수 있다.
- [0104] 단계 S715에서, 메모리 장치(150)는 리드 요청에 응답하여 리드 데이터를 컨트롤러(130)에 제공할 수 있다.
- [0105] 단계 S717에서, 컨트롤러(130) 내 ECC 유닛(136)은 프로세서(134)의 제어에 의하여 리드 데이터에 대한 디코딩 동작을 수행할 수 있다.
- [0106] 그리고, 단계 S719에서, ECC 유닛(136)은 리드 데이터의 페일 비트 수와 사전 설정된 임계 값을 비교할 수 있다.
- [0107] 만약, 리드 데이터의 페일 비트 수가 사전 설정된 임계 값보다 작은 경우(단계 S719에서 'No'), 단계 S721에서, 컨트롤러(130)는 리드 커맨드에 응답하여 리드 데이터를 호스트(102)로 제공할 수 있다.

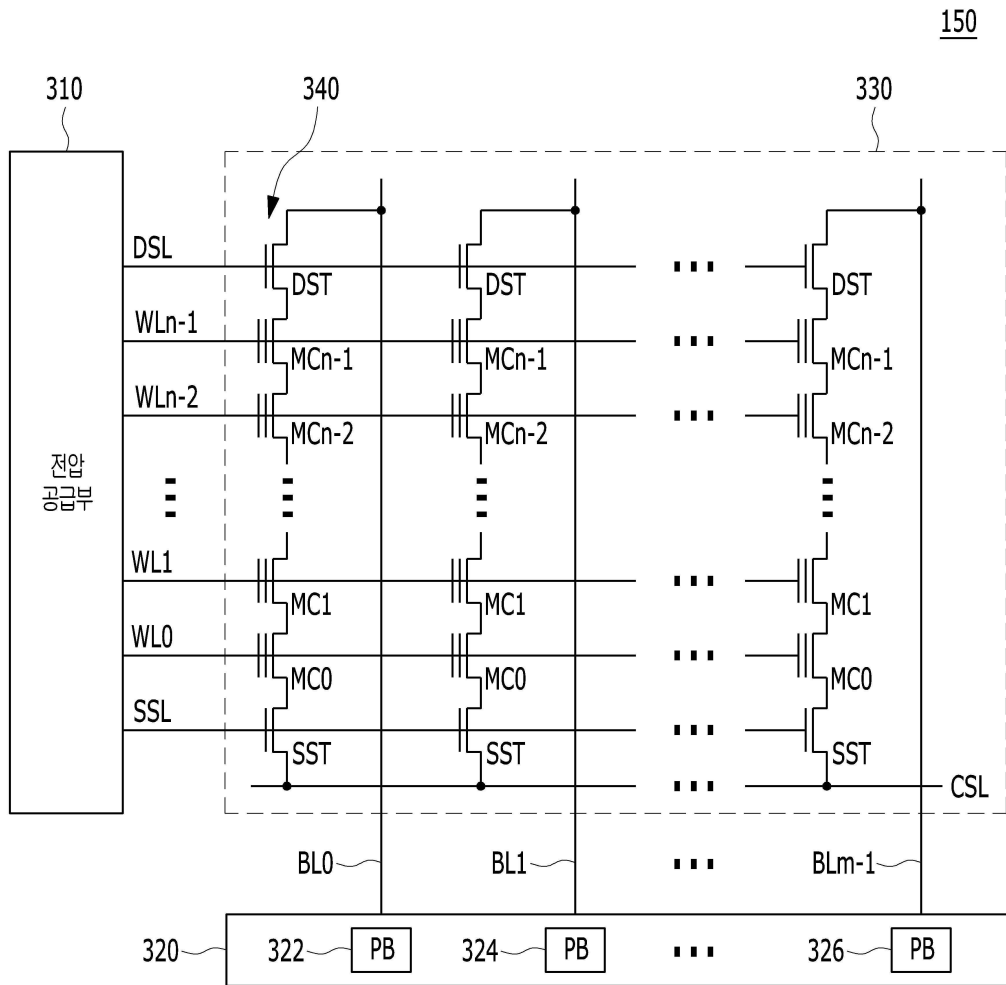
- [0108] 반면에, 리드 데이터의 패일 비트 수가 사전 설정된 임계 값보다 크거나 같은 경우(단계 S719에서, 'Yes'), 단계 S723에서, ECC 유닛(136)은 리드 리트라이 요청을 프로세서(134)에 제공할 수 있으며, 리드 요청에 응답하여 프로세서(134)는 'i' 값을 'N'과 비교할 수 있다. 'N'은 리드 전압 테이블(530) 내 복수의 엔트리들 각각에 포함된 인덱스 중 마지막 인덱스를 나타낸다.
- [0109] 'i' 값이 'N'보다 작은 경우(단계 S723에서, 'No'), 단계 S725에서, 프로세서(134)는 'i' 값을 '1'증가시킬 수 있다. 그리고, 컨트롤러(130) 및 메모리 장치(150)는 단계 S709 내지 단계 S719를 다시 수행할 수 있다.
- [0110] 반면에, 'i' 값이 'N'보다 크거나 같은 경우(단계 S723에서, 'Yes'), 단계 S727에서, 컨트롤러(130)는 리드 커맨드에 응답하여 리드 실패를 호스트(102)에 통지할 수 있다.
- [0111] 상기와 같이, 본 발명의 실시 예에 따른 메모리 시스템(110)은 호스트(102)로부터 제공받은 RTC 정보 및 위치 정보를 활용하여 효율적인 리드 리트라이 동작을 수행할 수 있다.
- [0112] 도 14 내지 도 17은 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템의 다른 일 예를 개략적으로 도시한 도면이다. 여기서, 도 14 내지 도 17은 본 발명의 실시 예에 따른 메모리 시스템이 적용된 UFS(Universal Flash Storage)를 개략적으로 도시한 도면이다.
- [0113] 도 14 내지 도 17을 참조하면, 각각의 UFS 시스템들(6500,6600,6700,6800)은, 호스트들(6510,6610,6710,6810), UFS 장치들(6520,6620,6720,6820), 및 UFS 카드들(6530,6630,6730,6830)을 각각 포함할 수 있다. 여기서, 각각의 호스트(6510,6610,6710,6810)은, 유선/무선 전자 기기들, 특히 모바일 전자 기기 등의 어플리케이션 프로세서가 될 수 있으며, 또한 각각의 UFS 장치들(6520,6620,6720,6820)은, 임베디드 UFS(Embedded UFS) 장치들이 되고, 아울러 각각의 UFS 카드들(6530,6630,6730,6830)은, 외부 임베디드 UFS(External Embedded UFS) 장치 또는 리무벌 UFS 카드(Removable UFS Card)가 될 수 있다.
- [0114] 또한, 각 UFS 시스템들(6500,6600,6700,6800)에서, 각각의 호스트들(6510,6610,6710,6810), UFS 장치들(6520,6620,6720,6820), 및 UFS 카드들(6530,6630,6730,6830) 간은, 각각 UFS 프로토콜을 통해 외부의 장치들, 예컨대 유선/무선 전자 기기들, 특히 모바일 전자 기기 등과 통신할 수 있으며, UFS 장치들(6520,6620,6720,6820)과 UFS 카드들(6530,6630,6730,6830)은, 도 1에서 설명한 메모리 시스템(110)으로 구현될 수 있다. 예컨대, 각 UFS 시스템들(6500,6600,6700,6800)에서, UFS 장치들(6520,6620,6720,6820)은, 도 11 내지 도 13에서 설명한 데이터 처리 시스템(6200), SSD(6300), 또는 eMMC(6400) 형태로 구현될 수 있으며, UFS 카드들(6530,6630,6730,6830)은, 도 10에서 설명한 메모리 카드 시스템(6100) 형태로 구현될 수 있다.
- [0115] 아울러, 각 UFS 시스템들(6500,6600,6700,6800)에서, 각각의 호스트들(6510,6610,6710,6810), UFS 장치들(6520,6620,6720,6820), 및 UFS 카드들(6530,6630,6730,6830) 간은, UFS(Universal Flash Storage) 인터페이스, 예컨대 MIPI(Mobile Industry Processor Interface)에서의 MIPI M-PHY 및 MIPI UniPro(Unified Protocol)을 통해 통신을 수행할 수 있으며, 아울러 UFS 장치들(6520,6620,6720,6820)과 UFS 카드들(6530,6630,6730,6830) 간은, UFS 프로토콜이 아닌 다른 프로토콜을 통해 통신할 수 있으며, 예컨대 다양한 카드 프로토콜, 일 예로 UFDs, MMC, SD(secure digital), mini SD, Micro SD 등을 통해 통신할 수 있다.
- [0116] 한편, 본 발명의 상세한 설명에서는 구체적인 실시 예에 관해 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 그러므로, 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 안되며 후술하는 특허청구의 범위뿐만 아니라 이 특허청구의 범위와 균등한 것들에 의해 정해져야 한다.

도면

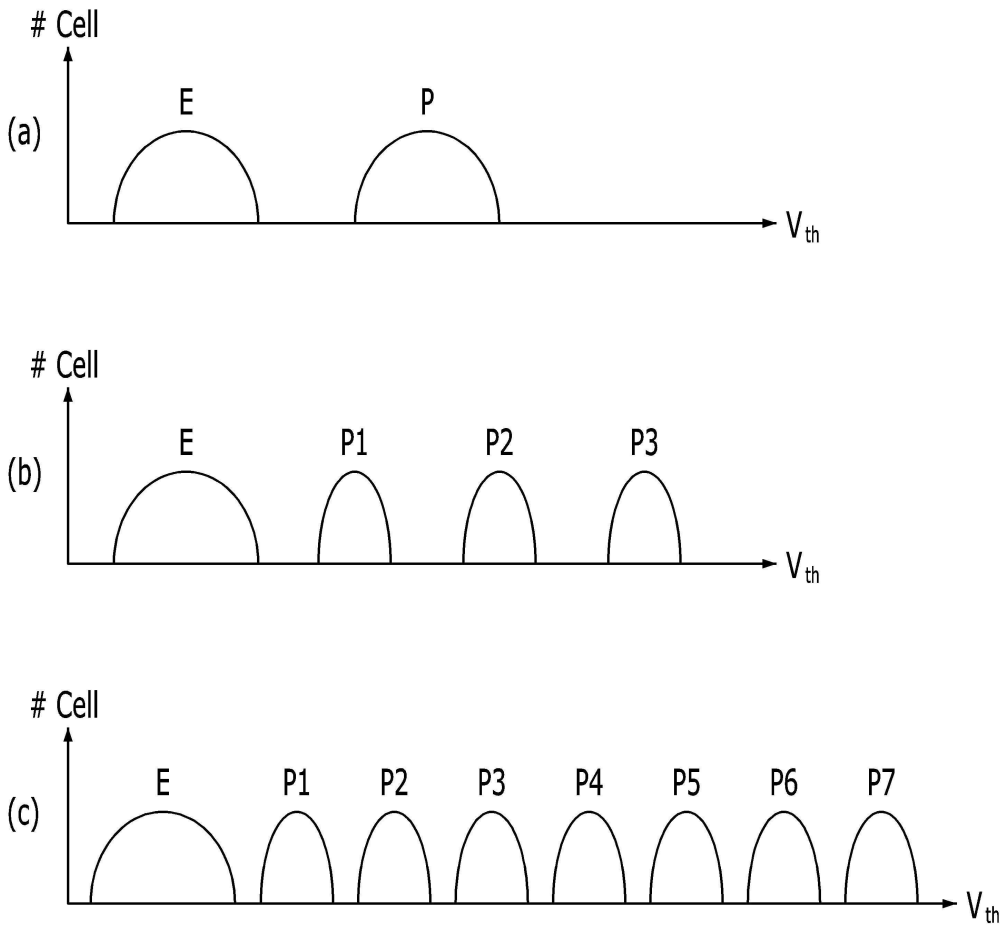
도면1



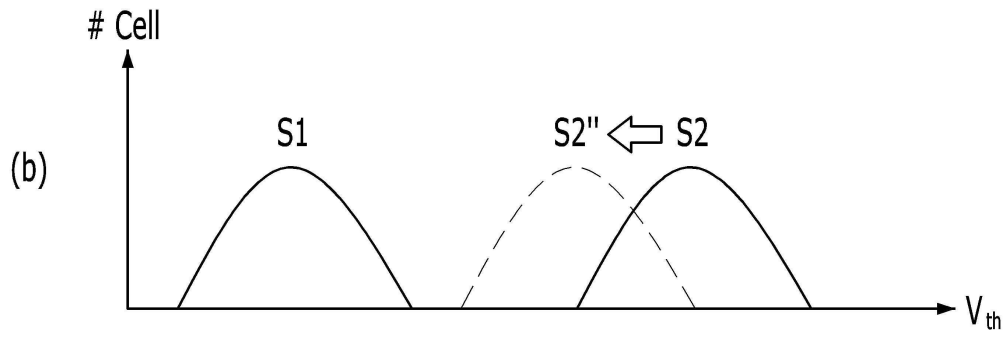
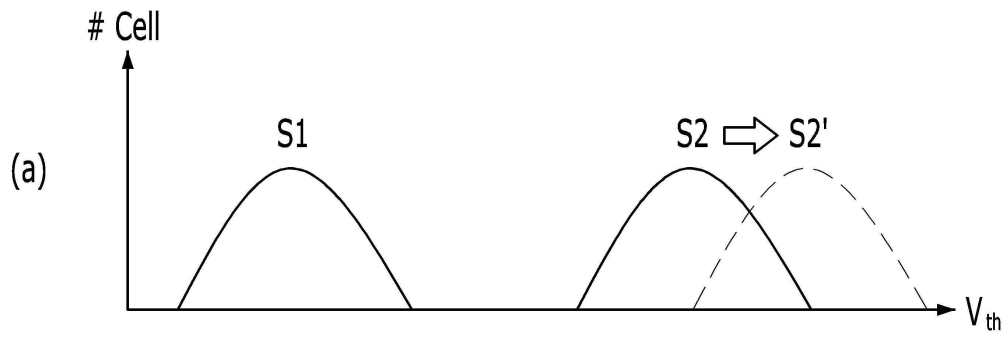
도면2



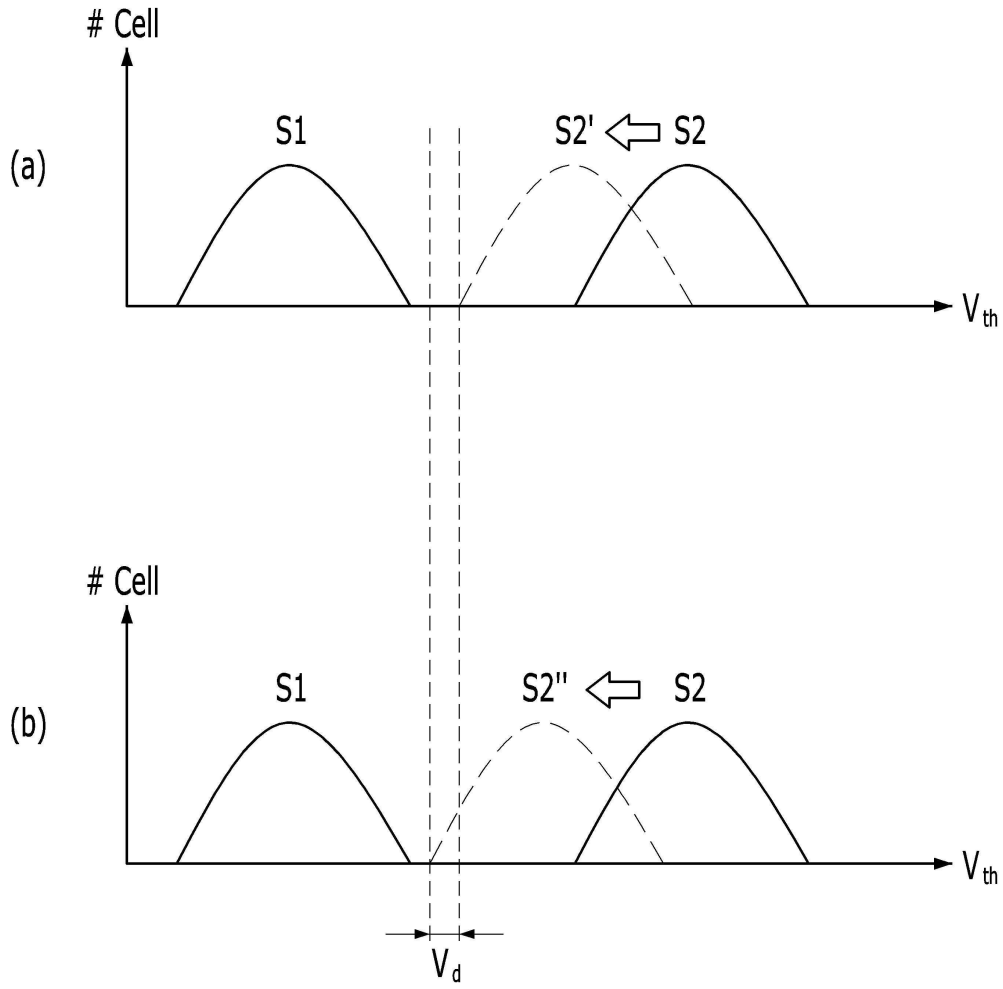
도면3



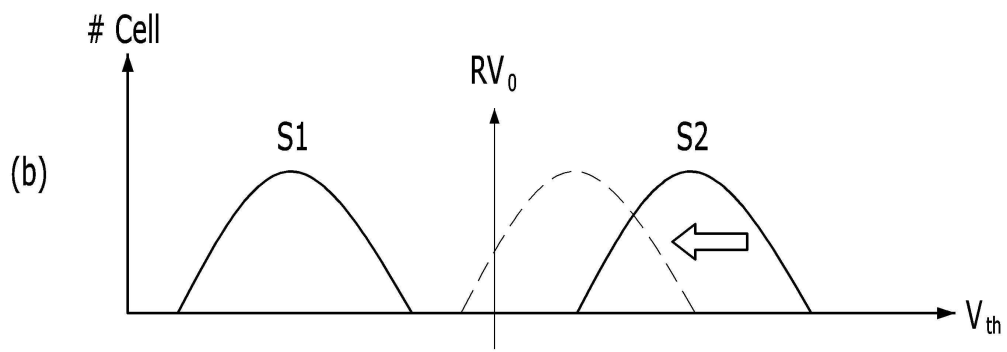
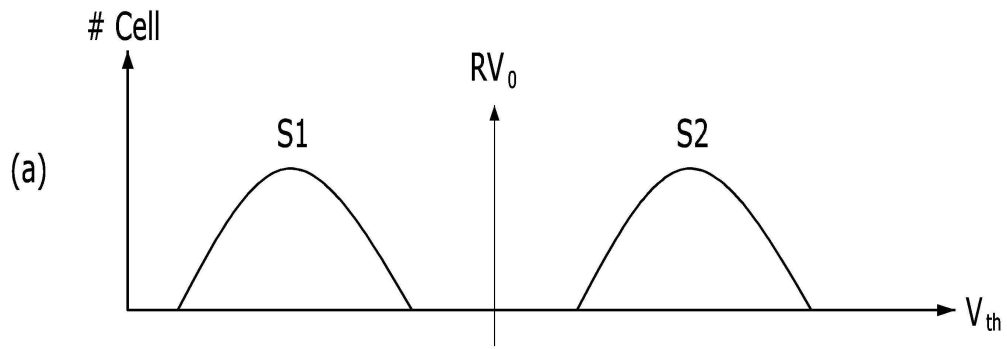
도면4a



도면4b



도면4c



도면5a

510

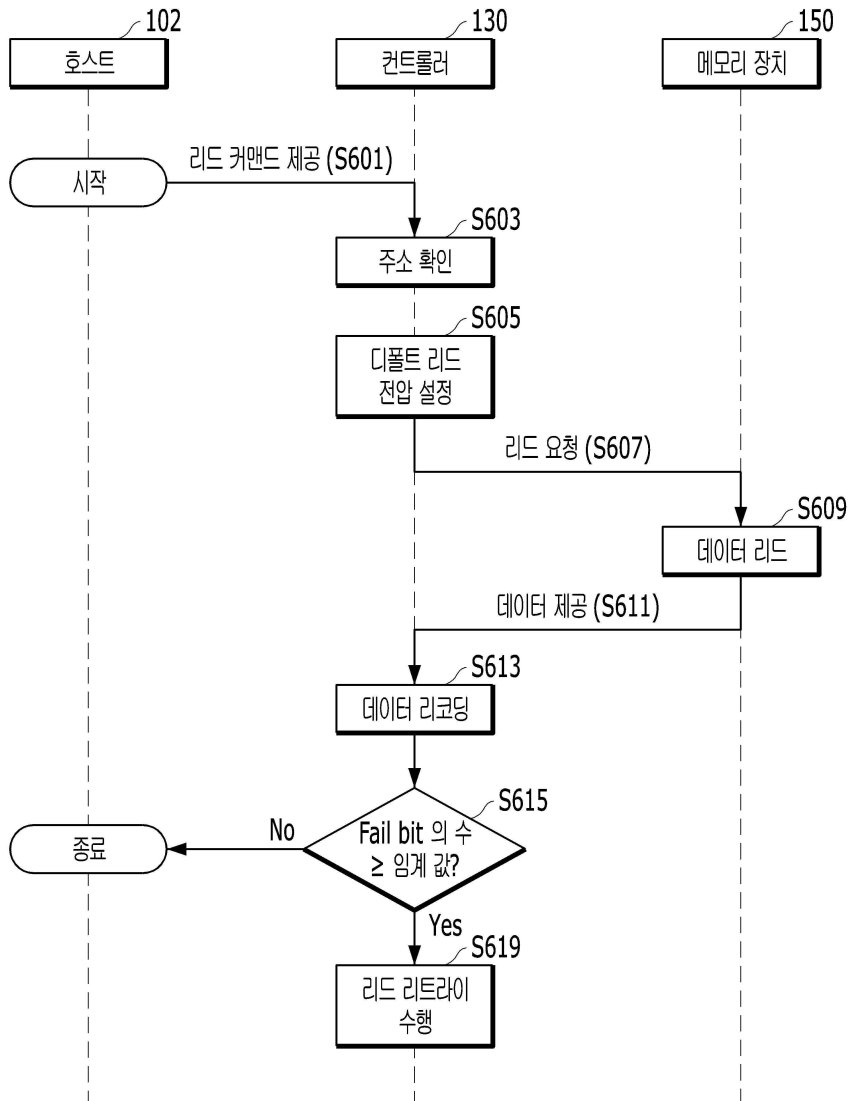
	제 1 위치	제 2 위치	제 3 위치	...	제 K 위치
1월	-3	23	29		
2월	-0.5	23	25		
3월	5	24	25		
4월	12	24	20		
5월	17	25	15		
6월	21	25	+10		
7월	24	26	10		
8월	25	26	8		
9월	20	26	15		
10월	14	27	16		
11월	7	25	20		
12월	0.5	24	21		

도면5b

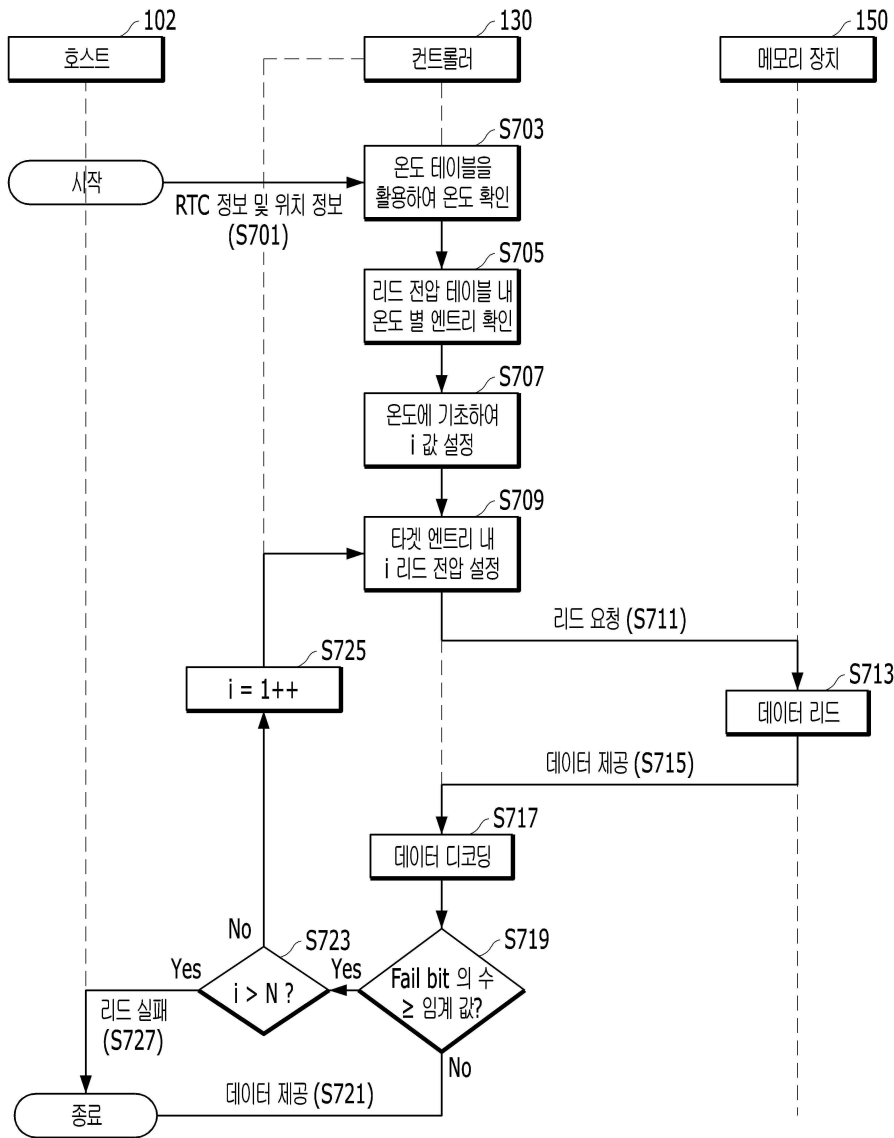
530

온도	Index	RV1	RV2	RV3
$-10^{\circ} \leq T < 0^{\circ}$	1	RV11	RV21	RV31
	2	RV12	RV22	RV32
	3	RV13	RV23	RV33
	⋮			
	N	RV1n	RV2n	RV3n
⋮				
$10^{\circ} \leq T < 20^{\circ}$	1	RV11'	RV21'	RV31'
	2	RV12'	RV22'	RV32'
	3	RV13'	RV23'	RV33'
	⋮			
	N	RV1n'	RV2n'	RV3n'
$20^{\circ} \leq T < 30^{\circ}$	1	RV11''	RV21''	RV31''
	2	RV12''	RV22''	RV32''
	3	RV13''	RV23''	RV33''
	⋮			
	N	RV1n''	RV2n''	RV3n''

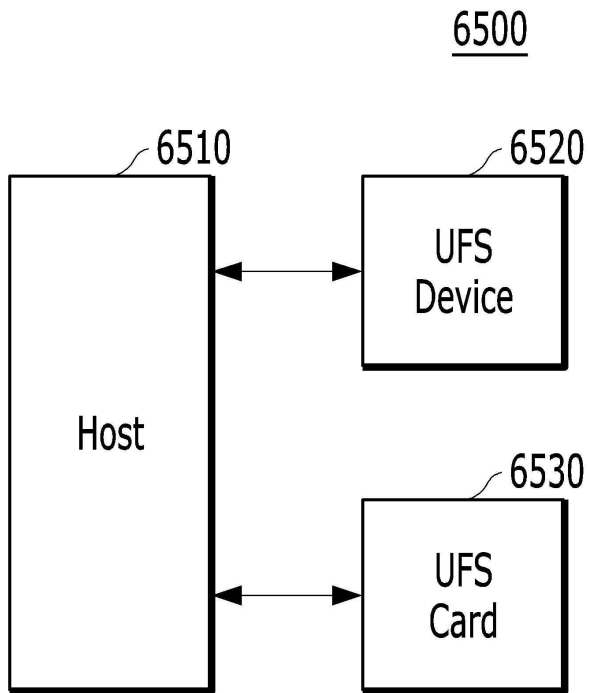
도면6



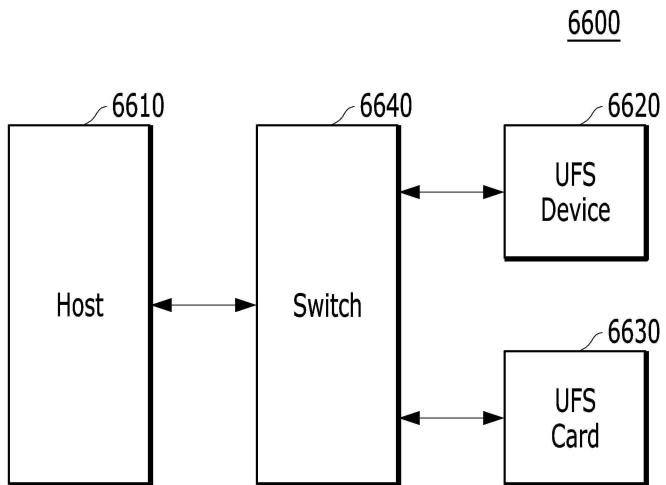
도면7



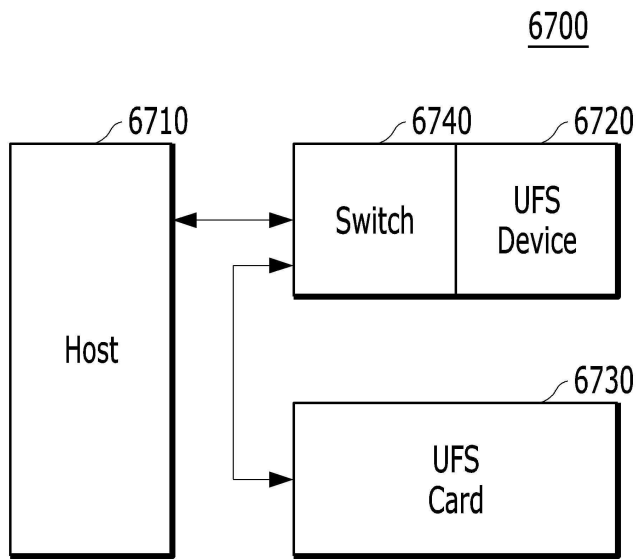
도면8



도면9



도면10



도면11

