

# 公告本

724P07

申請日期	85 年 2 月 26 日
案 號	85102195
類 別	17012 <sup>23</sup> / <sub>52</sub>

A4  
C4

Int.·Cl<sup>6</sup>

313700

(以上各欄由本局填註)

<b>發 明 專 利 說 明 書</b>		
一、發明 名稱	中 文	半導體裝置及其製造方法
	英 文	
二、發明 創作人	姓 名	(1) 福井正博 (2) 瀨川瑞樹 (3) 秋濃俊郎
	國 籍	(1) 日本                      (2) 日本                      (3) 日本
	住、居所	(1) 日本國大阪府羽曳野市惠我之莊六丁目二の一四  (2) 日本國京都府八幡市男山吉井一-三-三〇三  (3) 日本國大阪府高槻市南平台五-二二-二二
三、申請人	姓 名 (名稱)	(1) 松下電器産業股份有限公司 松下電器産業株式会社
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國大阪府門真市大字門真一〇〇六番地
	代 表 人 姓 名	(1) 森下洋一

裝 訂 線

經濟部中央標準局員工消費合作社印製

72487

313700

申請日期	85 年 2 月 26 日
案 號	
類 別	

A4  
C4

(以上各欄由本局填註)

# 發 明 型 專 利 說 明 書

一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	( ) 松元道一
	國 籍	( ) 日本
	住、居所	( ) 日本國大阪府守口市藤田町五-二六-六
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝 訂 線

經濟部中央標準局員工消費合作社印製

724P07

313700

(由本局填寫)

承辦人代碼：
大 類：
IPC分類：

A6  
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權

日本 1995 年 3 月 8 日 7-048063 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

## 五、發明說明(1)

## 〔發明背景〕

本發明係有關於積體半導體元件所成之半導體裝置及其製造方法，尤其有關於提高半導體元件之高積體化，可靠性及節省面積之對策。

在配置了標準格片 ( cell )，閘陣列，顧客格片等之習知半導體裝置之製造製程，若形成構成上述標準格片之電晶體之閘，不純物擴散領域等之後，在其上堆積層間絕緣膜，再在層間絕緣膜上形成鋁配線等之配線構件。其時，若欲形成連接此配線構件與下方閘之接觸構件時，就採用將構成電晶體之閘之閘配線拉出到電晶體之活性領域之外，亦即拉出到元件分離上，而形成以電氣方式連接之此元件分離上之閘配線與上層之配線構件之接觸構件，以實現所需邏輯電路之方法。

圖 1 6 a，1 6 b 係，表示爲了說明實現配置了將圖 1 所示邏輯電路亦即做爲通道電晶體 ( path transistor ) 發揮其功能之 3 個 P 通道型電晶體 1 a ~ 1 c 與做爲通道電晶體發揮功能之 3 個 N 通道型電晶體 2 a ~ 2 c 之邏輯電路而習知所實施之方法所用之圖，而分別概略地表示形成第 1 層鋁配線，第 2 層鋁配線時之構造平面圖。

若欲形成如圖 1 所示之邏輯電路時，如圖 1 6 a 所示，在 P 型半導體基板形成 N 池 1 5，在 N 池 1 5 內形成變成 P 型擴散層 1 4 p 之活性領域，而在沒有形成 N 池之 P 型半導體基板就形成分別圍繞活性領域而由 L O C O S 膜所成之元件分離。並且，在各活性領域分別將由 3 個聚矽

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(2)

膜所成之閘配線 1 1 p a ~ 1 1 p c , 1 1 n a ~ 1 1 n c 形成爲互相朝相同方向 ( 在圖 1 6 a 內爲橫向 ) 。各 1 對閘配線係在元件分離上經由連接部裝置 p d 連接。並且，將此閘配線做爲遮掩而在活性領域內注入不純物，而分別形成 P 型擴散層 1 4 p 及 N 型擴散層 1 4 n 。其後，在閘配線 1 1 p a , …… 1 1 n c 上方經由第 1 層間絕緣膜 ( 沒有圖示 ) 以形成第 1 層鋁配線 1 3 。形成此第 1 層鋁配線 1 3 同時使用相同鋁形成連接各第 1 層鋁配線 1 3 與元件分離上之閘配線之連接裝置 P d , 或各擴散層 1 4 p , 1 4 n 變成各電晶體之源，漏極之領域等部位之 C W 接觸 1 2 。此 C W 接觸 1 2 也可將構成第 1 層鋁配線 1 3 之鋁堆積於接觸孔內來形成，又，也可將鎢等之高熔點金屬埋入於接觸孔內形成。

並且，如圖 1 6 b 所示，經由第 2 層間絕緣膜 ( 沒有圖示 ) 在各第 1 層鋁配線 1 3 上形成 4 個第 2 層鋁配線 1 7 a ~ 1 7 c , 1 7 y 。又，形成將第 2 層鋁配線 1 7 與上述第 1 層鋁配線 1 3 分別連接之 C X 接觸 1 6 。

在圖 1 5 所示 S R A M 電路，也與上述圖 1 6 a , 圖 1 6 b 所示同樣，避開閘 1 1 之不純物擴散領域 1 4 上之部分而在元件分離上之部分設置連接裝置領域 p d , 而使對於此連接裝置領域 p d 接觸於 C W 接觸 1 2 。

又，圖 1 7 係對於圖 1 6 a 所示單閘之構造，而將使用雙閘時形成第 1 層鋁配線時之構造加以簡化表示之平面圖。在雙閘，因使用 N 通道型電晶體 2 a ~ 2 c 之閘配線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

結

## 五、發明說明(3)

1 1 n a ~ 1 2 n c，與 P 通道型電晶體 1 a ~ 1 c 之閘配線 1 1 p a ~ 1 1 p c 之各個含有不同不純物之聚矽，由於，不能直接連接欲擴散物質之相異該 N 通道電晶體之閘配線與 P 通道型電晶體之閘配線之閘。所以，如圖 1 7 所示，經由 C W 接觸 1 2 與第 1 層鋁配線 1 3 進行閘間之連接。

像這樣，由習知上述方法所設計之格片 ( cell )，係格片面積內之約 2 成 ~ 3 成之領域做為形成上述接觸所需之領域來佔有。並且，配置於該接觸之領域，係集中於電晶體之周邊。尤其，具有如圖 1 7 所示雙閘之構造其佔有面積為大。

一般為了進行閘及擴散間之配線，因閘之方向與垂直方向之配線會變多，所以，從接觸抽出之配線為集中，混雜於電晶體周邊，相反地，閘上之領域就沒有供做配線領域做有效地活用。

又，圖 1 8 係裝設習知 M I S F E T 之半導體裝置之縱剖面圖。如該圖所示，在形成於 P 型半導體基板 5 1 之 P 型擴散層 5 2 p 形成 N 通道型電晶體。此時，在由元件分離 5 3 所圍繞之活性領域內，經由閘氧化膜 5 4 形成閘電極 5 5，在其兩側壁將側壁 ( side wall ) 5 7 做為上面分別形成閘上絕緣膜 5 6。又，在閘電極 5 5 之兩側方形成可變成源，漏極功能之 N 型高濃度擴散層 5 8 n。並且，在基板全面上堆積層間絕緣膜 6 3，而在此層間絕緣膜 6 3 分別形成達到閘電極 5 5，各 N 型高濃度擴散層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

製

## 五、發明說明(4)

5 8 n 之接觸孔之後，在接觸孔形成堆積導電性構件所成之接觸構件 6 4，而在層間絕緣膜 6 3 上形成配線構件 6 5。變成此配線構件 6 5 與閘電極 5 5，各 N 型高濃度擴散層 5 8 n 以電氣方式連接之構造。

另一方面，近年，隨著 L S I 之高積體化而更加要求裝置之微細化。為了實現此微細化就需要實現下列事項。

( 1 ) 加工規則之微細化

( 2 ) 光刻製程之對準邊界之縮小

在此，做為第 1 個問題，有關於加工規則之微細化，係由於元件技術之進步，今後預估雖然可能做到順著趨勢之微細化，但是關於對準邊界，係與加工尺寸之微細化相較其微細化之提升高不高，而成為高積體化之阻礙。尤其，在分離絕緣膜上拉出閘配線來形成與閘之接觸時，雖然元件分離寬度由於微細化而縮小，但是，此元件分離寬度之最小規則為閘之接觸周邊之邊界所限制。所以，即使導入溝渠分離等而實現可再縮小元件分離寬度之技術，但也將變成接觸周邊邊界之妨礙而不能做到 L S I 之高積體化之問題愈來愈顯著；

做為第 2 問題，如圖 1 8 所示，在活性領域之閘電極 5 5 上不考慮邊界而形成接觸孔時，為了施加過度蝕刻，從閘電極 5 5 離開之部分為接觸孔底部有時將到達 N 型高濃度擴散領域 5 8 n。這樣的話，經由接觸構件 6 4 可能閘電極 5 5 與 N 型高濃度擴散領域 5 8 n 將發生電氣上短

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

號

## 五、發明說明(5)

路之虞。

### [發明概要]

本發明之第1目的係由於採取提升活性領域之利用效率之手段，來達成縮小半導體裝置之元件分離寬度，而藉此，來縮小半導體裝置之尺寸。

本發明之第2目的係，形成可防止將從具有爲源，漏極功能之不純物擴散領域所拉出之電極與源電極之短路之功能之構件得以安全性地形成之構造，來達成半導體裝置尺寸之縮小與提高其可靠性。

又，本發明之第3目的係提供一種做爲完成品之半導體裝置可縮小其尺寸之母片(master slice)狀態之半導體裝置。

爲了達成上述目的，有關本發明之第1半導體裝置係備有；半導體基板，與形成於上述半導體基板之一部分之元件分離，與由上述半導體基板之上述元件分離所圍繞領域所形成之活性領域，與跨越上述活性領域及上述元件分離所形成之上述活性領域上做爲閘電極功能之第1導電性構件，與堆積於上述活性領域，上述元件分離及上述第1導電性構件上之層間絕緣膜，貫通上述層間絕緣膜而能夠到達於上述活性領域上之上述導電性構件上面所形成之接觸孔，與埋填上述接觸孔之導電性材料所構成對於上述第1導電性構件以電氣性連接之接觸構件，與形成於上述接觸構件及層間絕緣膜上而與上述接觸構件以電氣性地連接

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(6)

之第 2 導電性構件。

藉此構成，於活性領域上之第 1 導電性構件上面，經由接觸構件而與上層之第 2 導電性構件進行接觸，所以，可提升活性領域之利用效率，而與分量可降低元件分離上之第 1 導電性構件所需做為接觸之空間。所以，元件分離領域之面積就減少，而可做到半導體裝置尺寸之縮小。

於第 1 半導體裝置，可將與上述第 1 導電性構件之上述接觸構件接觸部位之間長向之尺寸，變成沒有對準遮掩邊界之尺寸。

藉此構成，在第 1 導電性構件沒有設置為了接觸所需之對準遮掩之邊界，將不需要如習知之接合裝置，其分量也可靠齊第 1 導電性構件互相之間隔，並且，各第 1 導電性構件將變成有規則性之形狀。所以，可縮小半導體裝置本身之尺寸。

於第 1 半導體裝置，可將上述接觸孔之間長向尺寸，成為較上述第 1 導電性構件之間長向之尺寸為大。

藉此構成，因可將第 1 導電性構件之間長向尺寸變成更小，所以，也可減少活性領域之面積，而可更加縮小半導體裝置之尺寸。又，即使形成接觸孔時發生遮掩偏離，也可確實地進行第 1 導電性構件與接觸構件之接觸。

於上述第 1 半導體裝置，將上述第 1 導電性構件，互相平行地排列形成複數支，而將上述第 2 導電性構件，對於上述第 1 導電性構件在平面視野內分別直交地形成了複數支。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

號

## 五、發明說明(7)

上述各第 2 導電性構件之長度為大致成為共通尺寸較佳。

藉此等之構成，由於第 1，第 2 導電性構件將會變成規則性之形狀，所以，可提升光刻製程之圖樣形成精度。因此，就可靠齊各導電性構件之間隔，而可縮小半導體裝置之尺寸。

在上述第 2 導電性構件上方可裝設經層間絕緣膜所形成之配線功能之第 3 導電性構件。

藉此構成以電氣性連接第 1 導電性構件或活性領域間之手段就變成豐富，而設計之自由度將可擴大。

藉此就可再裝設形成於上述第 1 導電性構件上方且上述第 2 導電性構件下方，而將上述半導體元件之活性領域，閘電極等互相連接所需之局部電線。

藉此構成，只將局部配線連接各構件間之分量可減少上層之配線數。又，也不需要形成貫通層間絕緣膜而到達不純物擴散領域等之接觸孔。所以，可減少各構件之對準遮掩邊界，而可縮小半導體裝置之尺寸。

又，第 2 半導體裝置係備有：半導體基板，與形成於上述半導體基板一部分之元件分離，與由上述半導體基板之上述元件分離所圍繞領域所形成之活性領域，與跨越上述活性領域及上述元件分離所形成在上述活性領域上做為閘電極功能之第 1 導電性構件，與堆積於上述元件分離及上述第 1 導電性構件上之層間絕緣膜，與貫通上述層間絕緣膜而形成為到達上述元件分離上之上述導電性構件上面

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(8)

，具有較上述第1導電性構件之開長向尺寸更大開長向尺寸之接觸孔，與埋填上述接觸孔而對於上述第1導電性構件以電氣性地連接之接觸構件，與形成於上述接觸構件及層間絕緣膜上而與上述接觸構件連接之第2導電性構件。

藉此構成，即使發生形成接觸孔時之遮掩偏離，也可在元件分離領域上確實地進行第1導電性構件與接觸構件之連接。由於不必設置對於第1導電性構件對準遮掩所需之邊界，所以，可減少元件分離領域之面積。

爲了達成上述目的，第3之半導體裝置係備有：半導體基板，與形成於上述半導體基板之一部分之元件分離，與由上述半導體基板之上述元件分離所圍繞領域而形成之活性領域，與形成於上述活性領域上之上述半導體元件之閘電極，與在上述活性領域之上述閘電極之兩側方導入不純物所形成之不純物擴散領域，與形成於上述閘電極兩側面上之絕緣性材料所成之第1絕緣膜，與鄰接於上述第1絕緣膜而覆蓋上述不純物擴散領域所形成，接觸於上述第1絕緣膜之薄膜部與從此薄膜部具階梯差變厚之厚膜部所成拉出電極，與從上述拉出電極之階梯差側壁跨越上述第1絕緣膜所形成之第2絕緣膜。

於第3半導體裝置，係可再裝設上述閘電極，拉出電極，堆積於第1絕緣膜及第2絕緣膜上方之層間絕緣膜，與貫通上述層間絕緣膜至少到達上述閘電極上面之接觸孔，與對於由埋填上述接觸孔之導電性材料所構成之上述電極以電氣性地連接之接觸構件，與對於形成於上述接觸構

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

茲

## 五、發明說明(9)

件及上述層間絕緣膜上之上述接觸構件以電氣性地連接之配線構件。

由於這些構成，因拉出電極之一部分為與不純物擴散領域接觸，所以，廣泛地確保了與上方配線構件之接觸領域。另一方面，由近於拉出電極之閘電極之側，因形成有第2絕緣膜，所以，可保持拉出電極與閘電極之絕緣性。並且，變成可將第2絕緣膜形成為自行對準性之構造，而可縮小半導體裝置之尺寸，並且，可提高其可靠性。

上述第2絕緣膜，係採用對於上述層間絕緣膜之蝕刻選擇比高之材料來構成較佳。

將上述第2絕緣膜及層間絕緣膜以矽氧化膜構成，而將上述第2絕緣膜由矽氮化膜來構成較佳。

由於這些構成，若對於層間絕緣膜形成接觸孔時，由於做為第2絕緣膜之蝕刻停止作用之功能會變成很高，所以，可確實地防止經由閘電極與第1導電性構件間之接觸構件之閘電極與拉出電極之短路。

於上述第3半導體裝置，可再設上述閘電極，拉出電極，第1絕緣膜及堆積於第2絕緣膜上方之層間絕緣膜，與貫通上述層間絕緣膜而到達於上述元件分離上之上述拉出電極上面之接觸孔，與對於由埋填上述接觸孔之導電性材料所構成之上述拉出電極以電氣性地連接之接觸構件，與形成於上述接觸構件及上述層間絕緣膜上而與上述接觸構件以電氣性地連接之第2配線構件。

藉此構成，因第1接觸構件與第2接觸構件之間隔可

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

結

## 五、發明說明(10)

確保寬廣，所以，其分量可縮小不純物擴散領域，並且，可靠性也可提高。

於上述第3半導體裝置，裝設複數個上述活性領域，將形成於上述各活性領域之上述拉出電極之至少1個，於上述複數之活性領域中之至少2個相鄰接之活性領域，可跨越夾住上述元件分離之2個不純物擴散領域加以形成。

藉此構成，經由拉出電極，對於共通地連接之各不純物擴散領域不必個別地裝設第2接觸構件，所以，其分量可縮小半導體裝置之尺寸，並且，可提升其可靠性。

於上述第3之半導體裝置，再裝設形成於上述閘電極上之閘上絕緣膜，將位於上述閘電極兩側之上述各拉出電極，分別形成於上述第1絕緣膜之大致全面上，而也可構成爲將上述各拉出電極之端部間之間隙爲由上述第2絕緣膜埋設。

藉此構成，不使用之閘電極之絕緣性係由第2絕緣膜所確保。

於上述第3之半導體裝置，設置複數個上述活性領域，形成於上述各拉出電極上之第3絕緣膜，與上述第1，第2及第3絕緣膜之上，且在層間絕緣膜下方，可再裝設將上述各不純物擴散領域，閘電極等互相連接所需之局部配線。

可構成爲，上述局部配線爲至少在1處跨越上述閘電極之上方。

由於這些構成，只將局部配線連接各構件間之分量，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

## 五、發明說明(11)

可減少上層之配線數。又，也不必形成貫通層間絕緣膜而到達不純物擴散領域等之接觸孔。因此，可以減少各構件之對準遮掩邊界，而可減少半導體裝置之尺寸，並且，也可提升可靠性。

爲了達成上述第3目的，第4半導體裝置係備有；半導體基板，與形成於上述半導體基板一部分之元件分離，與由上述半導體基板之上述元件分離所圍繞之領域所形成之複數活性領域，與於上述各活性領域跨越上述減低領域及上述元件分離所形成之上述活性領域上做爲閘電極功能之導電性構件，與於上述各活性領域形成於上述導電性構件兩側之2個不純物擴散領域，上述各不純物擴散領域，係從接觸於上述導電性構件之部分向兩側與上述導電性構件平行地延伸後，爲了鄰接之不純物擴散領域互相不接觸在先端彎曲，而此被彎曲之先端部爲變成與上層配線之接觸部。並且，此半導體裝置將變成母片之功能。

又，亦可將做爲母片功能之半導體裝置構成爲如下。

備有半導體基板，與形成於上述半導體基板一部分之元件分離，與由上述半導體基板之上述元件分離所圍繞領域所形成之複數活性領域，與於上述各活性領域跨越上述活性領域及上述元件分離互相平行地延伸所形成而在活性領域上做爲閘電極功能之複數導電性構件，與形成在上述各活性領域於上述各導電性構件間與兩端導電性構件與元件分離間之複數不純物擴散領域，上述各不純物擴散領域中之至少兩側之2個不純物擴散領域，係從接觸於上述導

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(12)

電性構件之部分在兩側與上述導電性構件平行地延伸後，爲了鄰接之不純物擴散領域互相不接觸而在先端被彎曲，而此被彎曲之先端部就變成與上層配線之接觸部。

將上述各導電性構件間之不純物擴散領域，從接觸於上述導電性構件之部分在兩側向上述導電性構件平行地延伸後，爲了互相不接觸於鄰接之不純物擴散領域而在先端被彎曲，而此被彎曲之先端部可構成爲與上層配線之接觸部。

藉此構成，做爲母片功能之半導體裝置，採取不純物擴散領域與上層之配線之連接所用之接觸領域，爲形成於侵入於元件分離側之擴散領域之先端部，所以，可將在互相鄰接之活性領域間互相連接各擴散領域所用之配線長度變短。並且，不純物擴散領域之先端部爲了不互相干擾而彎曲，所以，可將活性領域及元件分離全體之面積變成非常小。

上述活性領域，係可再裝設堆積於上述導電性構件及上述元件分離上之層間絕緣膜，與貫通上述層間絕緣膜而到達在上述活性領域上之上述導電性構件之接觸孔，與埋填上述各接觸孔之導電性材料所構成之上述導電性構件以電氣性地接觸之接觸構件，與形成於上述層間絕緣膜及上述接觸構件上之上述接觸構件以電氣性地連接之配線構件。

藉此構成，由於在活性領域上之閘電極上面連接接觸構件，所以，可再減少元件分離之面積。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(13)

又，具有上述第3半導體裝置構成之半導體裝置，係由下面之製造方法就可容易形成。

基本上之半導體裝置之製造方法，係備有：在半導體基板上形成至少圍繞1個活性領域之元件分離之第1製程，與在上述活性領域上形成閘電極及閘上絕緣膜之第3製程，與在位於上述半導體基板之上述閘電極之兩側方之領域導入不純物以形成不純物擴散領域之第3製程，與上述第3製程之後，在基板上堆積絕緣膜之後進行各方異向性蝕刻，在上述閘電極及上述閘上絕緣物之兩側面上形成第1側壁之第4製程，與上述第4製程之後，在基板上集積導電性膜後將此導電性膜做形成圖樣，在覆蓋上述不純物領域之領域，形成接觸於上述第1側壁之薄膜部與從此薄膜部以階梯差變厚之厚膜部所成之拉出電極之第5製程，與上述第5製程之後，在基板上堆積絕緣膜後，進行各向異性蝕刻，形成從上述拉出電極之階梯差側壁跨越上述第1側壁之第2側壁之第6製程。

上述第6製程之後，可再備有在基板上堆積層間絕緣膜之製程，與貫通上述層間達到絕緣膜而形成在上述活性領域上之上述閘電極上面之接觸孔之製程，在上述接觸孔內及上述層間絕緣膜上堆積導電性膜之後，將此導電性膜形成圖樣，而形成埋填上述接觸孔之接觸構件與連接於該接觸構件之配線構件之製程。

上述第6製程之後，亦可備有：在基板上堆積層間絕緣膜之製程，與形成貫通上述層間絕緣膜而達到上述拉出

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

號

## 五、發明說明(14)

電極上面之接觸孔之製程，與上述接觸孔內及在上述層間絕緣膜上堆積導電性膜後，將此導電性膜形成圖樣，而形成埋填上述接觸孔之接觸構件與連接該接觸構件之配線構件之製程。

上述第 1 製程係形成區隔複數活性領域之元件分離，在上述第 5 製程係，於上述複數之活性領域中之至少 2 個互相鄰接之活性領域，在相鄰接之 2 個不純物擴散領域上與各不純物擴散領域之元件分離之上可形成拉出電極。

在上述第 5 製程，係將上述閘電極兩側之上述拉出電極，分別能夠及於上述各第 1 絕緣膜之大約全面上，且可形成圖樣使各拉出電極間之間隙於上述第 6 製程變成可由第 2 側壁埋入之數值。

上述第 6 製程之後，也可再備有；上述閘電極，形成將不純物擴散領域等互相連接之局部配線之製程，在形成上述局部配線之基板上堆積層間絕緣物之製程，與形成貫通上述層間絕緣膜而到達上述局部配線上面之接觸孔之製程，與在上述接觸孔內及上述局部配線上堆積導電性膜之後，將此導電性膜形成圖樣，形成埋填上述接觸孔之接觸構件與連接於該接觸構件之配線構件之製程。

## 〔圖式之簡單說明〕

圖 1 係有關第 1 實施例之 CMOS 邏輯電路圖。

圖 2 a，2 b 係表示爲了實現圖 1 所示 CMOS 邏輯電路所需有關第 1 實施例而形成半導體裝置之閘，鋁配線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(15)

時之狀態之平面圖。

圖 3 a, 3 b 係表示使用有關第 2 實施例之半導體裝置之局部互相連接器而與閘直交之配線，形成鋁配線時之狀態之平面圖。

圖 4 a, 4 b 係有關第 3 實施例之通通電晶體電路之電路圖及實現此配圖所用之半導體裝置之平面圖。

圖 5 a, 5 b 係表示有關第 4 實施例之閘陣列之母片及施加於母片上之配線圖樣之例之平面圖。

圖 6 a, 6 b 係表示具有有關第 4 實施例之其他構成之閘陣列之母片及施加於母片上之配線圖樣之例之平面圖。

圖 7 係有關第 5 實施例實現 S R A M 電路所用之半導體裝置之平面圖。

圖 8 係將有關實現 S R A M 電路所用之閘尺寸加以規則化所成之半導體裝置之平面圖。

圖 9 a ~ 9 f 係表示有關第 6 實施例之半導體裝置之製造製程之構造變化之剖面圖。

圖 10 a ~ 10 c 係表示有關第 7 實施例之半導體裝置之製造製程中到形成拉出電極製程之構造變化之剖面圖。

圖 11 a ~ 11 c 係表示有關第 7 實施例如之半導體裝置之製程中，形成了變成第 2 側壁之矽氮化膜後製程之構造變化之剖面圖。

圖 12 a ~ 12 c 係表示有關第 8 實施例之半導體裝

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

## 五、發明說明(16)

置之製造製程中到形成第2側壁後之製程之構造變化之剖面圖。

圖13a, 13b係表示有關第8實施例如之半導體裝置之製造製程中形成局部配線後之製程之構造變化之剖面圖。

圖14a~14c係表示有關第9實施例之半導體裝置之製造製程之構造變化之剖面圖。

圖15係爲了實現SRAM電路所用之習知半導體裝置之平面圖。

圖16a, 16b係表示爲了實現圖1所示CMOS邏輯電路所用形成習知半導體裝置之閘, 鋁配線狀態之平面圖。

圖17係具有雙閘構造之習知半導體裝置之平面圖。

圖18係表示習知半導體裝置之基本構造之縱剖面圖。

[較佳實施例之說明]

(第1實施例)

茲就本發明之第1實施例說明如下。圖1係表示有關第1實施例之半導體裝置之格片(cell)之電路, 圖2a, 2b係將分別形成具有圖1所示電路構成之格片之第1層鋁配線, 第2層鋁配線時之半導體裝置構造之簡化表示之平面圖。

圖1係表示3個P通道型電晶體1a~1c, 與配置

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

系

## 五、發明說明(17)

了 3 個 N 通道型電晶體 2 a ~ 2 c 之 C M O S 邏輯電路之例。

如圖 1 所示，若欲形成邏輯電路時，如圖 2 a 所示，在 P 型半導體基板形成 N 池 1 5，在 N 池 1 5 內將形成 P 型電晶體所需之活性領域，而在沒有形成 N 池 1 5 內形成 P 型半導體基板將形成 N 通道型電晶體所需之活性領域分別加以圍繞之 L O C O S 膜所成之元件分離。但是，圖 2 a 所示圖樣之周圍係雖然為半導體基板，但是方便上省略了圖示。並且，在各活性領域分別將由 3 個聚矽膜所成之閘配線 1 1 p a ~ 1 1 p c，1 1 n a ~ 1 1 n c 形成為互相向同樣方向（在圖 2 a 為橫向）排列。並且，將此閘配線 1 1 p a ~ 1 1 p c，1 1 n a ~ 1 1 n c 做為遮掩而在活性領域內注入不純物，而分別形成 P 型擴散層 1 4 p 及 N 型擴散層 1 4 n。其後，在閘配線 1 1 p a ~ 1 1 p c 上方經由第 1 層間絕緣層（沒有圖示）形成各閘配線直交之 5 個之第 1 層鋁配線 1 3 p a，1 3 p b，1 3 p c，1 3 v d，1 3 p y。又，在閘配線 1 1 n a ~ 1 1 n c 上方，同樣經由第 1 層間絕緣膜形成直交於各閘配線之 5 個第 1 層鋁配線 1 3 n a，1 3 n b，1 3 n c，1 3 n y，1 3 g r。並且，形成此第 1 層鋁配線的同時同樣使用鋁分別形成連接各第 1 層鋁配線 1 3 p a，…… 1 3 p y 與閘配線 1 1 p a ~ 1 1 p c 之活性領域上之一個部位及 P 型擴散層 1 4 p 之 2 個部位所需之 C W 接觸 1 2 p a，1 2 p b，1 2 p c，1 2 v d

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

台

## 五、發明說明(18)

，1 2 p y。又，也形成從各第 1 層鋁配線 1 3 n a，…  
… 1 3 g r 連接於閘配線 1 1 p a ~ 1 1 p c 之活性領域  
上之一部位及 N 型擴散層 1 4 n 之 2 個部位之 C W 接觸  
1 2 n a，1 2 n b，1 2 n c，1 2 n y，1 2 g r。  
但是，在各接觸之形成部位，形成有事先貫通第 1 層間絕  
緣膜之接觸孔。此 C W 接觸 1 2 也可以成爲構成第 1 層鋁  
配線 1 3 之鋁堆積於接觸內來形成，又，也可以將鎢等之  
高熔點金屬埋填於接觸孔內來形成。

並且，如圖 2 b 所示，經由第 2 層間絕緣膜（沒有圖  
示）形成直交於各第 1 層鋁配線 1 3 p a，… … 1 3 g r  
之 4 個第 2 層鋁配線 1 7 a，1 7 b，1 7 c，1 7 y。  
此時，形成此第 2 層鋁配線同時使用相同之鋁形成分別連  
接第 2 層鋁配線 1 7 a，… … 1 7 y 與上述第 1 層鋁配線  
1 3 p a，1 3 p b，1 3 p c，1 3 p y，1 3 n y，  
1 3 n c，1 3 n a s，1 3 n b 之 C X 接觸 1 6 p a，  
1 6 p b，1 6 p c，1 6 p y，1 6 n y，1 6 n c，  
1 6 n a，1 6 n b。

並且，如圖 1 所示，由上述圖 2 a，圖 2 b 所示各鋁  
配線，連接於各電晶體 1 a ~ 1 b 及 2 a ~ 2 b 之閘，源  
，漏極間。按，如圖 1 所示，電晶體 1 c 之源極，與電晶  
體 2 c 之漏極，係經由 2 個第 1 層鋁配線 1 3 p y，  
1 3 n y 及第 2 層鋁配線 1 7 y 加以連接。又，供應各電  
晶體 1 a，1 c 之漏極與電源電壓 V D D 之電源側係經由  
第 1 層鋁配線 1 3 v d 連接，而各電晶體 2 a，2 b 之源

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

裝

## 五、發明說明(19)

與接地側係經由第 1 層鋁配線 1 3 g r 連接。

按，與本實施例另外之方法，也可使用格片外之領域，由第 1 層鋁配線連接。選擇那一種，係依格片間之配置配線方法，或可使用之配線層數目而異。

於本實施例之圖 2 b 所示構造，係連接第 1 層鋁配線 1 3 與閘配線 1 1 間之 C W 接觸 1 2，為在位於閘配線 1 1 之活性領域上之部位接觸於閘配線 1 1。並且，在接觸位置之閘配線 1 1，如習知半導體裝置之構造（參照圖 1 6 a，圖 1 6 b）沒有形成變成形成接觸時之對準遮掩之邊界之連接裝置 p d。因此，藉變成如本實施例之構造，可非常有效率地使用格片之活性領域上，其結果，就可縮小元件分離寬度。並且，因可在格片之各邊拉出配線用之連接端子，所以，也可有效率地進行格片間之配置配線。

尤其使用雙閘時，由於形成電晶體之領域外欲形成圖樣時之條件大致全面性地變成均勻，所以容易做微細加工。亦即，如在上述所示習知構造，在形成電晶體之活性領域以外之領域不必形成互相連接性質相異之閘所用之接觸。所以，可將配線間隔與習知布局構造做比較約可變小 1 成，而可更加減少格片面積。

在此，為了表示由本實施例之佔有面積之削減效果所進行之測試說明如下。若依據上述習知構造（參照圖 1 6 b）之電路面積與依本實施例之構造（參照圖 2 b）之電路面積做比較時，使用相同設計規則時在圖 2 b 所示

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

寫

### 五、發明說明(20)

本發明之構造係 5 4 0 0 單位 ( 1 3 5 × 4 0 節距 ) ，圖 1 6 b 所示習知構造為 6 8 2 5 單位 ( 1 0 5 × 4 0 節距 ) ，具有如圖 1 7 所示雙閘習知構造為具有 7 8 0 0 單位 ( 1 2 0 × 4 0 節距 ) 。本實施例之半導體裝置之構造，係與習知半導體裝置之構造比較曉得了可削減 2 0 % 至 3 0 % 程度之佔有面積。

並且，圖 1 之例，大致全面有規則性地形成聚矽，第 1 層鋁配線，第 2 層鋁配線，但是，這與習知不規則之陣列構造相較，因可提升光刻時之形成圖樣之精度，所以可減小邊界尺寸，具有更加減少佔有面積之效果。

#### ( 第 2 實施例 )

茲就第 2 實施例，參照圖 3 a 及圖 3 b 說明如下。圖 3 a 及圖 3 b 係替代第 1 實施例之圖 2 a ， 2 b 所示第 1 層鋁配線使用局部互連連接器 1 8 p a ， … … 1 8 g r 而實現了與閘直交方向之配線，並且，替代圖 2 a ， 2 b 所示第 2 層鋁配線使用第 1 層鋁配線 1 3 a ， … … 1 3 y 時之半導體裝置之構造加以簡化表示之平面圖。此局部互連連接器 1 8 之下方為沒有形成層間絕緣膜。並且，C W 接觸 1 2 係在閘配線 1 1 上之絕緣膜所開口部位進入了局部互連連接器 1 8 而變成與閘配線 1 1 接觸之部分。按，於圖 3 a ， 3 b ，與圖 1 相同構件省略了符號之圖示。

如圖 3 a ， 3 b 所示，在本實施例係由局部互連連接器，不經由層間絕緣膜就連接電晶體之各部，所以，與第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

## 五、發明說明(21)

1 實施例之構造比較，減少配線層就可實現相同功能。並且，不必在不純物擴散領域經由層間絕緣膜形成接觸孔，所以，可減少不純物擴散領域之面積，而可縮小半導體裝置之尺寸。

### (第3實施例)

茲參照圖4 a及圖4 b說明第3實施例如下。圖4 a係有關第3實施例之半導體裝置內之通道電晶體電路之電路圖，圖4 b係爲了實現圖4 a所示電路所用之半導體裝置之平面圖。圖4 b係表示形成第1層鋁配線時之狀態，而省略了形成第2層鋁配線時之狀態。

在本實施例係各通道電晶體係全部N通道型電晶體2 a ~ 2 h。如圖4 a所示，通道電晶體依據2點之間是否導通來實現邏輯之電路，並且由串聯連接與並聯連接之組合所實現之電路。該通道電晶體之布局係如圖4 b所示，對應於各個串聯之通路而製作擴散島1 4 v ~ 1 4 z，而將擴散島1 4 v ~ 1 4 z內之源極與漏極利用於不純物擴散領域連接。此通路電晶體係供做靜態或動態邏輯電路之一部分或通路邏輯電路之一部分使用。並且，即使在這種電路，也與上述第1實施例同樣，可縮小半導體裝置之尺寸。

### (第4實施例)

茲參照圖5 a，圖5 b及圖6 a，圖6 b說明如第4

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

號

## 五、發明說明(22)

實施例如下。

圖 5 a 及圖 5 b，係表示有關於本實施例之閘陣列之母片之平面圖及在母片上形成鋁配線方法之例之平面圖。如圖 5 a 所示，本實施例之母片係具有 2 種類之聚矽閘 1 1 n 及 1 1 p，與複數之擴散島 1 4 p v ~ 1 4 p y 及 1 4 n v ~ 1 4 n y。並且，在上述 1 4 p v ~ 1 4 p y 及 1 4 n v ~ 1 4 n y 形成電晶體之閘。又，在各個擴散島 1 4 p v ~ 1 4 p y 及 1 4 n v ~ 1 4 n y，設置有從各閘側方之不純物擴散領域沿著閘延伸之拉出部。並且，在此拉出部，裝設有爲了連接相鄰接擴散島之不純物擴散領域間而裝設接觸所需之接觸形成領域 2 0。在本實施例，雖然只表示了基本上之布局構造，但是，依據製程之性質，也可確保使基板電壓安定所需之接觸等所形成之領域。圖 5 b 係將圖 1 a 所示 C M O S 邏輯電路實現於表示於圖 5 a 所示母片上之例。藉由形成於需要 C W 接觸 1 2，與第 1 層鋁配線 1 3 之處就可形成具有所需功能之半導體電路。例如，在擴散島 1 4 p v 與擴散島 1 4 p w 之各接觸形成領域 2 0 上，形成連接於電源之第 1 層鋁配線 1 3 v d 或連接於接地之第 1 層鋁配線 1 3 g r，而就容易由 C W 接觸 1 2 連接。

圖 6 a 及圖 6 b 係具有圖 5 a，圖 5 b 相異構成之閘陣列之母片與在此母片上形成第 1 層鋁配線 1 3 之平面圖。於圖 6 a，6 b，所有電晶體爲 N 型，爲了能夠有效率地實現串聯之電晶體在閘間之不純物擴散領域沒有設置拉

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

綉

### 五、發明說明(23)

出部。爲了連接擴散島互相之間所需之構造係與上述圖 5 a，圖 5 b 所示構造相同。如圖 6 b 所示，因裝設不使爲電晶體使用而跨越閘之局部配線 2 1，就可使閘兩側之不純物擴散領域互相加以短路。

#### (第 5 實施例)

茲參照圖 7 及圖 8 說明第 5 實施例如下。圖 7 及圖 8 係表示在不純物擴散領域 1 4 上之閘 1 1 接觸從上層之第 1 層鋁配線 1 3 之 C W 接觸 1 2 a 之 S R A M 電路之平面圖。接觸中，具有接觸於跨越閘 1 1 之不純物擴散領域 1 4 與元件分離上部分之 C W 接觸 1 2 b，或接觸於閘 1 1 完全位於元件分離上之部分具有 C W 接觸 1 2 c。但是，任何情形，在閘 1 1 都沒有設置對於接觸構件 1 2 之對準遮掩所需之邊界即連接領域裝置。

像這樣，將 C W 接觸 1 2 接觸於位於閘之元件分離上之部分時，也藉不設置對準遮掩之邊界就可減少電路之佔有面積。圖 7 所示，S R A M 電路時，與上述圖 1 5 所示習知 S R A M 電路相較，可減少約略 2 成之佔有面積。按，從圖 7 就可容易了解，藉閘配線 1 1 寬度不超過接觸構件 1 2 寬度，就可再減少半導體電路之佔有面積。

又，在圖 8 所示圖樣，由於將各第 1 層鋁配線 1 3 之長度變成均勻，就可較具有圖 7 所示圖樣之半導體電路更加減少約 1 成之佔有面積。其理由係欲將具有規則性圖樣之配線蝕刻時，因不容易發生光刻製造之抗蝕劑之蝕刻不

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

新

## 五、發明說明(24)

良，所以，可減少鋁配線間之邊界所致。

## (第6實施例)

茲就第6實施例參照圖9 a ~ 圖9 f 說明如下。圖9 a ~ 圖9 f 係表示在閘電極上具有接觸之N通道型MOS電晶體製程之構造變化之縱剖面圖。

首先，如圖9 a 所示，在P型矽基板5 1 之上，首先形成P型擴散層5 2 p 之後，形成從厚度約5 0 0 n m 之LOCOS膜所成之元件分離5 3。並且，由元件分離5 3 所圍繞之活性領域之半導體基板上形成厚度約7 n m 之閘氧化膜5 4 之後，藉減壓CVD法堆積厚度約為2 5 0 n m 之聚矽膜，例如實施使用 $POCl_3$ 之擴散製程在聚矽膜中導入N型不純物之磷。並且，例如，堆積厚度為1 5 0 n m 之HTO膜。此HTO膜係在以後之形成側壁時使用背面侵蝕(etch back)法而蝕刻氧化膜時，使構成閘電極之聚矽膜上面不露出加以保護。接著，形成抗蝕遮掩之後(沒有圖示)，使用乾蝕刻技術而進行聚矽膜及HTO膜之蝕刻，進行閘電極5 5 及閘上絕緣膜5 6 之蝕刻。接著，形成厚度為1 0 0 n m 之矽氧化膜之後，使用背面蝕刻法蝕刻氧化膜，來形成第1側壁5 7。此時，由閘上絕緣膜5 6 來保護閘電極5 5，所以，藉通常所進行之20%程度之超蝕刻，構成閘電極5 5 之聚矽膜之表面不至於露出。接著，形成所需之抗蝕遮掩(沒有圖示)之後，將抗蝕遮掩及閘電極做為遮掩，在P型擴散

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

封

## 五、發明說明(25)

膜 5 2 p 中，使用離子注入法注入 N 型不純物之砷離子（加速能量 4 0 k e V，劑量  $5 \times 1 0^{15} \text{ cm}^{-2}$ ），形成 N 型擴散層 5 8 n。亦即，由變成閘電極 5 5，閘氧化膜 5 4 及源，漏極之 N 型高濃度擴散層 5 8 n，形成 N 通道型 M O S 電晶體。

接著，如圖 9 b 所示，例如使用 C V D 法將厚度為 3 0 0 n m 之鎢膜 5 9 a 埋填成可直接接觸於 N 型高濃度擴散層 5 8 n。此時，N 型高濃度擴散層 5 8 n 上之鎢膜 5 9 a 之最大膜厚，係由於具有閘電極之階梯差所以具有約 5 0 0 n m，與閘電極上之膜厚相較變厚。並且，形成厚度為 2 0 0 n m 之矽氧化膜 6 0 a。

接著，如圖 9 c 所示，將使用閘電極 5 5 及其側方之所定領域上方部分開口之抗蝕遮掩 6 1，侵蝕矽氧化膜 6 0 a 及鎢膜 5 9 a，來形成從源，漏極之拉出電極 5 9 及電極上絕緣膜 6 0 之圖樣。此時，在位於從源，漏極之拉出電極 5 9 之 N 型高濃度擴散層 5 8 n 上之部位，係鄰接於第 1 側壁 5 7 之薄膜部 5 9 x，與夾住此薄膜部 5 9 x 對峙於第 1 側壁 5 7 之側壁部 5 9 y，與形成從側壁部 5 8 y 上端延伸於元件分離 5 3 側之厚膜部 5 8 z 所成之階梯差。按，在本實施例，在位於拉出電極 5 9 之元件分離 5 3 上也形成階梯差部，在端部形成在薄膜部 5 9 w。

像這樣，將拉出電極 5 9 之閘電極側之端部厚度變成第 1 側壁 5 7 高度以下，並且，若欲 N 型高濃度擴散層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

綉

## 五、發明說明(26)

5 8 n 表面不露出，則進行蝕刻量之控制。例如由於將鎢膜 5 9 a 之蝕刻量變成約 4 0 0 n m，邊去除位於構成拉出電極 5 9 之鎢膜 5 9 a 之間電極 5 5 上部分，將拉出電極 5 9 之薄膜部 5 9 x 之厚度可變成 1 0 0 n m。又，做為抗蝕遮掩 6 1 之開口領域之寬度，係較間電極 5 5 之長度設計成變成 0.4  $\mu$  m 程度更寬較佳。若設定為較此更窄時，以後所形成之第 2 側壁 6 2 在間上完全埋設而可能在間上發生不能取接觸之虞。又，相反地若抗蝕遮掩 6 1 之開口領域寬度太寬時，形成第 2 側壁 6 2 時，近於拉出電極 5 9 之第 1 側壁 5 7 部分之表面就露出，而在間電極 5 5 上取接觸時若於光刻製程發生對準偏離時，經由接觸近間電極 5 5 與 N 型高濃度擴散層 5 8 n 會發生電氣性短路。

接著，如圖 9 d 所示，例如厚度為 1 5 0 n m 程度之矽氮化膜 6 2 a 堆積於基板之全面上，接著，如圖 9 e 所示，使用背面蝕刻法，形成覆蓋拉出電極 5 9 之側壁近 5 9 y 及薄膜近 5 9 x 及第 1 側壁 5 7 之至少一部分之第 2 側壁 6 2。此時，拉出電極 5 9 之厚膜部 5 9 z 之高度，係較間電極 5 5 之上面位置變成約高 2 0 0 n m 程度。又，由於適當地設定拉出電極 5 9 之薄膜部 5 9 x 之寬度，在拉出電極 5 9 之側壁部 5 9 y，可形成覆蓋拉出電極 5 9 之薄膜部 5 9 x 上面且露出間電極 5 5 上面之第 2 側壁。並且，去除殘留於元件分離 5 3 上等之拉出電極 5 9 之鎢。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

綳

## 五、發明說明(27)

接著，如圖 9 f 所示，在基板之全面上堆積層間絕緣膜 6 3 之後，進行層間絕緣膜 6 3 之平坦化，來形成接觸孔及接觸構件之埋設電極 6 4。此時，即使在光刻製程發生對準偏離時，第 2 側壁 6 2 變成蝕刻停止作用，接觸孔之低部不至於達到拉出電極 5 9，而可形成電氣性安定之閘上接觸。並且，形成配線構件 6 5 而形成在電極上具有接觸之 N 通道型 MOS 電晶體。

按，在本實施例，係將從源，漏極之拉出電極 5 9 以鎢膜所構成，但是，本發明並非限定於實施例者。例如，導入不純物之聚矽膜或也可以由其他導電性膜所構成。

又，將第 1 側壁 5 7 以矽氧化膜所構成，但是，將第 2 側壁 6 2 由矽氮化膜所構成，但是，兩者都使用相同絕緣材料也可以。但是，做為構成第 2 側壁 6 2 之材料，係使用較構成第 1 側壁 5 7 之材料蝕刻選擇比能夠取高之材料者較佳。若對於閘電極 5 5 之接觸時，能夠成為蝕刻停止作用所致。

## (第 7 實施例)

茲就第 7 實施例，參照圖 1 0 a ~ 圖 1 0 C 及圖 1 1 a ~ 圖 1 1 c 說明如下。圖 1 0 a ~ 圖 1 0 C 及圖 1 1 a ~ 圖 1 1 c 係，表示在閘電極上具有接觸，且連接 N 通道 MOS 電晶體與 P 型通道 MOS 電晶體之擴散層之 CMOS 電晶體之製造製程之構造變化之縱剖面圖。

首先，如圖 1 0 a 所示，在 P 型矽基板上 5 1，首先

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

綉

## 五、發明說明(28)

形成 P 型擴散層 5 2 p 及 N 型擴散層 5 2 n 之後，形成由厚度為約 5 0 0 n m 之 L O C O S 膜所成之元件分離 5 3。並且，如圖 1 0 a ~ 圖 1 0 C 及圖 1 1 a ~ 圖 1 1 c 所示，在各擴散層 5 2 p 及 5 2 n 上進行與上述第 6 實施例之圖 9 a ~ 圖 9 f 所示製程相同之製程。

有關本實施例之半導體裝置之製造方法，係最終，如圖 1 1 c 所示，在閘電極上形成具有接觸之 C M O S 電晶體。並且，形成於 P 型擴散層 5 2 p 之 N 型通道 M O S 電晶體之 N 型高濃度擴散層 5 8 n，與形成於 N 型擴散層 5 2 n 之 P 型通道 M O S 電晶體之 P 型高濃度擴散層 5 8 p，係由共通之拉出電極 5 9 連接。像這樣藉形成拉出電極 5 9 之圖樣，習知係以多層配線連接之相異之導電性之高濃度擴散層互相之連接，可用下層之局部配線之位準加以實現，而可降低成本。又，因可做到對於高濃度擴散層之自動對準接觸之連接，所以，不必形成貫通層間絕緣膜達到高濃度擴散層之接觸孔。因此，可以降低各部之對準遮掩邊界，而可縮小高濃度擴散層之面積。

按，在圖 1 1 a 所示之製程，在位於拉出電極 5 9 之元件分離 5 3 上之部分係，只有將與元件分離 5 3 之活性領域之邊界部附近之拉出電極 5 9 之厚度變厚而將位於元件分離 5 3 之其他領域部分則減少其厚度。由於將拉出電極 5 9 之階梯差形成為如此，如圖 1 1 b 所示，形成第 2 側壁 6 2 時，連同矽氮化膜 6 2 a 將拉出電極 5 9 之元件分離 5 3 上之殘留部分不必使用遮掩就可去除。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

綉

## 五、發明說明(29)

## (第8實施例)

茲邊參照圖12a~圖12c及圖13a,圖13b說明第8實施例如下。圖12a~圖12c及圖13a,圖13b係表示在閘電極上具有接觸,且,可經由局部配線在複數之金屬配線層與電晶體之活性領域上連接之電晶體之製程構造變化之縱剖面圖。

首先,如圖12a及圖12b所示,進行與上述第6實施例之圖9a~圖9c所示製程相同之製程。但是,在閘電極55欲形成接觸部之部位,係雖然進行與上述第6實施例相同之拉出電極59之圖樣形成,但是,若欲在高濃度擴散層形成接觸部之部位時,則使用該高濃度擴散層之兩側之閘電極55之上(參照領域Rst)或在元件分離就能夠形成拉出電極之階梯差部之抗蝕遮掩61。又,在回避以後所形成之局部配線與下層之閘電極55之連接部位,係將抗蝕遮掩61之開口領域之寬度變成 $0.3\mu\text{m}$ 以下(參照Rde領域),而去除其部位之鎢膜59a所發生之間隙,變成由以後所形成之第2側壁完全埋填。

接著,如圖12c所示,例如形成厚度為 $150\text{nm}$ 程度之矽氮化膜,接著,使用背面蝕刻法,來形成第2側壁62。並且,與上述第7實施例之圖11b所示製程同樣,去除殘留於元件分離53上等之拉出電極59(鎢膜)。此時,在上述領域Rde,係由第2側壁62閘電極55上方將被完全被埋設。又,在上述領域Rst,係形

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

綉

## 五、發明說明(30)

成拉出電極 5 9 之圖樣時所殘留之 N 型高濃度擴散層 5 8 n 上之鎢膜為完全被去除，同時，即使在 N 型高濃度擴散層 5 8 n 與拉出電極 5 9 之間形成導電膜，兩者能夠以電氣方式被絕緣在拉出電極 5 9 之側壁形成第 2 側壁 6 2。

接著，如圖 1 3 a，在全面堆積變成局部配線 6 6 之鎢膜之後，使用抗蝕遮掩 6 7，形成鎢膜之圖樣，來形成局部配線 6 6。亦即，如圖 3 a 所示，將局部互連連接器 1 8 可由局部配線 6 6 實現。

接著，如圖 1 3 b 所示，形成層間絕緣膜 6 3 之後，進行平坦化，來形成接觸孔及埋入電極 6 4。此時，即使在光刻製程發生對準偏離時，也變成第 2 側壁 6 2 變成蝕刻停止作用，而接觸孔之底部不會達到拉出電極 5 9，而可形成電氣性安定之閘電極 5 5 上之接觸部。並且，經由局部配線 6 6（圖 3 a 所示局部互連連接器 1 8），將上層之局部配線 6 5（在圖 3 b 所示第 1 層鋁配線 1 3）與閘電極 5 5 及 N 型高濃度擴散層 5 8 n 在電晶體之形成領域內可比較自由地連接，所以，設計之自由度就提升，而可減少半導體電路之佔有面積。

## (第 9 實施例)

茲邊參照圖 1 4 a ~ 圖 1 4 c 說明第 9 實施例。圖 1 4 a ~ 圖 1 4 c 係表示在閘電極上具有接觸，且，透過局部配線將複數之閘電極與高濃度擴散層可在活性領域上

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

## 五、發明說明(31)

連接之電晶體之製程構造變化之縱剖面圖。

首先，如圖 1 4 a 所示，進行與上述第 8 實施例之圖 1 2 a ~ 圖 1 2 c 所示製程相同之製程，而獲得與圖 1 2 c 所示狀態之狀態。

接著，如圖 1 4 b 所示，在使以後所形成之局部配線接觸之閘電極 5 5 上，去除其表面露出之閘上絕緣膜 5 6 之後，全面地堆積變成局部配線 6 6 之鎢膜之後，使用抗蝕遮掩 6 7 將此形成圖樣，來形成局部配線 6 6。

接著，如圖 1 4 c 所示，形成層間絕緣膜 6 3 之後進行平坦化，而開口接觸孔，來形成接觸構件 6 4 與金屬配線 6 5。

在本實施例，係經由局部配線 6 6 將任意之閘電極 5 5 與高濃度擴散層 5 8 n 就可在活性領域上連接。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

編

## 四、中文發明摘要(發明之名稱：

半導體裝置及其製造方法)

本發明係裝設跨越活性領域與元件分離之閘配線，而在活性領域上之閘配線之側方形成不純物擴散領域。連接設置於閘配線上層之第1層鋁配線與閘配線之接觸構件，係在閘配線之活性領域上之部位接觸於閘配線。由於活性領域之利用效率會提升，所以可縮小元件分離寬度。又，在閘配線不設對準遮掩之邊界(margin)，由於將閘配線的寬度不超過接觸構件寬度，所以可降低半導體裝置之佔有面積。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

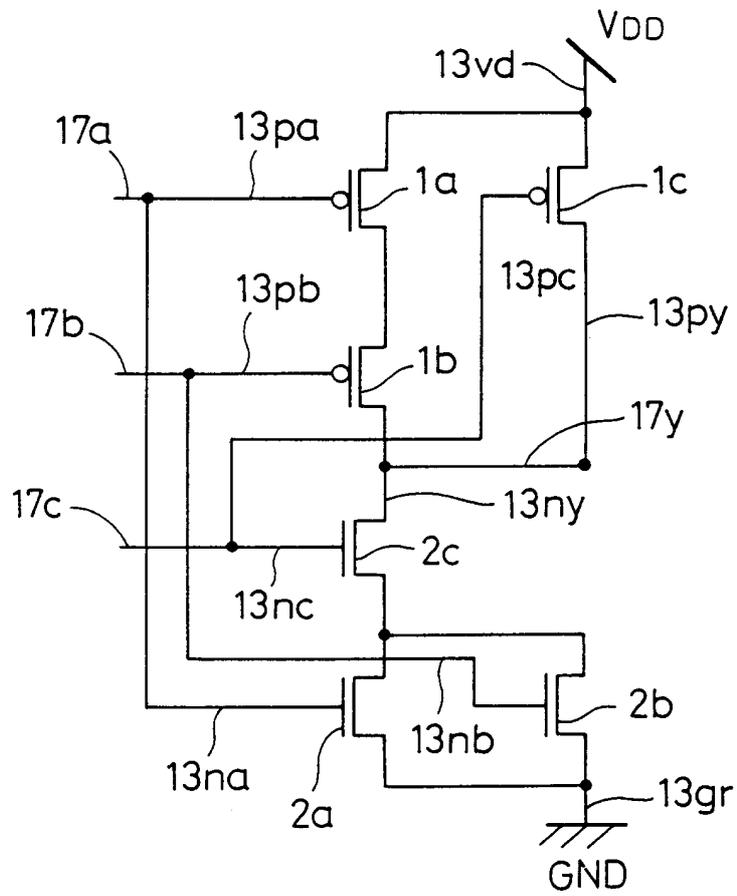
訂

線

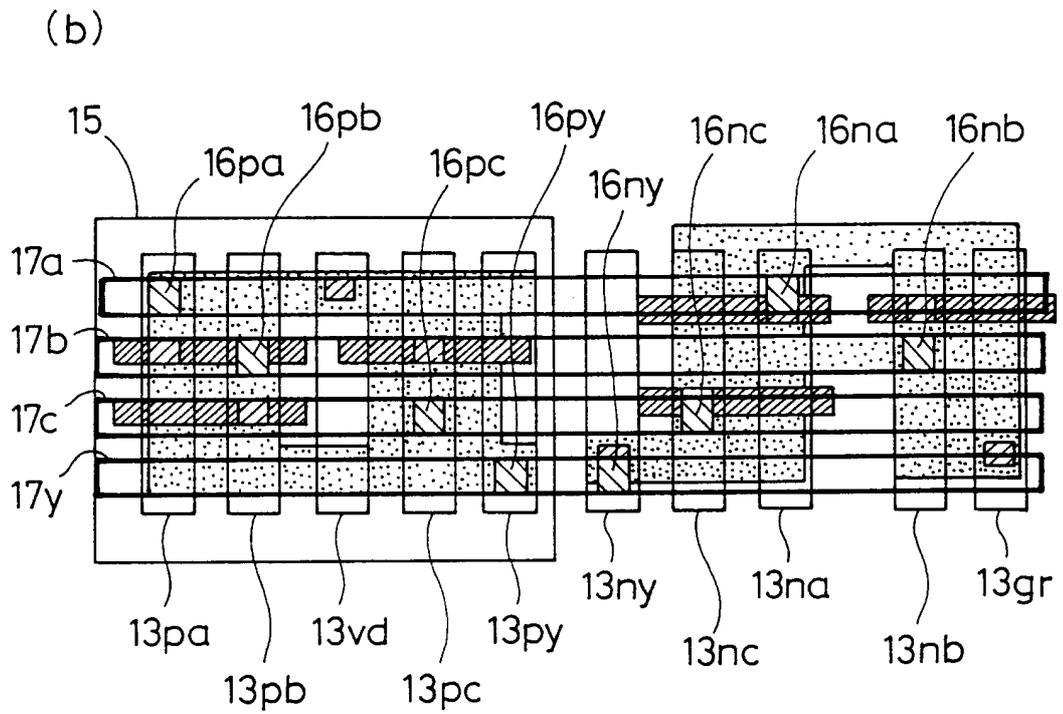
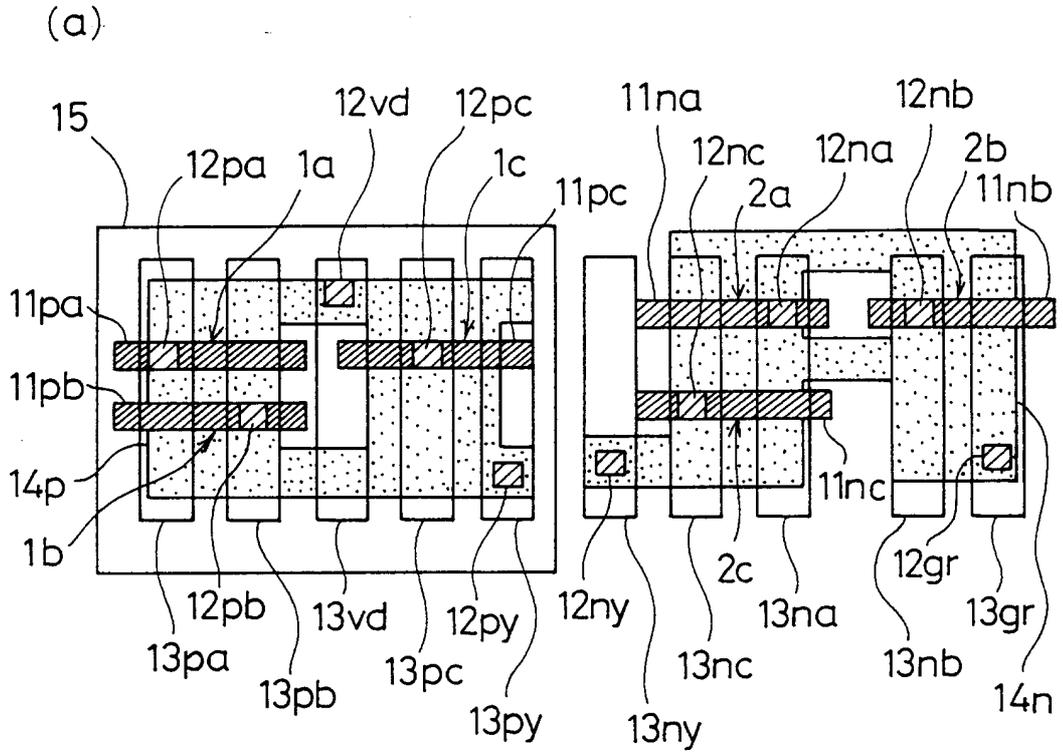
## 英文發明摘要(發明之名稱：

)

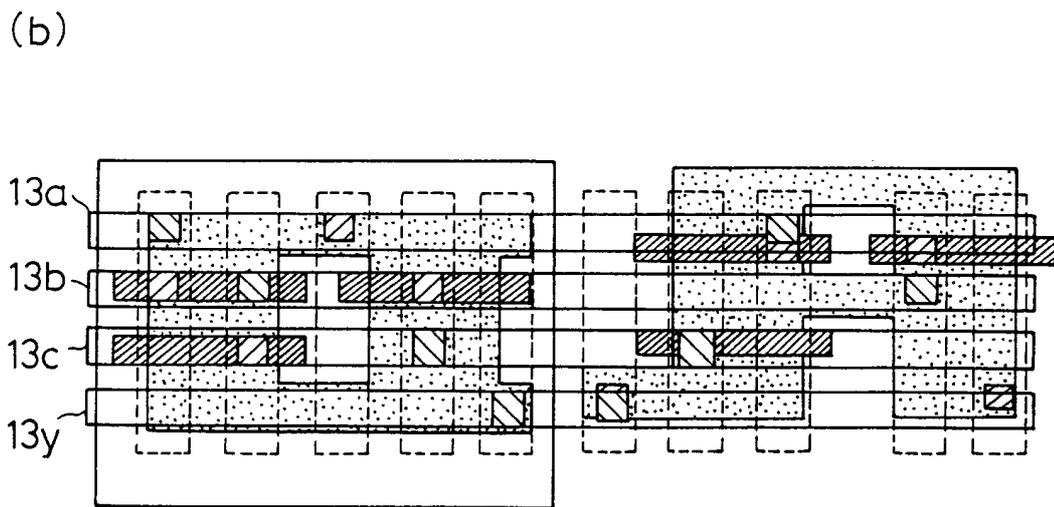
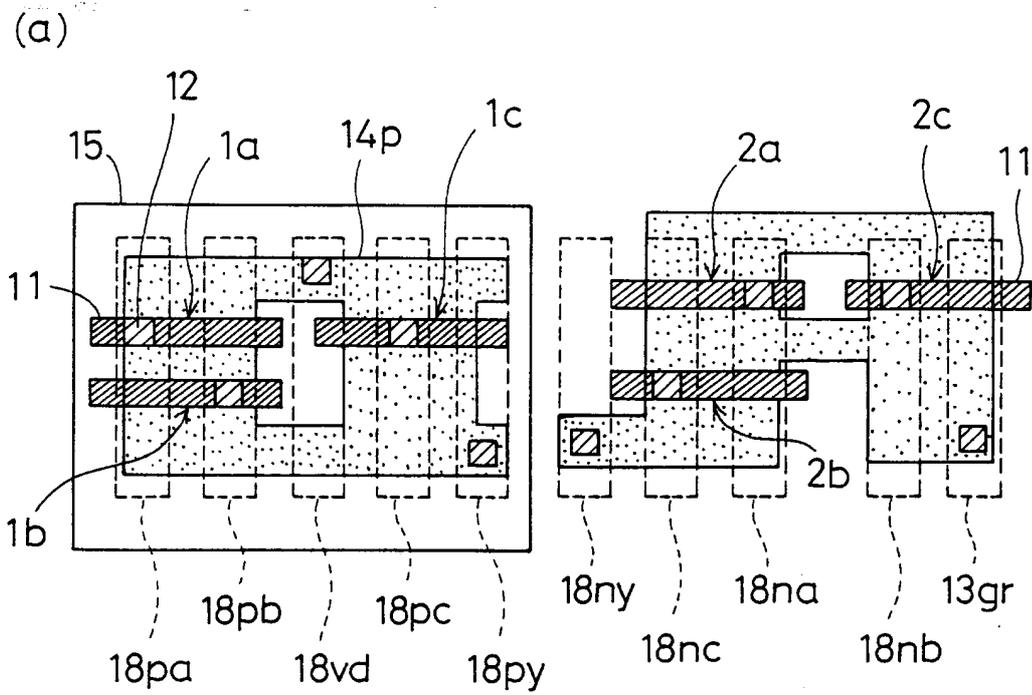
第1圖



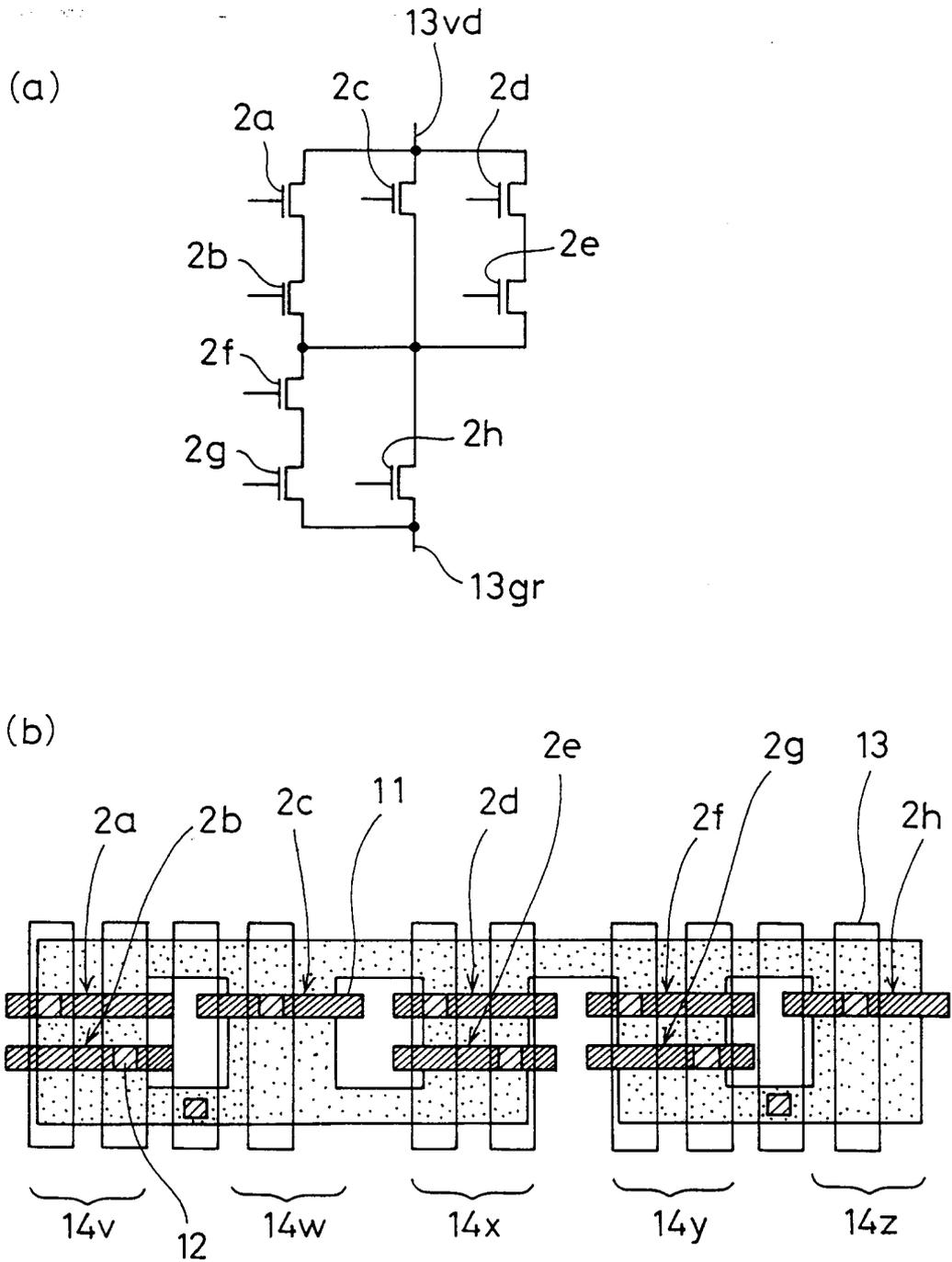
## 第 2 圖



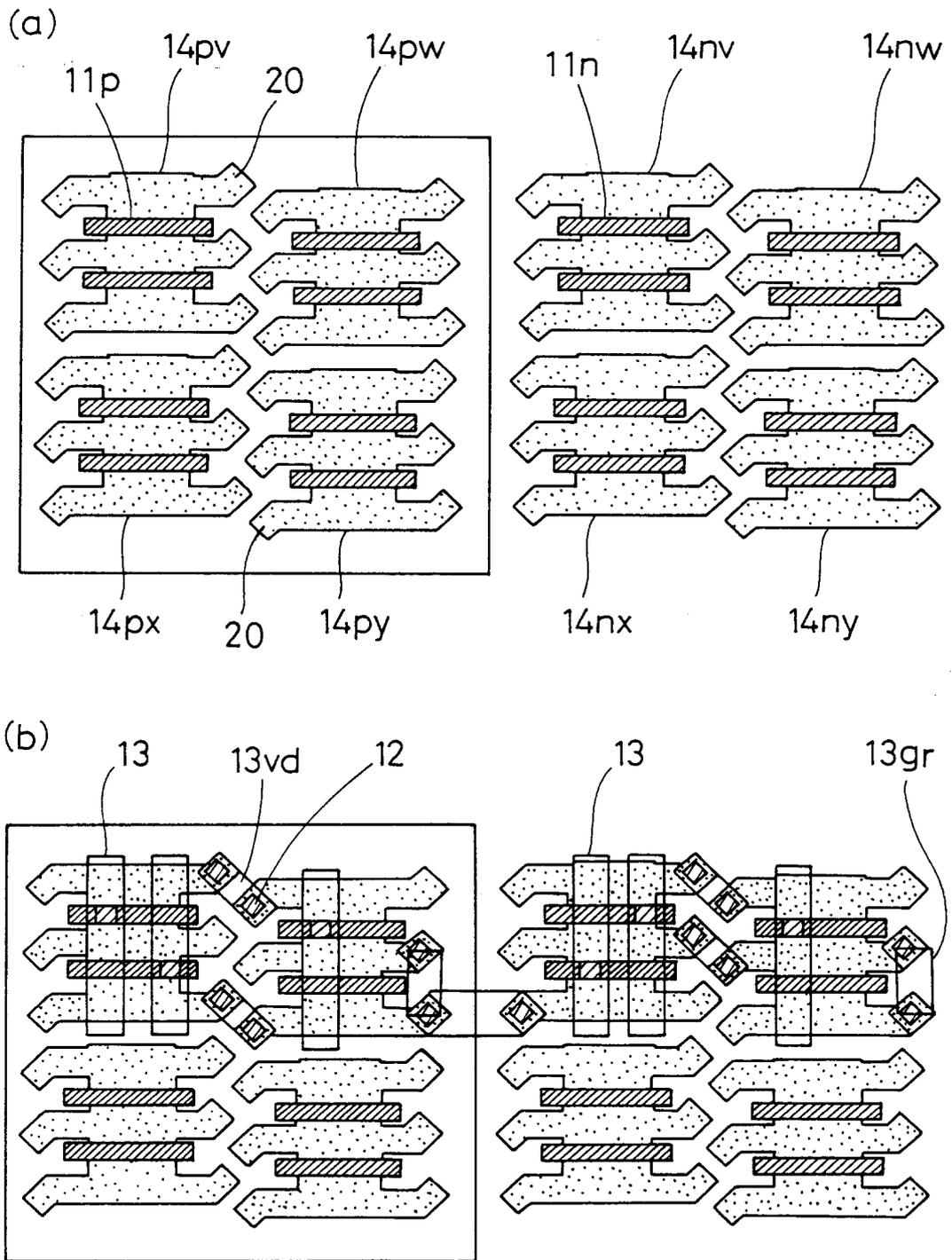
第 3 圖



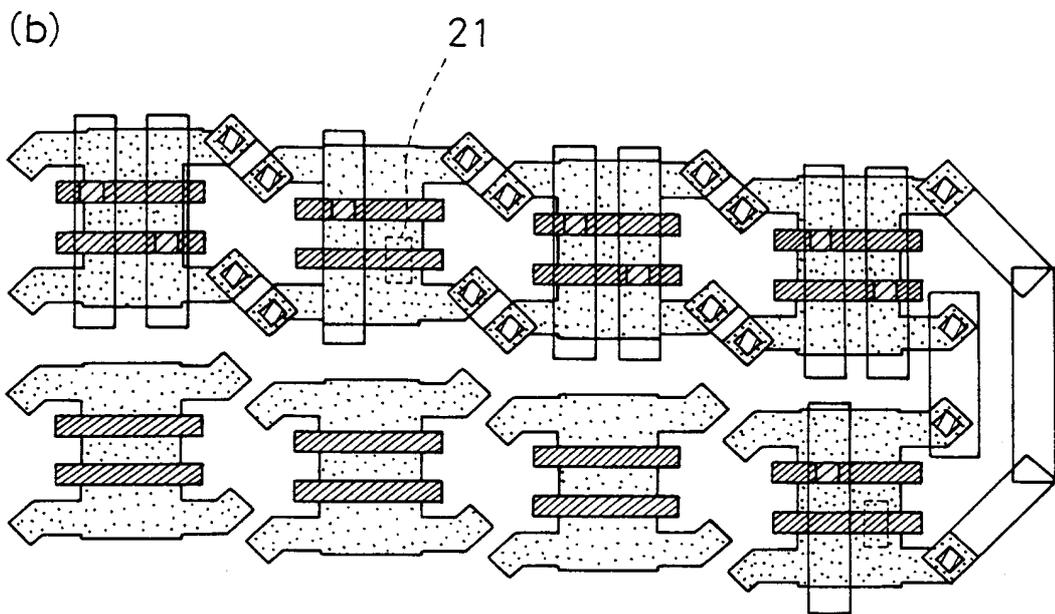
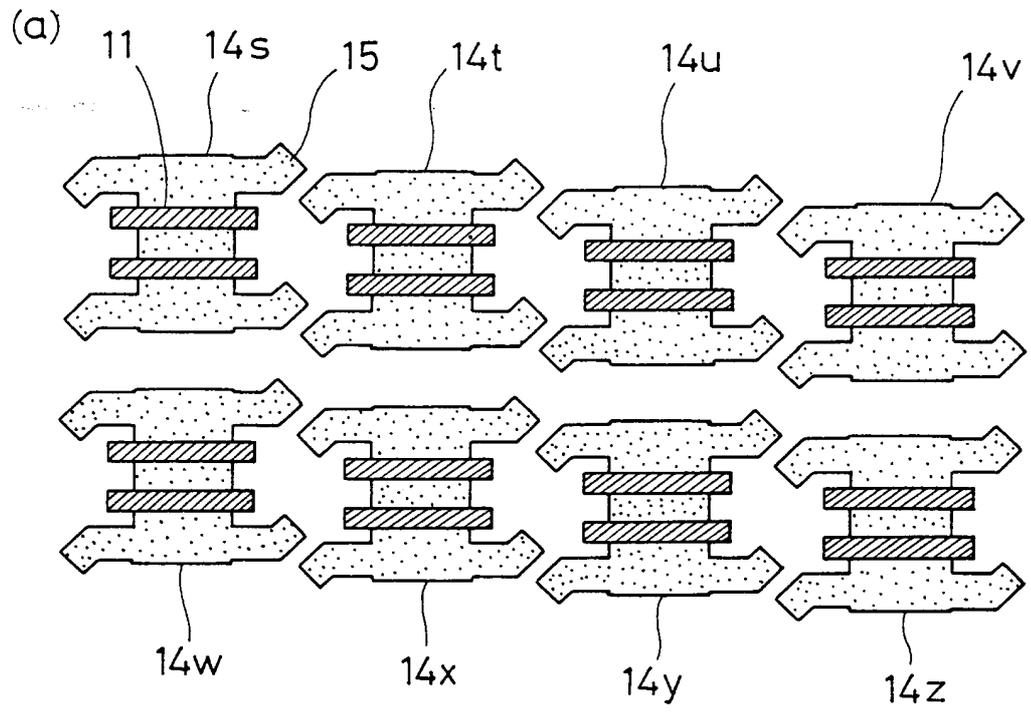
第 4 圖



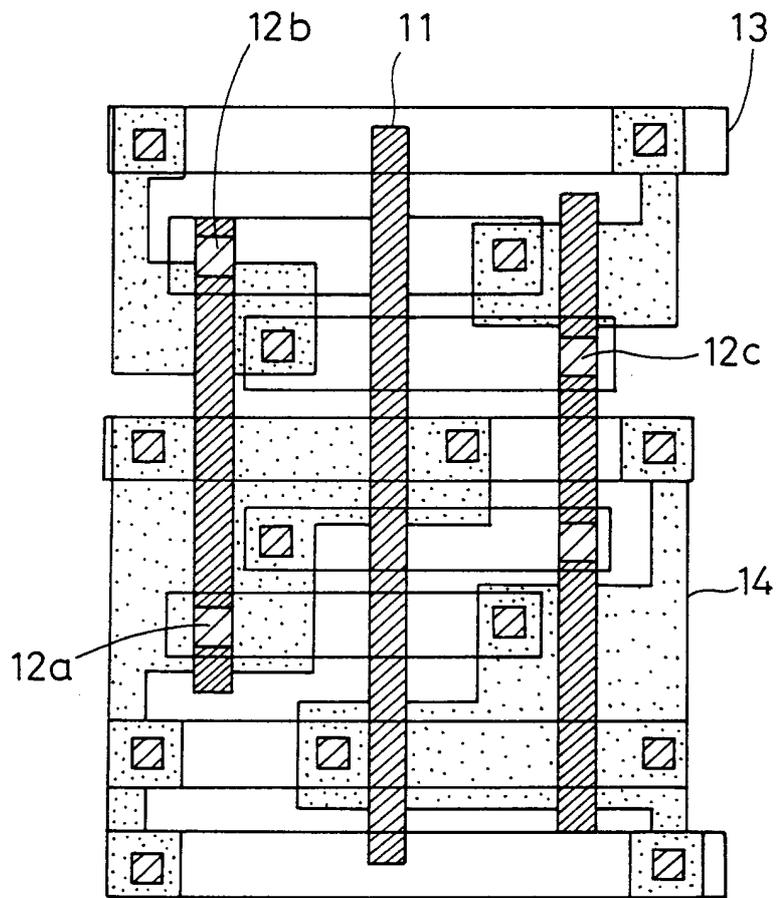
# 第 5 圖



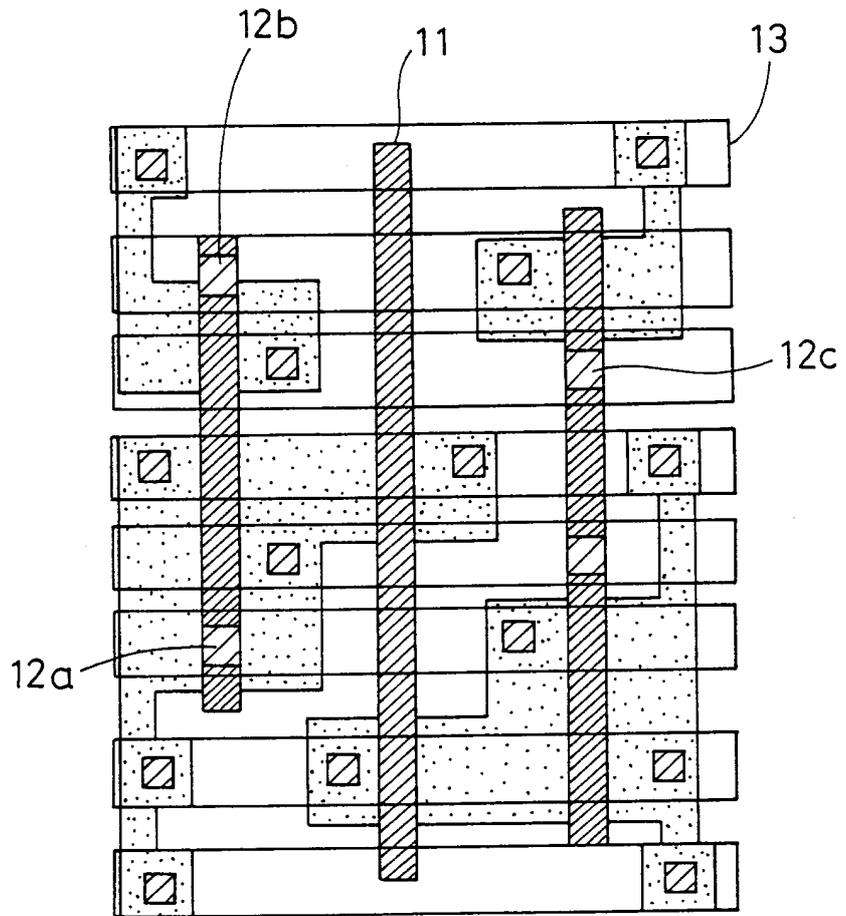
# 第 6 圖



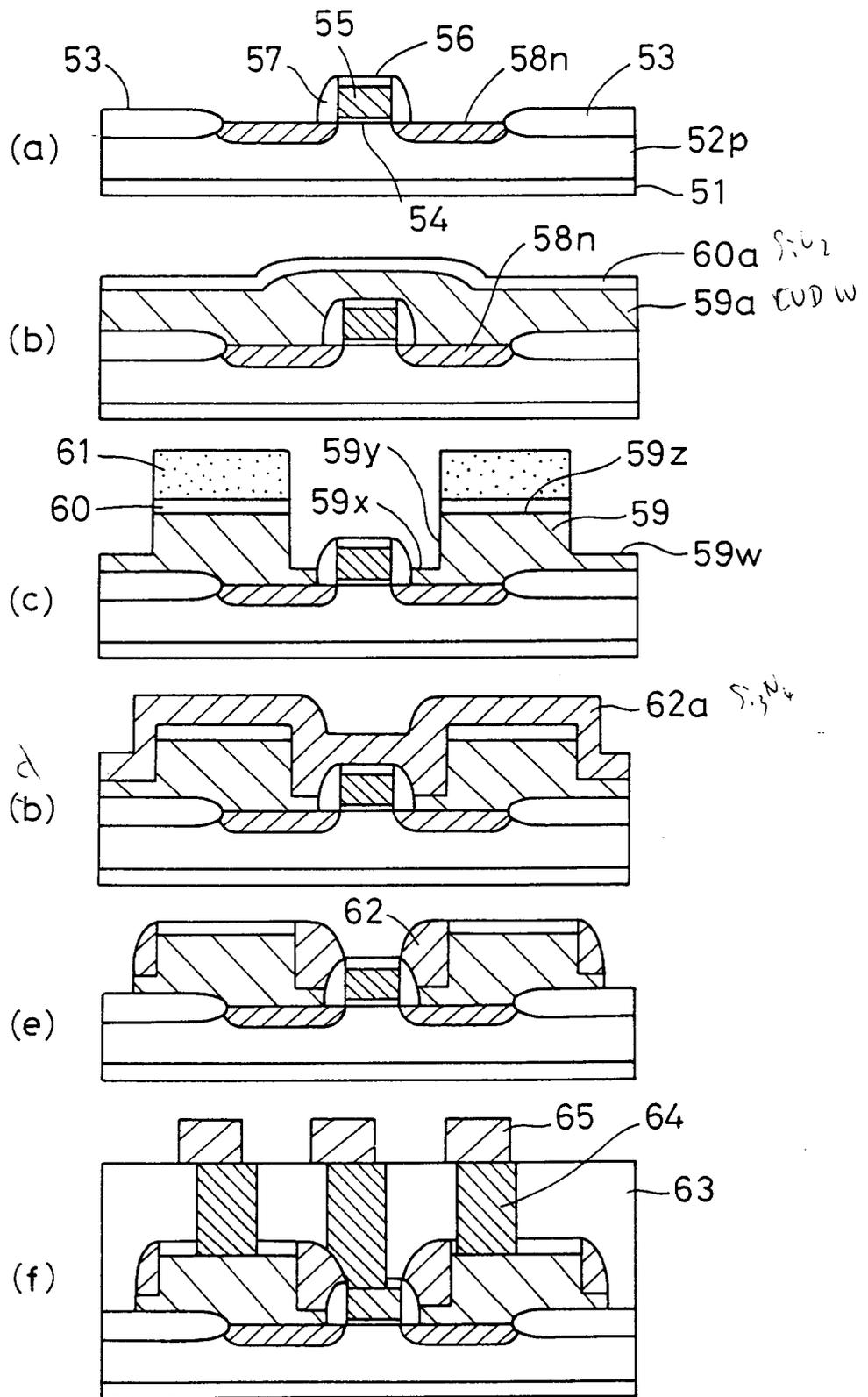
第 7 圖

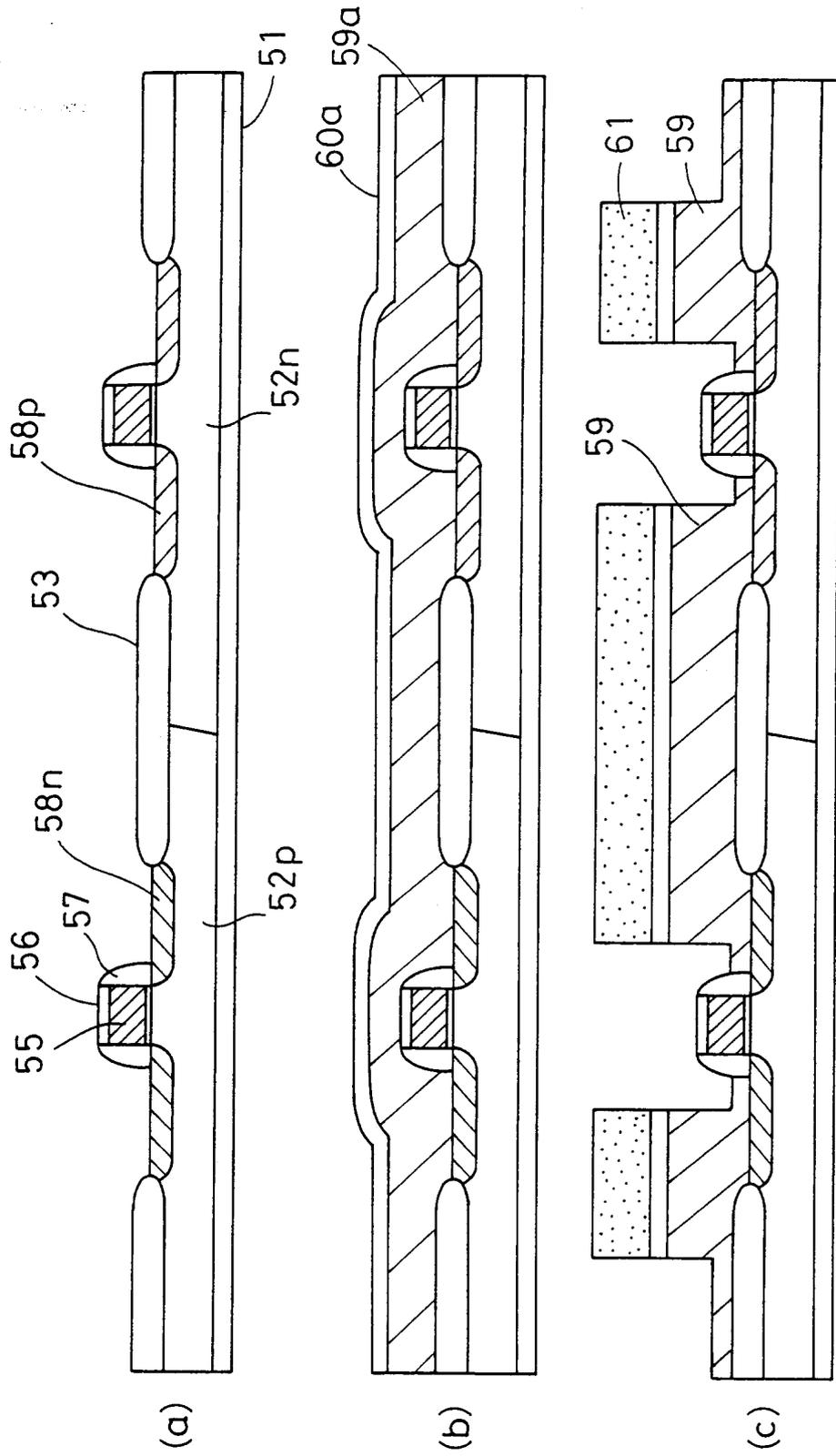


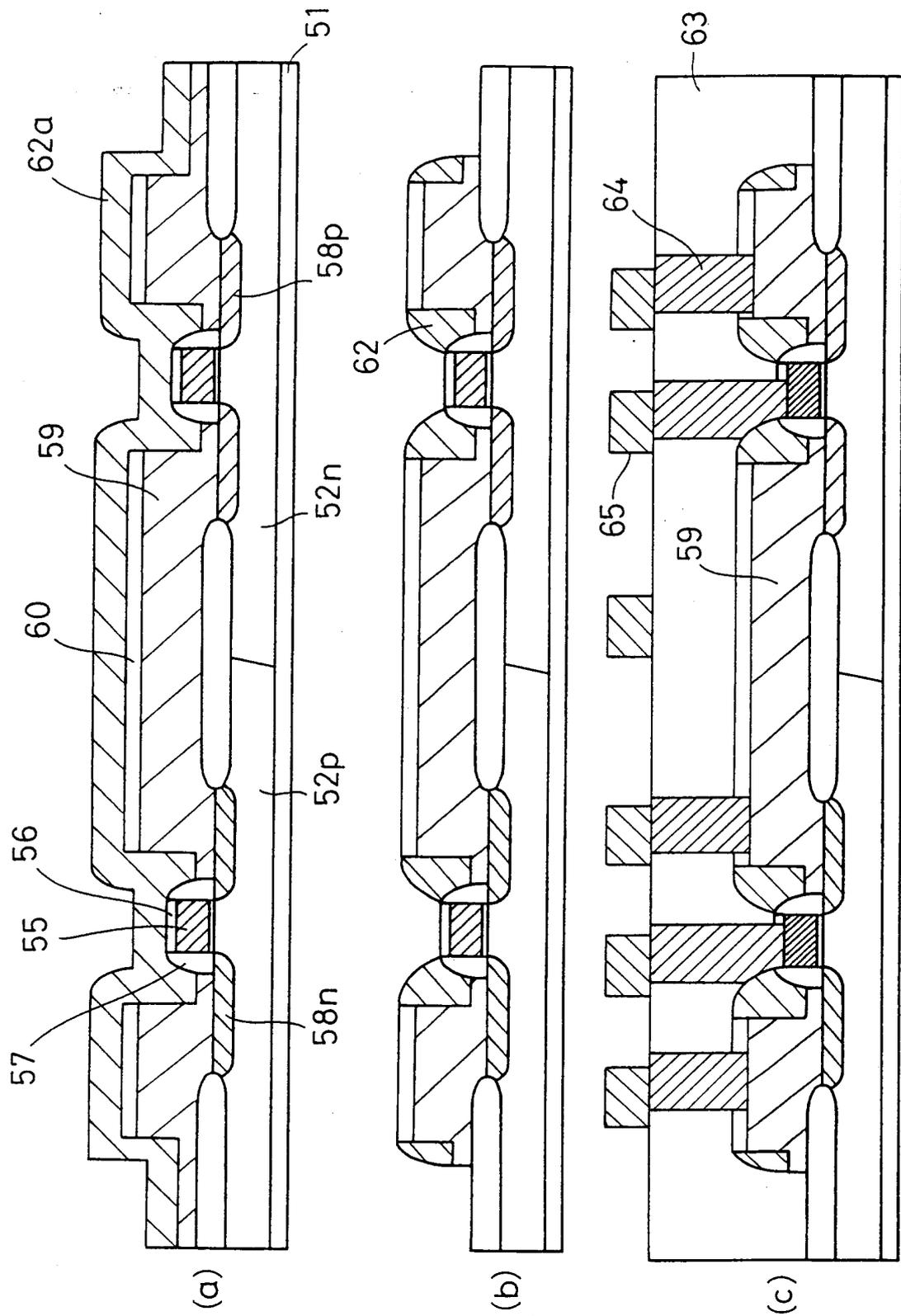
第 8 圖



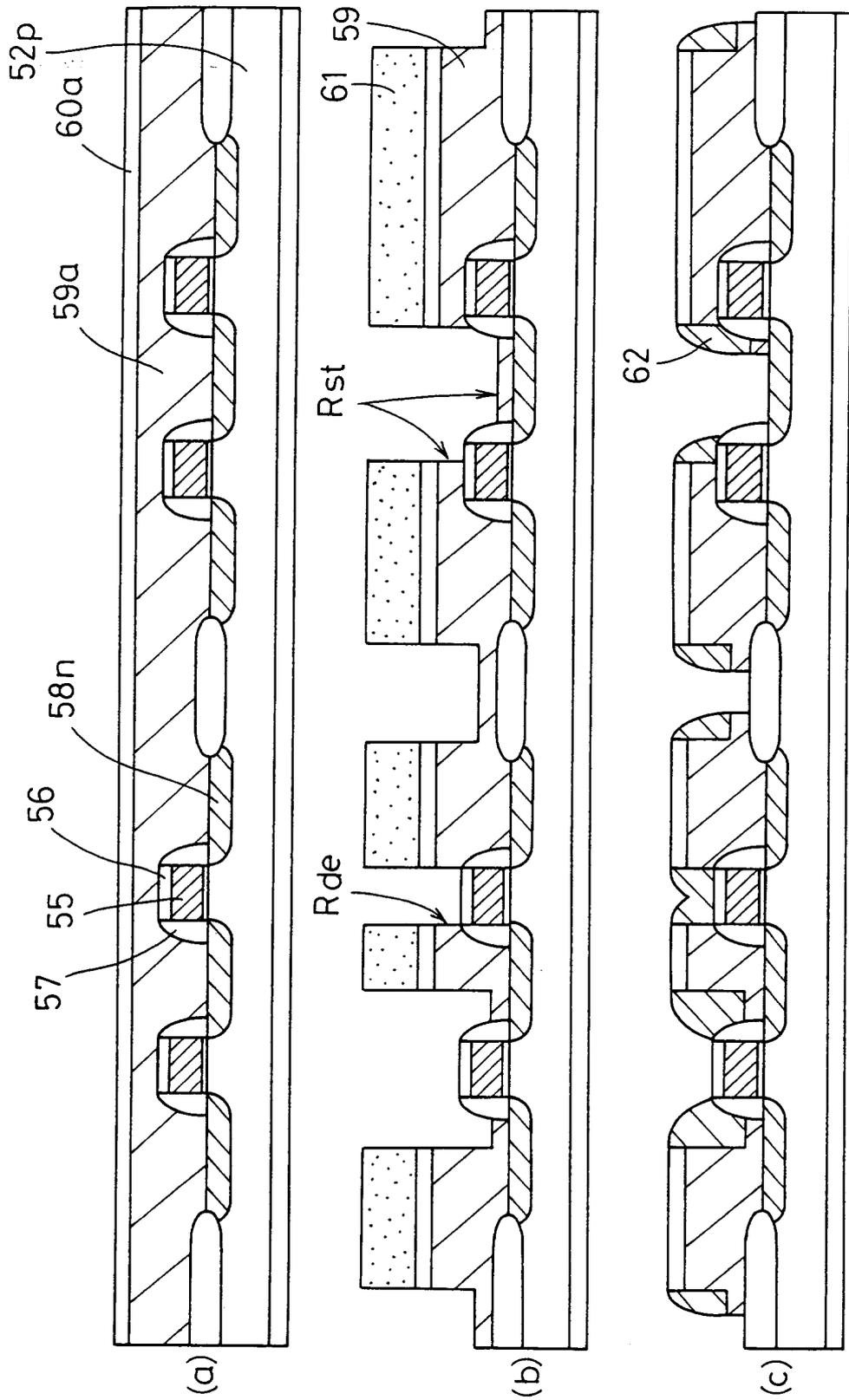
# 第 9 圖



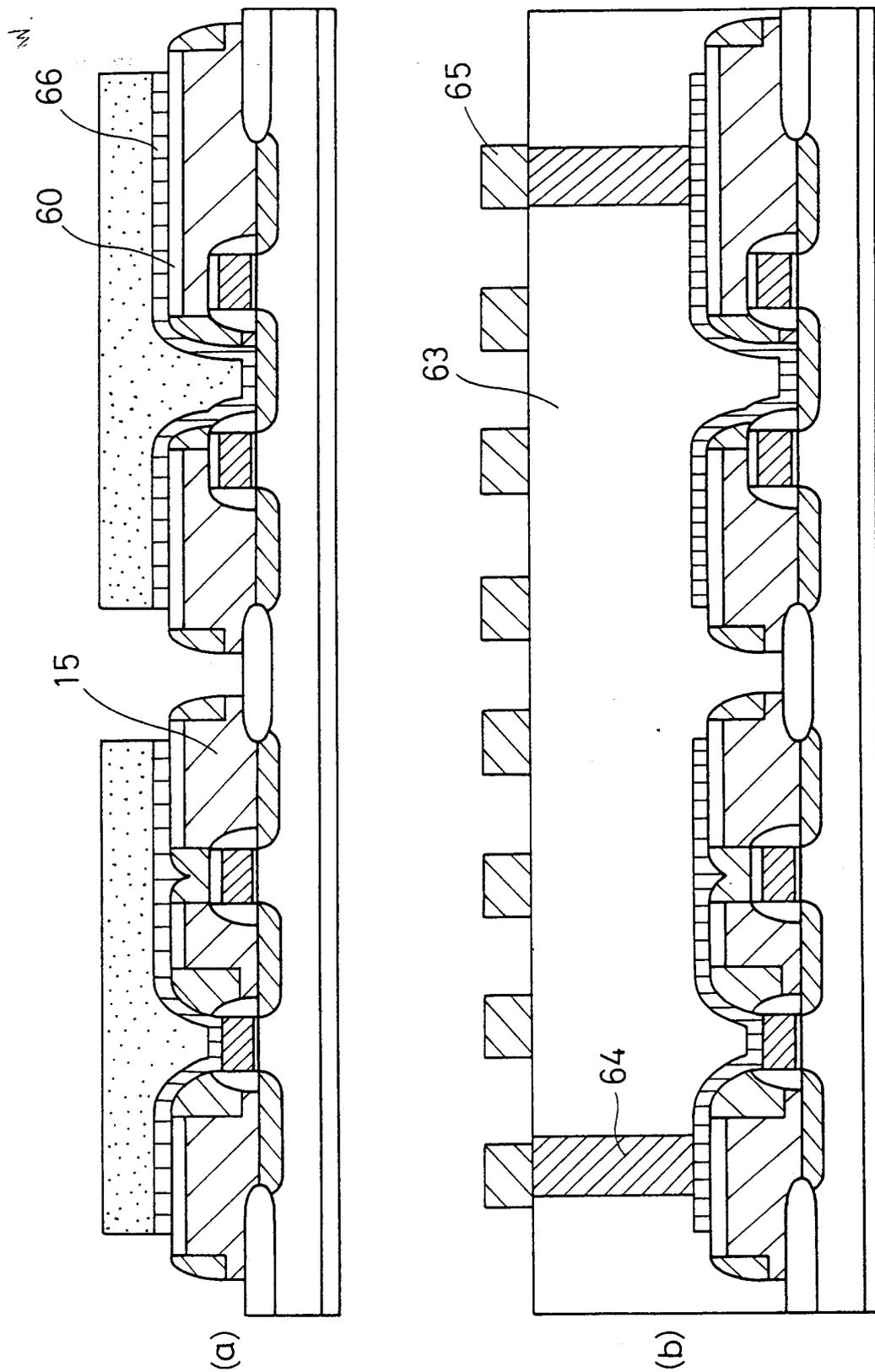


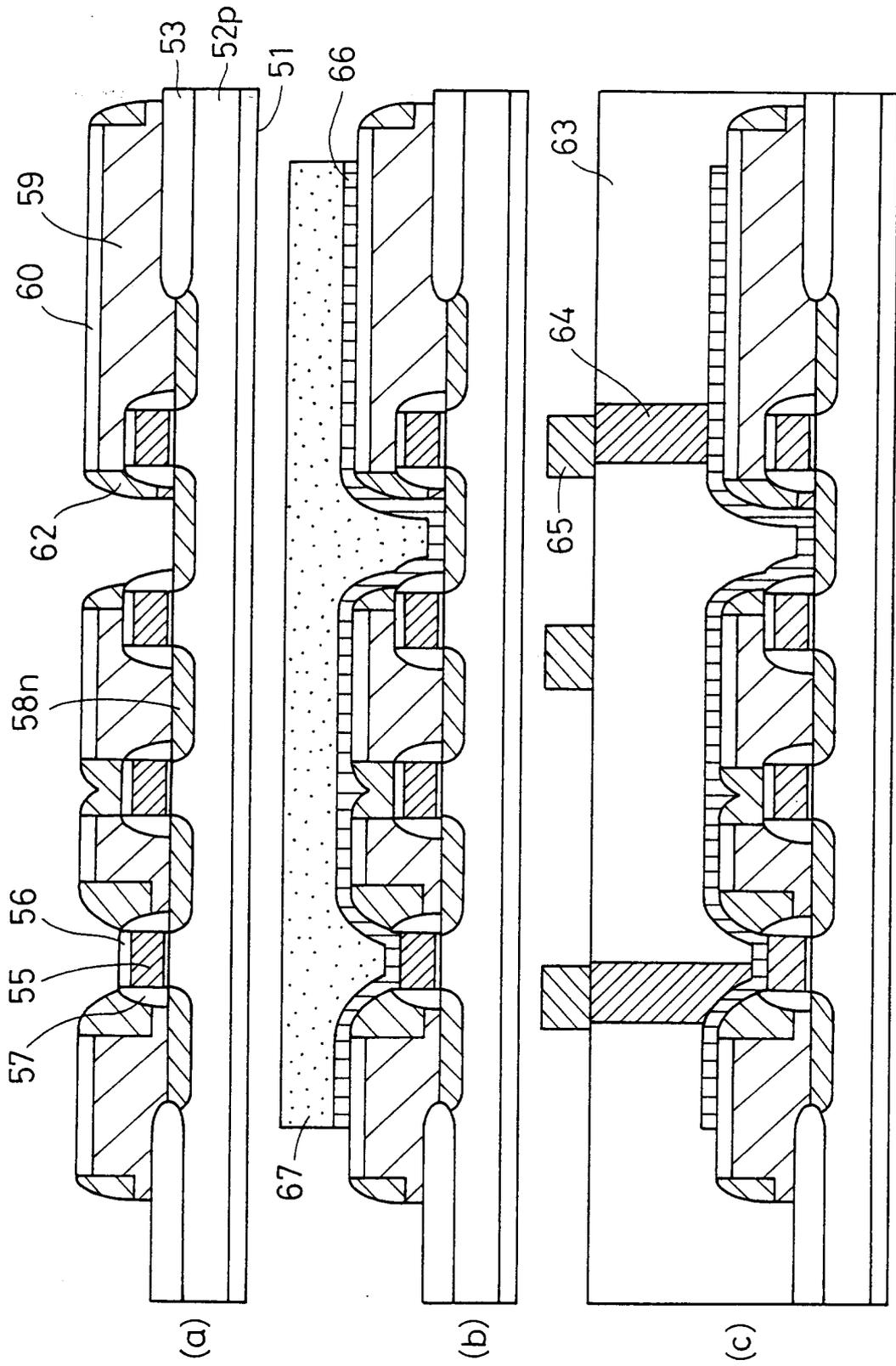


第12圖

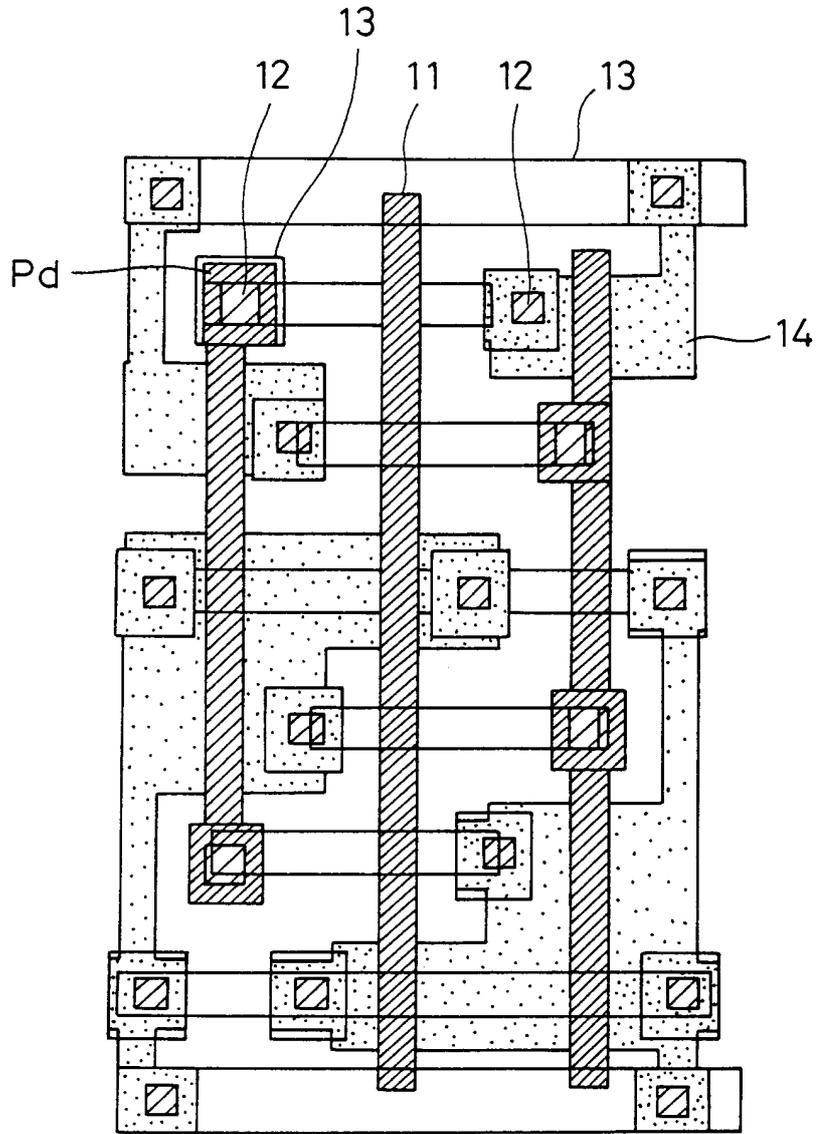


第13圖

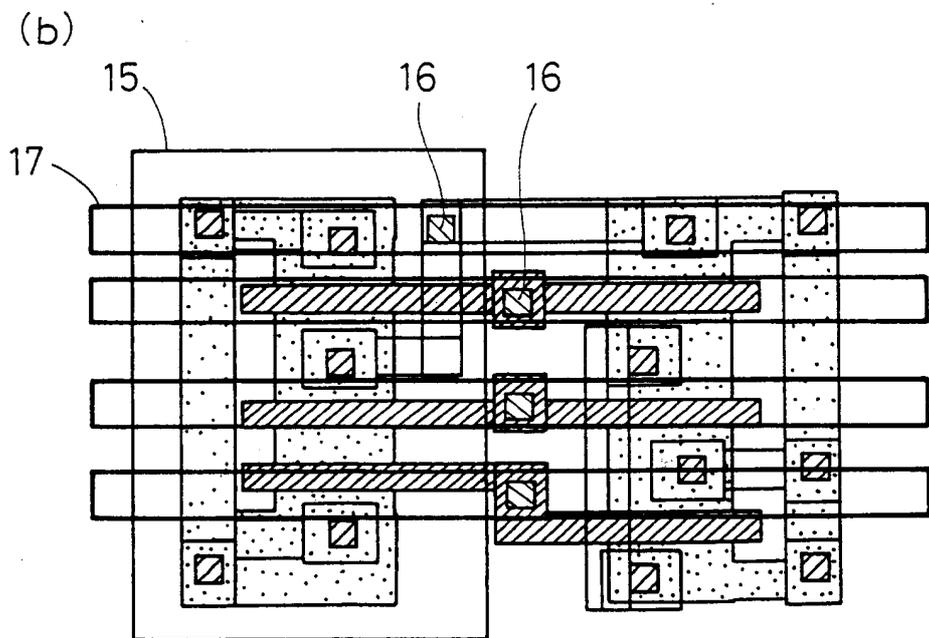
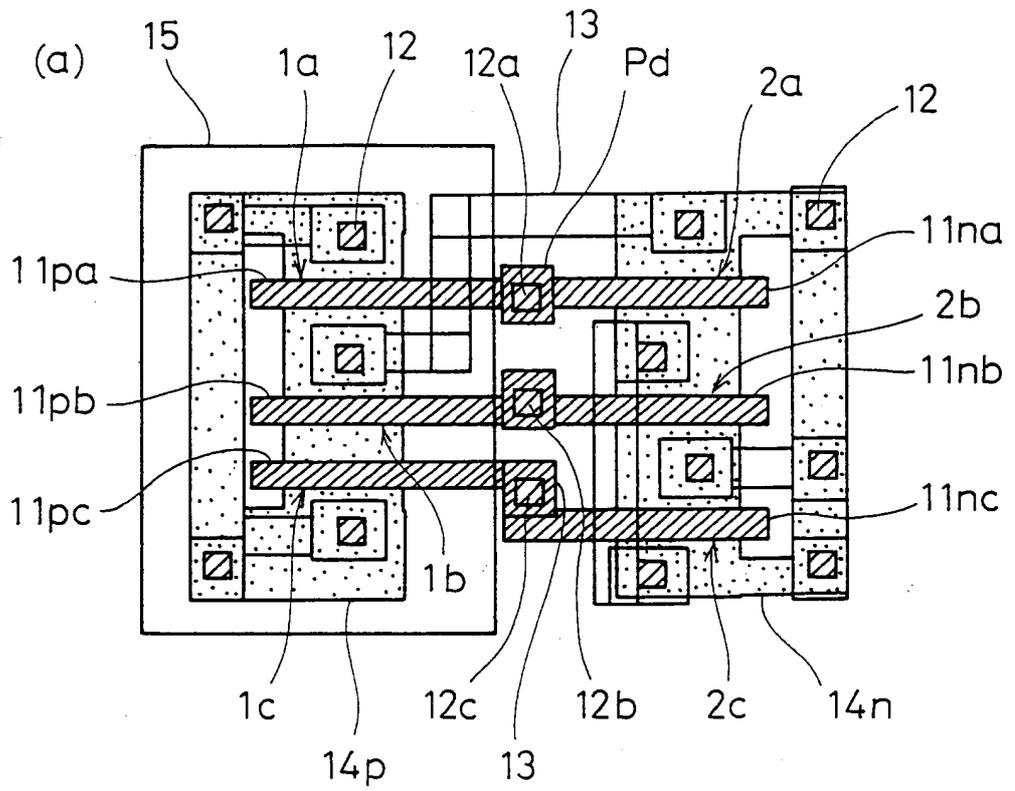




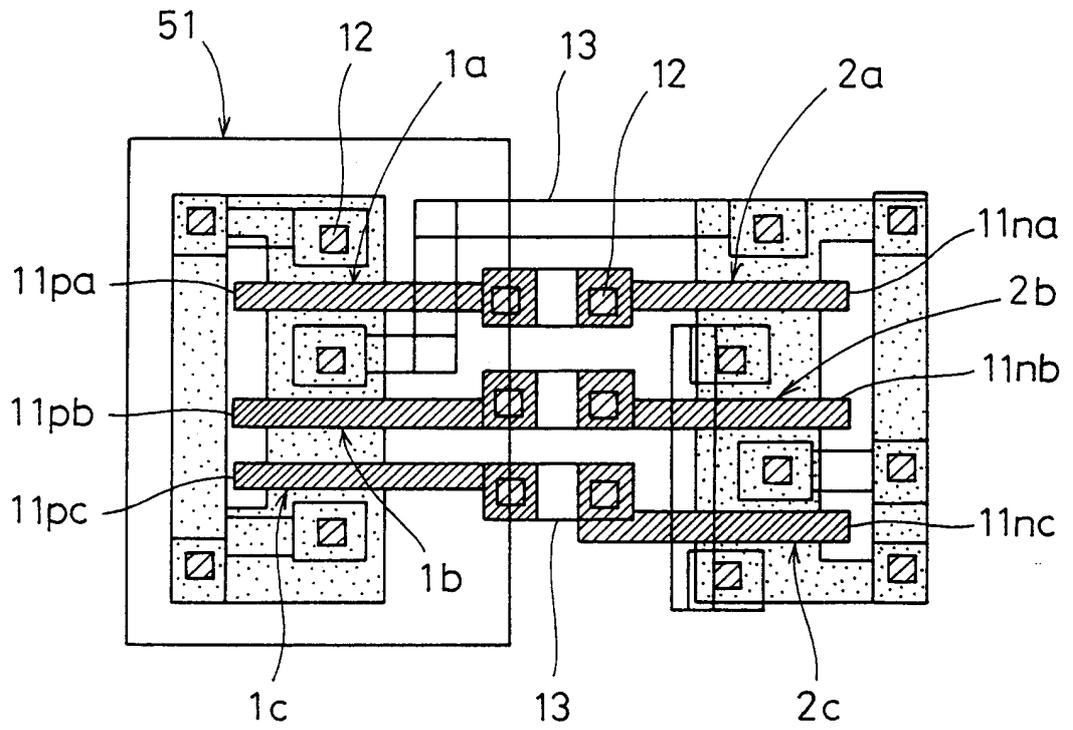
第15圖



第16圖

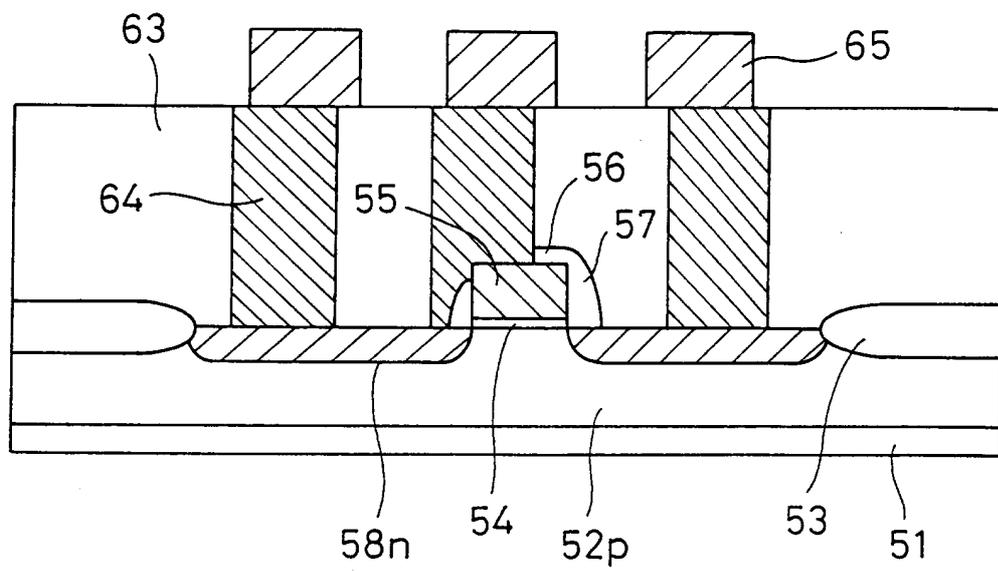


第17圖



313700

第18圖



## 六、申請專利範圍

第 8 5 1 0 2 1 9 5 號 專 利 申 請 案

中 文 申 請 專 利 範 圍 修 正 本

民 國

8	年	5	月	1	日	修正	補充	修正
---	---	---	---	---	---	----	----	----

1. 一種半導體裝置，其係備有；

半導體基板，與

形成於上述半導體基板之一部分之元件分離，與

形成於上述半導體基板之上上述元件分離所圍繞領域之

活性領域，與

在上述活性領域及跨越上述元件分離所形成之上上述活

性領域上做為閘電極功能之第 1 導電性構件，與

堆積於上述活性領域，上述元件分離及上述第 1 導電

性構件上之層間絕緣膜，與

貫通上述層間絕緣膜而在能夠達到上述活性領域上之

上述導電性構件上面所形成之接觸孔，與

由埋設上述接觸孔之導電性材料所構成之上上述第 1 導

電性構件以電氣方式連接之接觸構件，與

形成於上述接觸構件及層間絕緣膜上之上上述接觸構件

以電氣方式連接之第 2 導電性構件；

上述第 1 導電性構件之上上述接觸構件接觸部位之閘長

向之尺寸，係沒有對準遮掩邊界之尺寸。

2. 一種半導體裝置，其係備有；

半導體基板，與

形成於上述半導體基板之一部分之元件分離，與

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 六、申請專利範圍

形成於上述半導體基板之上上述元件分離所圍繞領域之活性領域，與

在上述活性領域及跨越上述元件分離所形成之上上述活性領域上做為閘電極功能之第 1 導電性構件，與

堆積於上述活性領域，上述元件分離及上述第 1 導電性構件上之層間絕緣膜，與

貫通上述層間絕緣膜而在能夠達到上述活性領域上之上上述導電性構件上面所形成之接觸孔，與

由埋設上述接觸孔之導電性材料所構成之上上述第 1 導電性構件以電氣方式連接之接觸構件，與

形成於上述接觸構件及層間絕緣膜上之上上述接觸構件以電氣方式連接之第 2 導電性構件；

上述接觸孔之閘長向之尺寸，係較上述第 1 導電性構件之閘長向尺寸為大。

3. 如申請專利範圍第 1 項之半導體裝置，其中，上述接觸孔之閘長向之尺寸，係較上述第 1 導電性構件之閘長向尺寸為大。

4. 一種半導體裝置，其係備有；

半導體基板，與

形成於上述半導體基板之一部分之元件分離，與

形成於上述半導體基板之上上述元件分離所圍繞領域之活性領域，與

在上述活性領域及跨越上述元件分離所形成之上上述活性領域上做為閘電極功能之第 1 導電性構件，與

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 六、申請專利範圍

堆積於上述活性領域，上述元件分離及上述第 1 導電性構件上之層間絕緣膜，與

貫通上述層間絕緣膜而具有能夠達到上述元件分離上之上述導電性構件上面所形成之上述第 1 導電性構件之間長向尺寸更大間長向尺寸之接觸孔，與

埋設上述接觸孔而對於上述第 1 導電性構件以電氣方式連接之接觸構件，與

連接形成於上述接觸構件及層間絕緣膜上之上述接觸構件之第 2 導電性構件；

上述第 1 導電性構件係互相平行地排列形成複數支，

上述第 2 導電性構件係，對於上述導電性構件在平面視野內分別直交形成複數支。

5. 一種半導體裝置，其係備有；

半導體基板，與

形成於上述半導體基板之一部分之元件分離，與

形成於上述半導體基板之上上述元件分離所圍繞領域之活性領域，與

在上述活性領域及跨越上述元件分離所形成之上述活性領域上做為閘電極功能之第 1 導電性構件，與

堆積於上述活性領域，上述元件分離及上述第 1 導電性構件上之層間絕緣膜，與

貫通上述層間絕緣膜而具有能夠達到上述元件分離上之上述導電性構件上面所形成之上述第 1 導電性構件之間

(請先閱讀背面之注意事項再填寫本頁)

1

裝

訂

## 六、申請專利範圍

長向尺寸更大閘長向尺寸之接觸孔，與

埋設上述接觸孔而對於上述第 1 導電性構件以電氣方式連接之接觸構件，與

連接形成於上述接觸構件及層間絕緣膜上之上述接觸構件之第 2 導電性構件；

上述各第 2 導電性構件之長度為約略共通之尺寸。

6. 如申請專利範圍第 4 項所述之半導體裝置，其中

，

上述各第 2 導電性構件之長度為約略共通之尺寸。

7. 如申請專利範圍第 4 項所述之半導體裝置，其中

，

再備有在上述第 2 導電性構件之上方經由層間絕緣膜所形成之配線功能之第 3 導電性構件。

8. 如申請專利範圍第 4 項所述之半導體裝置，其中

，

再備有形成於上述第 1 導電性構件上方且在上述第 2 導電性構件下方，將上述半導體元件之活性領域，閘電極等互相連接所用之局部配線。

9. 一種半導體裝置，其係備有；

半導體基板，與

形成於上述半導體基板一部分之元件分離，與

由上述半導體基板之上述元件分離所圍繞領域之形成之活性領域，與

形成於上述活性領域上之上述半導體元件之閘電極，

## 六、申請專利範圍

與

在上述活性領域之上述閘電極兩側方導入不純物所形成之不純物擴散領域，與

由形成於上述閘電極兩側面上之絕緣性材料所成之第 1 絕緣膜，與

鄰接於上述第 1 絕緣膜而覆蓋上述不純物擴散領域似地形成，接觸於上述物 1 絕緣膜之薄膜部與從此薄膜部以階梯差而變厚之厚膜部所成之拉出電極，與

從上述拉出電極之階梯差側壁跨越上述第 1 絕緣膜所形成之第 2 絕緣膜。

10. 如申請專利範圍第 9 項所述之半導體裝置，其中，備有；

上述閘電極，拉出電極，第 1 絕緣膜及堆積於第 2 絕緣膜上方之層間絕緣膜，與

貫通上述層間絕緣膜至少到達上述閘電極上面之接觸孔，與

由埋填上述接觸孔之導電性材料所構成之上述閘電極以電氣方式連接之接觸構件，與

上述接觸構件及形成於上述層間絕緣膜上而以電氣方式連接於上述接觸構件之配線構件。

11. 如申請專利範圍第 10 項所述之半導體裝置，其中，上述第 2 絕緣膜係由對於上述層間絕緣膜之蝕刻選擇比高之材料所構成。

12. 如申請專利範圍第 10 項所述之半導體裝置，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 六、申請專利範圍

其中，上述第 1 絕緣膜及層間絕緣膜係由矽氧化膜所構成，上述第 2 絕緣膜係由矽氮化膜所構成。

1 3 . 如申請專利範圍第 1 0 項所述之半導體裝置，其中，再備有；上述閘電極，拉出電極，第 1 絕緣膜及堆積於第 2 絕緣膜上方之層間絕緣膜，與

貫通上述層間絕緣膜而到達在上述元件分離上之上述拉出電極上面之接觸孔，與

由埋填上述接觸孔之導電性材料所構成而對於上述拉出電極以電氣方式連接之接觸構件，與

形成於上述接觸構件及上述層間絕緣膜上而與上述接觸構件以電氣方式連接之第 2 配線材料。

1 4 . 如申請專利範圍第 1 0 ， 1 1 ， 1 2 ， 或 1 3 項所述之半導體裝置，其中，

上述活性領域係設有複數個，

形成於上述各活性領域之上述拉出電極之至少 1 個，為於上述複數之活性領域中之至少 2 個相鄰接之活性領域，跨越於夾住上述元件分離之 2 個不純物擴散領域所形成。

1 5 . 如申請專利範圍第 1 0 ， 1 1 ， 1 2 ， 或 1 3 項所述之半導體裝置，其中，

再備有形成於上述電極上之閘上絕緣膜，

位於上述閘電極兩側之上述各拉出電極係分別形成到上述第 1 絕緣膜之大約全面上，上述各拉出電極端部間之間隙為由上述第 2 絕緣膜所埋填。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 六、申請專利範圍

1 6 . 如申請專利範圍第 1 0 , 1 1 , 1 2 , 或 1 3 項所述之半導體裝置，其中，再備有：

上述活性領域為設置複數個，

形成於上述各拉出電極上之第 3 絕緣膜，與

在上述第 1 , 第 2 及第 3 絕緣膜上且在層間絕緣膜下方，將上述各不純物擴散領域，閘電極等互相連接所用之局部配線。

1 7 . 如申請專利範圍第 1 6 項所述之半導體裝置，其中，上述局部配線為至少在 1 處跨越上述閘電極上方。

1 8 . 一種半導體裝置，其係備有，

半導體基板，與

形成於上述半導體基板之一部分之元件分離，與

在由上述半導體基板之上述元件分離所圍繞領域所形成之複數活性領域，與

於上述各活性領域跨越上述活性領域及上述元件分離所形成之上述活性領域上，能夠做為閘電極功能之導電性構件，與

在上述各活性領域形成於上述導電性構件兩側之 2 個不純物擴散領域，同時

上述各不純物擴散領域係，從上述導電性構件之部分向兩側對於上述導電性構件延伸之後，為了鄰接之不純物擴散領域互相不接觸地在先端被彎曲，而此被彎曲之先端部為變成與上層配線之接觸部。

1 9 . 一種半導體裝置，其係備有，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 六、申請專利範圍

半導體基板，與

形成於上述半導體基板之一部分之元件分離，與

在由上述半導體基板之上述元件分離所圍繞領域所形成之複數活性領域，與

在上述各活性領域跨越上述活性領域及上述元件分離互相平行地延伸所形成之上述活性領域上做為閘電極發揮功能之複數導電性構件，與

於上述各活性領域形成於上述各導電性構件間與兩端導電性構件與元件分離之間所形成之複數不純物擴散領域，同時，

上述各不純物擴散領域之至少兩端之2個不純物擴散領域係，從接觸於上述導電性構件之部分在兩側向上述導電性構件平行地延伸之後，為了鄰接之不純物擴散領域互相不接觸地其先端被彎曲，而此被彎曲之先端部成為上層配線之接觸部。

20. 如申請專利範圍第19項所述之半導體裝置，其中，上述各導電性構件間之不純物擴散領域係，從接觸於上述導電性構件之部分在兩側向上述導電性構件平行地延伸之後，為了鄰接之不純物擴散領域互相不接觸地在先端被彎曲，而此被彎曲之先端部為變成與上層配線之接觸部。

21. 如申請專利範圍第18，19或20項所述之半導體裝置，其中，

再備有；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 六、申請專利範圍

上述活性領域，上述導電性構件及埋填於上述元件分離上之層間絕緣膜，與

貫通上述層間絕緣膜而到達上述活性領域上之上述導電性構件之接觸孔，與

由埋填上述各接觸孔之導電性材料所構成在上述導電性構件以電氣方式地連接之接觸構件，與

上述層間絕緣膜及形成於上述接觸構件上而對於上述接觸構件以電氣方式連接之配線構件。

22. 一種半導體裝置之製造方法，其係備有：

形成在半導體基板上至少圍繞1個活性領域之元件分離之第1製程，與

在上述活性領域上形成閘電極及閘上絕緣膜之第2製程，與

在位於上述半導體基板之上述閘電極之兩側方之領域導入不純物以形成不純物擴散領域之第3製程，與

上述第3製程之後，在基板上堆積絕緣膜之後，進行各向異性蝕刻，在上述閘電極及上述閘上絕緣膜兩側面上形成第1側壁之第4製程，與

上述第4製程之後，在基板上堆積導電性之後將此導電性膜形成圖樣，在覆蓋上述不純物擴散領域之領域，形成接觸於上述第1側壁之薄膜部從此薄膜部以階梯差變厚之厚膜部所成之拉出電極之第5製程，

上述第5製程之後，在基板上堆積絕緣膜之後，進行各向異性蝕刻，從上述拉出電極之階梯差側壁形成跨越上

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 六、申請專利範圍

述第 1 側壁之第 2 側壁之第 6 製程。

2 3 . 如申請專利範圍第 2 2 項所述之半導體裝置之製造方法，其中，再備有；

上述第 6 製程之後，在基板上堆積層間絕緣膜之製程，與

形成貫通上述層間絕緣膜而在到達上述活性領域上之上述閘電極上面之接觸孔之製程，與

在上述接觸孔內及上述層間絕緣膜上堆積導電性膜之後，將形成此導電性膜之圖樣，形成埋填上述接觸孔之接觸構件與連接於該接觸構件之配線構件之製程。

2 4 . 如申請專利範圍第 2 2 項所述之半導體裝置之製造方法，其中，再備有；

上述第 6 製程之後，在基板上堆積層間絕緣膜之製程，與

形成貫通上述層間絕緣膜而到達上述拉出電極上面之接觸孔之製程，與

在上述接觸孔內及上述層間絕緣膜上堆積導電性膜之後，形成此導電性膜之圖樣，埋填上述接觸孔之接觸構件與連接於該接觸構件而形成配線構件之製程。

2 5 . 如申請專利範圍第 2 2 ， 2 3 或 2 4 項所述之半導體裝置之製造方法，其中，

在上述第 1 製程，係形成區隔複數活性領域之元件分離，

在上述第 5 製程，係在上述複數之活性領域中之至少

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 六、申請專利範圍

2 個相鄰接之活性領域，在相鄰接之 2 個不純物擴散領域上形成與各不純物擴散領域間之元件分離上之拉出電極。

2 6 . 如申請專利範圍第 2 2 ， 2 3 或 2 4 項所述之半導體裝置之製造方法，其中，

上述第 5 製程，係將上述閘電極兩側之上述拉出電極，將其形成圖樣使能夠分別跨至上述各第 1 絕緣膜之大約全面上且各拉出電極間之間隙變成於上述第 6 製程可由第 2 側壁埋填之數值。

2 7 . 如申請專利範圍第 2 2 項所述之半導體裝置之製造方法，其中，再備有；

上述第 6 製程之後，形成將上述閘電極，不純物擴散領域等互相連接之局部配線之製程，與

在形成上述局部配線之基板上堆積層間絕緣膜之製程，

貫通上述局部配線形成到達上述局部配線上面之接觸孔之製程，與

在上述接觸孔內及上述局部配線上堆積導電性膜之後，將此導電性膜形成圖樣，來形成埋填上述接觸孔之接觸構件與連接於該接觸構件之配線構件之製程。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂