

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年1月2日(02.01.2020)



(10) 国際公開番号

WO 2020/003559 A1

(51) 国際特許分類:
H05B 37/02 (2006.01)

(21) 国際出願番号: PCT/JP2018/047534

(22) 国際出願日: 2018年12月25日(25.12.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-124080 2018年6月29日(29.06.2018) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).

(72) 発明者: 西上 義人 (NISHIGAMI Yoshito);
〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP). 佐々木 義和 (SASAKI Yoshikazu); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).

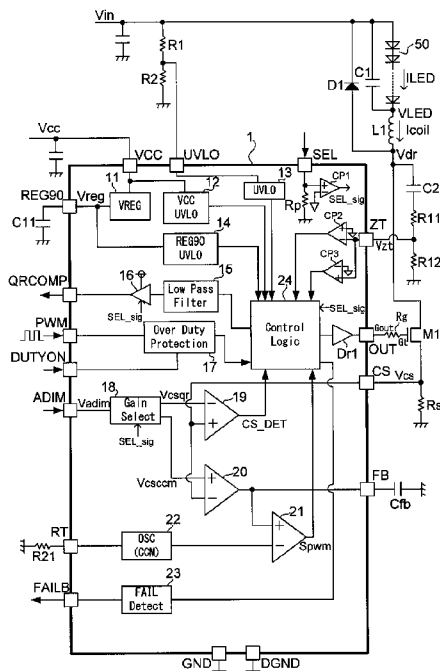
(74) 代理人: 特許業務法人 佐野特許事務所 (SANO PATENT OFFICE); 〒5400032 大阪府大阪市中央区天満橋京町2-6 天満橋八千代ビル別館5F Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,

(54) Title: LIGHT-EMITTING ELEMENT DRIVE DEVICE

(54) 発明の名称: 発光素子駆動装置



(57) Abstract: Provided is a light-emitting element drive device provided with a first external terminal connected to a control terminal of a switching element, and a drive control unit for, upon generating a drive signal for on/off control of the switching element, outputting the drive signal from the first external terminal, wherein the drive control unit has a coil current correction part for adjusting the drive signal on the basis of a delay in transition timing at which a coil current flowing in a coil changes from increasing to decreasing, thereby correcting the coil current.

(57) 要約: スイッチング素子の制御端子と接続される第1外部端子と、前記スイッチング素子をオンオフ駆動する駆動信号を生成して前記第1外部端子から出力する駆動制御部と、を備え、前記駆動制御部は、コイルを流れるコイル電流が増加から減少へ転じる折り返しタイミングの遅延に基づいて前記駆動信号を調整することで前記コイル電流を補正するコイル電流補正部を有する発光素子駆動装置である。

TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称：発光素子駆動装置

技術分野

[0001] 本発明は、発光素子駆動装置に関する。

背景技術

[0002] 従来、ＬＥＤ（発光ダイオード）に代表される発光素子を駆動する発光素子駆動装置が種々に提案されている。発光素子の一例であるＬＥＤを駆動する従来の発光素子駆動装置の外部においては、ＬＥＤを複数直列接続して構成したＬＥＤアレイの低電位側端（カソード）に対してコイルとスイッチング素子が順に直列に接続され、ＬＥＤアレイの両端間にコンデンサが並列接続され、コンデンサとコイルとの接続構成の両端間に還流用のダイオードが接続される。

[0003] 上記スイッチング素子がオンオフ制御されることで、ＬＥＤアレイに流れるＬＥＤ電流が制御される。スイッチング素子がオンとされると、上記コイルに流れる電流が増加し、スイッチング素子がオフとされると、上記コイルおよび上記ダイオードに流れる電流は減少する。上記コンデンサは、コイルに流れる電流を平均化してＬＥＤ電流とする。

[0004] なお、このような従来の発光素子駆動装置の一例は、特許文献１に開示されている。

先行技術文献

特許文献

[0005] 特許文献１：特開２０１６－９１７８１号公報

発明の概要

発明が解決しようとする課題

[0006] 上記従来の発光素子駆動装置では、スイッチング素子がオンの状態からオフになるときにコイルに流れる電流（コイル電流）は増加から減少へ転じる。しかしながら、例えば発光素子駆動装置の出力端子とスイッチング素子の

制御端子との間に接続される外付けの抵抗部品等による上記制御端子に印加される制御電圧のオフレベルへの切替えの遅れ等に起因して、コイル電流が増加から減少へ転じる折り返しタイミングが遅延する虞があった。この場合、その遅延分、コイル電流の増加が継続され、コイル電流を平均化したLED電流の値が所望値よりも高くなり、精度としての問題が生じる。

[0007] 上記問題点に鑑み、本発明は、発光素子に流れる電流の精度を向上させることができる発光素子駆動装置を提供することを目的とする。

課題を解決するための手段

[0008] 上記目的を達成するために本発明は、少なくとも一つの発光素子からなり、一端に入力電圧が印加される発光部と、
前記発光部の他端に一端が接続されるコイルと、
前記コイルの他端と前記発光部の一端との間に接続されるダイオードと、
前記コイルの他端に接続される第1端子を有するスイッチング素子と、
を含む外部構成における前記発光部を駆動する発光素子駆動装置であって、
前記スイッチング素子の制御端子と接続される第1外部端子と、
前記スイッチング素子をオンオフ駆動する駆動信号を生成して前記第1外部端子から出力する駆動制御部と、
を備え、
前記駆動制御部は、前記コイルを流れるコイル電流が増加から減少へ転じる折り返しタイミングの遅延に基づいて前記駆動信号を調整することで前記コイル電流を補正するコイル電流補正部を有する構成としている。

[0009] また、本発明の別態様は、少なくとも一つの発光素子からなり、一端に入力電圧が印加される発光部と、
前記発光部の他端に一端が接続されるコイルと、
前記コイルの他端と前記発光部の一端との間に接続されるダイオードと、
前記コイルの他端に接続される第1端子を有するスイッチング素子と、
を含む外部構成における前記発光部を駆動する発光素子駆動装置であって、
前記スイッチング素子の制御端子と接続される第1外部端子と、

前記スイッチング素子をオンオフ駆動する駆動信号を生成して前記第 1 外部端子から出力する駆動制御部と、

選択入力信号が入力される第 2 外部端子と、
を備え、

前記駆動制御部は、前記選択入力信号に応じて Q R モード (quasi-resonant : 擬似共振方式) と、 C C M モード (continuous current mode : 電流連続方式) と、を切替えて動作する構成としている。

発明の効果

[0010] 本発明の発光素子駆動装置によれば、発光素子に流れる電流の精度を向上させることができる。

図面の簡単な説明

[0011] [図1]本発明の一実施形態に係る発光素子駆動装置の全体構成を示す回路図である。

[図2] Q R モードでのコイル電流および L E D 電流の波形の一例を示す図である。

[図3] C C M モードでのコイル電流および L E D 電流の波形の一例を示す図である。

[図4] Q R モード時の L E D 電流補正機能を説明するためのタイミングチャートである。

[図5]図 1 に示した発光素子駆動装置において C C M モード時における電流帰還制御に関する構成のみを抽出した図である。

[図6] C C M モード時の L E D 電流補正機能を搭載した発光素子駆動装置を示す図である。

[図7]図 5 (図 1) に示す構成における C C M モード時の各種信号波形の一例を示すタイミングチャートである。

[図8]図 6 に示す構成における C C M モード時の各種信号波形の一例を示すタイミングチャートである。

[図9]一実施形態に係る発光素子駆動装置を I C パッケージ製品として上面か

ら視た図である。

[図10]一実施形態に係る発光素子駆動装置に備えられるチップにおける配置構成を示す平面図である。

[図11]液晶表示装置の構成例を示す図である。

発明を実施するための形態

[0012] 以下に本発明の一実施形態について図面を参照して説明する。

[0013] < 1. 発光素子駆動装置の全体構成 >

図1は、本発明の一実施形態に係る発光素子駆動装置の全体構成を示す回路図である。図1に示す発光素子駆動装置1は、複数のLEDを直列接続して構成されるLEDアレイ50を駆動する装置である。すなわち、発光素子駆動装置1は、駆動対象の発光素子の一例としてのLEDを駆動する装置である。ただし、駆動対象の発光素子は、LEDに限らなくてもよい。

[0014] また、本実施形態に係る発光素子駆動装置1は、QRモード（quasi-resonant：擬似共振方式）と、CCMモード（continuous current mode：電流連続方式）と、を切替えて動作することが可能となっている。すなわち、上記両モードを1つのICに搭載している。上記両モードの詳細については、後述する。

[0015] 発光素子駆動装置1は、図1に示すように、内部電圧生成部11と、IC電源UVLO部12と、UVLO部13と、内部電圧UVLO部14と、ローパスフィルタ15と、アンプ16と、ODP（Over Duty Protection）部17と、比較用電圧生成部18と、コンパレータ19と、エラーアンプ20と、コンパレータ21と、発振器22と、異常検出部23と、コントロールロジック部24と、を含む各構成部を集積化して構成される半導体ICである。

[0016] なお、コンパレータ19と、エラーアンプ20と、コンパレータ21と、発振器22と、コントロールロジック部24と、ドライバDr1と、コンパレータCP2と、から駆動制御部の一例が構成される。駆動制御部は、OUT端子から出力するゲート出力信号Gout（駆動信号）を生成する。

[0017] さらに、発光素子駆動装置 1 は、外部との電氣的接続を確立するための外部端子として、VCC端子、ULVO端子、SEL端子、REG90端子、QRCOMP端子、PWM端子、DUTYON端子、ADIM端子、RT端子、FAILB端子、ZT端子、OUT端子、CS端子、FB端子、DGNND端子、およびGND端子を有する。

[0018] 発光素子駆動装置 1 の外部には、それぞれ外付け部品として、分圧抵抗 R1, R2 と、ダイオード D1 と、コンデンサ C1 と、コイル L1 と、LEDアレイ 50 と、コンデンサ C2 と、分圧抵抗 R11, R12 と、スイッチング素子 M1 と、ゲート抵抗 Rg と、電流検出抵抗 Rs と、帰還コンデンサ Cfb と、コンデンサ C11 と、抵抗 R21 と、が配置される。

[0019] LEDアレイ 50 は、複数の LED を直列接続して構成される発光部である。ただし、その他にも、例えば、LED を直並列に接続して LEDアレイを構成してもよいし、LEDアレイの代わりに単一の LED であってもよい。

[0020] LEDアレイ 50 の高電位側端（アノード）には、入力電圧 Vin が印加される。LEDアレイ 50 の低電位側端（カソード）には、コイル L1 の一端が接続される。コイル L1 の他端には、還流用のダイオード D1 のアノードが接続される。ダイオード D1 のカソードには、LEDアレイ 50 の高電位側端が接続される。LEDアレイ 50 の両端間には、コンデンサ C1 が並列接続される。コンデンサ C1 は、コイル L1 に流れる電流であるコイル電流 I_{coil} を平均化して、LEDアレイ 50 に流れる電流である LED 電流 I_{LED} とする。

[0021] コイル L1 の他端には、一例として n チャネル MOSFET で構成されるスイッチング素子 M1 のドレインが接続される。スイッチング素子 M1 のソースには、電流検出抵抗 Rs を介してグランド電位の印加端が接続される。

[0022] UVLO (Under Voltage Lock Out) 端子には、入力電圧 Vin を分圧抵抗 R1, R2 で分圧した後の電圧が印加される。UVLO 部 13 は、UVLO 端子に印加された電圧が所定電圧を下回ると、コントロールロジック部

24にスイッチング素子M1をオフに維持してスイッチングを停止させる。すなわち、UVLO端子は、アプリケーション電源のUVLO用の端子である。

[0023] VCC端子には、電源電圧Vccが印加される。すなわち、VCC端子は、IC用の電源端子である。IC電源UVLO部12は、電源電圧Vccが所定電圧を下回ると、コントロールロジック部24にICをシャットダウンさせる。

[0024] 内部電圧生成部11は、電源電圧Vccに基づいて内部電圧Vregを生成する。生成された内部電圧Vregは、REG90端子から外部へ出力可能である。REG90端子は、9.0Vの出力端子である。ただし、ここでの出力電圧値は一例である。REG90端子には、外付けのコンデンサC11が接続される。コンデンサC11は、セラミックコンデンサであることが好ましい。

[0025] 内部電圧UVLO部14は、内部電圧Vregが所定電圧を下回ると、コントロールロジック部24にICをシャットダウンさせる。

[0026] コントロールロジック部24は、ドライバDr1を用いてOUT端子から外部へゲート出力信号Goutを出力する。ゲート出力信号Goutは、HighとLowからなるパルス信号である。OUT端子は、外付け部品であるゲート抵抗Rgを介してスイッチング素子M1のゲート（制御端子）に接続される。ゲート出力信号Goutはゲート抵抗Rgを介してゲート信号Gtとしてスイッチング素子M1のゲートに印加される。ゲート出力信号Goutによりスイッチング素子M1をオンオフさせる。

[0027] PWM端子には、外部よりパルス状のPWM調光信号が入力される。ODP部17は、DUTYON端子を介して外部より入力されるオンオフ設定信号に応じて、PWMオン時間制限機能を機能させるか否かを切替える。例えば、オンオフ設定信号がLowの場合に、PWM調光信号のオン時間が制限され、オンオフ設定信号がHighの場合に、PWMオン時間制限機能がオフとされる。

- [0028] コントロールロジック部24は、ODP部17から出力されるPWM調光信号がHighの期間はOUT端子からオンオフ用のゲート出力信号Goutを出力させ、Lowの期間はゲート出力信号GoutをLowに維持させる。これにより、PWM調光信号のオンデューティを調整することでLEDアレイ50の調光を行うことができる。
- [0029] SEL端子は、発光素子駆動装置1をQRモードで動作させるか、CCMモードで動作させるかを選択するための選択入力信号を入力される端子である。SEL端子は、IC内部においてプルダウン抵抗Rpによってプルダウンされる。SEL端子とプルダウン抵抗Rpとの接続ノードは、コンパレータCP1の非反転入力端に接続される。コンパレータCP1の反転入力端には、所定の参照電圧が印加される。選択入力信号がHighまたはLowに応じて、コンパレータCP1からHighまたはLowの選択信号SELsigが出力される。
- [0030] コントロールロジック部24は、入力される選択信号SELsigのレベルに応じて、QRモードまたはCCMモードを選択する。例えば、選択入力信号がHighの場合にQRモードが選択され、Lowの場合にCCMモードが選択される。
- [0031] CS端子およびコンパレータ19は、QRモード時の電流検出に用いられる。CS端子は、スイッチング素子M1と電流検出抵抗Rsとの接続ノードに接続される。コンパレータ19の非反転入力端には、コイル電流Icoilが電流検出抵抗Rsによって電流・電圧変換された後の電流検出信号Vcsが端子CSを介して入力される。
- [0032] コンパレータ19の反転入力端には、比較用電圧生成部18から出力される電流検出閾値電圧Vcsqrが入力される。コンパレータ19は、電流検出信号Vcsと電流検出閾値電圧Vcsqrとの比較結果をコントロールロジック部24に出力する。
- [0033] ここで、ADIM端子は、外部よりアナログ調光信号（アナログ電圧信号）を入力させるための外部端子である。比較用電圧生成部18は、選択信号

SEL_sigによりQRモードが選択されている場合、アナログ調光信号に第1ゲイン倍率だけ乗算した電流検出閾値電圧 V_{csqr} を出力する。アナログ調光信号を調整することでQRモードにおけるLEDアレイ50の調光を行うことができる。

[0034] CS端子およびエラーアンプ20は、CCMモード時の電流帰還制御に用いられる。エラーアンプ20の反転入力端には、CS端子を介して電流検出信号 V_{cs} が入力される。エラーアンプ20の非反転入力端には、比較用電圧生成部18から出力される参照電圧としての電流帰還電圧 V_{csccm} が入力される。エラーアンプ20の出力端には、FB端子が接続される。FB端子には、外付けのコンデンサ C_{fb} が接続される。

[0035] 比較用電圧生成部18は、選択信号SEL_sigによりCCMモードが選択されている場合、アナログ調光信号に第2ゲイン倍率だけ乗算した電流帰還電圧 V_{csccm} を出力する。アナログ調光信号を調整することでCCMモードにおけるLEDアレイ50の調光を行うことができる。

[0036] なお、比較用電圧生成部18による動作のより詳細については、後述する。

[0037] エラーアンプ20の出力端は、コンパレータ21の非反転入力端に接続される。コンパレータ21の反転入力端には、発振器22から出力される発振信号が入力される。当該発振信号は、例えばのこぎり状波形である。コンパレータ21は、エラーアンプ20の出力と発振信号との比較結果としてPWM信号 S_{pwm} をコントロールロジック部24に出力する。

[0038] なお、CCMモード時にはPWM制御の周波数は固定となるが、この周波数はRT端子に接続された外付けの抵抗 R_{21} によって設定される。

[0039] また、ZT端子は、QRモード時におけるコイル電流 I_{coil} のゼロクロスを検出するための端子であり、分圧抵抗 R_{11} 、 R_{12} の接続ノードに接続される。ZT端子には、コンパレータCP2の反転入力端が接続される。コンパレータCP2の非反転入力端には、所定の参照電圧が印加される。コンパレータCP2は、上記ゼロクロスの検出信号をコントロールロジック

部24に出力する。なお、コンパレータCP3もZT端子に接続されるが、コンパレータCP3はQRモード時におけるLED電流ILEDの補正制御に用いられ、その詳細については後述する。

[0040] アンプ16は、選択信号SEL_sigによりQRモードが選択されている場合、ローパスフィルタ15からの出力を増幅して出力を行う。コントロールロジック部24は、PWM調光信号がHighの場合に、OUT端子のゲート出力信号Goutをローパスフィルタ15へ出力する。これにより、ローパスフィルタ15は、ゲート出力信号Goutを平滑化して出力する。すなわち、QRCOMP端子は、選択信号SEL_sigによりQRモードが選択されている場合、且つ、PWM調光信号がHighの場合に、ゲート出力信号Goutのオンデューティに比例したDC電圧を外部へ出力する。QRCOMP端子から出力されたDC電圧は、ADIM端子に入力されるアナログ調光信号の生成に用いられ、QRモード時のLED電流のリニアリティを補正する。

[0041] また、コントロールロジック部24は、異常を検出した場合、異常検出部23を用いてFAILB端子から外部へ異常状態を示す異常信号を出力する。なお、異常信号は、異常状態か正常状態に応じて異なるレベルとなる。

[0042] また、GND端子は、ICのグラウンドをとるための端子である。DGND端子は、ICのデジタルグラウンドをとるための端子である。

[0043] <2. QRモードとCCMモード>

次に、QRモードとCCMモードにおける各動作について説明する。SEL端子に入力される選択入力信号によりQRモードが選択されると、その旨を示す選択信号SEL_sigによってコントロールロジック部24は、QRモードでの動作制御を行う。

[0044] コントロールロジック部24は、まずOUT端子からHighのゲート出力信号Goutを出力させ、スイッチング素子M1をオンさせる。すると、コイル電流Icoilがオンとなったスイッチング素子M1および電流検出抵抗Rsを流れ始めて増加してゆく。このとき、電流検出抵抗Rsにより検

出された電流検出信号 V_{cs} が増加する。そして、電流検出信号 V_{cs} が電流検出閾値電圧 V_{csqr} 以上となると、コンパレータ 19 の出力が $High$ に立ち上がり、コントロールロジック部 24 は、ゲート出力信号 G_{out} を Low へ立ち下げる。

[0045] これにより、スイッチング素子 $M1$ はオフとされ、スイッチング素子 $M1$ のドレイン電圧 V_{rd} が上昇し、コイル電流 I_{coil} はダイオード $D1$ を介して流れ始めて減少してゆく。このとき、 ZT 端子に印加される ZT 電圧 V_{zt} は、ドレイン電圧 V_{dr} の上昇に伴って上昇し、その後、徐々に低下する。そして、コイル電流 I_{coil} がゼロになったタイミングでドレイン電圧 V_{dr} が急激に低下し、 ZT 電圧 V_{zt} も急激に低下する。そして、 ZT 電圧 V_{zt} が所定の参照電圧以下となると、コンパレータ $CP2$ の出力が $High$ に立ち上がる。これにより、コイル電流 I_{coil} のゼロクロスが検出される。すると、コントロールロジック部 24 は、ゲート出力信号 G_{out} を $High$ に立ち上げ、再びスイッチング素子 $M1$ をオンさせる。

[0046] このような QR モードでのコイル電流 I_{coil} および LED 電流 I_{LED} の波形の一例を図 2 に示す。コイル電流 I_{coil} はゼロから増加した後、所定電流値で減少に転じ、ゼロに達すると再び増加する。図 2 で領域 $A1$ に示すように、 QR モードではスイッチング素子 $M1$ のターンオン時にスイッチング素子 $M1$ に電流が流れないソフトスイッチングが行われるため、発熱（損失）およびノイズの発生が抑制される。ただし、コイル電流 I_{coil} の振幅が大きくなるので、コイル電流 I_{coil} を平均化した LED 電流 I_{LED} のリップルは大きくなる。

[0047] 一方、選択入力信号により CCM モードが選択された場合、コントロールロジック部 24 は、 CCM モードの動作制御を行う。ここでは、エラーアンプ 20 およびコンパレータ 21 が有効となり、コンパレータ 21 から出力される PWM 信号 S_{pwm} に応じてコントロールロジック部 24 は、 $High$ と Low からなるゲート出力信号 G_{out} を出力させ、スイッチング素子 $M1$ をオンオフ制御する。すなわち、電流検出信号 V_{cs} の平均値が電流帰還

電圧 V_{csccm} と一致するように PWM 信号 S_{pwm} のオンデューティが調整される電流帰還制御が行われる。これにより、コイル電流 I_{coil} の平均値が所望値と一致するように制御される。

[0048] このような CCM モードでのコイル電流 I_{coil} および LED 電流 I_{LED} の波形の一例を図 3 に示す。PWM 信号 S_{pwm} に応じてスイッチング素子 $M1$ がオンオフされ、コイル電流 I_{coil} は増加・減少を繰り返す。コイル電流 I_{coil} は、常に流れる状態で制御される。スイッチング素子 $M1$ のスイッチング周期は、固定となる。このとき、コイル電流 I_{coil} の振幅は小さいので、LED 電流 I_{LED} のリップルは小さくなる。ただし、図 3 に領域 A2 で示すように、スイッチング素子 $M1$ のターンオン時にスイッチング素子 $M1$ に電流が流れるハードスイッチングが行われるため、発熱（損失）およびノイズの発生点では不利となる。

[0049] このように、本実施形態の発光素子駆動装置 1 では、1 つの IC で選択入力信号によって QR モードおよび CCM モードを選択可能となるので、設計の自由度が向上する。なお、両モードのうち一方のモードが動作中に、他方のモードの動作へ切替えることも可能である。これにより、例えば、LED の輝度を低輝度から高輝度へ切替えるときに、QR モードから LED 電流のリップルが小さい CCM モードへ切替えることができる。

[0050] < 3. 電流検出閾値電圧 V_{csqr} および電流帰還電圧 V_{csccm} の設定 >

ここで、比較用電圧生成部 18 による電流検出閾値電圧 V_{csqr} および電流帰還電圧 V_{csccm} の設定について詳述する。

[0051] QR モードの選択時、電流検出閾値電圧 V_{csqr} は基本的に下記 (1) 式で設定される。

$$V_{csqr} = V_{adim} \times G1 \cdots (1)$$

ただし、 V_{adim} はアナログ調光信号、 $G1$ は第 1 ゲイン倍率

[0052] CCM モードの選択時、電流帰還電圧 V_{csccm} は基本的に下記 (2) 式で設定される。

$$V_{csccm} = V_{adim} \times G2 \quad \dots (2)$$

ただし、 V_{adim} はアナログ調光信号、 $G2$ は第2ゲイン倍率

[0053] そして、第1ゲイン倍率 $G1$ は、第2ゲイン倍率 $G2$ の2倍に設定される（例えば、 $G1=0.7$ 、 $G2=0.35$ ）。これにより、同じアナログ調光信号 V_{adim} の設定値で、両方のモードにおいてLED電流 I_{LED} の電流値を同様のものとさせることができる。

[0054] さらに詳細には本実施形態では、DUTYON端子に入力されるオンオフ設定信号の設定によるODP部17の機能のオンオフに応じて、電流検出閾値電圧 V_{csqr} および電流帰還電圧 V_{csccm} が以下のように設定される。

[0055] ※QRモード選択時、且つODP部17の機能オンの場合

$$V_{csqr} = V_{adim} \times G1 \quad (V_{adim} \leq V_{clp1}) \quad \dots (11)$$

$$V_{csqr} = V_{clp1} \times G1 \quad (V_{adim} > V_{clp1}) \quad \dots (12)$$

※QRモード選択時、且つODP部17の機能オフの場合

$$V_{csqr} = V_{adim} \times G1 \quad (V_{adim} \leq V_{clp2}) \quad \dots (13)$$

$$V_{csqr} = V_{clp2} \times G1 \quad (V_{adim} > V_{clp2}) \quad \dots (14)$$

[0056] ※CCMモード選択時、且つODP部17の機能オンの場合

$$V_{csccm} = V_{adim} \times G2 \quad (V_{adim} \leq V_{clp1}) \quad \dots (15)$$

$$V_{csccm} = V_{clp1} \times G2 \quad (V_{adim} > V_{clp1}) \quad \dots (16)$$

※CCMモード選択時、且つODP部17の機能オフの場合

$$V_{csccm} = V_{adim} \times G2 \quad (V_{adim} \leq V_{clp2}) \quad \dots (17)$$

$$V_{csccm} = V_{clip2} \times G2 \quad (V_{adim} > V_{clip2})$$

・・・ (18)

[0057] ただし、 V_{clip1} および V_{clip2} は、アナログ調光信号 V_{adim} のクランプ電圧であり、 $V_{clip1} > V_{clip2}$ である。

[0058] すなわち、クランプ電圧 V_{clip1} および V_{clip2} によって電流検出閾値電圧 V_{csqr} および電流帰還電圧 V_{csccm} を制限することができる。また、ODP部17の機能オンの場合に使用する V_{clip1} が機能オフの場合に使用する V_{clip2} よりも高いのは、機能オンの場合はPWM調光信号のオン時間が制限されるので、電流検出閾値電圧 V_{csqr} および電流帰還電圧 V_{csccm} の制限を緩めても問題ないからである。

[0059] <4. QRモード時のLED電流補正>

本実施形態の発光素子駆動装置1では、QRモード時においてLED電流 I_{LED} (コイル電流 I_{coil}) を補正して高精度化する機能を有しており、ここでは、本機能について図4に示すタイミングチャートを用いて説明する。

[0060] スイッチング素子M1のオンにより、図4に示すタイミングt0でコイル電流 I_{coil} がゼロから増加し始め、電流検出信号 V_{cs} も上昇し始める。その後、タイミングt1で電流検出信号 V_{cs} が電流検出閾値電圧 V_{csqr} に達すると、コンパレータ19の出力信号 CS_DET がHighに立ち上がる。

[0061] その後の遅れたタイミングt2で、コントロールロジック部24により出力されるゲート出力信号 G_{out} はLowに立ち下がる。ここで、外付け部品のゲート抵抗 R_g および不図示のゲート容量の存在によって、ゲート信号 G_t が或る傾きをもってタイミングt3まで低下する。

[0062] タイミングt3でスイッチング素子M1のターンオフによってドレイン電圧 V_{dr} が上昇し始め、タイミングt4でドレイン電圧 V_{dr} はLED電圧 V_{LED} に達する。このタイミングt4にて、コイル電流 I_{coil} は増加から減少へ転じる。すなわち、内部回路によるタイミングt1からt2まで

の遅延、外付け部品等によるタイミング t_2 から t_3 までの遅延、およびドレイン電圧 V_{dr} の立ち上がりによるタイミング t_3 から t_4 までの遅延の累積として、コイル電流 I_{coil} が増加から減少へ転じる折り返しタイミングの遅延が遅延時間 DT_{qr} だけ生じてしまう。これにより、遅延時間 DT_{qr} の期間だけコイル電流 I_{coil} の増加が維持される。従って、コイル電流 I_{coil} を平均化したLED電流 I_{LED} が高めにずれて、電流精度に問題が生じる。

[0063] そこで、本実施形態では、ZT端子に発生するZT電圧 V_{zt} を用いて制御を行う。図4に示すように、タイミング t_3 からのドレイン電圧 V_{dr} の上昇に伴って、ZT電圧 V_{zt} も上昇し、タイミング t_4 でZT電圧 V_{zt} は所定の閾値電圧 ZTH_1 に達する。閾値電圧 ZTH_1 は、コンパレータCP3の参照電圧として設定され、タイミング t_4 にてコンパレータCP3の出力はHighに立ち上がる。従って、本実施形態では、コントロールロジック部24は、コンパレータ19の出力信号CS_DETが立ち上がるタイミング t_1 からカウントを開始し、コンパレータCP3の出力がHighとなるタイミング t_4 までカウントすることで、遅延時間 DT_{qr} を検出する。

[0064] そして、コントロールロジック部24は、遅延時間 DT_{qr} に応じてアナログ調光信号 $Adim$ を調整する。これにより、電流検出閾値電圧 V_{csqr} が調整されて、コイル電流 I_{coil} ひいてはLED電流 I_{LED} を補正することができる。なお、上記のようにアナログ調光信号 $Adim$ へフィードバックする方法の他、コントロールロジック部24は、ゲート出力信号 $Gout$ のオンデューティを調整してもよい。すなわち、コントロールロジック部24は、コイル電流補正部の一例に相当する。

[0065] このようにして、本実施形態では、QRモード時におけるコイル電流 I_{coil} の折り返しタイミングの遅延を検出し、LED電流 I_{LED} の精度向上を図ることができる。特に、QRモード時のゼロクロス検出に用いるZT端子のZT電圧 V_{zt} を流用して遅延時間 DT_{qr} の検出を行うことができる。

[0066] なお、図4に示すようにコイル電流 I_{coil} が減少してゼロに達したタイミング t_5 にて、ドレイン電圧 V_{dr} は急激に低下し、それに伴ってZT電圧 V_{zt} も低下する。ZT電圧 V_{zt} が閾値電圧 ZTH_2 に達するタイミング t_6 にて、コンパレータCP2の出力はHighに立ち上がって、コイル電流 I_{coil} のゼロクロスが検出される。すなわち、コンパレータCP2の参照電圧として閾値電圧 ZTH_2 が設定される。

[0067] ZTH_2 はゼロに近い値に設定され、 ZTH_1 は ZTH_2 よりも高く ZTH_2 と電圧レベルが異なるので、本実施形態では、コンパレータCP2とコンパレータCP3の両方を備える構成としている。このように、 ZTH_1 との比較用にコンパレータCP3を設けることで、遅延時間 $DTqr$ を精度良く検出できる。ただし、ゼロクロス検出用のコンパレータCP2を遅延時間 $DTqr$ 検出用に兼用することも可能である。その場合、部品点数の削減が可能となる。

[0068] <5. CCMモード時のLED電流補正>

また、本実施形態の発光素子駆動装置では、CCMモード時においてLED電流 I_{LED} （コイル電流 I_{coil} ）を補正して高精度化する機能を搭載することも可能であり、ここでは、本機能について説明する。

[0069] 図5は、図1に示した発光素子駆動装置1においてCCMモード時における電流帰還制御に関する構成のみを抽出した図である。なお、図5で示すスイッチング制御部1Aは、コンパレータ21、発振器22、コントロールロジック部24、およびドライバDr1を含んだ機能部であり、エラーアンプ20からの出力に基づいてゲート出力信号 G_{out} をOUT端子から出力する。図5に示した構成では、CCMモード時にLED電流を補正する機能を搭載していない状態である。

[0070] 図5の構成ではスイッチング制御部1Aは、電流検出信号 V_{cs} の平均値が電流帰還電圧 V_{csccm} に一致するようにゲート出力信号 G_{out} のオンデューティを調整する。

[0071] 図7は、図5（図1）に示す構成におけるCCMモード時の各種信号波形

の一例を示すタイミングチャートである。図7に示すタイミング t_{10} でゲート出力信号 G_{out} はHighであり、スイッチング素子M1のターンオンによってコイル電流 I_{coil} が増加を開始し、電流検出信号 V_{cs} は0Vから急峻に立ち上がり、その後上昇する。

[0072] オンデューティの調整によりゲート出力信号 G_{out} がタイミング t_{11} でLowへ切替えられる。外付けのゲート抵抗 R_g および不図示のゲート容量の存在によって、遅れたタイミング t_{12} にてゲート信号 G_t はLowへ切替わる。

[0073] スwitching素子M1のターンオフにより、タイミング t_{12} からドレイン電圧 V_{dr} が上昇し、タイミング t_{13} にてドレイン電圧 V_{dr} がLED電圧 V_{LED} に達する。このタイミング t_{13} にてコイル電流 I_{coil} は、増加から減少へ転じる。

[0074] 図5に示す構成では、エラーアンプ20は、ゲート出力信号 G_{out} がHighとなる期間のみ電流検出信号 V_{cs} をモニタする。これにより、図7に示すように、電流検出信号 V_{cs} の平均値が電流帰還電圧 $V_{cs_{ccm}}$ に一致するようゲート出力信号 G_{out} のオンデューティが調整される。しかしながら、タイミング $t_{11} \sim t_{13}$ までの遅延時間 DT_{ccm} の発生により、その遅延時間 DT_{ccm} の期間だけコイル電流 I_{coil} が増加を継続し、コイル電流 I_{coil} の平均値が所望値 I_{ccm} よりも高めにずれてしまう。従って、LED電流 I_{LED} の精度に問題が生じる。すなわち、IC（発光素子駆動装置）としては正確に制御できているつもりでも、実際にはLED電流 I_{LED} にずれが生じる。

[0075] そこで、図5に示した構成を図6に示すような構成とすることで、LED電流 I_{LED} の補正制御が可能となる。図6に示す発光素子駆動装置100は、図5（図1）に示す発光素子駆動装置1の構成を一部改変したものとなる。

[0076] 図6に示す発光素子駆動装置100では、図5の構成との相違点として、CS端子とエラーアンプ20の反転入力端との間にサンプルホールド部10

0 Aを挿入する。また、図6の構成では、Z T端子のZ T電圧 V_{zt} も使用する。エラーアンプ20は、サンプルホールド部100 Aから出力されるサンプリング出力 V_{smp} をモニタする。なお、サンプルホールド部100 Aと、エラーアンプ20と、スイッチング制御部1 Aと、から駆動制御部またはコイル電流補正部の一例が構成される。

[0077] 図8は、図6に示す構成におけるCCMモード時の各種信号波形の一例を示すタイミングチャートである。図8で示すタイミング $t_{10} \sim t_{11}$ のゲート出力信号 G_{out} がHighとなる期間では、サンプルホールド部100 Aは、電流検出信号 V_{cs} をそのままサンプリング出力 V_{smp} として出力する。

[0078] そして、タイミング t_{11} でゲート出力信号 G_{out} がLowへ切替わると、サンプルホールド部100 Aは、そのタイミングでのサンプリング出力 V_{smp} を維持するホールド動作を行う。タイミング t_{11} の後のタイミング t_{12} で、ドレイン電圧 V_{dr} が上昇を開始するが、それに伴ってZ T端子のZ T電圧 V_{zt} も上昇する。そして、ドレイン電圧 V_{dr} がLED電圧 V_{LED} に達するタイミング t_{13} にてZ T電圧 V_{zt} が閾値電圧 Z_{th} に達する。エラーアンプ20は、ゲート出力信号 G_{out} がHighに切替わってからZ T電圧 V_{zt} が閾値電圧 Z_{th} に達するまでの期間のみサンプリング出力 V_{smp} をモニタする。

[0079] 図6に示す構成では、サンプリング出力 V_{smp} の平均値が電流帰還電圧 V_{cscm} に一致するようゲート出力信号 G_{out} のオンデューティが調整されるが、図8に示すように、遅延時間 $D T_{ccm}$ に相当する期間だけサンプルホールド部100 Aによってホールドされたサンプリング出力 V_{smp} が付加されてモニタされるため、サンプリング出力 V_{smp} の平均値は高めに補正される。これにより、図8に矢印にて示すように、サンプリング出力 V_{smp} およびコイル電流 I_{coil} が低めに補正される。従って、LED電流 I_{LED} が所望値に近づくように補正され、電流精度を向上できる。

[0080] また、別の方法として、先述したQRモードにおける方法と同様の方法を

CCMモードに適用することもできる。すなわち、コントロールロジック部24は、図8に示すゲート出力信号GoutがHighからLowに切替わるタイミングt11からカウントを開始し、ZT電圧Vztが閾値電圧Zthに達するタイミングt13までカウントすることで、遅延時間DTccmを検出する。この場合、図1の構成において、ZT電圧Vztを閾値電圧Zthと比較するコンパレータを設ければよい。そして、コントロールロジック部24は、検出された遅延時間DTccmに応じてアナログ調光信号Adimを調整する。これにより、電流帰還電圧Vcsccmが調整されて、コイル電流IcoilひいてはLED電流ILEDを補正することができる。なお、上記のようにアナログ調光信号Adimへフィードバックする方法の他、コントロールロジック部24は、ゲート出力信号Goutのオンデューティを調整してもよい。

[0081] なお、CCMモード時にQRモード時と同様にコンパレータを用いて制御を行う変形実施形態も可能であり、その場合は、エラーアンプ20およびFB端子は不要である。このような変形実施形態の第1例としては、ゲート出力信号GoutをLowからHighへ切替えてスイッチング素子M1をオンさせるタイミングからコントロールロジック部24が時間計測を開始する。そして、コントロールロジック部24は、基準電圧と電流検出信号Vsとが入力されるコンパレータの出力を監視し、電流検出信号Vsが基準電圧以上となったタイミングで時間計測を終了し、そのタイミングから上記時間計測の開始から終了までの計測時間と等しい時間だけ経過したタイミングでゲート出力信号GoutをHighからLowへ切替える。これにより、コイル電流Icoilの平均値を基準電圧で規定される所望電流値に制御することができる。

[0082] また、変形実施形態の第2例としては、コントロールロジック部24は、スイッチング素子M1をターンオンしたときの電流検出信号Vsと基準電圧との差を検出し、検出された差を基準電圧に加えて決定される電圧をQRモード時と同様の電流検出閾値電圧として、コンパレータの出力を監視してゲ

ート出力信号 G_{out} を H_{igh} から L_{ow} へ切替えるタイミングを決定する。これにより、コイル電流 I_{coil} の平均値を基準電圧で規定される所望電流値に制御することができる。

[0083] そして、上記第1、第2例に係る変形実施形態の場合に、上述したようにコントロールロジック部24が遅延時間 $D_{T_{ccm}}$ を検出し、検出された遅延時間 $D_{t_{ccm}}$ に応じて基準電圧またはオン時間を調整すれば、コイル電流 I_{coil} を補正することができる。

[0084] <6. ICパッケージのピン配置>

図9は、本実施形態に係る発光素子駆動装置1（または100）をICパッケージ製品として上面から見た図である。図9では、各外部端子の配置（ピン配置）が示されている。図9に示すICパッケージは、SOP（Small Outline Package）として構成される。各外部端子であるリードフレームは、ボンディングワイヤ（Auワイヤ等）によってLSIチップの電極と接続され、LSIチップとリードフレームは封止材（エポキシ樹脂等）により封止される。

[0085] 図9に示すように、ICパッケージは上面から見て長方形の封止材を有する。当該封止材は、一方の長辺である第1辺と、第1辺と対向して平行な長辺である第2辺と、を有する。第1辺に沿って、VCC端子、UVLO端子、SEL端子、PWM端子、QRCOMP端子、ADIM端子、FAILB端子、およびDUTYON端子が順に配列される。また、第2辺に沿って、REG90端子、CS端子、OUT端子、GND端子、DGND端子、FB端子、ZT端子、およびRT端子が順に配列される。

[0086] 入力電源系のVCC端子およびUVLO端子、並びに、不図示のマイコンとの入出力関係であるSEL端子、PWM端子、QRCOMP端子、ADIM端子、FAILB端子、およびDUTYON端子を、ICパッケージをPCB（基板）に実装する際の配線を考慮し、同一の長辺側にまとめて配置している。

[0087] また、FB端子は、DGND端子とZT端子との間に配置している。FB

端子に仮に高電圧が印加されると、CCRモード時においてPWM制御のオンデューティが非常に大きくなり、LED電流が過電流となる虞がある。しかしながら、FB端子が仮に隣接するDGND端子、またはZT端子とショートしても、DGND端子およびZT端子は低電圧が印加される端子であり、FB端子に低電圧が印加されるので問題はない。

[0088] <7. チップにおける配置構成>

図10は、本実施形態に係る発光素子駆動装置1に備えられるチップ101における電極パッドの配置および図1に示される各構成部が配置される各領域の配置を示す平面図である。

[0089] なお、図10において、X軸方向と、X軸方向に直交するY軸方向とを示しており、X軸方向はさらに具体的にはX1方向とX2方向で示し、Y軸方向はさらに具体的にはY1方向とY2方向で示している。X2方向とY2方向とは、互いに近づく方向となる。

[0090] 図10に示すチップ101は、外形として矩形状を有する。当該矩形状は、X2方向側でY軸方向に延びる第1辺S1と、Y2方向側でX軸方向に延びる第2辺S2と、X1方向側でY軸方向に延びる第3辺S3と、Y1方向側でX軸方向に延びる第4辺S4と、を有する。

[0091] チップ101は、電極パッドとして、2つのVCCパッド、UVLOパッド、SELパッド、PWMパッド、QRCOMPパッド、ADIMパッド、FAILBパッド、DUTYONパッド、RTパッド、ZTパッド、FBパッド、DGNDパッド、2つのGNDパッド、2つのOUTパッド、CSパッド、2つのREG90パッドを有する。これらの各パッドは、図9に示すICパッケージの各端子に対応して設けられる。

[0092] 第1辺S1に沿っては、CSパッド、第1REG90パッド、第2REG90パッド、第1VCCパッド、第2VCCパッド、UVLOパッドがこの順番にY2方向に配置される。第2辺S2に沿っては、SELパッド、PWMパッド、QRCOMPパッド、ADIMパッド、FAILBパッドがこの順番にX1方向に配置される。第3辺S3に沿っては、DUTYONパッド

、RTパッド、ZTパッドがこの順番にY1方向に配置される。第4辺S4に沿っては、FBパッド、DGNDパッド、第1GNDパッド、第2GNDパッド、第1OUTパッド、第2OUTパッドがこの順番にX2方向に配置される。

[0093] チップ101は、図1に示される各構成部を配置される領域として、A領域～M領域を有する。

[0094] A領域、B領域、C領域は、X1方向視でこの順番にY2方向に配置される。A領域は、Y2方向視で第1OUTパッドおよび第2OUTパッドとX軸方向に重なり、同時に、X1方向視でCSパッドとY軸方向に重なり、B領域は、Y2方向視でA領域とX軸方向に重なり、同時に、X1方向視で第1REG90パッドおよび第2REG90パッドとY軸方向に重なり、B領域は、X1方向視で第1VCCパッドとはY軸方向に重ならない。

[0095] 第1VCCパッドおよび第2VCCパッドは、トップメタル配線を介して、B領域に配置される内部電圧生成部11の入力端に接続される。内部電圧生成部11は、パワートランジスタを含む。内部電圧生成部11の出力端は、トップメタル配線を介して、A領域に配置されるドライバDr1の電源入力端に接続される。ドライバDr1は、パワートランジスタを含む。これにより、第1VCCパッドおよび第2VCCパッドに印加される電源電圧Vccに基づき内部電圧生成部11により生成された内部電圧Vregは、ドライバDr1の電源電圧として供給される。ドライバDr1の出力端は、第1OUTパッドおよび第2OUTパッドに接続される。

[0096] A領域は、Y2方向視で第1GNDパッドおよび第2GNDパッドとX軸方向に重ならない。ドライバDr1のグランド端は、第1GNDパッドおよび第2GNDパッドと接続される。

[0097] このように、第1、第2REG90パッドおよび第1、第2VCCパッドは、B領域の近くに配置され、A領域は、第1、第2OUTパッドおよび第1、第2GNDパッドの近くに配置される。

[0098] C領域は、X1方向視で第1VCCパッドとY軸方向に重ならず、X1方

向視で第2 V C CパッドおよびU V L OパッドとY軸方向に重なる。C領域は、Y 2方向視でB領域とX軸方向に重なる。これにより、C領域は、U V L Oパッドの近くに配置される。U V L O部13は、C領域に配置される。

[0099] C領域～H領域は、Y 1方向視でこの順番にX 1方向に配置される。D領域は、Y 1方向視でS E LパッドよりX 1方向側へずれており、S E LパッドとX軸方向に重ならない。また、D領域は、X 2方向視でC領域とY軸方向に重なる。これにより、D領域は、S E Lパッドの近くに配置される。コンパレータC P 1は、D領域に配置される。

[0100] E領域は、Y 1方向視でP W MパッドおよびQ R C O M PパッドとX軸方向に重なる。E領域は、X 2方向視でC領域とY軸方向に重なるがD領域とY軸方向に重ならない。O D P部17は、E領域に配置される。X 2方向視でのP W MパッドとE領域との間のY軸方向の距離は、Y 1方向視でのD U T Y O NパッドとE領域との間のX軸方向の距離よりも短い。これは、P W Mパッドに印加されるP W M調光信号に比べて、D U T Y O Nパッドに印加されるオンオフ設定信号はH i g hレベルまたはL o wレベルで一定であり、D U T Y O Nパッドに印加される信号へのノイズの許容度は大きいからである。

[0101] F領域は、Y 1方向視でQ R C O M PパッドからX 1方向側へずれており、Q R C O M PパッドとX軸方向に重ならず、A D I MパッドとX軸方向に重なる。F領域は、X 2方向視でD領域およびE領域とY軸方向に重なる。アンプ16は、F領域に配置される。F領域は、Q R C O M Pパッドの近くに配置される。

[0102] G領域は、Y 1方向視でA D I MパッドとX軸方向に重なり、X 2方向視でF領域とY軸方向に重なる。比較用電圧生成部18は、G領域に配置される。G領域は、A D I Mパッドの近くに配置される。A D I Mパッドにはアナログ電圧であるアナログ調光信号が印加されるので、ノイズを抑制し、調光への影響を抑制している。

[0103] H領域は、Y 1方向視でF A I L BパッドとX軸方向に重なり、X 2方向

視でG領域とY軸方向に重なる。異常検出部23は、H領域に配置される。H領域は、F A I L Bパッドの近くに配置される。

[0104] G, H領域からなる組、I領域、J領域は、X2方向視でこの順番にY1方向に配置される。I領域は、X2方向視でD U T Y O NパッドからY1方向側へずれており、D U T Y O NパッドとY軸方向に重ならず、R TパッドとY軸方向に重なる。発振器22は、I領域に配置される。I領域は、R Tパッドの近くに配置される。

[0105] J領域は、X2方向視でR TパッドからY1方向側へずれており、R TパッドとY軸方向に重ならず、Z TパッドとY軸方向に重なる。コンパレータC P 2, C P 3は、J領域に配置される。J領域は、Z Tパッドの近くに配置される。

[0106] J領域、K領域、L領域、A領域は、Y2方向視でこの順番にX2方向に配置される。K領域は、Y2方向視でF BパッドからX2方向側へずれており、F BパッドとX軸方向に重ならず、D G N DパッドとX軸方向に重なる。K領域は、X2方向視でJ領域とY軸方向に重なる。エラーアンプ20は、K領域に配置される。K領域は、F Bパッドの近くに配置される。

[0107] L領域は、Y2方向視で第1、第2 G N DパッドとX軸方向に重なる。L領域は、X2方向視でK領域とY軸方向に重なる。コンパレータ19は、L領域に配置される。

[0108] A領域～L領域によって外側を囲まれるチップ101の中央部にM領域が配置される。コントロールロジック部24は、M領域に配置される。

[0109] <8. 液晶表示装置(L C D)への適用>

以上説明した実施形態に係る発光素子駆動装置を適用する対象の一例として、液晶表示装置(電子機器の一例)について説明する。液晶表示装置の構成例を図11に示す。なお、図11に示す構成は所謂エッジライト方式のものであり、これに限らず直下方式の構成でもよい。

[0110] 図11に示す液晶表示装置Xは、バックライト81と、液晶パネル82と、を備えている。バックライト81は、液晶パネル82を背面から照明する

照明装置（発光装置の一例）である。バックライト 8 1 は、LED 光源部 8 1 1、導光板 8 1 2、反射板 8 1 3、および光学シート類 8 1 4 を有している。

[0111] LED 光源部 8 1 1 は LED と、LED を実装する基板を含んでおり、当該 LED を駆動する発光素子駆動装置として先述した実施形態のものを適用できる。LED 光源部 8 1 1 から出射された光は、導光板 8 1 2 の側面から内部に入光される。例えばアクリル板で構成される導光板 8 1 2 は、内部に入光された光を全反射させながら内部全体に導き、光学シート類 8 1 4 が配される側の面から面状の光として出射させる。反射板 8 1 3 は、導光板 8 1 2 から漏れ出た光を反射させて導光板 8 1 2 の内部へ戻す。光学シート類 8 1 4 は、拡散シートやレンズシート等からなり、液晶パネル 8 2 に照明する光の輝度均一化や輝度向上等を目的とする。

[0112] < 9. その他 >

以上、本発明の実施形態について説明したが、本発明の趣旨の範囲内であれば、実施形態は種々の変更が可能である。

[0113] 例えば、本発明では、発光素子駆動装置は、QR モードと CCM モードのうち一方のみを備えていてもよい。特に、コイル電流 I_{coil} の振幅が比較的小さくなる CCM モードのみを備える発光素子駆動装置の場合は、コイル電流 I_{coil} を平均化するコンデンサ C 1 を必ずしも設けなくてもよい。なお、QR モードと CCM モードの両方のモードを備える場合でも、コンデンサ C 1 を設けない構成は採用されうる。

産業上の利用可能性

[0114] 本発明は、例えば、LED を駆動する発光素子駆動装置に利用することができる。

符号の説明

[0115] 1 発光素子駆動装置
 1 1 内部電圧生成部
 1 2 IC 電源 UVLO 部

1 3 U V L O 部
1 4 内部電圧 U V L O 部
1 5 ローパスフィルタ
1 6 アンプ
1 7 O D P (Over Duty Protection) 部
1 8 比較用電圧生成部
1 9 コンパレータ
2 0 エラーアンプ
2 1 コンパレータ
2 2 発振器
2 3 異常検出部
2 4 コントロールロジック部
5 0 L E D アレイ
C P 1 ~ C P 3 コンパレータ
D r 1 ドライバ
R 1 , R 2 分圧抵抗
D 1 ダイオード
C 1 コンデンサ
L 1 コイル
C 2 コンデンサ
R 1 1 , R 1 2 分圧抵抗
M 1 スイッチング素子
R s 電流検出抵抗
R g ゲート抵抗
C f b コンデンサ
1 0 0 発光素子駆動装置
1 0 0 A サンプルホールド部
1 A スイッチング制御部

1 0 1 チップ

請求の範囲

- [請求項1] 少なくとも一つの発光素子からなり、一端に入力電圧が印加される発光部と、
- 前記発光部の他端に一端が接続されるコイルと、
- 前記コイルの他端と前記発光部の一端との間に接続されるダイオードと、
- 前記コイルの他端に接続される第1端子を有するスイッチング素子と、
- を含む外部構成における前記発光部を駆動する発光素子駆動装置であって、
- 前記スイッチング素子の制御端子と接続される第1外部端子と、
- 前記スイッチング素子をオンオフ駆動する駆動信号を生成して前記第1外部端子から出力する駆動制御部と、
- を備え、
- 前記駆動制御部は、前記コイルを流れるコイル電流が増加から減少へ転じる折り返しタイミングの遅延に基づいて前記駆動信号を調整することで前記コイル電流を補正するコイル電流補正部を有する、
- 発光素子駆動装置。
- [請求項2] 前記外部構成は、
- 前記スイッチング素子の第2端子に一端が接続される電流検出抵抗と、
- と、
- 前記コイルの他端に一端が接続される第1コンデンサと、
- 前記第1コンデンサの他端に接続される分圧抵抗と、
- をさらに含み、
- 当該発光素子駆動装置は、
- 前記第2端子と前記電流検出抵抗との接続ノードに接続される第2外部端子と、
- 前記分圧抵抗の接続ノードが接続される第3外部端子と、

をさらに備え、

前記駆動制御部は、

前記第2外部端子に生じる電流検出信号と電流検出閾値電圧とを比較する第1コンパレータと、

前記第3外部端子に生じるZT電圧が入力され、前記コイル電流のゼロクロス検出に用いられる第2コンパレータと、

を有し、

前記コイル電流補正部は、前記電流検出信号が上昇して前記電流検出閾値電圧に達したことが前記第1コンパレータによって検出されてから、前記ZT電圧が上昇して所定のZT閾値電圧に達したことが検出されるまでの時間を前記折り返しタイミングの遅延時間として検出する、請求項1に記載の発光素子駆動装置。

[請求項3] 前記ZT電圧と、前記ZT閾値電圧に相当する参照電圧とが入力される第3コンパレータをさらに備える、請求項2に記載の発光素子駆動装置。

[請求項4] 前記ZT電圧が上昇して所定のZT閾値電圧に達したことは、前記第2コンパレータによって検出される、請求項2に記載の発光素子駆動装置。

[請求項5] 前記電流検出閾値電圧は、アナログ調光信号に基づいて生成され、
前記コイル電流補正部は、前記遅延時間に基づいて前記アナログ調光信号を調整する、請求項2から請求項4のいずれか1項に記載の発光素子駆動装置。

[請求項6] 前記コイル電流補正部は、前記遅延時間に基づいて前記駆動信号のオン時間を調整する、請求項2から請求項4のいずれか1項に記載の発光素子駆動装置。

[請求項7] PWM調光信号が入力される第4外部端子と、
オンオフ設定信号が入力される第5外部端子と、
前記オンオフ設定信号に応じ前記PWM調光信号のデューティを制

限する機能のオンオフを切替えるODP (Over Duty Protection) 部と、

アナログ調光信号が入力される第6外部端子と、

前記アナログ調光信号に基づいて前記電流検出閾値電圧を生成する比較用電圧生成部と、

をさらに備え、

前記比較用電圧生成部は、下記式に基づいて前記電流検出閾値電圧を生成する、請求項2から請求項6のいずれか1項に記載の発光素子駆動装置。

前記ODP部の機能オンの場合

$$V_{csqr} = V_{adim} \times G1 \quad (V_{adim} \leq V_{clip1})$$

$$V_{csqr} = V_{clip1} \times G1 \quad (V_{adim} > V_{clip1})$$

前記ODP部の機能オフの場合

$$V_{csqr} = V_{adim} \times G1 \quad (V_{adim} \leq V_{clip2})$$

$$V_{csqr} = V_{clip2} \times G1 \quad (V_{adim} > V_{clip2})$$

$$V_{clip1} > V_{clip2}$$

ただし、 V_{csqr} ：前記電流検出閾値電圧、 V_{adim} ：前記アナログ調光信号、 $G1$ ：第1ゲイン倍率、 V_{clip1} ：第1クランプ電圧、 V_{clip2} ：第2クランプ電圧

[請求項8]

前記外部構成は、

前記スイッチング素子の第2端子に一端が接続される電流検出抵抗と、

前記コイルの他端に一端が接続される第2コンデンサと、

前記第2コンデンサの他端に接続される分圧抵抗と、

をさらに含み、

当該発光素子駆動装置は、

前記第 2 端子と前記電流検出抵抗との接続ノードに接続される第 7 外部端子と、

前記分圧抵抗の接続ノードが接続される第 8 外部端子と、

第 3 コンデンサが接続される第 9 外部端子と、

をさらに備え、

前記駆動制御部は、

前記第 7 外部端子に生じる電流検出信号が入力されるサンプルホールド部と、

前記サンプルホールド部の出力と電流帰還電圧とが入力される入力端および前記第 9 外部端子が接続される出力端を有するエラーアンプと、

前記エラーアンプの出力と発振信号とが入力される第 4 コンパレータと、

を有し、

前記コイル電流補正部は、

前記駆動信号がオンレベルからオフレベルへ切替わったときにホールドして出力する前記サンプルホールド部と、

前記第 8 外部端子に生じる Z T 電圧が上昇して所定の Z T 閾値電圧に達したタイミングまで前記サンプルホールド部の出力をモニタする前記エラーアンプと、

を有する、請求項 1 に記載の発光素子駆動装置。

[請求項 9]

前記外部構成は、

前記スイッチング素子の第 2 端子に一端が接続される電流検出抵抗と、

前記コイルの他端に一端が接続される第 2 コンデンサと、

前記第 2 コンデンサの他端に接続される分圧抵抗と、

をさらに含み、

当該発光素子駆動装置は、

前記第 2 端子と前記電流検出抵抗との接続ノードに接続される第 7 外部端子と、

前記分圧抵抗の接続ノードが接続される第 8 外部端子と、

をさらに備え、

前記駆動制御部は、

前記第 7 外部端子の電圧と、基準電圧とに基づいて前記コイル電流の平均値を所望値とすべく前記駆動信号を生成し、

前記コイル電流補正部は、

前記駆動信号がオンレベルからオフレベルへ切替わってから前記第 8 外部端子に生じる Z T 電圧が上昇して所定の Z T 閾値電圧に達するまでの時間を前記折り返しタイミングの遅延時間として検出する検出部と、

前記遅延時間に基づいて前記基準電圧、または前記駆動信号のオン時間を調整する調整部と、

を有する、請求項 1 に記載の発光素子駆動装置。

[請求項10] 前記外部構成は、第 3 コンデンサが接続される第 9 外部端子をさらに備え、

前記駆動制御部は、

前記第 7 外部端子の電圧と、前記基準電圧である電流帰還電圧とが入力される入力端および前記第 9 外部端子が接続される出力端を有するエラーアンプと、

前記エラーアンプの出力と発振信号とが入力される第 4 コンパレータと、

を有する、請求項 9 に記載の発光素子駆動装置。

[請求項11] 前記駆動制御部は、前記駆動信号をオフレベルからオンレベルへ切替えたタイミングから時間計測を開始し、前記基準電圧と前記第 7 外

部端子の電圧とが入力される第5コンパレータの出力を監視し、前記第7外部端子の電圧が前記基準電圧以上となったタイミングで時間計測を終了し、そのタイミングから前記時間計測による計測時間と等しい時間だけ経過したタイミングで前記駆動信号をオンレベルからオフレベルへ切替える、請求項9に記載の発光素子駆動装置。

[請求項12] 前記駆動制御部は、前記スイッチング素子をターンオンしたときの前記第7外部端子の電圧と前記基準電圧との差を検出し、検出された差を前記基準電圧に加えて決定される電圧と前記第7外部端子の電圧とが入力される第6コンパレータの出力を監視して前記駆動信号をオンレベルからオフレベルへ切替えるタイミングを決定する、請求項9に記載の発光素子駆動装置。

[請求項13] P W M調光信号が入力される第10外部端子と、
 オンオフ設定信号が入力される第11外部端子と、
 前記オンオフ設定信号に応じ前記P W M調光信号のデューティを制限する機能のオンオフを切替えるO D P (Over Duty Protection)部と、
 アナログ調光信号が入力される第12外部端子と、
 前記アナログ調光信号に基づいて前記電流帰還電圧を生成する比較用電圧生成部と、
 をさらに備え、

前記比較用電圧生成部は、下記式に基づいて前記電流帰還電圧を生成する、請求項8または請求項10に記載の発光素子駆動装置。

前記O D P部の機能オンの場合

$$V_{csccm} = V_{adim} \times G2 \quad (V_{adim} \leq V_{clip1})$$

$$V_{csccm} = V_{clip1} \times G2 \quad (V_{adim} > V_{clip1})$$

前記O D P部の機能オフの場合

$$V_{csccm} = V_{adim} \times G_2 \quad (V_{adim} \leq V_{clip2})$$

$$V_{csccm} = V_{clip2} \times G_2 \quad (V_{adim} > V_{clip2})$$

$$V_{clip1} > V_{clip2}$$

ただし、 V_{csccm} ：前記電流帰還電圧、 V_{adim} ：前記アナログ調光信号、 G_2 ：第2ゲイン倍率、 V_{clip1} ：第1クランプ電圧、 V_{clip2} ：第2クランプ電圧

[請求項14] 選択入力信号が入力される第13外部端子をさらに備え、
前記駆動制御部は、前記選択入力信号に応じてQRモード（quasi-resonant：擬似共振方式）と、CCMモード（continuous current mode：電流連続方式）と、を切替えて動作する、請求項1に記載の発光素子駆動装置。

[請求項15] 前記外部構成は、前記スイッチング素子の第2端子に一端が接続される電流検出抵抗をさらに含み、
前記駆動制御部は、
前記電流検出抵抗によって生じる電流検出信号が入力され、前記QRモード時に使用される第7コンパレータと、
前記電流検出信号が入力され、出力端に第4コンデンサが接続される前記CCMモード時に使用されるエラーアンプと、
を有し、
当該発光素子駆動装置は、
アナログ調光信号が入力される第14外部端子と、
前記アナログ調光信号に第1ゲイン倍率を乗算して前記第7コンパレータに入力される電流検出閾値電圧を生成するとともに、前記アナログ調光信号に第2ゲイン倍率を乗算して前記エラーアンプに入力される電流帰還電圧を生成する比較用電圧生成部と、
をさらに備え、

前記第 1 ゲイン倍率は、前記第 2 ゲイン倍率の 2 倍である、請求項 1 4 に記載の発光素子駆動装置。

[請求項16]

前記第 1 3 外部端子に接続されるプルダウン抵抗と、
前記第 1 3 外部端子と前記プルダウン抵抗との接続ノードに接続される入力端を有する第 8 コンパレータと、
をさらに備える、請求項 1 4 または請求項 1 5 に記載の発光素子駆動装置。

[請求項17]

I C パッケージである請求項 1 4 に記載の発光素子駆動装置であって、
前記外部構成は、
前記スイッチング素子の第 2 端子に一端が接続される電流検出抵抗と、
前記コイルの他端に一端が接続される第 5 コンデンサと、
前記第 5 コンデンサの他端に接続される分圧抵抗と、
をさらに含み、
前記 I C パッケージは、
第 1 辺と、前記第 1 辺と対向する第 2 辺とを有する封止材と、
前記第 1 3 外部端子としての S E L 端子と、
I C のデジタルグランドをとるための D G N D 端子と、
前記 C C M モードに用いられるエラーアンプの出力端に接続されて、外部の第 6 コンデンサを接続可能な F B 端子と、
前記 Q R モードに用いられ、前記分圧抵抗の接続ノードに接続可能な Z T 端子と、
を有し、
前記第 1 辺に沿って、前記 S E L 端子が配置され、
前記第 2 辺に沿って、前記 D G N D 端子、前記 F B 端子、および前記 Z T 端子が配置される、発光素子駆動装置。

[請求項18]

前記 F B 端子は、前記 D G N D 端子と前記 Z T 端子との間に配置さ

れる、請求項 17 に記載の発光素子駆動装置。

[請求項19]

前記 IC パッケージは、

前記 IC 用の電源端子である VCC 端子と、

前記入力電圧の UVLO 用の UVLO 端子と、

を有し、

前記 VCC 端子と前記 UVLO 端子は、前記第 1 辺に沿って配置される、請求項 17 または請求項 18 に記載の発光素子駆動装置。

[請求項20]

スイッチング素子の制御端子と接続される第 1 外部端子と、

前記スイッチング素子をオンオフ駆動する駆動信号を生成して前記第 1 外部端子から出力する駆動制御部と、

を備え、

前記駆動制御部は、コイルを流れるコイル電流が増加から減少へ転じる折り返しタイミングの遅延に基づいて前記駆動信号を調整することで前記コイル電流を補正するコイル電流補正部を有する、

発光素子駆動装置。

[請求項21]

少なくとも一つの発光素子からなり、一端に入力電圧が印加される発光部と、

前記発光部の他端に一端が接続されるコイルと、

前記コイルの他端と前記発光部の一端との間に接続されるダイオードと、

前記コイルの他端に接続される第 1 端子を有するスイッチング素子と、

を含む外部構成における前記発光部を駆動する発光素子駆動装置であって、

前記スイッチング素子の制御端子と接続される第 1 外部端子と、

前記スイッチング素子をオンオフ駆動する駆動信号を生成して前記第 1 外部端子から出力する駆動制御部と、

選択入力信号が入力される第 2 外部端子と、

を備え、

前記駆動制御部は、前記選択入力信号に応じてQ Rモード（quasi-resonant：擬似共振方式）と、CCMモード（continuous current mode：電流連続方式）と、を切替えて動作する、
発光素子駆動装置。

[請求項22] 前記外部構成は、前記スイッチング素子の第2端子に一端が接続される電流検出抵抗をさらに含み、

前記駆動制御部は、

前記電流検出抵抗によって生じる電流検出信号が入力され、前記QRモード時に使用される第1コンパレータと、

前記電流検出信号が入力され、出力端に第1コンデンサが接続される前記CCMモード時に使用されるエラーアンプと、
を有し、

当該発光素子駆動装置は、

アナログ調光信号が入力される第3外部端子と、

前記アナログ調光信号に第1ゲイン倍率を乗算して前記第1コンパレータに入力される電流検出閾値電圧を生成するとともに、前記アナログ調光信号に第2ゲイン倍率を乗算して前記エラーアンプに入力される電流帰還電圧を生成する比較用電圧生成部と、
をさらに備え、

前記第1ゲイン倍率は、前記第2ゲイン倍率の2倍である、請求項21に記載の発光素子駆動装置。

[請求項23] 前記第2外部端子に接続されるプルダウン抵抗と、

前記第2外部端子と前記プルダウン抵抗との接続ノードに接続される入力端を有する第2コンパレータと、

をさらに備える、請求項21または請求項22に記載の発光素子駆動装置。

[請求項24] 請求項1から請求項23のいずれか1項に記載の発光素子駆動装置

と、

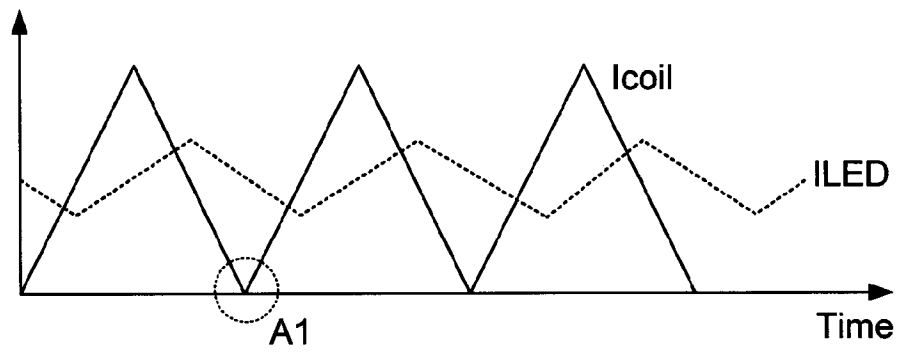
前記発光素子駆動装置によって駆動される発光部と、
を有する発光装置。

[請求項25] 請求項 2 4 に記載の発光装置を有する電子機器。

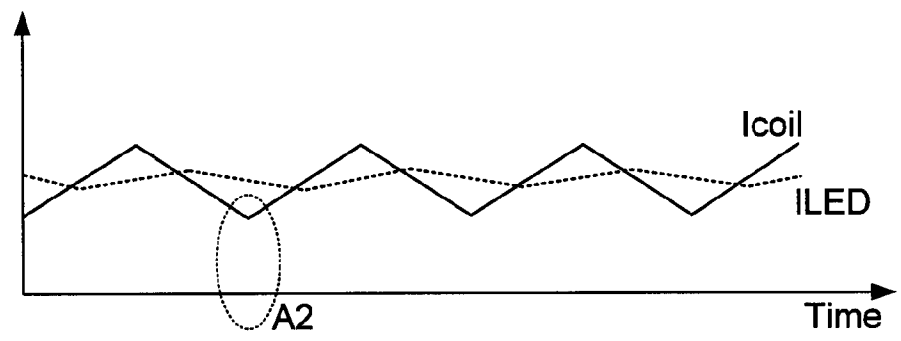
The diagram illustrates the internal architecture of the UC1845B LED driver IC. Key components and their connections include:

- Power Input:** V_{in} is connected to the top of the IC. A diode $D1$ and capacitor $C1$ are connected to the V_{dr} pin. A diode $D2$ and capacitor $C2$ are connected to the V_{LED} pin. A diode $D3$ and capacitor $C3$ are connected to the V_{cs} pin.
- Regulation and Protection:** The V_{reg} pin is connected to the V_{reg} block. The V_{uvlo} pin is connected to the V_{uvlo} block. The V_{uvlo} block is connected to the V_{uvlo} pin. The V_{uvlo} block is connected to the V_{uvlo} pin.
- Control Logic:** The $Control$ Logic block is connected to the V_{uvlo} pin, the V_{uvlo} pin, the V_{uvlo} pin, and the V_{uvlo} pin. It is also connected to the V_{uvlo} pin, the V_{uvlo} pin, and the V_{uvlo} pin.
- Feedback and Compensation:** The FB pin is connected to the FB block. The FB block is connected to the FB pin. The FB block is connected to the FB pin. The FB block is connected to the FB pin.
- Output Stage:** The OUT pin is connected to the OUT block. The OUT block is connected to the OUT pin. The OUT block is connected to the OUT pin. The OUT block is connected to the OUT pin.
- Other Pins:** The $QRCOMP$ pin is connected to the $QRCOMP$ block. The PWM pin is connected to the PWM block. The $DUTYON$ pin is connected to the $DUTYON$ block. The $ADIM$ pin is connected to the $ADIM$ block. The RT pin is connected to the RT block. The $FAILB$ pin is connected to the $FAILB$ block.

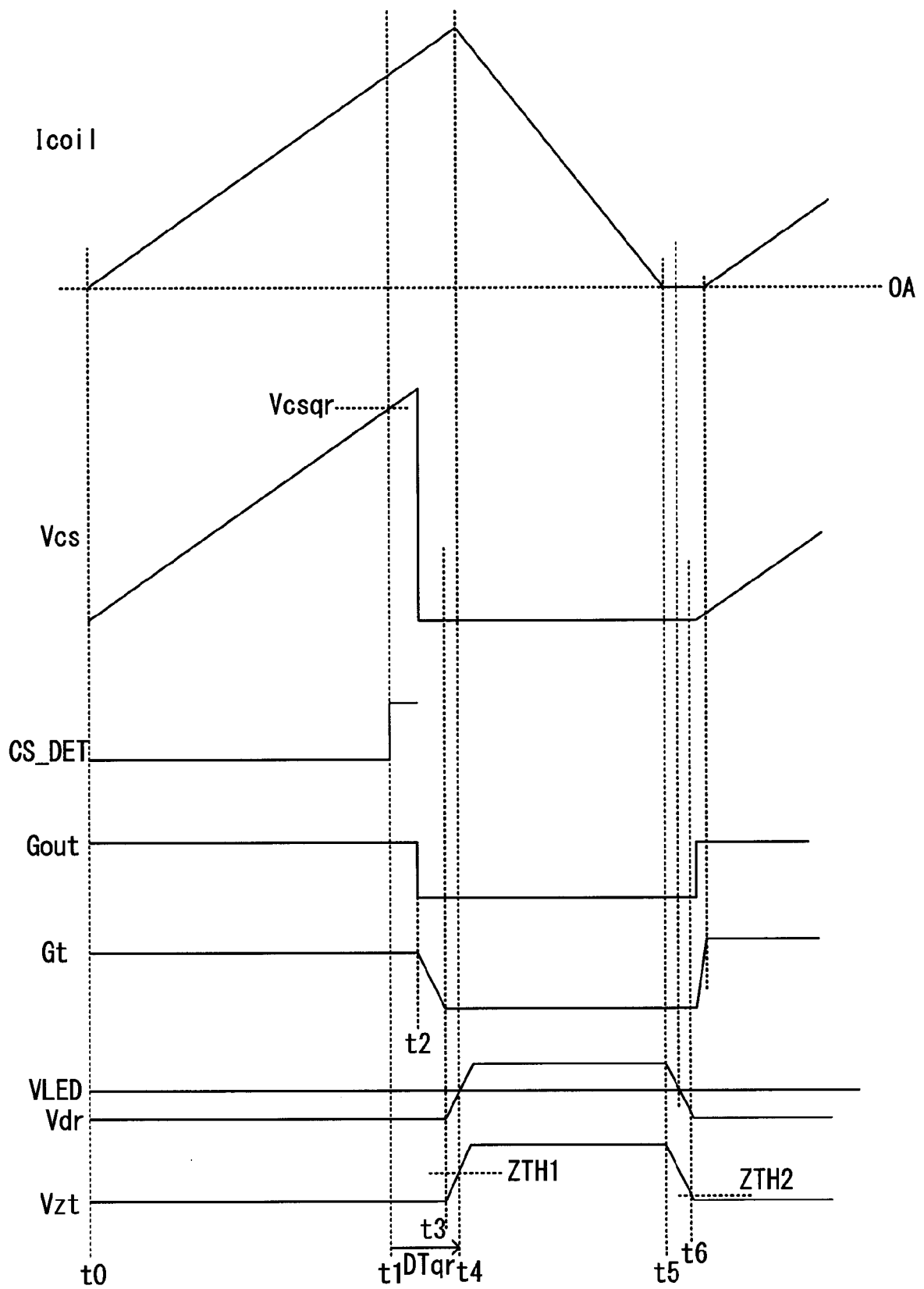
[図2]



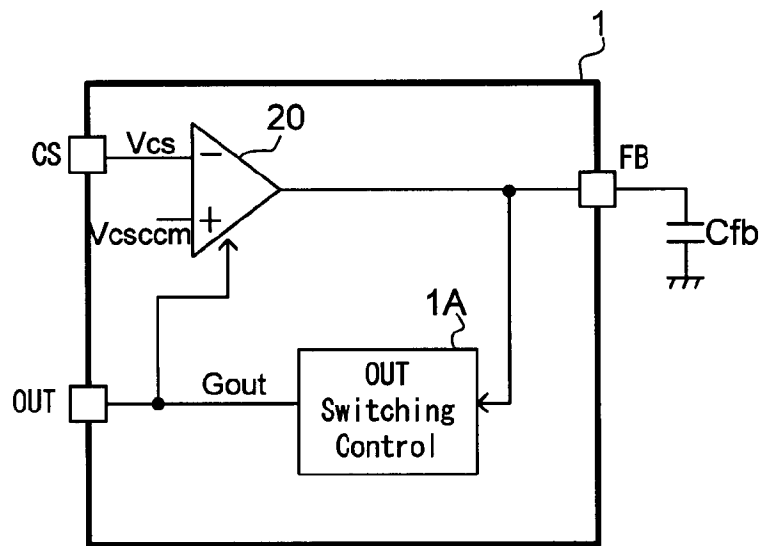
[図3]



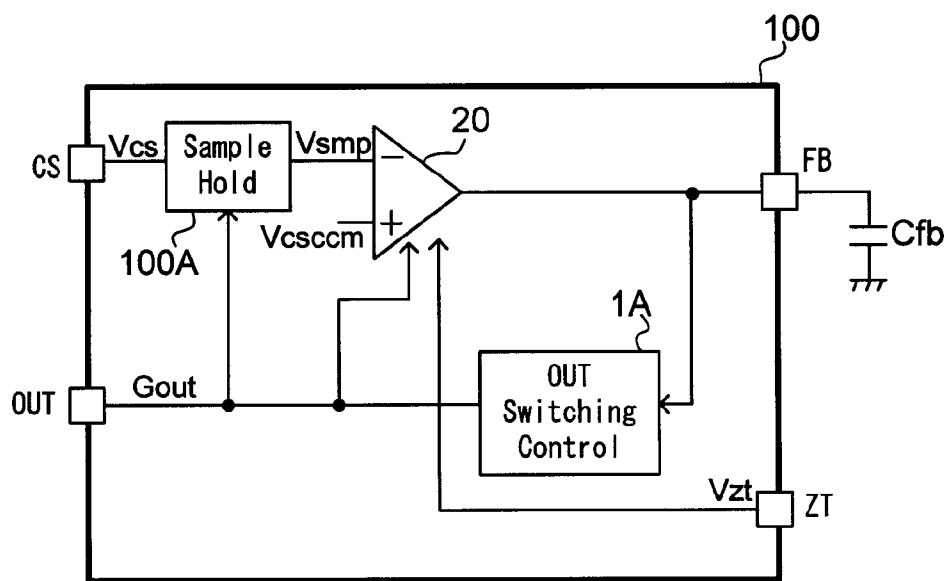
[図4]



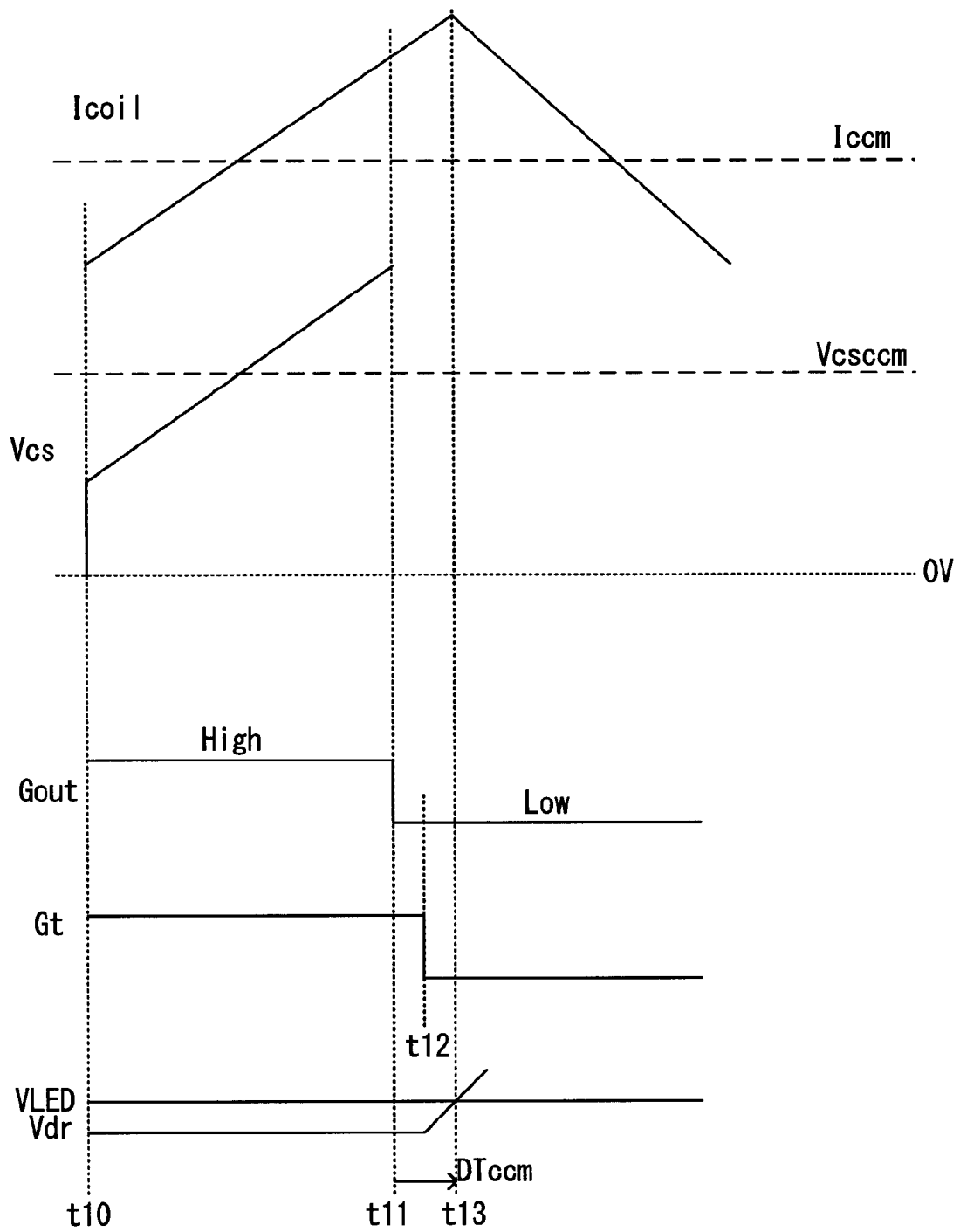
[図5]



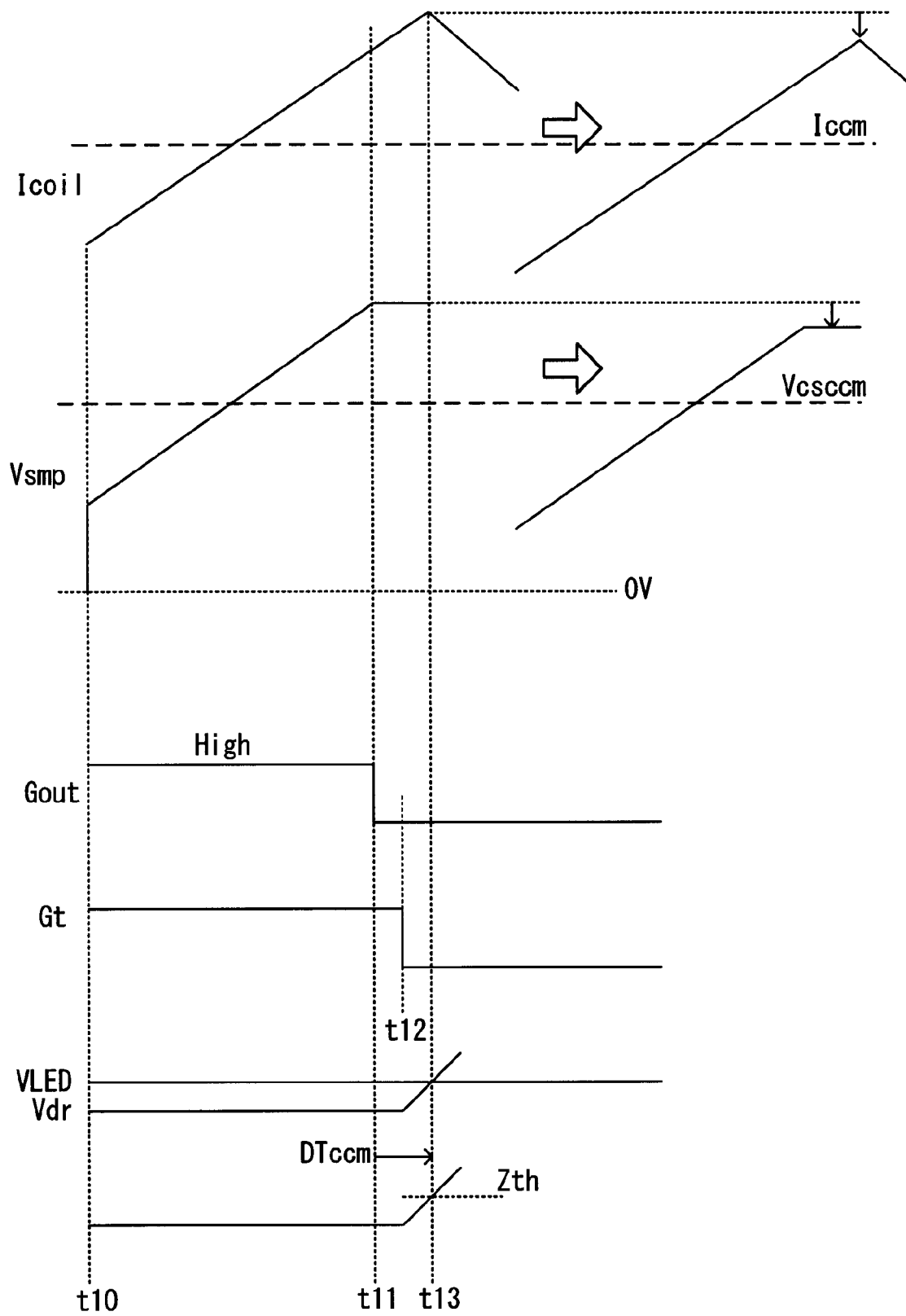
[図6]



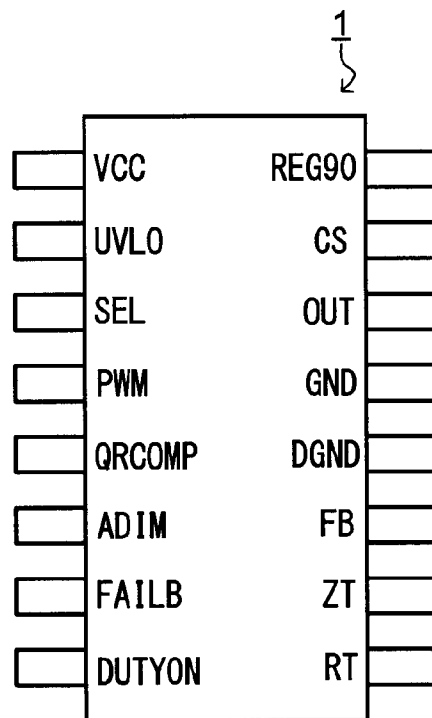
[図7]



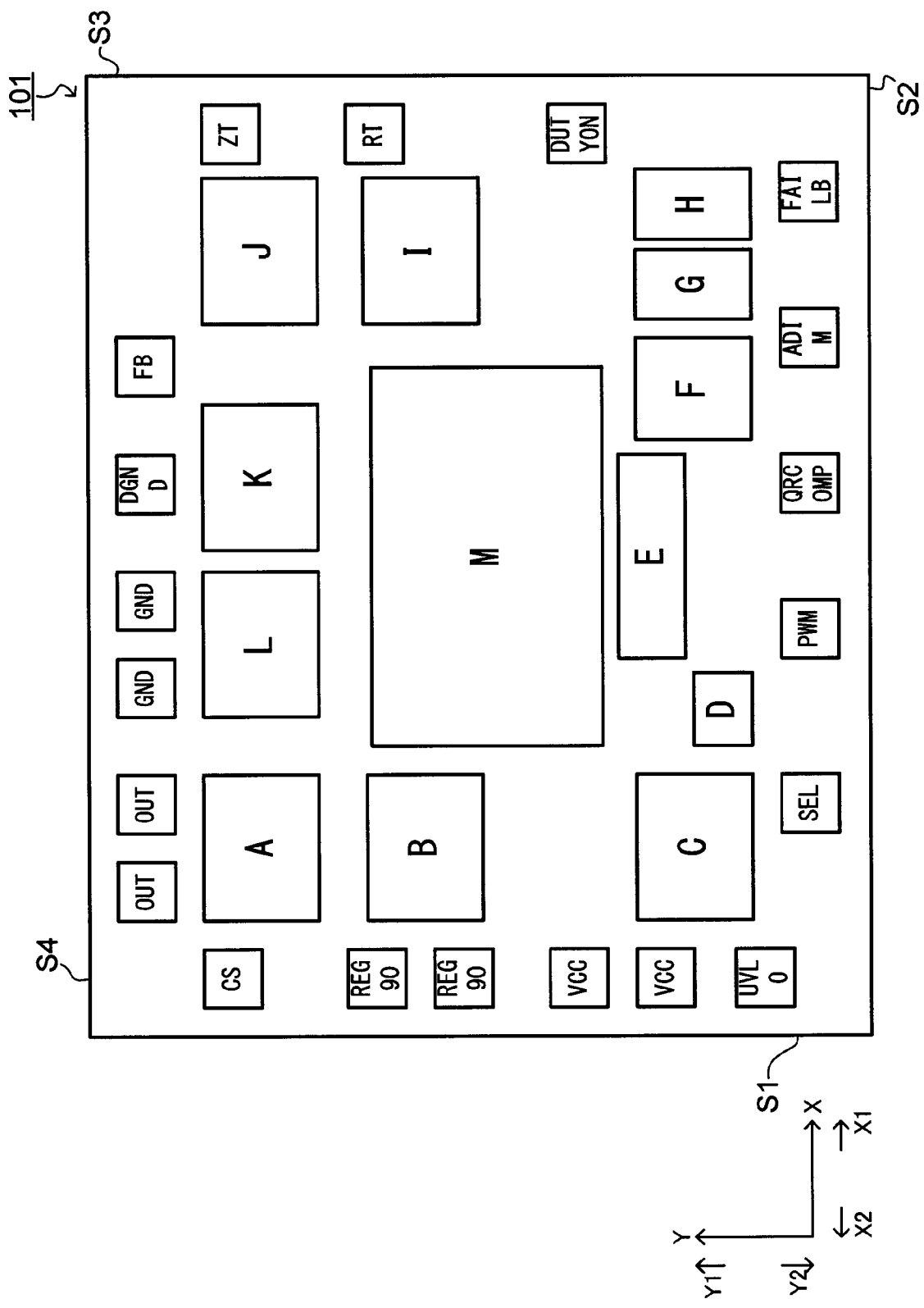
[図8]



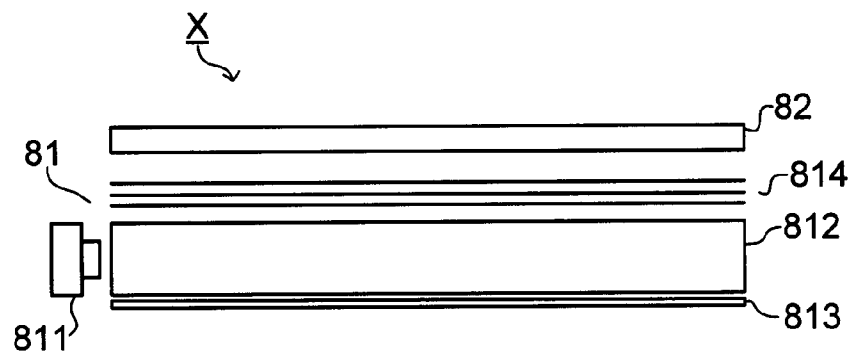
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/047534

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H05B37/02 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H05B37/02, H02M3/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2015-33243 A (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 16 February 2015, paragraphs [0027], [0030], [0037], [0038], [0043], [0057], [0058], fig. 1-3 & US 2015/0035446 A1, paragraphs [0041], [0044], [0051], [0052], [0057], [0069], [0070], fig. 1-3 & CN 104349548 A	1, 20, 24-25 2-19
X A	US 9819264 B1 (NXP B.V.) 14 November 2017, column 1, line 65 to column 2, line 15, column 2, lines 42-65, column 6, line 14 to column 7, line 10, fig. 1, 3, 6 & EP 3270497 A1 & CN 107623441 A	1, 20, 24-25 2-19

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06.03.2019

Date of mailing of the international search report
19.03.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/047534

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2017-143692 A (ROHM CO., LTD.) 17 August 2017, paragraphs [0035]-[0037], [0039], [0042], fig. 1 & US 2017/0236472 A1, paragraphs [0042]-[0044], [0046], [0049], fig. 1 & KR 10-2017-0095135 A	21, 23-25 22

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H05B37/02(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H05B37/02, H02M3/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2015-33243 A（パナソニックIPマネジメント株式会社） 2015.02.16, [0027], [0030], [0037]-[0038], [0043], [0057]-[0058], 図1-3 & US 2015/0035446 A1, [0041], [0044], [0051]-[0052], [0057], [0069]-[0070], fig.1-3 & CN 104349548 A	1, 20, 24-25 2-19
X A	US 9819264 B1 (NXP B.V.) 2017.11.14, 第1欄第65行-第2欄第 15行、第2欄第42-65行、第6欄第14行-第7欄第10行、図1, 3, 6 & EP 3270497 A1 & CN 107623441 A	1, 20, 24-25 2-19

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

06.03.2019

国際調査報告の発送日

19.03.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

田中 友章

3 X

9376

電話番号 03-3581-1101 内線 3371

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2017-143692 A (ローム株式会社) 2017. 08. 17, [0035]-[0037], [0039], [0042], 図 1 & US 2017/0236472 A1, [0042]-[0044], [0046], [0049], fig. 1 & KR 10-2017-0095135 A	21, 23-25 22