(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0157035
(43) 공개일자 2024년10월31일

(51) 국제특허분류(Int. Cl.)
H10B 12/00 (2023.01) *H01L 29/24* (2006.01)
H01L 29/417 (2006.01) *H01L 29/423* (2006.01)
H01L 29/786 (2006.01)
(52) CPC특허분류
H10B 12/33 (2023.02)
H01L 29/24 (2013.01)
(21) 출원번호 10-2024-7030553
(22) 출원일자(국제) 2023년02월20일
심사청구일자 없음
(85) 번역문제출일자 2024년09월11일
(86) 국제출원번호 PCT/IB2023/051516
(87) 국제공개번호 WO 2023/166377
국제공개일자 2023년09월07일
(30) 우선권주장
JP-P-2022-033341 2022년03월04일 일본(JP)
JP-P-2022-033342 2022년03월04일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
오누키 타츠야
일본국 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
쿠니타케 히토시
일본국 194-0032 도쿄도 마치다시 혼마치다 3599-60
야마자키 슌페이
일본국 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
황의만

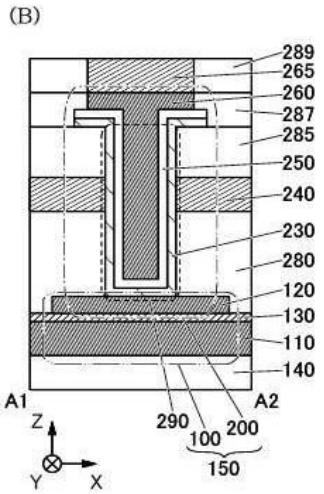
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 **기억 장치**

(57) 요 약

미세화 또는 고집적화가 가능한 기억 장치를 제공한다. 용량 소자, 및 용량 소자 위의 트랜지스터를 가지는 메모리 셀과, 용량 소자 위의 제 1 절연체와, 제 1 절연체 위의 제 2 절연체를 가지고, 트랜지스터는 제 1 절연체 아래의 제 1 도전체와, 제 1 도전체의 상면에 접하여 배치된 산화물 반도체와, 제 1 절연체와 제 2 절연체 사이에 배치되고 산화물 반도체에 접하는 제 2 도전체와, 산화물 반도체 위의 제 3 절연체와, 제 3 절연체 위의 제 3 도전체를 가지고, 제 1 절연체, 제 2 도전체, 및 제 2 절연체에, 제 1 도전체에 달하는 제 1 개구가 형성되고, 산화물 반도체의 적어도 일부, 제 3 절연체의 적어도 일부, 및 제 3 도전체의 적어도 일부는 제 1 개구 내에 배치되고, 용량 소자는 제 4 도전체와, 제 4 도전체 위의 제 4 절연체와, 제 4 절연체 위의 제 1 도전체를 가진다.

대 표 도



(52) CPC특허분류
H01L 29/41733 (2013.01)
H01L 29/42384 (2013.01)
H01L 29/78642 (2013.01)
H01L 29/7869 (2013.01)
H01L 29/78696 (2013.01)

명 세 서

청구범위

청구항 1

기억 장치로서,

용량 소자와, 상기 용량 소자 위의 트랜지스터와, 상기 용량 소자 위의 제 1 절연체와, 상기 제 1 절연체 위의 제 2 절연체를 가지고,

상기 트랜지스터는

상기 제 1 절연체 아래의 제 1 도전체와,

상기 제 1 도전체의 상면에 접하여 배치된 산화물 반도체와,

상기 제 1 절연체와 상기 제 2 절연체 사이에 배치되고, 상기 산화물 반도체에 접하는 제 2 도전체와,

상기 산화물 반도체 위의 제 3 절연체와,

상기 제 3 절연체 위의 제 3 도전체를 가지고,

상기 제 1 절연체, 상기 제 2 도전체, 및 상기 제 2 절연체에 상기 제 1 도전체에 달하는 제 1 개구가 형성되고,

상기 산화물 반도체의 적어도 일부, 상기 제 3 절연체의 적어도 일부, 및 상기 제 3 도전체의 적어도 일부는 상기 제 1 개구 내에 배치되고,

상기 용량 소자는

제 4 도전체와,

상기 제 4 도전체 위의 제 4 절연체와,

상기 제 4 절연체 위의 제 1 도전체를 가지는, 기억 장치.

청구항 2

기억 장치로서,

용량 소자와, 상기 용량 소자 위의 트랜지스터와, 상기 용량 소자 위의 제 1 절연체와, 상기 제 1 절연체 위의 제 2 절연체를 각각 포함하는 제 1 층 및 제 2 층을 가지고,

상기 제 2 층은 상기 제 1 층 위에 적층되고,

상기 트랜지스터는

상기 제 1 절연체 아래의 제 1 도전체와,

상기 제 1 도전체의 상면에 접하여 배치된 산화물 반도체와,

상기 제 1 절연체와 상기 제 2 절연체 사이에 배치되고, 상기 산화물 반도체에 접하는 제 2 도전체와,

상기 산화물 반도체 위의 제 3 절연체와,

상기 제 3 절연체 위의 제 3 도전체를 가지고,

상기 제 1 절연체, 상기 제 2 도전체, 및 상기 제 2 절연체에, 상기 제 1 도전체에 달하는 제 1 개구가 형성되고,

상기 산화물 반도체의 적어도 일부, 상기 제 3 절연체의 적어도 일부, 및 상기 제 3 도전체의 적어도 일부는 상기 제 1 개구 내에 배치되고,

상기 용량 소자는

제 4 도전체와,

상기 제 4 도전체 위의 제 4 절연체와,

상기 제 4 절연체 위의 상기 제 1 도전체를 가지고,

상기 제 1 층의 상기 제 2 절연체 및 상기 제 2 층의 상기 제 1 절연체에 제 2 개구가 형성되고,

상기 제 2 개구 내에 제 5 도전체를 가지고,

상기 제 5 도전체는 상기 제 1 층의 상기 제 2 도전체의 상면에 접하고, 또한 상기 제 2 층의 상기 제 2 도전체의 하면에 접하는, 기억 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제 3 도전체의 상면에 접하여 제 6 도전체를 가지고,

상기 제 2 도전체는 제 1 방향으로 신장되어 형성되고,

상기 제 6 도전체는 제 2 방향으로 신장되어 형성되고,

상기 제 1 방향과 상기 제 2 방향은 서로 교차되는, 기억 장치.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 제 1 도전체는 소스 전극 및 드레인 전극 중 한쪽으로서 기능하고,

상기 제 2 도전체는 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하고,

상기 제 3 도전체는 게이트 전극으로서 기능하는, 기억 장치.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 산화물 반도체의 일부, 상기 제 3 절연체의 일부, 및 상기 제 3 도전체의 일부가 상기 제 2 절연체 위에 위치하는, 기억 장치.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

평면에서 보았을 때 상기 산화물 반도체의 측단부(側端部)와 상기 제 3 절연체의 측단부가 실질적으로 일치하는, 기억 장치.

청구항 7

제 1 항 내지 제 6 항 중 어느 한 항에 있어서,

평면에서 보았을 때 상기 제 3 도전체의 측단부가 상기 산화물 반도체의 측단부 및 상기 제 3 절연체의 측단부보다 내측에 위치하는, 기억 장치.

청구항 8

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

평면에서 보았을 때 상기 제 1 개구는 원형상 또는 대략 원형상인, 기억 장치.

청구항 9

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 제 3 절연체와 상기 제 3 도전체 사이에 제 5 절연체를 가지고,

상기 제 5 절연체는 상기 산화물 반도체의 측단부 및 상기 제 3 절연체의 측단부를 덮는, 기억 장치.

청구항 10

제 9 항에 있어서,

상기 제 5 절연체는 질화 실리콘인, 기억 장치.

청구항 11

제 1 항 내지 제 10 항 중 어느 한 항에 있어서,

상기 산화물 반도체는 In, Ga, 및 Zn 중에서 선택되는 어느 하나 또는 복수를 가지는, 기억 장치.

청구항 12

제 1 항 내지 제 11 항 중 어느 한 항에 있어서,

상기 산화물 반도체는 상기 제 1 개구의 측벽에 실질적으로 평행한 층상의 결정을 가지는, 기억 장치.

청구항 13

제 1 항 내지 제 12 항 중 어느 한 항에 있어서,

상기 산화물 반도체는 탄소의 농도가 1×10^{20}atoms/cm^3 미만인, 기억 장치.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 형태는 트랜지스터, 반도체 장치, 기억 장치, 및 전자 기기에 관한 것이다. 또는 본 발명의 일 형태는 기억 장치 또는 반도체 장치의 제작 방법에 관한 것이다. 또는 본 발명의 일 형태는 반도체 웨이퍼 및 모듈에 관한 것이다.

[0002] 또한 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 트랜지스터 등의 반도체 소자를 비롯하여, 반도체 회로, 연산 장치, 기억 장치는 반도체 장치의 일 형태이다. 표시 장치(액정 표시 장치, 발광 표시 장치 등), 투영 장치, 조명 장치, 전기 광학 장치, 축전 장치, 기억 장치, 반도체 회로, 촬상 장치, 전자 기기 등은 반도체 장치를 가진다고 할 수 있는 경우가 있다.

[0003] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 발명의 일 형태는 물건, 방법, 또는 제조 방법에 관한 것이다. 또한 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다.

배 경 기 술

[0004] 근년, 반도체 장치의 개발이 진행되고 있고, LSI, CPU, 메모리 등이 주로 반도체 장치에 사용되고 있다. CPU는 반도체 웨이퍼를 가공하여 칩으로 형성한 반도체 집적 회로(적어도 트랜지스터 및 메모리)를 가지고, 접속 단자인 전극이 형성된 반도체 소자의 집합체이다.

[0005] LSI, CPU, 메모리 등의 반도체 회로(IC칩)는 회로 기판, 예를 들어 인쇄 배선 기판에 실장되고, 다양한 전자 기기의 부품 중 하나로서 사용된다.

[0006] 또한 절연 표면을 가지는 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터를 구성하는 기술이 주목받고 있다. 상기 트랜지스터는 집적 회로(IC), 화상 표시 장치(단순히 표시 장치라고도 표기함)와 같은 전자 디바이스에 널리 응용되고 있다. 트랜지스터에 적용할 수 있는 반도체 박막의 재료로서는 실리콘계 반도체 재료가 널리 알려져 있지만, 그 외의 재료로서 산화물 반도체가 주목받고 있다.

[0007] 또한 산화물 반도체를 사용한 트랜지스터는, 비도통 상태에서 누설 전류가 매우 낮은 것이 알려져 있다. 예를 들어 특허문헌 1에는 산화물 반도체를 사용한 트랜지스터의 누설 전류가 낮다는 특성을 응용한 소비 전력이 낮

은 CPU 등이 개시되어 있다. 또한 예를 들어 특허문헌 2에는 산화물 반도체를 사용한 트랜지스터의 누설 전류가 낮다는 특성을 응용하여, 장기간에 걸쳐 기억 내용을 유지할 수 있는 기억 장치 등이 개시되어 있다.

[0008] 또한 근년에는 전자 기기가 소형화, 경량화되면서, 밀도가 더 높아진 집적 회로에 대한 요구가 높아지고 있다. 또한 집적 회로를 포함하는 반도체 장치의 생산성 향상이 요구되고 있다. 예를 들어 특허문헌 3 및 비특허문헌 1에서는 산화물 반도체막을 사용한 제 1 트랜지스터와 산화물 반도체막을 사용한 제 2 트랜지스터를 적층시켜 메모리 셀을 복수로 중첩시켜 제공함으로써 집적 회로를 고밀도화하는 기술이 개시되어 있다.

선행기술문헌

특허문헌

[0009] (특허문헌 0001) 일본 공개특허공보 특개2012-257187호

(특허문헌 0002) 일본 공개특허공보 특개2011-151383호

(특허문헌 0003) 국제공개공보 WO2021/053473호

비특허문헌

[0010] (비특허문헌 0001) M. Oota et al., "3D-Stacked CAAC-In-Ga-Zn Oxide FETs with Gate Length of 72nm", IEDM Tech. Dig., 2019, pp. 50-53

발명의 내용

해결하려는 과제

[0011] 본 발명의 일 형태는 미세화 또는 고집적화가 가능한 기억 장치를 제공하는 것을 과제 중 하나로 한다. 또는 동작 속도가 빠른 기억 장치를 제공하는 것을 과제 중 하나로 한다. 또는 전기 특성이 양호한 기억 장치를 제공하는 것을 과제 중 하나로 한다. 또는 트랜지스터의 전기 특성의 편차가 적은 기억 장치를 제공하는 것을 과제 중 하나로 한다. 또는 신뢰성이 양호한 기억 장치를 제공하는 것을 과제 중 하나로 한다. 또는 온 전류가 높은 기억 장치를 제공하는 것을 과제 중 하나로 한다. 또는 소비 전력이 낮은 기억 장치를 제공하는 것을 과제 중 하나로 한다. 또는 신규 기억 장치를 제공하는 것을 과제 중 하나로 한다. 또는 신규 기억 장치의 제작 방법을 제공하는 것을 과제 중 하나로 한다.

[0012] 또한 이들 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 또한 본 발명의 일 형태는 이들 과제 모두를 해결할 필요는 없는 것으로 한다. 또한 이들 외의 과제는 명세서, 도면, 청구항 등의 기재에서 저절로 명백해지는 것이며 명세서, 도면, 청구항 등의 기재에서 이들 외의 과제를 추출할 수 있다.

과제의 해결 수단

[0013] 본 발명의 일 형태는 용량 소자와, 용량 소자 위의 트랜지스터와, 용량 소자 위의 제 1 절연체와, 제 1 절연체 위의 제 2 절연체를 가지고, 트랜지스터는 제 1 절연체 아래의 제 1 도전체와, 제 1 도전체의 상면에 접하여 배치된 산화물 반도체와, 제 1 절연체와 제 2 절연체 사이에 배치되고 산화물 반도체에 접하는 제 2 도전체와, 산화물 반도체 위의 제 3 절연체와, 제 3 절연체 위의 제 3 도전체를 가지고, 제 1 절연체, 제 2 도전체, 및 제 2 절연체에 제 1 도전체에 달하는 제 1 개구가 형성되고, 산화물 반도체의 적어도 일부, 제 3 절연체의 적어도 일부, 및 제 3 도전체의 적어도 일부는 제 1 개구 내에 배치되고, 용량 소자는 제 4 도전체와, 제 4 도전체 위의 제 4 절연체와, 제 4 절연체 위의 제 1 도전체를 가지는 기억 장치이다.

[0014] 본 발명의 다른 일 형태는 용량 소자와, 용량 소자 위의 트랜지스터와, 용량 소자 위의 제 1 절연체와, 제 1 절연체 위의 제 2 절연체를 각각 포함하는 제 1 층 및 제 2 층을 가지고, 제 2 층은 제 1 층 위에 적층되고, 트랜지스터는 제 1 절연체 아래의 제 1 도전체와, 제 1 도전체의 상면에 접하여 배치된 산화물 반도체와, 제 1 절연체와 제 2 절연체 사이에 배치되고 산화물 반도체에 접하는 제 2 도전체와, 산화물 반도체 위의 제 3 절연체와, 제 3 절연체 위의 제 3 도전체를 가지고, 제 1 절연체, 제 2 도전체, 및 제 2 절연체에, 제 1 도전체에 달하는

제 1 개구가 형성되고, 산화물 반도체의 적어도 일부, 제 3 절연체의 적어도 일부, 및 제 3 도전체의 적어도 일부는 제 1 개구 내에 배치되고, 용량 소자는 제 4 도전체와, 제 4 도전체 위의 제 4 절연체와, 제 4 절연체 위의 제 1 도전체를 가지고, 제 1 층의 제 2 절연체 및 제 2 층의 제 1 절연체에 제 2 개구가 형성되고, 제 2 개구 내에 제 5 도전체를 가지고, 제 5 도전체는 제 1 층의 제 2 도전체의 상면에 접하고, 또한 제 2 층의 제 2 도전체의 하면에 접하는 기억 장치이다.

[0015] 상기 기억 장치에 있어서, 제 3 도전체의 상면에 접하여 제 6 도전체를 가지고, 제 2 도전체는 제 1 방향으로 신장되어 형성되고, 제 6 도전체는 제 2 방향으로 신장되어 형성되고, 제 1 방향과 제 2 방향은 서로 교차되는 것이 바람직하다.

[0016] 또한 상기 기억 장치에 있어서, 제 1 도전체는 소스 전극 및 드레인 전극 중 한쪽으로서 기능하고, 제 2 도전체는 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하고, 제 3 도전체는 게이트 전극으로서 기능하는 것이 바람직하다.

[0017] 또한 상기 기억 장치에 있어서, 산화물 반도체의 일부, 제 3 절연체의 일부, 및 제 3 도전체의 일부가 제 2 절연체 위에 위치하는 것이 바람직하다.

[0018] 또한 상기 기억 장치에 있어서, 평면에서 보았을 때 산화물 반도체의 측단부(側端部)와 제 3 절연체의 측단부가 실질적으로 일치하는 것이 바람직하다.

[0019] 또한 상기 기억 장치에 있어서, 평면에서 보았을 때 제 3 도전체의 측단부가 산화물 반도체의 측단부 및 제 3 절연체의 측단부보다 내측에 위치하는 것이 바람직하다.

[0020] 또한 상기 기억 장치에 있어서, 제 3 절연체와 제 3 도전체 사이에 제 5 절연체를 가지고, 제 5 절연체는 산화물 반도체의 측단부 및 제 3 절연체의 측단부를 덮는 것이 바람직하다. 또한 상기 기억 장치에 있어서, 제 5 절연체는 질화 실리콘인 것이 바람직하다.

[0021] 또한 상기 기억 장치에 있어서, 산화물 반도체는 In, Ga, 및 Zn 중에서 선택되는 어느 하나 또는 복수를 가지는 것이 바람직하다. 또한 상기 기억 장치에 있어서, 산화물 반도체는 제 1 개구의 측벽에 실질적으로 평행한 층상의 결정을 가지는 것이 바람직하다. 또한 상기 기억 장치에 있어서, 산화물 반도체에서의 탄소의 농도가 1×10^{20} atoms/cm^3 미만인 것이 바람직하다.

발명의 효과

[0022] 본 발명의 일 형태에 의하여, 미세화 또는 고집적화가 가능한 기억 장치를 제공할 수 있다. 또는 동작 속도가 빠른 기억 장치를 제공할 수 있다. 또는 신뢰성이 양호한 기억 장치를 제공할 수 있다. 또는 트랜지스터의 전기 특성의 편차가 적은 기억 장치를 제공할 수 있다. 또는 양호한 전기 특성을 가지는 기억 장치를 제공할 수 있다. 또는 온 전류가 높은 기억 장치를 제공할 수 있다. 또는 소비 전력이 낮은 기억 장치를 제공할 수 있다. 또는 신규 기억 장치를 제공할 수 있다. 또는 신규 기억 장치의 제작 방법을 제공할 수 있다.

[0023] 또한 이들 효과의 기재는 다른 효과의 존재를 방해하는 것이 아니다. 또한 본 발명의 일 형태는 이들 효과 모두를 가질 필요는 없다. 또한 이들 외의 효과는 명세서, 도면, 청구항 등의 기재에서 저절로 명백해지는 것이며 명세서, 도면, 청구항 등의 기재에서 이들 외의 효과를 추출할 수 있다.

도면의 간단한 설명

[0024] 도 1의 (A)는 본 발명의 일 형태인 기억 장치의 평면도이다. 도 1의 (B) 내지 (D)는 본 발명의 일 형태인 기억 장치의 단면도이다. 도 1의 (E)는 본 발명의 일 형태에 따른 기억 장치의 구성을 설명하기 위한 회로도이다.

도 2의 (A)는 본 발명의 일 형태인 기억 장치의 제작 방법을 나타낸 평면도이다. 도 2의 (B) 및 (C)는 본 발명의 일 형태인 기억 장치의 제작 방법을 나타낸 단면도이다.

도 3의 (A)는 본 발명의 일 형태인 기억 장치의 제작 방법을 나타낸 평면도이다. 도 3의 (B) 및 (C)는 본 발명의 일 형태인 기억 장치의 제작 방법을 나타낸 단면도이다.

도 4의 (A)는 본 발명의 일 형태인 기억 장치의 제작 방법을 나타낸 평면도이다. 도 4의 (B) 및 (C)는 본 발명의 일 형태인 기억 장치의 제작 방법을 나타낸 단면도이다.

도 5의 (A)는 본 발명의 일 형태인 기억 장치의 제작 방법을 나타낸 평면도이다. 도 5의 (B) 및 (C)는 본 발명

의 일 형태인 기억 장치의 제작 방법을 나타낸 단면도이다.

도 6의 (A)는 본 발명의 일 형태인 기억 장치의 제작 방법을 나타낸 평면도이다. 도 6의 (B) 및 (C)는 본 발명의 일 형태인 기억 장치의 제작 방법을 나타낸 단면도이다.

도 7의 (A)는 본 발명의 일 형태인 기억 장치의 제작 방법을 나타낸 평면도이다. 도 7의 (B) 및 (C)는 본 발명의 일 형태인 기억 장치의 제작 방법을 나타낸 단면도이다.

도 8의 (A)는 본 발명의 일 형태인 기억 장치의 제작 방법을 나타낸 평면도이다. 도 8의 (B) 및 (C)는 본 발명의 일 형태인 기억 장치의 제작 방법을 나타낸 단면도이다.

도 9의 (A) 내지 (C)는 본 발명의 일 형태인 기억 장치의 단면도이다.

도 10의 (A)는 본 발명의 일 형태인 기억 장치의 평면도이다. 도 10의 (B)는 본 발명의 일 형태인 기억 장치의 단면도이다.

도 11의 (A)는 본 발명의 일 형태인 기억 장치의 평면도이다. 도 11의 (B)는 본 발명의 일 형태인 기억 장치의 단면도이다.

도 12의 (A) 내지 (E)는 본 발명의 일 형태에 따른 금속 산화물의 성막 방법을 설명하는 단면도이다.

도 13의 (A) 내지 (D)는 본 발명의 일 형태에 따른 금속 산화물의 단면도이다.

도 14의 (A) 내지 (D)는 본 발명의 일 형태에 따른 금속 산화물의 성막 방법을 설명하는 단면도이다.

도 15의 (A) 내지 (C)는 본 발명의 일 형태에 따른 금속 산화물의 성막 방법을 설명하는 단면도이다.

도 16은 기억 장치의 구성예를 설명하는 블록도이다.

도 17의 (A) 및 (B)는 기억 장치의 구성예를 설명하는 모식도 및 회로도이다.

도 18의 (A) 및 (B)는 기억 장치의 구성예를 설명하는 모식도이다.

도 19는 기억 장치의 구성예를 설명하는 회로도이다.

도 20의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치의 모식도이다.

도 21의 (A) 및 (B)는 전자 부품의 일례를 설명하는 도면이다.

도 22의 (A) 내지 (E)는 본 발명의 일 형태에 따른 기억 장치의 모식도이다.

도 23의 (A) 내지 (H)는 본 발명의 일 형태에 따른 전자 기기를 나타낸 도면이다.

도 24는 우주용 기기의 일례를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0025] 이하에서, 실시형태에 대하여 도면을 참조하여 설명한다. 다만 실시형태는 많은 상이한 형태로 실시할 수 있고, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 이하의 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다.

[0026] 또한 도면에서 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서 그 스케일에 반드시 한정되는 것은 아니다. 또한 도면은 이상적인 예를 모식적으로 나타낸 것이고, 도면에 나타난 형상 또는 값 등에 한정되지 않는다. 예를 들어 실제의 제조 공정에서, 에칭 등의 처리에 의하여 층 또는 레지스트 마스크 등이 의도치 않게 감소되는 경우가 있지만, 이해를 용이하게 하기 위하여 도면에 반영하지 않은 경우가 있다. 또한 도면에서 동일한 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 이에 대한 반복적인 설명은 생략하는 경우가 있다. 또한 같은 기능을 가지는 부분을 가리키는 경우에는, 해치 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다.

[0027] 또한 특히 평면도("상면도"라고도 함) 또는 사시도 등에서, 발명의 이해를 용이하게 하기 위하여 일부 구성 요소의 기재를 생략하는 경우가 있다. 또한 일부 숨은선의 기재를 생략하는 경우가 있다.

[0028] 또한 본 명세서 등에서 제 1, 제 2 등으로 붙여지는 서수사는 편의상 사용되는 것이며, 공정 순서 또는 적층 순

서를 나타내는 것이 아니다. 그러므로 예를 들어 "제 1"을 "제 2" 또는 "제 3" 등으로 적절히 바꿔 설명할 수 있다. 또한 본 명세서 등에 기재되는 서수사와, 본 발명의 일 형태를 특정하기 위하여 사용되는 서수사는 일치하지 않는 경우가 있다.

[0029] 또한 본 명세서 등에서 "위에", "아래에" 등의 배치를 나타내는 어구는 구성 요소끼리의 위치 관계를 도면을 참조하여 설명하기 위하여 편의상 사용하고 있다. 또한 구성 요소끼리의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 변화된다. 따라서 명세서에서 설명된 어구에 한정되지 않고, 상황에 따라 적절히 바꿔 말할 수 있다.

[0030] 예를 들어 본 명세서 등에서 X와 Y가 접속되어 있다는 것은 X와 Y가 전기적으로 접속되는 경우를 말한다. 여기서, X와 Y가 전기적으로 접속되어 있다는 것은 X와 Y 간에 대상물(스위치, 트랜지스터 소자, 또는 다이오드 등의 소자, 혹은 상기 소자 및 배선을 포함하는 회로 등을 가리킴)이 존재하는 경우에 X와 Y 간에서 전기 신호를 전달할 수 있는 접속을 말한다. 또한 X와 Y가 전기적으로 접속되어 있는 경우에는 X와 Y가 직접 접속되어 있는 경우가 포함된다. 여기서 X와 Y가 직접 접속되어 있다는 것은 상기 대상물을 통하지 않고, 배선(또는 전극) 등을 통하여 X와 Y 간에서 전기 신호를 전달할 수 있는 접속을 말한다. 바꿔 말하면, 직접 접속이란, 등가 회로로 나타낸 경우에 같은 회로도로 간주할 수 있는 접속을 말한다.

[0031] 또한 본 명세서 등에서 트랜지스터란 게이트와, 드레인과, 소스를 포함하는 적어도 3개의 단자를 가지는 소자이다. 그리고 드레인(드레인 단자, 드레인 영역, 또는 드레인 전극)과 소스(소스 단자, 소스 영역, 또는 소스 전극) 사이에 채널이 형성되는 영역(이하, 채널 형성 영역이라고도 함)을 가지고, 채널 형성 영역을 통하여 소스와 드레인 사이에 전류를 흘릴 수 있다. 또한 본 명세서 등에서 채널 형성 영역이란 전류가 주로 흐르는 영역을 말한다.

[0032] 또한 소스 또는 드레인의 기능은 상이한 극성의 트랜지스터를 채용하는 경우 또는 회로 동작에서 전류의 방향이 변화되는 경우 등에는 서로 바뀌는 경우가 있다. 그러므로 본 명세서 등에서는 소스 또는 드레인이라는 용어는 서로 바꿔 사용할 수 있는 경우가 있다.

[0033] 또한 반도체의 불순물이란, 예를 들어 반도체를 구성하는 주성분 외의 것을 말한다. 예를 들어 농도가 0.1atomic% 미만인 원소는 불순물이라고 할 수 있다. 불순물이 포함됨으로써, 예를 들어 반도체의 결함 준위 밀도가 높아지거나, 결정성이 저하되는 경우 등이 있다. 반도체가 산화물 반도체인 경우, 반도체의 특성을 변화시키는 불순물로서는, 예를 들어 1족 원소, 2족 원소, 13족 원소, 14족 원소, 15족 원소, 산화물 반도체의 주성분 외의 전이 금속(transition metal) 등이 있고, 예를 들어 수소, 리튬, 소듐, 실리콘, 붕소, 인, 탄소, 질소 등이 있다. 또한 물도 불순물로서 기능하는 경우가 있다. 또한 예를 들어 불순물의 혼입으로 인하여 산화물 반도체에 산소 결손(V_O: oxygen vacancy라고도 함)이 형성되는 경우가 있다.

[0034] 또한 본 명세서 등에서 산화질화 실리콘이란 그 조성에서 질소보다 산소의 함유량이 많은 것을 말한다. 또한 질화산화 실리콘이란 그 조성에서 산소보다 질소의 함유량이 많은 것을 말한다. 또한 산화질화 알루미늄이란 그 조성에서 질소보다 산소의 함유량이 많은 것을 말한다. 또한 질화산화 알루미늄이란 그 조성에서 산소보다 질소의 함유량이 많은 것을 말한다. 또한 산화질화 하프늄이란 그 조성에서 질소보다 산소의 함유량이 많은 것을 말한다. 또한 질화산화 하프늄이란 그 조성에서 산소보다 질소의 함유량이 많은 것을 말한다.

[0035] 또한 본 명세서 등에서 "절연체"라는 용어를 절연막 또는 절연층이라고 바꿔 말할 수 있다. 또한 "도전체"라는 용어를 도전막 또는 도전층이라고 바꿔 말할 수 있다. 또한 "반도체"라는 용어를 반도체막 또는 반도체층이라고 바꿔 말할 수 있다.

[0036] 또한 본 명세서 등에서 "평행"이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서 -5° 이상 5° 이하의 경우도 포함된다. 또한 "실질적으로 평행"이란, 2개의 직선이 -30° 이상 30° 이하의 각도로 배치되어 있는 상태를 말한다. 또한 "수직"이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서 85° 이상 95° 이하의 경우도 포함된다. 또한 "실질적으로 수직"이란, 2개의 직선이 60° 이상 120° 이하의 각도로 배치되어 있는 상태를 말한다.

[0037] 또한 본 명세서 등에서 "전압"과 "전위"는 적절히 바꿔 말할 수 있다. "전압"은 기준이 되는 전위와의 전위차를 말하고, 예를 들어 기준이 되는 전위를 그라운드 전위(접지 전위)로 하면, "전압"을 "전위"로 바꿔 말할 수 있다. 또한 그라운드 전위는 반드시 0V를 의미하는 것은 아니다. 또한 전위는 상대적인 것이고, 기준이 되는 전위가 변화됨으로써, 배선에 공급되는 전위, 회로 등에 인가되는 전위, 회로 등으로부터 출력되는 전위 등도

변화된다.

[0038] 본 명세서 등에서 복수의 요소에 같은 부호를 사용하고, 이들을 특별히 구별할 필요가 있는 경우에는, 부호에 "_1", "[n]", 또는 "[m,n]" 등의 식별용 부호를 붙여서 기재하는 경우가 있다.

[0039] 또한 본 명세서 등에서 "높이가 일치하거나 실질적으로 일치"란, 단면에서 보았을 때, 기준이 되는 면(예를 들어 기판 표면 등의 평탄한 면)과 높이가 같은 구성을 말한다. 예를 들어 기억 장치의 제조 공정에서 평탄화 처리(대표적으로는 CMP 처리)를 수행함으로써 단층 또는 복수의 층의 표면이 노출되는 경우가 있다. 이 경우, CMP 처리가 수행된 피처리면은 기준이 되는 면과 높이가 같다. 다만 CMP 처리에 사용되는 처리 장치, 처리 방법, 또는 피처리면의 재료에 따라서는 복수의 층의 높이가 서로 달라지는 경우가 있다. 본 명세서 등에서는 이 경우도 "높이가 일치하거나 실질적으로 일치"에 포함시킨다. 예를 들어 기준이 되는 면에 대하여 높이를 가지는 2개의 층(여기서는 제 1 층과 제 2 층)을 가지고, 제 1 층의 상면의 높이와 제 2 층의 상면의 높이의 차이가 20nm 이하인 경우도 "높이가 일치하거나 실질적으로 일치"라고 한다.

[0040] 또한 본 명세서 등에서 "단부가 일치하거나 실질적으로 일치"란, 평면에서 보았을 때, 적층된 층과 층 사이에서 적어도 윤곽의 일부가 중첩되는 것을 말한다. 예를 들어 위층과 아래층이 동일한 마스크 패턴 또는 일부가 동일한 마스크 패턴을 사용하여 가공된 경우를 그 범주에 포함한다. 다만 엄밀하게 말하면 윤곽이 중첩되지 않고 위층의 윤곽이 아래층의 윤곽보다 내측에 위치하거나 위층의 윤곽이 아래층의 윤곽보다 외측에 위치하는 경우도 있고, 이 경우도 "단부가 일치하거나 실질적으로 일치"라고 한다.

[0041] (실시형태 1)

[0042] 본 실시형태에서는, 도 1 내지 도 11을 사용하여 본 발명의 일 형태인 기억 장치의 일례 및 그 제작 방법에 대하여 설명한다. 본 발명의 일 형태인 기억 장치는 트랜지스터 및 용량 소자를 가진다.

[0043] <기억 장치의 구성예>

[0044] 도 1을 사용하여 트랜지스터 및 용량 소자를 가지는 기억 장치의 구성에 대하여 설명한다. 도 1의 (A) 내지 (D)는 트랜지스터(200) 및 용량 소자(100)를 가지는 기억 장치의 평면도 및 단면도이다. 도 1의 (A)는 상기 기억 장치의 평면도이다. 또한 도 1의 (B) 내지 (D)는 상기 기억 장치의 단면도이다. 여기서 도 1의 (B)는 도 1의 (A)에서 일점쇄선 A1-A2로 나타낸 부분의 단면도이다. 또한 도 1의 (C)는 도 1의 (A)에서 일점쇄선 A3-A4로 나타낸 부분의 단면도이다. 또한 도 1의 (D)는 트랜지스터(200)의 일부의 단면도이다. 또한 도 1의 (A)의 평면도에서는 도면의 명료화를 위하여 일부 요소를 생략하였다.

[0045] 또한 도 1의 (A)에 나타낸 Z방향은 트랜지스터(200)의 채널 길이 방향에 평행하고, Y방향은 Z방향에 수직이고, X방향은 Z방향 및 Y방향에 수직이다. 또한 도 1의 (A)에 나타낸 X방향, Y방향, 및 Z방향을 도 1의 (B) 내지 (D)에도 도시하였다.

[0046] 본 발명의 일 형태의 기억 장치는, 기판(도시하지 않았음) 위의 절연체(140)와, 절연체(140) 위의 용량 소자(100)와, 용량 소자(100) 위의 트랜지스터(200)와, 절연체(140) 및 용량 소자(100) 위의 절연체(280)와, 절연체(280) 위의 절연체(281) 및 도전체(240)와, 절연체(281) 및 도전체(240) 위의 절연체(285)와, 절연체(285) 위의 절연체(287)와, 절연체(287) 위의 절연체(289) 및 도전체(265)를 가진다. 절연체(140), 절연체(280), 절연체(281), 절연체(285), 절연체(287), 및 절연체(289)는 층간막으로서 기능한다.

[0047] 트랜지스터(200)는 절연체(280) 아래의 도전체(120)와, 도전체(120)의 상면에 접하여 배치된 산화물 반도체(230)와, 산화물 반도체의 일부에 접하는 도전체(240)와, 산화물 반도체(230) 위의 절연체(250)와, 절연체(250) 위의 도전체(260)를 가진다. 여기서 산화물 반도체(230)는 반도체층으로서 기능하고, 도전체(260)는 게이트 전극으로서 기능하고, 도전체(120)는 소스 전극 및 드레인 전극 중 한쪽으로서 기능하고, 도전체(240)는 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하고, 절연체(250)는 게이트 절연체로서 기능한다.

[0048] 도 1의 (B) 및 (C)에 나타낸 바와 같이, 절연체(280), 도전체(240), 및 절연체(285)에 도전체(120)에 달하는 개구(290)가 형성되어 있다. 산화물 반도체(230)의 적어도 일부, 절연체(250)의 적어도 일부, 및 도전체(260)의 적어도 일부가 개구(290) 내에 배치되어 있다.

[0049] 용량 소자(100)는, 절연체(140) 위의 도전체(110)와, 도전체(110) 위의 절연체(130)와, 절연체(130) 위의 도전체(120)를 가진다. 도전체(110)는 하부 전극으로서 기능하고, 도전체(120)는 상부 전극으로서 기능하고, 절연체(130)는 유전체로서 기능한다. 즉 용량 소자(100)는 MIM(Metal-Insulator-Metal) 용량 소자를 구성한다.

[0050] 본 실시형태에 나타낸 트랜지스터(200) 및 용량 소자(100)는 기억 장치의 메모리 셀로서 사용될 수 있다(이하, 메모리 셀(150)이라고 부르는 경우가 있음). 여기서 도 1의 (B) 및 (C)에 나타낸 바와 같이, 트랜지스터(200)는 용량 소자(100)와 중첩되도록 제공된다. 특히 도전체(120)는 트랜지스터(200)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하고, 또한 용량 소자(100)의 상부 전극으로서 기능하기 때문에, 트랜지스터(200)와 용량 소자(100)는 구조의 일부를 공유한다. 이러한 구조로 함으로써, 평면에서 보았을 때의 점유 면적을 크게 증가시키지 않고 트랜지스터(200) 및 용량 소자(100)를 제공할 수 있다. 이로써 메모리 셀(150)의 면적을 저감할 수 있기 때문에, 메모리 셀(150)을 고밀도로 배치하고, 기억 장치의 기억 용량을 크게 할 수 있다. 바꿔 말하면 기억 장치를 고집적화할 수 있다.

[0051] 본 실시형태에서 설명하는 기억 장치의 회로도를 도 1의 (E)에 나타내었다. 도 1의 (E)에 나타낸 바와 같이, 도 1의 (A) 내지 (C)에 나타낸 구성은 기억 장치의 메모리 셀로서 기능한다. 한쪽 메모리 셀은 트랜지스터(Tr)와 용량 소자(C)를 가진다. 여기서 트랜지스터(Tr)는 트랜지스터(200)에 대응하고, 용량 소자(C)는 용량 소자(100)에 대응한다.

[0052] 메모리 셀에 있어서, 트랜지스터(Tr)의 소스 및 드레인 중 한쪽은 용량 소자(C)의 한쪽 전극에 접속된다. 트랜지스터(Tr)의 소스 및 드레인 중 다른 쪽은 배선(BL)에 접속된다. 트랜지스터(Tr)의 게이트는 배선(WL)에 접속된다. 용량 소자(C)의 다른 쪽 전극은 배선(PL)에 접속된다.

[0053] 여기서 배선(BL)은 도전체(240)에 대응하고, 배선(WL)은 도전체(265)에 대응하고, 배선(PL)은 도전체(110)에 대응한다. 도 1의 (A) 내지 (C)에 나타낸 바와 같이, 도전체(265)는 Y방향으로 신장되어 형성되고, 도전체(240)는 X방향으로 신장되어 형성되는 것이 바람직하다. 이러한 구성으로 함으로써 배선(BL)과 배선(WL)은 서로 교차하여 제공된다. 또한 도 1의 (E)에서는 배선(PL)이 배선(WL)에 평행하게 제공되어 있지만, 본 발명은 이에 한정되지 않는다. 예를 들어 배선(PL)(도전체(110))이 배선(BL)에 평행하게 제공되어도 좋고, 배선(PL)(도전체(110))이 평면상으로 제공되어도 좋다.

[0054] 또한 메모리 셀에 대해서는 추후의 실시형태에서 자세히 설명한다.

[0055] [트랜지스터(200)]

[0056] 도 1의 (A) 내지 (C)에 나타낸 바와 같이, 트랜지스터(200)는 절연체(130) 위에 접하여 제공된 도전체(120)와, 도전체(120)의 상면, 절연체(280)의 측면, 도전체(240)의 측면, 절연체(285)의 측면 및 상면에 접하여 제공된 산화물 반도체(230)와, 산화물 반도체(230)의 상면에 접하여 제공된 절연체(250)와, 절연체(281)에 매립되도록 제공된 도전체(240)와, 절연체(250)의 상면에 접하여 제공된 도전체(260)와, 도전체(260)의 상면에 접하고 절연체(289)에 매립되도록 제공된 도전체(265)를 가지는 구성으로 할 수 있다.

[0057] 트랜지스터(200)의 적어도 일부는 개구(290) 내에 배치된다. 개구(290)는 도 1의 (A) 내지 (D)에 나타낸 바와 같이 원기둥 형상으로 제공할 수 있다. 이 경우, 평면에서 보았을 때 개구(290)는 원형이고, 단면에서 보았을 때 개구(290)는 직사각형이 된다. 여기서 개구(290)의 바닥면은 도전체(120)의 상면이고, 개구(290)의 측벽은 절연체(280)의 측면, 도전체(240)의 측면, 및 절연체(285)의 측면이다.

[0058] 또한 본 실시형태에서는 개구(290)의 측벽이 도전체(120)의 상면에 대하여 실질적으로 수직이 되도록 개구(290)를 제공하였지만, 본 발명은 이에 한정되지 않는다. 예를 들어 개구(290)의 측벽은 테이퍼 형상이어도 좋다. 개구(290)의 측벽을 테이퍼 형상으로 함으로써, 산화물 반도체(230) 또는 절연체(250) 등의 피복성이 향상되어, 공동 등의 결함을 저감할 수 있다.

[0059] 또한 본 명세서 등에서 테이퍼 형상이란, 구조의 측면의 적어도 일부가 기판면 또는 피형성면에 대하여 경사져 제공되어 있는 형상을 가리킨다. 예를 들어 경사진 측면과 기판 면이 이루는 각(이하 테이퍼각이라고 부르는 경우가 있음)이 90° 미만인 영역을 가진다. 또한 구조의 측면 및 기판면은 반드시 완전히 평탄할 필요는 없고, 미세한 곡률을 가지는 대략 평면 형상 또는 미세한 요철을 가지는 대략 평면 형상을 가져도 좋다.

[0060] 또한 본 실시형태에서는 평면에서 보았을 때 개구(290)가 원형인 예를 나타내었지만 본 발명은 이에 한정되지 않는다. 예를 들어 개구(290)는, 평면에서 보았을 때 타원 등의 대략 원형, 사각형 등의 다각형, 사각형 등의 다각형의 모서리 부분을 둥글게 한 형상이어도 좋다.

[0061] 산화물 반도체(230), 절연체(250), 및 도전체(260)의 개구(290) 내에 배치되는 부분은 개구(290)의 형상을 반영하여 제공된다. 따라서 개구(290)의 바닥면 및 측벽을 덮도록 산화물 반도체(230)가 제공되고, 산화물 반도체(230)를 덮도록 절연체(250)가 제공되고, 개구(290)의 형상을 반영한 절연체(250)의 오목부를 매립하도록 도전

체(260)가 제공된다. 여기서 산화물 반도체(230)는 개구(290)의 바닥부에 있어서 도전체(120)의 상면에 접하고, 개구(290)의 측벽에 있어서 도전체(240)의 측면에 접한다.

[0062] 상술한 바와 같이, 도전체(260)는 트랜지스터(200)의 게이트 전극으로서 기능하고, 도전체(120)는 트랜지스터(200)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하고, 도전체(240)는 트랜지스터(200)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능한다. 따라서 산화물 반도체(230)의 도전체(120)와 접하는 영역 및 그 근방의 적어도 일부는 소스 영역 및 드레인 영역 중 한쪽으로서 기능하고, 산화물 반도체(230)의 도전체(240)와 접하는 영역 및 그 근방의 적어도 일부는 소스 영역 및 드레인 영역 중 다른 쪽으로서 기능한다. 여기서 도 1의 (D)는 도전체(240)를 포함하는 XY 평면을 나타낸 단면도이다. 도 1의 (D)에 나타낸 바와 같이, 도전체(240)는 산화물 반도체(230)의 외주 전체에 접한다. 따라서 트랜지스터(200)의 소스 영역 및 드레인 영역 중 다른 쪽은 산화물 반도체(230) 중, 도전체(240)와 같은 층에 형성되는 부분의 외주 전체에 형성될 수 있다.

[0063] 산화물 반도체(230)의 소스 영역 및 드레인 영역 중 한쪽으로서 기능하는 영역과, 소스 영역 및 드레인 영역 중 다른 쪽으로서 기능하는 영역 사이의 영역의 적어도 일부가 채널 형성 영역으로서 기능한다.

[0064] 여기서 트랜지스터(200)의 채널 형성 영역은 산화물 반도체(230)의, 도전체(120)와 도전체(240) 사이의 영역에 위치한다. 또한 트랜지스터(200)의 채널 형성 영역은 산화물 반도체(230)의, 절연체(280)와 접하는 영역 또는 그 근방의 영역에 위치한다고 할 수도 있다. 즉 트랜지스터(200)의 채널 길이는 도전체(120) 위의 절연체(280)의 두께에 따라 결정된다고 할 수 있다.

[0065] 종래의 트랜지스터에서는 채널 길이가 포토리소그래피의 노광 한계로 설정되었지만, 본 발명에서는 절연체(280)의 막 두께로 채널 길이를 설정할 수 있다. 따라서 트랜지스터(200)의 채널 길이를 포토리소그래피의 노광 한계 이하의 매우 미세한 구조(예를 들어 60nm 이하, 50nm 이하, 40nm 이하, 30nm 이하, 20nm 이하, 또는 10nm 이하이고, 1nm 이상 또는 5nm 이상임)로 할 수 있다. 이에 의하여 트랜지스터(200)의 온 전류가 증가되고 주파수 특성을 향상시킬 수 있다. 따라서 메모리 셀(150)의 판독 속도 및 기록 속도를 향상시킬 수 있기 때문에 동작 속도가 빠른 기억 장치를 제공할 수 있다.

[0066] 또한 상술한 바와 같이 개구(290) 내에 채널 형성 영역, 소스 영역, 및 드레인 영역을 형성할 수 있다. 이로써 채널 형성 영역, 소스 영역, 및 드레인 영역이 XY 평면 위에 따로따로 제공된 종래의 트랜지스터에 비하여 트랜지스터(200)의 점유 면적을 축소할 수 있다. 이로써 기억 장치를 고집적화할 수 있기 때문에, 단위 면적당 기억 용량을 크게 할 수 있다.

[0067] 또한 산화물 반도체(230)의 채널 형성 영역을 포함하는 XY 평면에서도, 도 1의 (D)와 마찬가지로 산화물 반도체(230), 절연체(250), 및 도전체(260)는 동심원상으로 제공된다. 따라서 중심에 제공된 도전체(260)의 측면은 절연체(250)를 개재(介在)하여 산화물 반도체(230)의 측면과 대향한다. 즉 평면에서 보았을 때, 산화물 반도체(230)의 둘레 전체가 채널 형성 영역이 된다. 이때 예를 들어 산화물 반도체(230)의 외주의 길이에 따라 트랜지스터(200)의 채널 폭이 결정된다. 이와 같이 산화물 반도체(230), 절연체(250), 및 도전체(260)를 제공함으로써 단위 면적당 채널 폭을 크게 하여 온 전류를 높일 수 있다.

[0068] 또한 평면에서 보았을 때 원형이 되도록 개구(290)를 형성함으로써, 산화물 반도체(230), 절연체(250), 및 도전체(260)는 동심원상으로 제공된다. 이에 의하여, 도전체(260)와 산화물 반도체(230) 사이의 거리가 실질적으로 균일하게 되기 때문에, 산화물 반도체(230)에 실질적으로 균일하게 게이트 전계를 인가할 수 있다.

[0069] 트랜지스터(200)의 채널 형성 영역은 소스 영역 및 드레인 영역보다 산소 결손이 적거나 수소, 질소, 금속 원소 등의 불순물 농도가 낮은 것이 바람직하다. 또한 산소 결손 근방의 수소가 산소 결손에 수소가 들어간 결함(이하 V_OH라고 부르는 경우가 있음)을 형성하고, 캐리어가 되는 전자를 생성하는 경우가 있기 때문에, 채널 형성 영역에서는 V_OH도 저감되어 있는 것이 바람직하다. 이와 같이 트랜지스터(200)의 채널 형성 영역은 캐리어 농도가 낮은 고저항 영역이다. 따라서 트랜지스터(200)의 채널 형성 영역은 i형(진성) 또는 실질적으로 i형이라고 할 수 있다.

[0070] 또한 트랜지스터(200)의 소스 영역 및 드레인 영역은 채널 형성 영역에 비하여 산소 결손이 많거나, V_OH가 많거나, 수소, 질소, 금속 원소 등 불순물의 농도가 높아 캐리어 농도가 증가되어 저저항화된 영역이다. 즉 트랜지스터(200)의 소스 영역 및 드레인 영역은 채널 형성 영역에 비하여 캐리어 농도가 높고 저항이 낮은 n형 영역이다.

[0071] 또한 산화물 반도체(230)의 일부, 절연체(250)의 일부, 및 도전체(260)의 일부는 개구(290)의 바깥, 즉 절연체

(285) 위에 위치한다. 여기서 산화물 반도체(230)의 일부가 절연체(285)의 상면에 접하는 구조로 할 수 있다. 또한 도 1의 (B) 및 (C)에 나타낸 바와 같이, 산화물 반도체(230)의 측단부와 절연체(250)의 측단부가 실질적으로 일치하는 구조로 하여도 좋다. 이러한 구조로 함으로써, 산화물 반도체(230)와 절연체(250)를 동일한 마스크를 사용하여 형성할 수 있어, 기억 장치의 제작 공정을 간략화할 수 있다.

[0072] 또는 절연체(250)가 산화물 반도체(230)의 측단부를 덮는 구조로 하여도 좋다. 이에 의하여, 도전체(260)와 산화물 반도체(230)가 단락되는 것을 방지할 수 있다.

[0073] 또한 도 1의 (B), (C)에 나타낸 바와 같이, 도전체(260)의 측단부가 산화물 반도체(230)의 측단부 및 절연체(250)의 측단부보다 내측에 위치하는 것이 바람직하다. 이에 의하여, 도전체(260)와 산화물 반도체(230)가 단락되는 것을 방지할 수 있다.

[0074] 산화물 반도체(230)로서 사용되는 금속 산화물은 밴드 갭이 2eV 이상인 것이 바람직하고, 2.5eV 이상인 것이 더 바람직하다. 밴드 갭이 큰 금속 산화물을 사용함으로써 트랜지스터의 오프 전류를 저감할 수 있다. 트랜지스터(200)는 오프 전류가 낮기 때문에, 이를 메모리 셀에 사용함으로써 장기간에 걸쳐 기억 내용을 유지할 수 있다. 즉 리프레시 동작이 불필요하거나 리프레시 동작의 빈도가 매우 낮기 때문에, 기억 장치의 소비 전력을 충분히 저감할 수 있다.

[0075] 산화물 반도체(230)로서 예를 들어 인듐 산화물, 갈륨 산화물, 및 아연 산화물 등의 금속 산화물을 사용하는 것이 바람직하다. 또한 산화물 반도체(230)로서 예를 들어 인듐, 원소 M, 및 아연 중에서 선택되는 2개 또는 3개를 가지는 금속 산화물을 사용하는 것이 바람직하다. 또한 원소 M은 갈륨, 알루미늄, 실리콘, 붕소, 이트륨, 주석, 구리, 바나듐, 베릴륨, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 마그네슘, 및 코발트 중에서 선택된 1종류 또는 복수 종류이다. 특히 원소 M은 알루미늄, 갈륨, 이트륨, 및 주석 중에서 선택된 1종류 또는 복수 종류인 것이 바람직하다. 또한 인듐, 원소 M, 및 아연을 가지는 금속 산화물을 In-M-Zn 산화물이라고 표기하는 경우가 있다.

[0076] 특히 트랜지스터의 반도체층에는 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함하는 산화물(IGZO라고도 표기함)을 사용하는 것이 바람직하다. 또는 트랜지스터의 반도체층에는 인듐(In), 갈륨(Ga), 아연(Zn), 및 주석(Sn)을 포함하는 산화물(IGZTO)을 사용하여도 좋다. 또는 트랜지스터의 반도체층에는 인듐(In), 알루미늄(Al), 및 아연(Zn)을 포함하는 산화물(IAZO라고도 표기함)을 사용하여도 좋다. 또는 트랜지스터의 반도체에는 인듐(In), 알루미늄(Al), 갈륨(Ga), 및 아연(Zn)을 포함하는 산화물(IAGZO 또는 IGAZO)을 사용하여도 좋다.

[0077] 또한 산화물 반도체(230)는 화학 조성이 다른 복수의 산화물층의 적층 구조를 가져도 좋다. 예를 들어 상기 금속 산화물에서 선택되는 복수 종류를 적절히 적층시키는 구조로 하여도 좋다.

[0078] 또한 산화물 반도체(230)로서 In:M:Zn=1:3:4[원자수비] 또는 그 근방의 조성, In:M:Zn=1:1:0.5[원자수비] 또는 그 근방의 조성, In:M:Zn=1:1:1[원자수비] 또는 그 근방의 조성, In:M:Zn=1:1:1.2[원자수비] 또는 그 근방의 조성, 또는 In:M:Zn=1:1:2[원자수비] 또는 그 근방의 조성, 또는 In:M:Zn=4:2:3[원자수비] 또는 그 근방의 조성의 금속 산화물을 사용하면 좋다. 또한 근방의 조성이란, 원하는 원자수비의 ±30%의 범위를 포함한 것이다. 또한 원소 M으로서 갈륨을 사용하는 것이 바람직하다.

[0079] 또한 금속 산화물을 스퍼터링법으로 성막하는 경우, 상기 원자수비는 성막된 금속 산화물의 원자수비에 한정되지 않고, 금속 산화물의 성막에 사용하는 스퍼터링 타깃의 원자수비이어도 좋다.

[0080] 산화물 반도체(230)는 결정성을 가지는 것이 바람직하다. 특히 산화물 반도체(230)로서 CAAC-OS(c-axis aligned crystalline oxide semiconductor)를 사용하는 것이 바람직하다.

[0081] CAAC-OS는 복수의 층상 결정 영역을 가지고, c축이 피형성면의 법선 방향으로 배향되어 있는 것이 바람직하다. 예를 들어 산화물 반도체(230)는 개구(290)의 측벽, 특히 절연체(280)의 측면에 대하여 실질적으로 평행한 층상의 결정을 가지는 것이 바람직하다. 이러한 구성으로 함으로써 트랜지스터(200)의 채널 길이 방향에 대하여 산화물 반도체(230)의 층상 결정이 실질적으로 평행하게 형성되기 때문에, 트랜지스터의 온 전류를 높일 수 있다.

[0082] CAAC-OS는 결정성이 높고 치밀한 구조를 가지고, 불순물 및 결함(예를 들어 산소 결손 등)이 적은 금속 산화물이다. 특히 금속 산화물의 형성 후에, 금속 산화물이 다결정화되지 않을 정도의 온도(예를 들어 400℃ 이상 600℃ 이하)에서 가열 처리를 수행함으로써, 결정성이 더 높고 치밀한 구조를 가지는 CAAC-OS로 할 수 있다. 이러한 식으로 CAAC-OS의 밀도를 더 높임으로써, 상기 CAAC-OS에서의 불순물 또는 산소의 확산을 더 저감할 수 있다.

[0083] 또한 CAAC-OS에서는 명확한 결정립계를 확인하기 어렵기 때문에, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 따라서 CAAC-OS를 가지는 금속 산화물은 물리적 성질이 안정된다. 그러므로 CAAC-OS를 가지는 금속 산화물은 열에 강하고 신뢰성이 높다.

[0084] 또한 산화물 반도체(230)로서 CAAC-OS 등의 결정성을 가지는 산화물을 사용함으로써, 소스 전극 또는 드레인 전극에 의하여 산화물 반도체(230)로부터 산소가 추출되는 것을 저감할 수 있다. 이에 의하여, 열처리를 수행한 경우에도 산화물 반도체(230)로부터 산소가 추출되는 것을 저감할 수 있기 때문에, 트랜지스터(200)는 제조 공정에서의 높은 온도(소위 thermal budget)에 대하여 안정적이다.

[0085] 절연체(250)는 게이트 절연체로서 기능한다. 절연체(250)로서는 후술하는 <<절연체>>의 항목에 기재되는 절연체를 단층 또는 적층으로 사용할 수 있다. 예를 들어 절연체(250)로서, 산화 실리콘 또는 산화질화 실리콘을 사용할 수 있다. 산화 실리콘 및 산화질화 실리콘은 열에 대하여 안정적이므로 바람직하다.

[0086] 또한 절연체(250)로서 후술하는 <<절연체>>의 항목에 기재되는 비유전율이 높은 절연체, 소위 high-k 재료를 사용하여도 좋다. 예를 들어 산화 하프늄 또는 산화 알루미늄 등을 사용하여도 좋다.

[0087] 절연체(250)의 막 두께는 1nm 이상 20nm 이하로 하는 것이 바람직하고, 0.5nm 이상 15nm 이하로 하는 것이 더 바람직하고, 0.5nm 이상 10nm 이하로 하는 것이 더 바람직하다. 절연체(250)는 적어도 일부에서, 상술한 바와 같은 막 두께의 영역을 가지면 좋다.

[0088] 절연체(250) 내의 물, 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다. 이로써 산화물 반도체(230)의 채널 형성 영역에 물, 수소 등의 불순물이 혼입되는 것을 억제할 수 있다.

[0089] 도전체(260)는 게이트 전극으로서 기능한다. 도전체(260)로서는 후술하는 <<도전체>>의 항목에 기재되는 도전체를 단층 또는 적층으로 사용할 수 있다. 예를 들어 텅스텐 등의 도전성이 높은 도전성 재료를 도전체(260)에 사용할 수 있다.

[0090] 또한 도전체(260)에는 산화되기 어려운 도전성 재료 또는 산소의 확산을 억제하는 기능을 가지는 도전성 재료 등을 사용하는 것이 바람직하다. 상기 도전성 재료로서 질소를 포함하는 도전성 재료(예를 들어 질화 타이타늄 또는 질화 탄탈럼 등) 및 산소를 포함하는 도전성 재료(예를 들어 산화 루테늄 등) 등을 들 수 있다. 이로써 도전체(260)의 도전율이 저하되는 것을 억제할 수 있다. 또한 도전체(260)를 적층 구조로 하여도 좋고, 예를 들어 질화 타이타늄 위에 텅스텐을 적층시킨 구조로 하여도 좋다.

[0091] 도전체(260)는 절연체(287)에 매립되도록 제공되는 것이 바람직하다. 이때 도전체(260)의 상면의 높이와 절연체(287)의 상면의 높이가 일치하거나 실질적으로 일치하는 것이 바람직하다.

[0092] 또한 도 1의 (B) 및 (C)에서는 도전체(260)가 개구(290)를 매립하도록 제공되어 있지만, 본 발명은 이에 한정되지 않는다. 예를 들어 도전체(260)의 중앙부에 개구(290)의 형상을 반영한 오목부가 형성되는 경우가 있다. 또한 상기 오목부를 무기 절연 재료 등으로 충전하는 구성으로 하여도 좋다.

[0093] 도전체(120)는 소스 전극 및 드레인 전극 중 한쪽, 그리고 용량 소자(100)의 상부 전극으로서 기능한다. 도전체(120)로서는 후술하는 <<도전체>>의 항목에 기재되는 도전체를 단층 또는 적층으로 사용할 수 있다.

[0094] 도전체(260)와 마찬가지로, 도전체(120)에도 산화되기 어려운 도전성 재료 또는 산소의 확산을 억제하는 기능을 가지는 도전성 재료 등을 사용하는 것이 바람직하다. 예를 들어 질화 타이타늄 또는 질화 탄탈럼 등을 사용할 수 있다. 또한 예를 들어 질화 타이타늄 위에 질화 탄탈럼을 적층시킨 구조로 하여도 좋다. 이 경우, 질화 타이타늄이 절연체(130)에 접하고, 질화 탄탈럼이 산화물 반도체(230)에 접한다.

[0095] 도전체(120)를 상술한 바와 같은 구조로 함으로써, 산화물 반도체(230)에 의하여 도전체(120)가 과잉으로 산화되는 것을 저감할 수 있다. 또한 절연체(130)에 산화물 절연체를 사용하는 경우, 절연체(130)에 의하여 도전체(120)가 과잉으로 산화되는 것을 저감할 수 있다.

[0096] 또한 도 1의 (B) 및 (C)에서는 도전체(120)의 상면이 평탄화된 구성을 나타내었지만, 본 발명은 이에 한정되지 않는다. 도전체(120)의 상면에 개구(290)와 중첩된 오목부가 형성되는 구성으로 하여도 좋다. 상기 오목부를 매립하도록 산화물 반도체(230), 절연체(250), 및 도전체(260)의 적어도 일부가 형성되는 구성으로 함으로써, 산화물 반도체(230)의 도전체(120) 근방까지 도전체(260)의 게이트 전계를 인가하기 쉽게 할 수 있다.

[0097] 도전체(240)는 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능한다. 도전체(240)로서는 후술하는 <<도전체>>의 항목에 기재되는 도전체를 단층 또는 적층으로 사용할 수 있다. 예를 들어 텅스텐 등의 도전성이 높은

도전성 재료를 도전체(240)에 사용할 수 있다.

[0098] 도전체(260)와 마찬가지로, 도전체(240)에도 산화되기 어려운 도전성 재료 또는 산소의 확산을 억제하는 기능을 가지는 도전성 재료 등을 사용하는 것이 바람직하다. 예를 들어 질화 타이타늄 또는 질화 탄탈럼 등을 사용할 수 있다. 이러한 구성으로 함으로써, 산화물 반도체(230)로 인하여 도전체(240)가 과잉으로 산화되는 것을 저감할 수 있다.

[0099] 또한 예를 들어 질화 타이타늄 위에 텅스텐을 적층시킨 구조로 하여도 좋다. 이와 같이 텅스텐을 적층시켜 제공함으로써, 도전체(240)의 도전성을 향상시켜 배선(BL)으로서 충분히 기능시킬 수 있다.

[0100] 도전체(240)는 절연체(281)에 매립되도록 제공되는 것이 바람직하다. 이때 도전체(240)의 상면의 높이와 절연체(281)의 상면의 높이가 일치하거나 실질적으로 일치하는 것이 바람직하다.

[0101] 도전체(265)는 트랜지스터(200)의 게이트에 전기적으로 접속되는 배선(WL)으로서 기능한다. 도전체(265)로서는 후술하는 <<도전체>>의 항목에 기재되는 도전체를 단층 또는 적층으로 사용할 수 있다. 예를 들어 텅스텐 등의 도전성이 높은 도전성 재료를 도전체(265)에 사용할 수 있다.

[0102] 도전체(265)는 절연체(289)에 매립되도록 제공되는 것이 바람직하다. 이때 도전체(265)의 상면의 높이와 절연체(289)의 상면의 높이가 일치하거나 실질적으로 일치하는 것이 바람직하다.

[0103] 도 1의 (B)에 있어서, 도전체(265)의 측단부가 도전체(260)의 측단부와 실질적으로 일치하지만, 본 발명은 이에 한정되지 않는다. 예를 들어 도전체(265)의 측단부는 도전체(260)의 측단부보다 외측에 위치하여도 좋고, 도전체(260)의 측단부보다 내측에 위치하여도 좋다.

[0104] 절연체(140), 절연체(280), 절연체(281), 절연체(285), 절연체(287), 및 절연체(289)는 층간막으로서 기능하기 때문에, 유전율이 낮은 것이 바람직하다. 유전율이 낮은 재료를 층간막에 사용함으로써, 배선 사이에 발생하는 기생 용량을 저감할 수 있다. 절연체(140), 절연체(280), 절연체(281), 절연체(285), 절연체(287), 및 절연체(289)로서는 후술하는 <<절연체>>의 항목에 기재되는, 비유전율이 낮은 절연체를 단층 또는 적층으로 사용할 수 있다. 예를 들어 산화 실리콘, 산화질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공(空孔)을 가지는 산화 실리콘 등을 사용할 수 있다. 특히 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에 바람직하다.

[0105] 또한 절연체(140), 절연체(280), 절연체(281), 절연체(285), 절연체(287), 및 절연체(289) 내의 물, 수소 등의 불순물의 농도는 저감되어 있는 것이 바람직하다. 이로써 산화물 반도체(230)의 채널 형성 영역에 물, 수소 등의 불순물이 혼입되는 것을 억제할 수 있다.

[0106] 또한 채널 형성 영역 근방에 배치되는 절연체(280)로서는 가열에 의하여 이탈되는 산소(이하, 과잉 산소라고 부르는 경우가 있음)를 포함하는 절연체를 사용하는 것이 바람직하다. 과잉 산소를 포함하는 절연체(280)에 열처리를 수행함으로써, 절연체(280)로부터 산화물 반도체(230)의 채널 형성 영역에 산소를 공급하여, 산소 결손 및 V_OH를 저감할 수 있다. 이로써, 트랜지스터(200)의 전기 특성을 안정적으로 하고 신뢰성을 향상시킬 수 있다.

[0107] [용량 소자(100)]

[0108] 용량 소자(100)는 도전체(110)와, 절연체(130)와, 도전체(120)를 가진다. 도전체(110)는 용량 소자(100)의 한 쌍의 전극 중 한쪽(하부 전극이라고도 함)으로서 기능하고, 도전체(120)는 용량 소자(100)의 한 쌍의 전극 중 다른 쪽(상부 전극이라고도 함)으로서 기능하고, 절연체(130)는 용량 소자(100)의 유전체로서 기능한다.

[0109] 도전체(110)는 절연체(140) 위에 제공된다. 도전체(110)는 배선(PL)으로서 기능하고, 예를 들어 Y방향으로 신장되어 제공될 수 있다. 도전체(110)로서는 후술하는 <<도전체>>의 항목에 기재되는 도전체를 단층 또는 적층으로 사용할 수 있다. 예를 들어 텅스텐 등의 도전성이 높은 도전성 재료를 도전체(110)에 사용할 수 있다. 이와 같이 도전성이 높은 도전성 재료를 사용함으로써, 도전체(110)의 도전성을 향상시켜, 배선(PL)으로서 충분히 기능시킬 수 있다.

[0110] 또한 도전체(110)에는 산화되기 어려운 도전성 재료 또는 산소의 확산을 억제하는 기능을 가지는 도전성 재료 등을 적층시켜 사용하는 것이 바람직하다. 예를 들어 텅스텐 위에 질화 타이타늄을 적층시킨 구조로 하여도 좋다. 이러한 구성으로 함으로써, 절연체(130)에 의하여 도전체(110)가 과잉으로 산화되는 것을 저감할 수 있다.

[0111] 절연체(130)는 도전체(110) 위에 제공된다. 절연체(130)에는 고유전율(high-k) 재료(비유전율이 높은 재료)를

사용하는 것이 바람직하다.

[0112] 또한 고유전율(high-k) 재료의 절연체로서는 알루미늄, 하프늄, 지르코늄, 및 갈륨 등에서 선택된 금속 원소를 1종류 이상 포함하는 산화물, 산화질화물, 질화산화물, 또는 질화물을 사용할 수 있다. 또한 상기 산화물, 산화질화물, 질화산화물, 또는 질화물에 실리콘을 함유시켜도 좋다. 또한 상기 재료로 이루어지는 절연층을 적층시켜 사용할 수도 있다.

[0113] 예를 들어 고유전율(high-k) 재료의 절연체로서 산화 알루미늄, 산화 하프늄, 산화 지르코늄, 알루미늄 및 하프늄을 가지는 산화물, 알루미늄 및 하프늄을 가지는 산화질화물, 실리콘 및 하프늄을 가지는 산화물, 실리콘 및 하프늄을 가지는 산화질화물, 실리콘 및 지르코늄을 가지는 산화물, 실리콘 및 지르코늄을 가지는 산화질화물, 하프늄 및 지르코늄을 가지는 산화물, 하프늄 및 지르코늄을 가지는 산화질화물 등을 사용할 수 있다. 이러한 high-k 재료를 사용함으로써, 누설 전류를 억제할 수 있을 정도로 절연체(130)를 두껍게 하며, 용량 소자(100)의 정전 용량을 충분히 확보할 수 있다.

[0114] 또한 상기 재료로 이루어지는 절연층을 적층시켜 사용하는 것이 바람직하고, 고유전율(high-k) 재료와 상기 고유전율(high-k) 재료보다 절연 내력이 큰 재료의 적층 구조를 사용하는 것이 바람직하다. 예를 들어 절연체(130)로서는, 산화 지르코늄, 산화 알루미늄, 산화 지르코늄이 이 순서대로 적층된 절연막을 사용할 수 있다. 또한 예를 들어, 산화 지르코늄, 산화 알루미늄, 산화 지르코늄, 산화 알루미늄이 이 순서대로 적층된 절연막을 사용할 수 있다. 또한 예를 들어, 하프늄 지르코늄 산화물, 산화 알루미늄, 하프늄 지르코늄 산화물, 산화 알루미늄이 이 순서대로 적층된 절연막을 사용할 수 있다. 산화 알루미늄과 같은 절연 내력이 비교적 큰 절연체를 적층시켜 사용함으로써, 절연 내력이 향상되어 용량 소자(100)의 정전 파괴를 억제할 수 있다.

[0115] 또한 도전체(110)의 측단부와 절연체(130)의 측단부가 실질적으로 일치하는 구조로 하여도 좋다. 이와 같은 구조로 함으로써, 도전체(110)와 절연체(130)를 동일한 마스크를 사용하여 형성할 수 있어, 기억 장치의 제작 공정을 간략화할 수 있다.

[0116] 또는 절연체(130)가 도전체(110)의 측단부를 덮는 구조로 하여도 좋다. 이에 의하여 도전체(110)와 도전체(120)가 단락되는 것을 방지할 수 있다.

[0117] 도전체(120)는 [트랜지스터(200)]의 항목에서 설명한 바와 같이 제공하면 좋다. 여기서 용량 소자(100)의 정전 용량은 도전체(120)의 면적에 의존하기 때문에, 용량 소자(100)의 설곗값에 맞추어 섬 형상의 도전체(120)의 면적을 적절히 설정하면 좋다. 예를 들어 섬 형상의 도전체(120)의 면적을 크게 함으로써, 용량 소자(100)의 정전 용량을 크게 할 수 있다. 이와 같이 용량 소자(100)의 단위 면적당 정전 용량을 크게 함으로써, 기억 장치의 판독 동작을 안정적으로 할 수 있다.

[0118] <기억 장치의 구성 재료>

[0119] 이하에서는, 기억 장치에 사용할 수 있는 구성 재료에 대하여 설명한다.

[0120] <<기판>>

[0121] 트랜지스터(200) 및 용량 소자(100)를 형성하는 기판으로서는 예를 들어 절연체 기판, 반도체 기판, 또는 도전체 기판을 사용하면 좋다. 절연체 기판으로서는 예를 들어 유리 기판, 석영 기판, 사파이어 기판, 안정화 지르코니아 기판(이트리아 안정화 지르코니아 기판 등), 수지 기판 등이 있다. 또한 반도체 기판으로서는 예를 들어 실리콘, 저마늄을 재료로서 사용한 반도체 기판, 또는 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 산화 아연, 산화 갈륨으로 이루어지는 화합물 반도체 기판 등이 있다. 또한 상술한 반도체 기판 내부에 절연체 영역을 가지는 반도체 기판, 예를 들어 SOI(Silicon On Insulator) 기판 등이 있다. 도전체 기판으로서는 흑연 기판, 금속 기판, 합금 기판, 도전성 수지 기판 등이 있다. 또는 금속의 질화물을 가지는 기판, 금속의 산화물을 가지는 기판 등이 있다. 또한 절연체 기판에 도전체 또는 반도체가 제공된 기판, 반도체 기판에 도전체 또는 절연체가 제공된 기판, 도전체 기판에 반도체 또는 절연체가 제공된 기판 등이 있다. 또는 이들 기판에 소자가 제공된 것을 사용하여도 좋다. 기판에 제공되는 소자로서는 용량 소자, 저항 소자, 스위칭 소자, 발광 소자, 기억 소자 등이 있다.

[0122] <<절연체>>

[0123] 절연체로서는, 절연성을 가지는 산화물, 질화물, 산화질화물, 질화산화물, 금속 산화물, 금속 산화질화물, 금속 질화산화물 등이 있다.

[0124] 예를 들어 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연체가 박막화됨으로써 누설 전류 등의 문제가 발생하는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 전압을 저감할 수 있다. 한편, 층간막으로서 기능하는 절연체에는 비유전율이 낮은 재료를 사용함으로써, 배선 사이에서 발생하는 기생 용량을 저감할 수 있다. 따라서 절연체의 기능에 따라 재료를 선택하는 것이 좋다.

[0125] 비유전율이 높은 절연체로서는 산화 갈륨, 산화 하프늄, 산화 지르코늄, 알루미늄 및 하프늄을 가지는 산화물, 알루미늄 및 하프늄을 가지는 산화질화물, 실리콘 및 하프늄을 가지는 산화물, 실리콘 및 하프늄을 가지는 산화질화물, 또는 실리콘 및 하프늄을 가지는 질화물 등이 있다.

[0126] 비유전율이 낮은 절연체로서는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘, 또는 수지 등이 있다.

[0127] 또한 게이트 절연체로서 기능하는 절연체는, 가열에 의하여 이탈되는 산소를 포함한 영역을 가지는 절연체인 것이 바람직하다. 예를 들어 가열에 의하여 이탈되는 산소를 포함하는 영역을 가지는 산화 실리콘 또는 산화질화 실리콘이 산화물 반도체(230)와 접함으로써, 산화물 반도체(230)가 가지는 산소 결손을 보상할 수 있다.

[0128] <<도전체>>

[0129] 도전체에는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테늄, 이리듐, 스트론튬, 및 란타넘 등 중에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 예를 들어 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물 등을 사용하는 것이 바람직하다. 또한 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테늄, 질화 루테늄, 스트론튬과 루테늄을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물은 산화되기 어려운 도전성 재료 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다. 또한 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는, 전기 전도도가 높은 반도체, 니켈 실리사이드 등의 실리사이드를 사용하여도 좋다.

[0130] 또한 상기 재료로 형성되는 도전층을 복수로 적층시켜 사용하여도 좋다. 예를 들어 상술한 금속 원소를 포함하는 재료와 산소를 포함하는 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함하는 재료와 질소를 포함하는 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함하는 재료와, 산소를 포함하는 도전성 재료와, 질소를 포함하는 도전성 재료를 조합한 적층 구조로 하여도 좋다.

[0131] <<금속 산화물>>

[0132] 산화물 반도체(230)로서는, 반도체로서 기능하는 금속 산화물(산화물 반도체)을 사용하는 것이 바람직하다. 이하에서는, 본 발명에 따른 산화물 반도체(230)에 적용할 수 있는 금속 산화물에 대해서는 앞의 기재를 참조할 수 있다.

[0133] 또한 본 명세서 등에서 질소를 가지는 금속 산화물도 금속 산화물(metal oxide)이라고 총칭하는 경우가 있다. 또한 질소를 가지는 금속 산화물을 금속 산질화물(metal oxynitride)이라고 불러도 좋다.

[0134] 이하에서는, 금속 산화물의 일례로서 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함하는 산화물에 대하여 설명한다. 또한 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함하는 산화물을 In-Ga-Zn 산화물이라고 부르는 경우가 있다.

[0135] <결정 구조의 분류>

[0136] 산화물 반도체의 결정 구조로서는 비정질(completely amorphous를 포함함), CAAC(c-axis-aligned crystalline), nc(nanocrystalline), 단결정(single crystal), 및 다결정(poly crystal) 등을 들 수 있다.

[0137] 또한 막 또는 기판의 결정 구조는 X선 회절(XRD: X-Ray Diffraction) 스펙트럼을 사용하여 평가할 수 있다. 예를 들어 GIXD(Grazing-Incidence XRD) 측정에 의하여 얻어지는 XRD 스펙트럼을 사용하여 평가할 수 있다. 또한 GIXD법은 박막법 또는 Seemann-Bohlin법이라고도 한다. 또한 이하에서는 GIXD 측정에 의하여 얻어지는 XRD 스펙트럼을 단순히 XRD 스펙트럼이라고 기재하는 경우가 있다.

[0138] 예를 들어 석영 유리 기판에서는 XRD 스펙트럼의 피크의 형상이 거의 좌우 대칭이다. 한편, 결정 구조를 가지

는 In-Ga-Zn 산화물막에서는 XRD 스펙트럼의 피크의 형상이 좌우 비대칭이다. XRD 스펙트럼의 피크의 형상이 좌우 비대칭이라는 것은, 막 내 또는 기판 내의 결정의 존재를 명시한다. 바꿔 말하면, XRD 스펙트럼의 피크의 형상이 좌우 대칭이 아니면, 막 또는 기판은 비정질 상태라고 할 수 없다.

[0139] 또한 막 또는 기판의 결정 구조는 나노빔 전자 회절법(NBED: Nano Beam Electron Diffraction)으로 관찰되는 회절 패턴(나노빔 전자 회절 패턴이라고도 함)으로 평가할 수 있다. 예를 들어 석영 유리 기판의 회절 패턴에서는 헤일로(halo)가 관찰되므로, 석영 유리가 비정질 상태인 것을 확인할 수 있다. 또한 실온에서 성막한 In-Ga-Zn 산화물막의 회절 패턴에서는 헤일로가 아니라 스폿 형상의 패턴이 관찰된다. 그러므로 실온에서 성막한 In-Ga-Zn 산화물은 단결정도 다결정도 아니고 비정질 상태도 아닌 중간 상태이고, 비정질 상태라고 결론을 내릴 수 없는 것으로 추정된다.

[0140] <<산화물 반도체의 구조>>

[0141] 또한 산화물 반도체는 구조에 주목한 경우, 상기와는 다른 식으로 분류되는 경우가 있다. 예를 들어 산화물 반도체는 단결정 산화물 반도체와, 그 외의 비단결정 산화물 반도체로 분류된다. 비단결정 산화물 반도체로서는, 예를 들어 상술한 CAAC-OS 및 nc-OS가 있다. 또한 비단결정 산화물 반도체에는 다결정 산화물 반도체, a-like OS(amorphous-like oxide semiconductor), 비정질 산화물 반도체 등이 포함된다.

[0142] 여기서 상술한 CAAC-OS, nc-OS, 및 a-like OS에 대하여 자세히 설명한다.

[0143] [CAAC-OS]

[0144] CAAC-OS는 복수의 결정 영역을 가지고, 상기 복수의 결정 영역은 c축이 특정 방향으로 배향되는 산화물 반도체이다. 또한 특정 방향이란, CAAC-OS막의 두께 방향, CAAC-OS막의 피형성면의 법선 방향, 또는 CAAC-OS막의 표면의 법선 방향을 말한다. 또한 결정 영역이란, 원자 배열에 주기성을 가지는 영역을 말한다. 또한 원자 배열을 격자 배열로 간주하면, 결정 영역은 격자 배열이 정렬된 영역이기도 하다. 또한 CAAC-OS는 a-b면 방향에서 복수의 결정 영역이 연결되는 영역을 가지고, 상기 영역은 변형을 가지는 경우가 있다. 또한 변형이란, 복수의 결정 영역이 연결되는 영역에서, 격자 배열이 정렬된 영역과, 격자 배열이 정렬된 다른 영역 사이에서 격자 배열의 방향이 변화되는 부분을 가리킨다. 즉 CAAC-OS는 c축 배향을 가지고, a-b면 방향으로는 명확한 배향을 가지지 않는 산화물 반도체이다.

[0145] 또한 상기 복수의 결정 영역은 각각 하나 또는 복수의 미소한 결정(최대 직경이 10nm 미만인 결정)으로 구성된다. 결정 영역이 하나의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 최대 직경은 10nm 미만이 된다. 또한 결정 영역이 다수의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 최대 직경은 수십nm 정도가 되는 경우가 있다.

[0146] 또한 In-Ga-Zn 산화물에서, CAAC-OS는 인듐(In) 및 산소를 가지는 층(이하, In층)과, 갈륨(Ga), 아연(Zn), 및 산소를 가지는 층(이하, (Ga,Zn)층)이 적층된 층상의 결정 구조(층상 구조라고도 함)를 가지는 경향이 있다. 또한 인듐과 갈륨은 서로 치환될 수 있다. 따라서 (Ga,Zn)층에는 인듐이 포함되는 경우가 있다. 또한 In층에는 갈륨이 포함되는 경우가 있다. 또한 In층에는 아연이 포함되는 경우도 있다. 상기 층상 구조는 예를 들어 고분해능 TEM(Transmission Electron Microscope) 이미지에서, 격자상(格子像)으로 관찰된다.

[0147] 예를 들어 XRD 장치를 사용하여 CAAC-OS막의 구조 해석을 수행할 때, θ/2θ 스캔을 사용한 Out-of-plane XRD 측정에서는, c축 배향을 나타내는 피크가 2θ=31° 또는 그 근방에서 검출된다. 또한 c축 배향을 나타내는 피크의 위치(2θ의 값)는 CAAC-OS를 구성하는 금속 원소의 종류, 조성 등에 따라 변동되는 경우가 있다.

[0148] 또한 예를 들어 CAAC-OS막의 전자 회절 패턴에서 복수의 휘점(스폿)이 관측된다. 또한 어떤 스폿과 다른 스폿은 시료를 투과한 입사 전자선의 스폿(디렉트 스폿이라고도 함)을 대칭 중심으로 하여 점대칭의 위치에서 관측된다.

[0149] 상기 특정 방향에서 결정 영역을 관찰한 경우, 상기 결정 영역 내의 격자 배열은 기본적으로 육방 격자이지만, 단위 격자는 정육각형에 한정되지 않고, 비정육각형인 경우가 있다. 또한 오각형, 칠각형 등의 격자 배열이 상기 변형에 포함되는 경우가 있다. 또한 CAAC-OS에서는, 변형 근방에서도 명확한 결정립계(그레인 바운더리)를 확인할 수는 없다. 즉 격자 배열의 변형에 의하여 결정립계의 형성이 억제되는 것을 알 수 있다. 이는, a-b면 방향에서 산소 원자의 배열이 조밀하지 않은 것, 금속 원자가 치환됨으로써 원자 사이의 결합 거리가 변화되는 것 등에 의하여 CAAC-OS가 변형을 허용할 수 있기 때문이라고 생각된다.

[0150] 또한 명확한 결정립계가 확인되는 결정 구조는 소위 다결정이다. 결정립계는 재결합 중심이 되고, 캐리어가 포

획되어 트랜지스터의 온 전류의 저하, 전계 효과 이동도의 저하 등을 일으킬 가능성이 높다. 따라서 명확한 결정립계가 확인되지 않는 CAAC-OS는 트랜지스터의 반도체층에 적합한 결정 구조를 가지는 결정성 산화물의 하나이다. 또한 CAAC-OS를 구성하기 위해서는, Zn을 가지는 구성이 바람직하다. 예를 들어 In-Zn 산화물 및 In-Ga-Zn 산화물은 In 산화물보다 결정립계의 발생을 더 억제할 수 있기 때문에 적합하다.

[0151] CAAC-OS는 결정성이 높고, 명확한 결정립계가 확인되지 않는 산화물 반도체이다. 따라서 CAAC-OS는 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 또한 산화물 반도체의 결정성은 불순물의 혼입, 결함의 생성 등으로 인하여 저하되는 경우가 있기 때문에, CAAC-OS는 불순물 및 결함(산소 결손 등)이 적은 산화물 반도체라고 할 수도 있다. 따라서 CAAC-OS를 가지는 산화물 반도체는 물리적 성질이 안정된다. 그러므로 CAAC-OS를 가지는 산화물 반도체는 열에 강하고 신뢰성이 높다. 또한 CAAC-OS는 제조 공정에서의 높은 온도(소위 thermal budget)에 대해서도 안정적이다. 따라서 채널 형성 영역에 금속 산화물을 가지는 트랜지스터(OS 트랜지스터라고 부르는 경우가 있음)에 CAAC-OS를 사용하면, 제조 공정의 자유도를 높일 수 있다.

[0152] [nc-OS]

[0153] nc-OS는 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 가진다. 바꿔 말하면, nc-OS는 미소한 결정을 가진다. 또한 상기 미소한 결정은 크기가 예를 들어 1nm 이상 10nm 이하, 특히 1nm 이상 3nm 이하이기 때문에 나노 결정이라고도 한다. 또한 nc-OS에서는 상이한 나노 결정 간에서 결정 방위에 규칙성이 보이지 않는다. 그러므로 막 전체에서 배향성이 보이지 않는다. 따라서 nc-OS는 분석 방법에 따라서는 a-like OS 또는 비정질 산화물 반도체와 구별할 수 없는 경우가 있다. 예를 들어 XRD 장치를 사용하여 nc-OS막의 구조 해석을 수행할 때, θ/2θ 스캔을 사용한 Out-of-plane XRD 측정에서는, 결정성을 나타내는 피크가 검출되지 않는다. 또한 nc-OS막에 대하여 나노 결정보다 큰 프로브 직경(예를 들어 50nm 이상)의 전자선을 사용하는 전자 회절(제한 시야 전자 회절이라고도 함)을 수행하면, 헤일로 패턴과 같은 회절 패턴이 관측된다. 한편, nc-OS막에 대하여 나노 결정의 크기와 가깝거나 나노 결정보다 작은 프로브 직경(예를 들어 1nm 이상 30nm 이하)의 전자선을 사용하는 전자 회절(나노빔 전자 회절이라고도 함)을 수행하면, 디렉트 스폿을 중심으로 하는 링 형상의 영역 내에서 복수의 스폿이 관측되는 전자 회절 패턴이 취득되는 경우가 있다.

[0154] [a-like OS]

[0155] a-like OS는 nc-OS와 비정질 산화물 반도체의 중간의 구조를 가지는 산화물 반도체이다. a-like OS는 공동 또는 저밀도 영역을 가진다. 즉 a-like OS는 nc-OS 및 CAAC-OS보다 결정성이 낮다. 또한 a-like OS는 nc-OS 및 CAAC-OS보다 막 내의 수소 농도가 높다.

[0156] 산화물 반도체는 다양한 구조를 취하고, 각각이 다른 특성을 가진다. 본 발명의 일 형태의 산화물 반도체에는 비정질 산화물 반도체, 다결정 산화물 반도체, a-like OS, nc-OS, CAAC-OS 중 2종류 이상이 포함되어도 좋다.

[0157] <산화물 반도체를 가지는 트랜지스터>

[0158] 상기 산화물 반도체를 트랜지스터에 사용함으로써, 전계 효과 이동도가 높은 트랜지스터를 실현할 수 있다. 또한 신뢰성이 높은 트랜지스터를 실현할 수 있다.

[0159] 트랜지스터의 채널 형성 영역에는 캐리어 농도가 낮은 산화물 반도체를 사용하는 것이 바람직하다. 예를 들어 산화물 반도체의 캐리어 농도는 $1\times10^{17}cm^{-3}$ 이하, 바람직하게는 $1\times10^{15}cm^{-3}$ 이하, 더 바람직하게는 $1\times10^{13}cm^{-3}$ 이하, 더 바람직하게는 $1\times10^{11}cm^{-3}$ 이하, 더 바람직하게는 $1\times10^{10}cm^{-3}$ 미만이고, $1\times10^{-9}cm^{-3}$ 이상이다. 또한 산화물 반도체막의 캐리어 농도를 낮추는 경우에는, 산화물 반도체막 내의 불순물 농도를 낮추고, 결함 준위 밀도를 낮추면 좋다.

[0160] 또한 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 결함 준위 밀도가 낮기 때문에, 트랩 준위 밀도도 낮아지는 경우가 있다.

[0161] 또한 산화물 반도체의 트랩 준위에 포획된 전하는 소실되는 데 걸리는 시간이 길고, 마치 고정 전하처럼 작용하는 경우가 있다. 그러므로 트랩 준위 밀도가 높은 산화물 반도체에 채널 형성 영역이 형성되는 트랜지스터는 전기 특성이 불안정해지는 경우가 있다.

[0162] 따라서 트랜지스터의 전기 특성을 안정적으로 하기 위해서는, 산화물 반도체 내의 불순물 농도를 저감하는 것이 유효하다. 또한 산화물 반도체 내의 불순물 농도를 저감하기 위해서는, 근접한 막 내의 불순물 농도도 저감하

는 것이 바람직하다. 불순물로서는 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 실리콘 등이 있다. 또한 산화물 반도체 내의 불순물이란 예를 들어 산화물 반도체를 구성하는 주성분 외의 것을 말한다. 예를 들어 농도가 0.1atomic% 미만인 원소는 불순물이라고 할 수 있다.

[0163] <불순물>

[0164] 여기서, 산화물 반도체 내에서의 각 불순물의 영향에 대하여 설명한다.

[0165] 산화물 반도체에 14족 원소 중 하나인 실리콘 또는 탄소가 포함되면, 산화물 반도체에서 결함 준위가 형성된다. 그러므로 산화물 반도체 내의 실리콘 또는 탄소의 농도(이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의하여 얻어지는 농도)를 2×10^{18}atoms/cm^3 이하, 바람직하게는 2×10^{17}atoms/cm^3 이하로 한다.

[0166] 또한 산화물 반도체에 알칼리 금속 또는 알칼리 토금속이 포함되면, 결함 준위가 형성되고 캐리어가 생성되는 경우가 있다. 따라서 알칼리 금속 또는 알칼리 토금속이 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로 SIMS에 의하여 얻어지는 산화물 반도체 내의 알칼리 금속 또는 알칼리 토금속의 농도를 1×10^{18}atoms/cm^3 이하, 바람직하게는 2×10^{16}atoms/cm^3 이하로 한다.

[0167] 또한 산화물 반도체에 질소가 포함되면, 캐리어인 전자가 발생하고 캐리어 농도가 증가되어 n형화되기 쉽다. 그러므로 질소가 포함되는 산화물 반도체를 반도체로서 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 또는 산화물 반도체에 질소가 포함되면, 트랩 준위가 형성되는 경우가 있다. 이 결과, 트랜지스터의 전기 특성이 불안정해지는 경우가 있다. 그러므로 SIMS에 의하여 얻어지는 산화물 반도체 내의 질소 농도를 5×10^{19}atoms/cm^3 미만, 바람직하게는 5×10^{18}atoms/cm^3 이하, 더 바람직하게는 1×10^{18}atoms/cm^3 이하, 더 바람직하게는 5×10^{17}atoms/cm^3 이하로 한다.

[0168] 또한 산화물 반도체에 포함되는 수소는 금속 원자와 결합하는 산소와 반응하여 물이 되기 때문에, 산소 결손을 형성하는 경우가 있다. 상기 산소 결손에 수소가 들어감으로써, 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자가 생성되는 경우가 있다. 따라서 수소가 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로 산화물 반도체 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는, SIMS에 의하여 얻어지는 산화물 반도체 내의 수소 농도를 1×10^{20}atoms/cm^3 미만, 바람직하게는 1×10^{19}atoms/cm^3 미만, 더 바람직하게는 5×10^{18}atoms/cm^3 미만, 더 바람직하게는 1×10^{18}atoms/cm^3 미만으로 한다.

[0169] 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.

[0170] <<기타 반도체 재료>>

[0171] 산화물 반도체(230)에 사용할 수 있는 반도체 재료는 상술한 금속 산화물에 한정되지 않는다. 산화물 반도체(230)에는 밴드 갭을 가지는 반도체 재료(제로 갭 반도체가 아닌 반도체 재료)를 사용하여도 좋다. 예를 들어 실리콘 등의 단일 원소의 반도체, 비소화 갈륨 등의 화합물 반도체, 반도체로서 기능하는 층상 물질(원자층 물질, 2차원 재료 등이라고도 함) 등을 반도체 재료로서 사용하는 것이 바람직하다. 특히 반도체로서 기능하는 층상 물질을 반도체 재료로서 사용하는 것이 적합하다.

[0172] 여기서, 본 명세서 등에서 층상 물질이란, 층상의 결정 구조를 가지는 재료군의 총칭이다. 층상의 결정 구조에서는, 공유 결합 또는 이온 결합에 의하여 형성되는 층이 반데르발스의 힘(Van der Waals force)과 같은 공유 결합 또는 이온 결합보다 약한 결합에 의하여 적층되어 있다. 층상 물질은 단위 층(monolayer) 내에서의 전기 전도성이 높고, 즉 2차원 전기 전도성이 높다. 반도체로서 기능하고, 2차원 전기 전도성이 높은 재료를 채널 형성 영역에 사용함으로써, 온 전류가 높은 트랜지스터를 제공할 수 있다.

[0173] 층상 물질로서는 그래핀, 실리센, 칼코젠화물 등이 있다. 칼코젠화물은 칼코젠을 포함하는 화합물이다. 또한 칼코젠은 16족에 속하는 원소의 총칭이고, 산소, 황, 셀레늄, 텔루륨, 폴로늄, 리버모륨이 포함된다. 또한 칼코젠화물로서는 전이 금속 칼코제나이드, 13족 칼코제나이드 등을 들 수 있다.

[0174] 산화물 반도체(230)에는 예를 들어 반도체로서 기능하는 전이 금속 칼코제나이드를 사용하는 것이 바람직하다. 산화물 반도체(230)로서 적용할 수 있는 전이 금속 칼코제나이드로서, 구체적으로는 황화 몰리브데넘(대표적으

로는 MoS_2), 셀레늄화 몰리브데넘(대표적으로는 $MoSe_2$), 몰리브데넘 텔루륨(대표적으로는 $MoTe_2$), 황화 텅스텐(대표적으로는 WS_2), 셀레늄화 텅스텐(대표적으로는 WSe_2), 텅스텐 텔루륨(대표적으로는 WTe_2), 황화 하프늄(대표적으로는 HfS_2), 셀레늄화 하프늄(대표적으로는 $HfSe_2$), 황화 지르코늄(대표적으로는 ZrS_2), 셀레늄화 지르코늄(대표적으로는 $ZrSe_2$) 등을 들 수 있다. 상술한 전이 금속 칼코제나이드를 산화물 반도체(230)에 적용함으로써, 온 전류가 높은 기억 장치를 제공할 수 있다.

[0175] <반도체 장치의 제작 방법예>

[0176] 다음으로 도 1의 (A) 내지 (D)에 나타낸 본 발명의 일 형태인 기억 장치의 제작 방법에 대하여 도 2의 (A) 내지 도 8의 (C)를 사용하여 설명한다.

[0177] 각 도면의 (A)는 평면도이다. 또한 각 도면의 (B)는 각 도면의 (A)에서 일점쇄선 A1-A2로 나타낸 부분에 대응하는 단면도이다. 또한 각 도면의 (C)는 각 도면의 (A)에서 일점쇄선 A3-A4로 나타낸 부분에 대응하는 단면도이다. 또한 각 도면의 (A)의 평면도에서는, 도면의 명료화를 위하여 일부 요소를 생략하였다.

[0178] 이하에서, 절연체를 형성하기 위한 절연성 재료, 도전체를 형성하기 위한 도전성 재료, 또는 반도체를 형성하기 위한 반도체 재료는 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 적절히 사용하여 성막할 수 있다.

[0179] 또한 스퍼터링법으로서는, 스퍼터링용 전원에 고주파 전원을 사용하는 RF 스퍼터링법, 직류 전원을 사용하는 DC 스퍼터링법, 그리고 전극에 인가하는 전압을 펄스적으로 변화시키는 펄스 DC 스퍼터링법이 있다. RF 스퍼터링법은 주로 절연막을 성막하는 경우에 사용되고, DC 스퍼터링법은 주로 금속 도전막을 성막하는 경우에 사용된다. 또한 펄스 DC 스퍼터링법은 주로 산화물, 질화물, 탄화물 등의 화합물을 반응성 스퍼터링법으로 성막하는 경우에 사용된다.

[0180] 또한 CVD법은 플라스마를 이용하는 플라스마 CVD(PECVD)법, 열을 이용하는 열 CVD(TCVD: Thermal CVD)법, 광을 이용하는 광 CVD(Photo CVD)법 등으로 분류할 수 있다. 또한 사용하는 원료 가스에 따라 금속 CVD(MCVD: Metal CVD)법, 유기 금속 CVD(MOCVD: Metal Organic CVD)법으로 분류할 수 있다.

[0181] 플라스마 CVD법에 의하여, 비교적 낮은 온도에서 고품질의 막을 얻을 수 있다. 또한 열 CVD법은 플라스마를 사용하지 않기 때문에, 피처리물에 대한 플라스마 대미지를 작게 할 수 있는 성막 방법이다. 예를 들어 기억 장치에 포함되는 배선, 전극, 소자(트랜지스터, 용량 소자 등) 등은 플라스마로부터 전하를 받아 차지 업하는 경우가 있다. 이때 축적된 전하로 인하여 기억 장치에 포함되는 배선, 전극, 소자 등이 파괴되는 경우가 있다. 한편, 플라스마를 사용하지 않는 열 CVD법의 경우, 이와 같은 플라스마 대미지가 생기지 않기 때문에, 기억 장치의 수율을 높일 수 있다. 또한 열 CVD법에서는 성막 시에 플라스마 대미지가 생기지 않기 때문에, 결함이 적은 막을 얻을 수 있다.

[0182] 또한 ALD법으로서는, 전구체 및 반응제의 반응을 열 에너지만으로 수행하는 열 ALD법, 플라스마 여기된 반응제를 사용하는 PEALD법 등을 사용할 수 있다.

[0183] CVD법 및 ALD법은 타깃 등으로부터 방출되는 입자가 퇴적되는 스퍼터링법과는 다르다. 따라서 피처리물의 형상의 영향을 받기 어렵고, 단차 피복성이 양호한 성막 방법이다. 특히 ALD법은 단차 피복성과 두께 균일성이 우수하기 때문에, 가로세로비가 높은 개구부의 표면을 피복하는 경우 등에 적합하다. 다만 ALD법은 성막 속도가 비교적 느리기 때문에, 성막 속도가 빠른 CVD법 등의 다른 성막 방법과 조합하여 사용하는 것이 바람직한 경우도 있다.

[0184] 또한 CVD법은 원료 가스의 유량비를 변화시킴으로써, 임의의 조성을 가지는 막을 성막할 수 있다. 예를 들어 CVD법은 성막하면서 원료 가스의 유량비를 변화시킴으로써, 조성이 연속적으로 변화된 막을 성막할 수 있다. 원료 가스의 유량비를 변화시키면서 성막을 하는 경우, 반송 또는 압력 조정에 걸리는 시간이 생략되기 때문에, 복수의 성막실을 사용하여 성막을 하는 경우보다 성막에 걸리는 시간을 단축할 수 있다. 따라서 기억 장치의 생산성을 높일 수 있는 경우가 있다.

[0185] 또한 ALD법에서는, 상이한 복수 종류의 전구체를 동시에 도입함으로써, 임의의 조성을 가지는 막을 성막할 수 있다. 또는 상이한 복수 종류의 전구체를 도입하는 경우, 전구체 각각의 사이클 수를 제어함으로써, 임의의 조성을 가지는 막을 성막할 수 있다.

[0186] 우선 기판(도시하지 않았음)을 준비하고, 상기 기판 위에 절연체(140)를 형성한다(도 2의 (A) 내지 (C) 참조). 절연체(140)에는 상술한 절연성 재료를 적절히 사용하면 좋다. 절연체(140)의 성막에는 스퍼터링법, CVD법,

MBE법, PLD법, ALD법 등을 적절히 사용하면 좋다.

[0187] 다음으로, 절연체(140) 위에 도전체(110)를 형성한다. 도전체(110)에는 상술한 도전성 재료를 적절히 사용하면 좋다. 도전체(110)의 성막에는 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 적절히 사용하면 좋다. 예를 들어 도전체(110)로서 CVD법을 사용하여 텅스텐, 질화 타이타늄이 이 순서대로 성막된 적층막을 형성하면 좋다.

[0188] 또한 도전체(110)를 가공하여 X방향 또는 Y방향으로 신장되는 형상으로 하여도 좋다. 도전체(110)의 가공은 리소그래피법을 사용하여 수행하면 좋다. 상기 가공에는 드라이 에칭법 또는 웨트 에칭법을 사용할 수 있다. 드라이 에칭법에 의한 가공은 미세 가공에 적합하다.

[0189] 다음으로 도전체(110) 위에 절연체(130)를 형성한다. 절연체(130)에는 상술한 High-k 재료를 적절히 사용하면 좋다. 절연체(130)의 성막에는 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 적절히 사용하면 좋다. 예를 들어 절연체(130)로서 ALD법을 사용하여 산화 지르코늄, 산화 알루미늄, 산화 지르코늄이 이 순서대로 성막된 적층막을 형성하면 좋다.

[0190] 다음으로 절연체(130) 위에 도전체(120)가 되는 도전막을 형성한다. 도전체(120)가 되는 도전막에는 상술한 도전성 재료를 적절히 사용하면 좋다. 도전체(120)가 되는 도전막의 성막에는 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 적절히 사용하면 좋다. 예를 들어 도전체(120)가 되는 도전막으로서 CVD법을 사용하여 질화 타이타늄, 질화 탄탈럼이 이 순서대로 성막된 적층막을 형성하면 좋다.

[0191] 다음으로 도전체(120)가 되는 도전막을 가공하여 도전체(120)를 형성한다(도 2의 (A) 내지 (C) 참조). 도전체(120)의 형성은 리소그래피법으로 수행하면 좋다. 상기 가공에는 드라이 에칭법 또는 웨트 에칭법을 사용할 수 있다. 드라이 에칭법에 의한 가공은 미세 가공에 적합하다. 여기서 도전체(120)는 섬 형상으로 형성하면 좋다. 용량 소자(100)의 정전 용량은 도전체(120)의 면적에 의존하기 때문에, 용량 소자(100)의 설곗값에 맞추어 섬 형상의 도전체(120)의 면적을 적절히 설정하면 좋다.

[0192] 이상과 같이 하여 도전체(110), 절연체(130), 및 도전체(120)를 가지는 용량 소자(100)를 형성할 수 있다.

[0193] 또한 리소그래피법에서는, 먼저 마스크를 통하여 레지스트를 노광한다. 다음으로, 노광된 영역을 현상액을 사용하여 제거 또는 잔존시켜 레지스트 마스크를 형성한다. 그리고 상기 레지스트 마스크를 사용하여 에칭 처리를 수행함으로써, 도전체, 반도체, 또는 절연체 등을 원하는 형상으로 가공할 수 있다. 예를 들어 KrF 엑시머 레이저 광, ArF 엑시머 레이저 광, EUV(Extreme Ultraviolet) 광 등을 사용하여 레지스트를 노광함으로써 레지스트 마스크를 형성하면 좋다. 또한 기판과 투영 렌즈 사이에 액체(예를 들어 물)를 채우고 노광하는 액침 기술을 사용하여도 좋다. 또한 상술한 광 대신에 전자 빔 또는 이온 빔을 사용하여도 좋다. 또한 전자 빔 또는 이온 빔을 사용하는 경우에는 마스크는 불필요하다. 또한 레지스트 마스크는 애싱 등의 드라이 에칭 처리를 수행하거나, 웨트 에칭 처리를 수행하거나, 드라이 에칭 처리 후에 웨트 에칭 처리를 수행하거나, 웨트 에칭 처리 후에 드라이 에칭 처리를 수행함으로써 제거할 수 있다.

[0194] 또한 드라이 에칭 장치로서는 평행 평판형 전극을 가지는 용량 결합형 플라스마(CCP: Capacitively Coupled Plasma) 에칭 장치를 사용할 수 있다. 평행 평판형 전극을 가지는 용량 결합형 플라스마 에칭 장치는, 평행 평판형 전극 중 한쪽에 고주파 전압을 인가하는 구성을 가져도 좋다. 또는 평행 평판형 전극 중 한쪽에 복수의 상이한 고주파 전압을 인가하는 구성을 가져도 좋다. 또는 평행 평판형 전극의 각각에 주파수가 같은 고주파 전압을 인가하는 구성을 가져도 좋다. 또는 평행 평판형 전극의 각각에 주파수가 상이한 고주파 전압을 인가하는 구성을 가져도 좋다. 또는 고밀도 플라스마원을 가지는 드라이 에칭 장치를 사용할 수 있다. 고밀도 플라스마원을 가지는 드라이 에칭 장치로서는, 예를 들어 유도 결합형 플라스마(ICP: Inductively Coupled Plasma) 에칭 장치 등을 사용할 수 있다.

[0195] 다음으로 절연체(130) 및 도전체(120) 위에 절연체(280)를 형성한다(도 3의 (A) 내지 (C) 참조). 절연체(280)에는 상술한 절연성 재료를 적절히 사용하면 좋다. 절연체(280)의 성막에는 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 적절히 사용하면 좋다. 예를 들어 절연체(280)로서, 스퍼터링법을 사용하여 산화 실리콘막을 성막하면 좋다. 또한 절연체(280)는 성막 후에 CMP(Chemical Mechanical Polishing) 처리를 수행하여 상면을 평탄화하는 것이 바람직하다.

[0196] 여기서 도전체(120) 위의 절연체(280)의 막 두께가 트랜지스터(200)의 채널 길이에 대응하기 때문에, 트랜지스터(200)의 채널 길이의 설곗값에 맞추어 절연체(280)의 막 두께를 적절히 설정하면 좋다.

[0197] 또한 절연체(280)를 산소를 포함하는 분위기에서 스퍼터링법으로 성막함으로써, 과잉 산소를 포함하는 절연체

(280)를 형성할 수 있다. 또한 수소를 포함하는 분자를 성막 가스로서 사용하지 않아도 되는 스퍼터링법을 사용함으로써, 절연체(280) 내의 수소 농도를 저감할 수 있다. 이러한 식으로 절연체(280)를 성막함으로써, 절연체(280)로부터 산화물 반도체(230)의 채널 형성 영역에 산소를 공급하여, 산소 결손 및 VoH를 저감할 수 있다.

[0198] 다음으로 절연체(280) 위에 절연체(281)를 형성한다. 절연체(281)에는 절연체(280)와 마찬가지로 상술한 절연성 재료를 적절히 사용하면 좋다. 절연체(281)의 성막에는 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 적절히 사용하면 좋다. 예를 들어 절연체(281)로서, 스퍼터링법을 사용하여 산화 실리콘막을 성막하면 좋다. 또한 절연체(281)를 성막한 후에 CMP 처리를 수행하여 상면을 평탄화하는 것이 바람직하다.

[0199] 다음으로 절연체(281)에, 절연체(280)에 달하는 홈 형상의 개구를 형성한다(도 3의 (A) 내지 (C) 참조). 상기 개구 내에 배선으로서 기능하는 도전체(240)가 형성되기 때문에, 상기 개구는 X방향으로 신장되어 제공되면 좋다. 상기 개구의 형성은 리소그래피법을 사용하여 수행하면 좋다. 또한 상기 개구의 에칭에는 드라이 에칭법 또는 웨트 에칭법을 사용할 수 있다. 드라이 에칭법에 의한 가공은 미세 가공에 적합하다.

[0200] 또한 절연체(280)를 적층 구조로 하고, 절연체(280)의 가장 상면에 에칭 스토퍼막으로서 기능하는 절연체를 제공하는 구성으로 하여도 좋다. 예를 들어 홈을 형성하는 절연체(281)에 산화 실리콘 또는 산화질화 실리콘을 사용한 경우에는, 에칭 스토퍼막으로서 질화 실리콘, 산화 알루미늄, 또는 산화 하프늄 등을 사용하는 것이 좋다.

[0201] 다음으로 절연체(281)의 개구를 매립하도록 도전체(240)가 되는 도전막을 성막한다. 도전체(240)가 되는 도전막에는 상술한 도전성 재료를 적절히 사용하면 좋다. 도전체(240)가 되는 도전막의 성막에는 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 적절히 사용하면 좋다. 예를 들어 도전체(240)가 되는 도전막으로서 스퍼터링법을 사용하여 질화 탄탈럼, 텅스텐이 이 순서대로 성막된 적층막을 형성하면 좋다.

[0202] 다음으로 절연체(281) 위의 도전체(240)가 되는 도전막의 일부를 제거하여 절연체(281)의 개구 내에 도전체(240)를 형성한다(도 3의 (A) 내지 (C) 참조). 도전체(240)의 형성으로서는, 절연체(281)의 상면이 노출될 때까지 도전체(240)가 되는 도전막에 대하여 CMP 처리를 수행하면 좋다.

[0203] 다음으로 도전체(240) 및 절연체(281) 위에 절연체(285)를 형성한다. 절연체(285)에는 절연체(280)와 마찬가지로 상술한 절연성 재료를 적절히 사용하면 좋다. 절연체(285)의 성막에는 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 적절히 사용하면 좋다. 예를 들어 절연체(285)로서, 스퍼터링법을 사용하여 산화 실리콘막을 성막하면 좋다. 또한 절연체(285)를 성막한 후에 CMP 처리를 수행하여 상면을 평탄화하는 것이 바람직하다.

[0204] 다음으로 절연체(285)의 일부, 도전체(240)의 일부, 및 절연체(280)의 일부를 가공하여 도전체(120)에 달하는 개구(290)를 형성한다(도 4의 (A) 내지 (C) 참조). 개구(290)의 형성은 리소그래피법으로 수행하면 좋다. 또한 도 4의 (A)에서 개구(290)는 평면에서 보았을 때 원 형상으로 하였지만, 이에 한정되지 않는다. 예를 들어 상기 개구는, 평면에서 보았을 때 타원 등의 대략 원형, 사각형 등의 다각형, 사각형 등의 다각형의 모서리 부분을 둥글게 한 형상이어도 좋다.

[0205] 개구(290)의 폭은 미세한 것이 바람직하다. 예를 들어 개구(290)의 폭이 60nm 이하, 50nm 이하, 40nm 이하, 30nm 이하, 또는 20nm 이하이며 1nm 이상, 또는 5nm 이상인 것이 바람직하다. 이와 같이 개구(290)를 미세하게 가공하기 위해서는 EUV 광 등의 단파장 광 또는 전자 빔을 사용한 리소그래피법을 이용하는 것이 바람직하다.

[0206] 개구(290)는 가로세로비가 높기 때문에, 이방성 에칭을 사용하여 절연체(285)의 일부, 도전체(240)의 일부, 및 절연체(280)의 일부를 가공하는 것이 바람직하다. 특히 드라이 에칭법에 의한 가공은 미세 가공에 적합하므로 바람직하다. 또한 상기 가공은 각각 다른 조건으로 수행하여도 좋다.

[0207] 이어서, 가열 처리를 수행하여도 좋다. 가열 처리는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하, 더 바람직하게는 320℃ 이상 450℃ 이하에서 수행하면 좋다. 또한 가열 처리는 질소 가스 분위기 또는 불활성 가스 분위기, 혹은 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 예를 들어 질소 가스와 산소 가스의 혼합 분위기에서 가열 처리를 수행하는 경우, 산소 가스를 20% 정도로 하면 좋다. 또한 가열 처리는 감압 상태에서 수행하여도 좋다. 또는 가열 처리는 질소 가스 분위기 또는 불활성 가스 분위기에서 가열 처리를 수행한 후에, 이탈된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행하여도 좋다. 상기와 같은 가열 처리를 수행함으로써, 후술하는 산화물 반도체막(230A)의 성막 전에 절연체(280) 등에 포함되는 물 등의 불순물을 저감할 수 있다.

[0208] 또한 상기 가열 처리에서 사용하는 가스는 고순도화되어 있는 것이 바람직하다. 예를 들어 상기 가열 처리에서

사용하는 가스에 포함되는 수분량을 1ppb 이하, 바람직하게는 0.1ppb 이하, 더 바람직하게는 0.05ppb 이하로 하면 좋다. 고순도화된 가스를 사용하여 가열 처리를 수행함으로써, 절연체(280) 등에 수분 등이 들어가는 것을 최대한 방지할 수 있다.

[0209] 다음으로 개구(290)의 바닥면 및 내벽에 접하여 산화물 반도체막(230A)을 성막한다(도 5의 (A) 내지 (C) 참조). 산화물 반도체막(230A)에는 상술한 산화물 반도체(230)에 사용할 수 있는 금속 산화물을 적절히 사용하면 좋다. 산화물 반도체막(230A)의 성막에는 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 적절히 사용하면 좋다. 여기서 산화물 반도체막(230A)은 가로세로비가 큰 개구(290)의 바닥면 및 내벽에 접하여 형성되는 것이 바람직하다. 따라서 산화물 반도체막(230A)의 성막에는 피복성이 양호한 성막 방법을 사용하는 것이 바람직하고, CVD법 또는 ALD법 등을 사용하는 것이 더 바람직하다. 예를 들어 산화물 반도체막(230A)으로서, ALD법을 사용하여 In-Ga-Zn 산화물을 성막하면 좋다. 또한 ALD법을 사용한 금속 산화물의 성막 방법의 자세한 사항에 대해서는, 추후의 실시형태에서 설명한다.

[0210] 여기서 산화물 반도체막(230A)은 도전체(120)의 상면, 절연체(280)의 측면, 도전체(240)의 측면, 절연체(285)의 측면, 및 절연체(285)의 상면에 접하여 형성되는 것이 바람직하다. 산화물 반도체막(230A)이 도전체(120)에 접하여 형성됨으로써, 도전체(120)는 트랜지스터(200)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능한다. 또한 산화물 반도체막(230A)이 도전체(240)에 접하여 형성됨으로써, 도전체(240)는 트랜지스터(200)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능한다.

[0211] 다음으로 산화물 반도체막(230A)의 상면에 접하여 절연막(250A)을 성막한다(도 5의 (A) 내지 (C) 참조). 절연막(250A)에는 상술한 절연성 재료를 적절히 사용하면 좋다. 절연막(250A)의 성막에는 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 적절히 사용하면 좋다. 여기서 절연막(250A)은 가로세로비가 큰 개구(290)의 내측에 제공된 산화물 반도체막(230A)에 접하여 형성되는 것이 바람직하다. 따라서 절연막(250A)의 성막에는 피복성이 양호한 성막 방법을 사용하는 것이 바람직하고, CVD법 또는 ALD법 등을 사용하는 것이 더 바람직하다. 예를 들어 절연막(250A)으로서 ALD법을 사용하여 산화 실리콘을 성막하면 좋다.

[0212] 여기서 절연막(250A)의 성막은, 산화물 반도체막(230A)의 성막 후에 대기에 노출시키지 않고 연속하여 수행하는 것이 바람직하다. 예를 들어 멀티 체임버 방식의 성막 장치를 사용하면 좋다. 이에 의하여, 산화물 반도체막(230A) 및 절연막(250A)에 대하여 각 성막 공정 사이에 막 내에 수소 등의 불순물이 혼입되는 것을 저감할 수 있다.

[0213] 다음으로 가열 처리를 수행하는 것이 바람직하다. 가열 처리는 산화물 반도체막(230A)이 다결정화되지 않는 온도 범위에서 수행하면 좋고, 250℃ 이상 650℃ 이하, 바람직하게는 400℃ 이상 600℃ 이하에서 수행하면 좋다. 또한 가열 처리는 질소 가스 분위기 또는 불활성 가스 분위기, 혹은 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 예를 들어 질소 가스와 산소 가스의 혼합 분위기에서 가열 처리를 수행하는 경우, 산소 가스를 20% 정도로 하면 좋다. 또한 가열 처리는 감압 상태에서 수행하여도 좋다. 또는 가열 처리는 질소 가스 분위기 또는 불활성 가스 분위기에서 가열 처리를 수행한 후에, 이탈된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행하여도 좋다.

[0214] 또한 상기 가열 처리에서 사용하는 가스는 고순도화되어 있는 것이 바람직하다. 예를 들어 상기 가열 처리에서 사용하는 가스에 포함되는 수분량을 1ppb 이하, 바람직하게는 0.1ppb 이하, 더 바람직하게는 0.05ppb 이하로 하면 좋다. 고순도화된 가스를 사용하여 가열 처리를 수행함으로써, 산화물 반도체막(230A) 등에 수분 등이 들어가는 것을 최대한 방지할 수 있다.

[0215] 여기서 과잉 산소를 포함하는 절연체(280)를 산화물 반도체막(230A)에 접하도록 제공한 상태로 상기 가열 처리를 수행하는 것이 바람직하다. 이러한 식으로 가열 처리를 수행함으로써, 절연체(280)로부터 산화물 반도체(230)의 채널 형성 영역에 산소를 공급하여 산소 결손 및 VoH를 저감할 수 있다.

[0216] 또한 상기에서는 절연막(250A)의 성막 후에 가열 처리를 수행하였지만, 본 발명은 이에 한정되지 않는다. 추후의 공정에서 가열 처리를 수행하는 구성으로 하여도 좋다.

[0217] 다음으로 산화물 반도체막(230A) 및 절연막(250A)을 리소그래피법을 사용하여 가공하여, 산화물 반도체(230) 및 절연체(250)를 형성한다(도 6의 (A) 내지 (C) 참조). 이에 의하여, 산화물 반도체(230)의 일부가 개구(290) 위에 형성되고, 절연체(285)의 상면의 일부에 접한다. 또한 절연체(250)의 일부가 개구(290) 위에 형성된다. 이와 같이, 산화물 반도체(230) 및 절연체(250)를 일괄적으로 형성함으로써, 도 6의 (A)에 나타낸 바와 같이 평면에서 보았을 때 산화물 반도체(230)의 측단부와 절연체(250)의 측단부가 실질적으로 일치한다. 이러한 구성으

로 함으로써, 산화물 반도체(230)와 절연체(250)를 동일한 마스크를 사용하여 형성할 수 있어, 기억 장치의 제작 공정을 간략화할 수 있다.

[0218] 또한 앞에서 산화물 반도체막(230A) 및 절연막(250A)을 성막한 후에 산화물 반도체(230) 및 절연체(250)를 일괄적으로 형성하는 구성을 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어 산화물 반도체(230)를 형성한 후에 절연막(250A)을 성막하는 구성으로 하여도 좋다. 이 경우, 산화물 반도체(230)의 측단부가 절연막(250A)으로 덮이기 때문에, 산화물 반도체(230)와 도전체(260)의 단락을 방지할 수 있다.

[0219] 다음으로, 절연체(250)의 오목부를 매립하도록 도전체(260)가 되는 도전막을 성막한다. 도전체(260)가 되는 도전막에는 상술한 도전성 재료를 적절히 사용하면 좋다. 도전체(260)가 되는 도전막의 성막에는 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 적절히 사용하면 좋다. 여기서 도전체(260)가 되는 도전막은 가로세로비가 큰 개구(290)의 내측에 제공된 절연체(250)에 접하여 형성되는 것이 바람직하다. 따라서 도전체(260)가 되는 도전막의 성막에는 피복성 또는 매립성이 양호한 성막 방법을 사용하는 것이 바람직하고, CVD법 또는 ALD법 등을 사용하는 것이 더 바람직하다. 예를 들어 도전체(260)가 되는 도전막으로서 CVD법 또는 ALD법을 사용하여 질화 타이타늄을 성막하면 좋다.

[0220] 또한 CVD법을 사용하여 도전체(260)가 되는 도전막을 성막한 경우, 도전체(260)가 되는 도전막의 상면의 평균면 거칠기가 커지는 경우가 있다. 이 경우, CMP법을 사용하여 도전체(260)가 되는 도전막을 평탄화하는 것이 바람직하다. 이때 CMP 처리를 수행하기 전에 도전체(260)가 되는 도전막 위에 산화 실리콘막 또는 산화질화 실리콘막을 성막하고, 상기 산화 실리콘막 또는 산화질화 실리콘막이 제거될 때까지 CMP 처리를 수행하여도 좋다.

[0221] 또한 상기에 있어서는 도전체(260)가 되는 도전막이 개구(290)를 매립하도록 제공되어 있지만, 본 발명은 이에 한정되지 않는다. 예를 들어 도전체(260)가 되는 도전막의 중앙부에 개구(290)의 형상을 반영한 오목부가 형성되는 경우가 있다. 또한 상기 오목부를 무기 절연 재료 등으로 충전하는 구성으로 하여도 좋다.

[0222] 다음으로 도전체(260)가 되는 도전막을 가공하여 도전체(260)를 형성한다(도 7의 (A) 내지 (C) 참조). 도전체(260)의 형성은 리소그래피법으로 수행하면 좋다. 상기 가공에는 드라이 에칭법 또는 웨트 에칭법을 사용할 수 있다. 드라이 에칭법에 의한 가공은 미세 가공에 적합하다.

[0223] 여기서 도 7의 (A)에 나타낸 바와 같이, 도전체(260)의 측단부가 평면에서 보았을 때 산화물 반도체(230)의 측단부 및 절연체(250)의 측단부보다 내측에 위치하는 것이 바람직하다. 이에 의하여, 도전체(260)와 산화물 반도체(230)가 단락되는 것을 방지할 수 있다.

[0224] 이상과 같이 하여, 도전체(120), 도전체(240), 산화물 반도체(230), 절연체(250), 및 도전체(260)를 가지는 트랜지스터(200)를 형성할 수 있다.

[0225] 또한 상기에 있어서, 산화물 반도체막(230A) 및 절연막(250A)을 성막한 후, 산화물 반도체(230) 및 절연체(250)를 형성하고 나서 도전체(260)가 되는 도전막을 성막하는 구성을 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어 산화물 반도체막(230A), 절연막(250A), 및 도전체(260)가 되는 도전막을 연속적으로 성막하고 산화물 반도체(230), 절연체(250), 및 도전체(260)를 패턴 형성하는 구성으로 하여도 좋다. 이 경우, 산화물 반도체(230), 절연체(250), 및 도전체(260)를 포토리소그래피로 형성한 후, 도전체(260)의 측단부가 산화물 반도체(230) 및 절연체(250)의 내측에 위치하도록 포토리소그래피 공정을 다시 한 번 수행하여 도전체(260)를 가공하는 것이 바람직하다.

[0226] 다음으로 도전체(260), 절연체(250), 산화물 반도체(230), 및 절연체(285)를 덮어 절연체(287)가 되는 절연막을 성막한다. 절연체(287)가 되는 절연막에는 절연체(280)와 마찬가지로 상술한 절연성 재료를 적절히 사용하면 좋다. 절연체(287)가 되는 절연막의 성막에는 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 적절히 사용하면 좋다. 예를 들어 절연체(287)가 되는 절연막으로서 스퍼터링법을 사용하여 산화 실리콘막을 성막하면 좋다.

[0227] 다음으로 절연체(287)가 되는 절연막에 대하여 CMP 처리를 수행하여 절연체(287)를 형성한다(도 8의 (A) 내지 (C) 참조). 상기 CMP 처리는 도전체(260)의 상면이 노출될 때까지 수행하면 좋다. 이때 도전체(260)의 상면의 높이와 절연체(287)의 상면의 높이가 일치하거나 실질적으로 일치하는 것이 바람직하다.

[0228] 다음으로 절연체(287) 및 도전체(260) 위에 절연체(289)를 형성한다. 절연체(289)에는 절연체(280)와 마찬가지로 상술한 절연성 재료를 적절히 사용하면 좋다. 절연체(289)의 성막에는 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 적절히 사용하면 좋다. 예를 들어 절연체(289)로서, 스퍼터링법을 사용하여 산화 실리콘막을 성막하면 좋다. 또한 절연체(289)를 성막한 후에 CMP 처리를 수행하여 상면을 평탄화하는 것이 바람직하다.

[0229] 다음으로 절연체(289)에 도전체(260) 및 절연체(287)에 달하는 홈 형상의 개구를 형성한다(도 1의 (A) 내지 (C) 참조). 상기 개구 내에 배선으로서 기능하는 도전체(265)가 형성되기 때문에, 상기 개구는 Y방향으로 신장되어 제공되면 좋다. 상기 개구의 형성은 리소그래피법을 사용하여 수행하면 좋다. 또한 상기 개구의 에칭에는 드라이 에칭법 또는 웨트 에칭법을 사용할 수 있다. 드라이 에칭법에 의한 가공은 미세 가공에 적합하다.

[0230] 다음으로 절연체(289)의 개구를 매립하도록 도전체(265)가 되는 도전막을 성막한다. 도전체(265)가 되는 도전막에는 상술한 도전성 재료를 적절히 사용하면 좋다. 도전체(265)가 되는 도전막의 성막에는 스퍼터링법, CVD법, MBE법, PLD법, ALD법 등을 적절히 사용하면 좋다. 예를 들어 도전체(265)가 되는 도전막으로서 CVD법을 사용하여 질화 타이타늄, 텅스텐이 이 순서대로 성막된 적층막을 형성하면 좋다.

[0231] 다음으로 절연체(289) 위의 도전체(265)가 되는 도전막의 일부를 제거하여 절연체(289)의 개구 내에 도전체(265)를 형성한다(도 1의 (A) 내지 (C) 참조). 도전체(265)의 형성으로서는, 절연체(289)의 상면이 노출될 때까지 도전체(265)가 되는 도전막에 대하여 CMP 처리를 수행하면 좋다.

[0232] 이러한 식으로, 도 1의 (A) 내지 (D)에 나타낸 트랜지스터(200) 및 용량 소자(100)를 가지는 기억 장치를 제작할 수 있다.

[0233] <기억 장치의 변형예>

[0234] 이하에서는 도 9를 사용하여 본 발명의 일 형태인 기억 장치의 일례에 대하여 설명한다.

[0235] 도 9의 (A) 내지 (C)에 나타낸 기억 장치는 도 1의 (A) 내지 (D)에 나타낸 기억 장치의 변형예이다. 도 9의 (A) 내지 (C)는 도 1의 (B) 내지 (D)에 대응하고, 도 9에 나타낸 기억 장치에 있어서 도 1에 나타낸 기억 장치를 구성하는 구조와 같은 기능을 가지는 구조에는 같은 부호를 부기한다. 또한 본 항목에서도 기억 장치의 구성 재료로서는 <기억 장치의 구성예>에서 자세히 설명한 재료를 사용할 수 있다.

[0236] 도 9의 (A) 내지 (C)에 나타낸 기억 장치는 절연체(254)를 가지는 점에서 도 1의 (A) 내지 (D)에 나타낸 기억 장치와 다르다. 절연체(254)는 절연체(250)와 함께 게이트 절연체로서 기능한다.

[0237] 절연체(254)는 절연체(250)와 도전체(260) 사이에 제공되어 있다. 또한 절연체(254)는 산화물 반도체(230)의 측단부 및 절연체(250)의 측단부를 덮어 제공되는 것이 바람직하다. 이 경우, 절연체(254)는 절연체(250)의 상면 및 측면, 산화물 반도체(230)의 측면, 절연체(285)의 상면, 도전체(260)의 하면, 그리고 절연체(287)의 하면에 접하는 것이 바람직하다.

[0238] 절연체(254)는 산소에 대한 배리어성을 가지는 것이 바람직하다. 또한 절연체(254)는 수소에 대한 배리어성을 가지는 것이 더 바람직하다. 이러한 절연체로서는, 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 또는 탄탈럼을 포함하는 절연체를, 단층으로, 또는 적층으로 사용하면 좋다. 구체적으로는 산화 알루미늄, 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 산화 탄탈럼, 인듐 갈륨 아연 산화물, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미네이트), 하프늄 및 실리콘을 포함하는 산화물(하프늄 실리케이트) 등의 금속 산화물, 질화 알루미늄, 질화산화 실리콘, 질화 실리콘 등의 금속 질화물을 사용할 수 있다.

[0239] 또한 본 명세서 등에서 배리어성이란, 대응하는 물질의 확산을 억제하는 기능(투과성이 낮다고도 함)을 말한다. 또는 대응하는 물질을 포획 및 고착하는(게터링이라고도 함) 기능을 말한다.

[0240] 절연체(254)가 산소에 대한 배리어성을 가짐으로써, 절연체(250) 및 산화물 반도체(230)의 채널 형성 영역에 포함되는 산소가 도전체(260)로 확산되어 산화물 반도체(230)의 채널 형성 영역에 산소 결손이 형성되는 것을 억제할 수 있다. 또한 절연체(250) 및 산화물 반도체(230)의 채널 형성 영역에 포함되는 산소가 도전체(260)로 확산되어 도전체(260)가 산화되는 것을 억제할 수 있다. 여기서 절연체(254)는 적어도 절연체(280)보다 산소를 투과시키기 어려우면 좋다. 예를 들어 절연체(254)로서는 PEALD법으로 성막된 질화 실리콘을 사용하는 것이 바람직하다.

[0241] 또한 절연체(254)가 수소에 대한 배리어성을 가짐으로써, 절연체(254)보다 위의 층으로부터 수소 등의 불순물이 산화물 반도체(230)의 채널 형성 영역으로 확산되는 것을 저감할 수 있다. 따라서 산화물 반도체(230)의 채널 형성 영역 내의 산소 결손 및 V_OH를 저감할 수 있다. 이로써, 트랜지스터(200)의 전기 특성을 안정적으로 하고 신뢰성을 향상시킬 수 있다.

[0242] 또한 상술한 바와 같은, 산소 및 수소 중 적어도 한쪽에 대하여 배리어성을 가지는 절연체(이하, 배리어 절연막이라고 부르는 경우가 있음)는 층간막으로서 기능하는 절연체(140), 절연체(280), 절연체(281), 절연체(285), 절연체(287), 및 절연체(289) 중 어느 하나 또는 복수에 적층시켜 제공하여도 좋다. 예를 들어 절연체(280)의 하면에 제공하여도 좋고, 이 경우 배리어 절연막이 절연체(130)의 상면, 도전체(120)의 상면, 및 도전체(120)의 측면에 접하여 제공된다. 또한 예를 들어 절연체(140)의 상면에 제공하여도 좋고, 이 경우, 배리어 절연막이 도전체(110)의 하면에 접하여 제공된다. 이와 같이 배리어 절연막을 제공함으로써 절연체(140)보다 아래의 층으로부터 수소 등의 불순물이 산화물 반도체(230)의 채널 형성 영역으로 확산되는 것을 저감할 수 있다.

[0243] 본 발명의 일 형태에 의하여, 신규 트랜지스터, 신규 반도체 장치, 및 신규 기억 장치를 제공할 수 있다. 또는 미세화 또는 고집적화가 가능한 기억 장치를 제공할 수 있다. 또는 주파수 특성이 양호한 기억 장치를 제공할 수 있다. 또는 동작 속도가 빠른 기억 장치를 제공할 수 있다. 또는 신뢰성이 양호한 기억 장치를 제공할 수 있다. 또는 소비 전력이 낮은 기억 장치를 제공할 수 있다. 또는 온 전류가 높은 트랜지스터를 가지는 기억 장치를 제공할 수 있다. 또는 트랜지스터 특성의 편차가 적은 기억 장치를 제공할 수 있다. 또는 양호한 전기 특성을 가지는 기억 장치를 제공할 수 있다.

[0244] 본 실시형태에서 설명하는 트랜지스터(200) 및 용량 소자(100)를 가지는 메모리 셀(150)은 기억 장치의 메모리 셀로서 사용될 수 있다. 트랜지스터(200)는 산화물 반도체를 가지는 반도체층에 채널이 형성되는 트랜지스터이다. 트랜지스터(200)는 오프 전류가 낮기 때문에, 이를 기억 장치에 사용함으로써 장기간에 걸쳐 기억 내용을 유지할 수 있다. 즉 리프레시 동작이 불필요하거나 리프레시 동작의 빈도가 매우 낮기 때문에, 기억 장치의 소비 전력을 충분히 저감할 수 있다. 또한 트랜지스터(200)의 주파수 특성이 높기 때문에, 기억 장치의 판독 및 기록을 고속으로 수행할 수 있다.

[0245] 또한 2개의 메모리 셀(150)(이하, 메모리 셀(150a) 및 메모리 셀(150b)이라고 부름)을 공통의 배선에 접속하는 기억 장치의 예에 대하여, 도 10의 (A) 및 (B)를 사용하여 설명한다. 도 10의 (A)는 기억 장치의 평면도이다. 또한 도 10의 (B)는 도 10의 (A)에서 일점쇄선 A1-A2로 나타낸 부분의 단면도이다. 또한 도 10의 (A)의 평면도에서는 도면의 명료화를 위하여 일부 요소를 생략하였다.

[0246] 여기서 도 10의 (A) 및 (B)에 나타낸 메모리 셀(150a) 및 메모리 셀(150b)은 메모리 셀(150)과 같은 구성을 가진다. 메모리 셀(150a)은 용량 소자(100a) 및 트랜지스터(200a)를 가지고, 메모리 셀(150b)은 용량 소자(100b) 및 트랜지스터(200b)를 가진다. 따라서 도 10의 (A) 및 (B)에 나타낸 기억 장치에서 도 1에 나타낸 기억 장치를 구성하는 구조와 같은 기능을 가지는 구조에는 같은 부호를 부기한다. 또한 본 항목에서도 기억 장치의 구성 재료로서는 <기억 장치의 구성예>에서 자세히 설명한 재료를 사용할 수 있다.

[0247] 도 10의 (A) 및 (B)에 나타낸 바와 같이 배선(WL)으로서 기능하는 도전체(265)는 메모리 셀(150a) 및 메모리 셀(150b)에 각각 제공된다. 또한 배선(BL)의 일부로서 기능하는 도전체(240)는 메모리 셀(150a) 및 메모리 셀(150b)에 공통적으로 제공된다. 즉 도전체(240)는 메모리 셀(150a)의 산화물 반도체(230)와, 메모리 셀(150b)의 산화물 반도체(230)에 접한다.

[0248] 여기서 도 10의 (A) 및 (B)에 나타낸 기억 장치는 메모리 셀(150a) 및 메모리 셀(150b)과 전기적으로 접속되어 플러그(접속 전극이라고 부를 수도 있음)로서 기능하는 도전체(245) 및 도전체(246)를 가진다. 도전체(245)는 절연체(280) 및 절연체(140)에 형성된 개구 내에 배치되고, 도전체(240)의 하면에 접한다. 또한 도전체(246)는 절연체(289), 절연체(287), 및 절연체(285)에 형성된 개구 내에 배치되고, 도전체(240)의 상면에 접한다. 또한 도전체(245) 및 도전체(246)에는 도전체(240)에 사용할 수 있는 도전성 재료 등을 사용할 수 있다.

[0249] 여기서 도전체(245) 및 도전체(246)는 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 및 다이오드 등의 회로 소자, 배선, 전극, 또는 단자와, 메모리 셀(150a) 및 메모리 셀(150b)을 전기적으로 접속하기 위한 플러그 또는 배선으로서 기능한다. 예를 들어 도전체(245)가, 도 10에 나타낸 기억 장치 아래에 제공된 감지 증폭기에 전기적으로 접속되고, 도전체(246)가, 도 10에 나타낸 기억 장치 위에 제공된 위와 같은 기억 장치와 전기적으로 접속되는 구성으로 할 수 있다. 이 경우, 도전체(245) 및 도전체(246)는 배선(BL)의 일부로서 기능한다. 이와 같이 도 10에 나타낸 기억 장치의 위 또는 아래에 기억 장치 등을 제공함으로써, 단위 면적당 기억 용량을 크게 할 수 있다.

[0250] 또한 메모리 셀(150a)과 메모리 셀(150b)은 일점쇄선 A1-A2의 수직 이등분선을 대칭축으로 한 선대칭의 구성이 되어 있다. 따라서 트랜지스터(200a)와 트랜지스터(200b)도 도전체(245) 및 도전체(246)를 사이에 두고 선대칭의 위치에 배치된다. 여기서 트랜지스터(200a)의 소스 전극 및 드레인 전극 중 한쪽과, 트랜지스터(200b)의 소

스 전극 및 드레인 전극 중 한쪽을 도전체(240)가 겸하는 구성이 되어 있다. 또한 트랜지스터(200a)와 트랜지스터(200b)가, 플러그로서 기능하는 도전체(245) 및 도전체(246)를 공유하는 구성이 되어 있다. 이와 같이, 2개의 트랜지스터와 플러그의 접속에 상술한 구성을 적용함으로써, 미세화 또는 고집적화가 가능한 기억 장치를 제공할 수 있다.

[0251] 또한 배선(PL)으로서 기능하는 도전체(110)는 메모리 셀(150a) 및 메모리 셀(150b)에 각각 제공하여도 좋고, 메모리 셀(150a) 및 메모리 셀(150b)에 공통적으로 제공하여도 좋다. 다만 도 10의 (B)에 나타낸 바와 같이 도전체(110)는 도전체(245)와 이격하여 제공하고, 도전체(110)와 도전체(245)가 단락되지 않도록 한다.

[0252] 또한 메모리 셀(150)을 3차원적으로 매트릭스로 배치함으로써, 메모리 셀 어레이를 구성할 수 있다. 메모리 셀 어레이의 일례로서 도 11의 (A) 및 (B)에 X방향, Y방향, 및 Z방향으로 4개×2개×2개의 메모리 셀(150)을 배치한 기억 장치를 나타내었다. 도 11의 (A)는 기억 장치의 평면도이다. 또한 도 11의 (B)는 도 11의 (A)에서 일점쇄선 A1-A2로 나타낸 부분의 단면도이다. 또한 도 11의 (A)의 평면도에서는 도면의 명료화를 위하여 일부 요소를 생략하였다.

[0253] 여기서 도 11의 (A) 및 (B)에 나타낸 메모리 셀(150a) 내지 메모리 셀(150d)은 메모리 셀(150)과 같은 구성을 가진다. 메모리 셀(150a)은 용량 소자(100a) 및 트랜지스터(200a)를 가지고, 메모리 셀(150b)은 용량 소자(100b) 및 트랜지스터(200b)를 가지고, 메모리 셀(150c)은 용량 소자(100c) 및 트랜지스터(200c)를 가지고, 메모리 셀(150d)은 용량 소자(100d) 및 트랜지스터(200d)를 가진다. 따라서 도 11의 (A) 및 (B)에 나타낸 기억 장치에서 도 1에 나타낸 기억 장치를 구성하는 구조와 같은 기능을 가지는 구조에는 같은 부호를 부기한다. 또한 본 항목에서도 기억 장치의 구성 재료로서는 <기억 장치의 구성예>에서 자세히 설명한 재료를 사용할 수 있다.

[0254] 이하에서 메모리 셀(150a) 내지 메모리 셀(150d)로 이루어지는 기억 장치를 메모리 유닛이라고 부른다. 도 11의 (A) 및 (B)에 나타낸 기억 장치는 메모리 유닛(160a) 내지 메모리 유닛(160d)을 가진다. 또한 이하에서 메모리 유닛(160a) 내지 메모리 유닛(160d)을 통틀어 메모리 유닛(160)이라고 부르는 경우가 있다. 메모리 유닛(160b)은 메모리 유닛(160a) 위에 제공된다. 메모리 유닛(160c)은 메모리 유닛(160a)의 y축 방향으로 인접하여 제공된다. 메모리 유닛(160d)은 메모리 유닛(160c) 위에 제공된다.

[0255] 메모리 유닛(160)은 도 11의 (B)에 나타낸 바와 같이 도전체(245)를 중심으로 하여 메모리 셀(150a)의 외측에 메모리 셀(150c)이 배치되고, 메모리 셀(150b)의 외측에 메모리 셀(150d)이 배치되어 있다. 즉 도 10에 나타낸 기억 장치에 있어서, 메모리 셀(150a)에 인접하여 메모리 셀(150c)이 제공되고, 메모리 셀(150b)에 인접하여 메모리 셀(150d)이 제공된 기억 장치라고도 할 수 있다.

[0256] 도 11의 (A) 및 (B)에 나타낸 바와 같이, 배선(WL)으로서 기능하는 도전체(265)는 Y방향으로 인접한 메모리 셀들(150) 사이에서 공유되어 있다. 또한 배선(BL)의 일부로서 기능하는 도전체(240)는 동일 메모리 유닛 내에서 공유되어 있다. 도전체(240)는 메모리 셀(150a) 내지 메모리 셀(150d)에 공통적으로 제공된다. 즉 도전체(240)는 메모리 셀(150a) 내지 메모리 셀(150d) 각각의 산화물 반도체(230)에 접한다.

[0257] Z축 방향으로 인접한 메모리 유닛이 가지는 도전체(240) 사이에 도전체(245)가 제공된다. 예를 들어 도 11의 (B)에 나타낸 바와 같이, 도전체(245)는 메모리 유닛(160a)의 도전체(240)의 상면과 메모리 유닛(160b)의 도전체(240)의 하면에 접하여 제공된다. 이와 같이 각 메모리 유닛(160)에 제공된 도전체(240)와 도전체(245)로 배선(BL)이 형성된다. 도전체(245)는 도 11에 나타낸 기억 장치 아래에 제공된 감지 증폭기에 전기적으로 접속된다. 이와 같이 도 11에 나타낸 기억 장치에 있어서 복수의 메모리 유닛을 적층시킴으로써, 단위 면적당 기억 용량을 크게 할 수 있다.

[0258] 또한 메모리 셀(150a) 및 메모리 셀(150c)과, 메모리 셀(150b) 및 메모리 셀(150d)은 일점쇄선 A1-A2의 수직 이등분선을 대칭축으로 한 선대칭의 구성이 되어 있다. 따라서 트랜지스터(200a) 및 트랜지스터(200c)와, 트랜지스터(200b) 및 트랜지스터(200d)도 도전체(245)를 사이에 두고 선대칭의 위치에 배치된다. 여기서 트랜지스터(200a) 내지 트랜지스터(200d)의 소스 전극 및 드레인 전극 중 한쪽을 도전체(240)가 겸하는 구성이 되어 있다. 또한 트랜지스터(200a) 내지 트랜지스터(200d)가, 플러그로서 기능하는 도전체(245)를 공유하는 구성이 되어 있다. 이와 같이, 4개의 트랜지스터와 플러그의 접속에 상술한 구성을 적용함으로써, 미세화 또는 고집적화가 가능한 기억 장치를 제공할 수 있다.

[0259] 도 11에 나타낸 바와 같이 복수의 메모리 셀을 적층시킴으로써, 메모리 셀 어레이의 점유 면적을 증가시키지 않고 셀을 집적하여 배치할 수 있다. 즉 3D 메모리 셀 어레이를 구성할 수 있다.

[0260] 3D 메모리 셀 어레이를 가지는 기억 장치에 대해서는 추후의 실시형태에서 자세히 설명한다.

[0261] 본 실시형태에 나타낸 구성, 방법 등은 적어도 그 일부를 본 명세서 중에 기재하는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0262] (실시형태 2)

[0263] 본 실시형태에서는 도 12 내지 도 15를 사용하여 앞의 실시형태에 나타낸 기억 장치의 트랜지스터의 반도체층에 적용할 수 있는 금속 산화물(이하, 산화물 반도체 또는 산화물이라고 부르는 경우도 있음) 및 그 성막 방법에 대하여 설명한다.

[0264] 본 발명의 일 형태의 반도체 장치에 있어서는, 채널 형성 영역을 포함하는 금속 산화물에 결정성이 높은 금속 산화물을 사용하는 것이 바람직하다. 또한 상기 결정은 복수의 층(예를 들어 제 1 층과, 제 2 층과, 제 3 층)이 적층된 결정 구조를 가지는 것이 바람직하다. 즉 상기 결정은 층상의 결정 구조(층상 결정, 층상 구조라고도 함)를 가진다. 이때 상기 결정의 c축의 방향은 복수의 층이 적층되는 방향이 된다.

[0265] 상기 층상의 결정 구조를 가지는 금속 산화물을 형성하기 위해서는 한 층씩 원자를 퇴적하는 것이 바람직하다. 예를 들어 금속 산화물의 형성 방법으로서 ALD(Atomic Layer Deposition)법을 사용할 수 있다.

[0266] ALD법에서는 전구체 분자 또는 전구체에 포함되는 원자의 자기 제어성을 이용하여 한 층씩 원자를 퇴적할 수 있기 때문에, 매우 얇게 성막할 수 있고, 종횡비가 높은 구조에 대한 성막이 가능하고, 핀홀 등의 결함이 적은 성막이 가능하고, 피복성이 우수한 성막이 가능하고, 저온에서의 성막이 가능하다는 등의 효과가 있다. 또한 ALD법에는 열을 이용한 성막 방법인 열 ALD(thermal ALD)법 및 플라스마를 이용한 성막 방법인 플라스마 ALD(PEALD: Plasma Enhanced ALD)법도 포함된다. 플라스마를 이용함으로써, 더 낮은 온도에서 성막할 수 있기 때문에 바람직한 경우가 있다. 또한 ALD법에서 사용하는 전구체에는 탄소 또는 염소 등의 원소가 포함되는 경우가 있다. 그러므로 ALD법에 의하여 제공된 막은, 다른 성막법에 의하여 제공된 막과 비교하여 탄소 또는 염소 등의 원소를 많이 포함하는 경우가 있다. 또한 이들 원소의 정량은 X선 광전자 분광법(XPS: X-ray Photoelectron Spectroscopy) 또는 이차 이온 질량 분석법을 사용하여 수행할 수 있다.

[0267] ALD법은 타깃 등으로부터 방출되는 입자가 퇴적되는 성막 방법과는 달리, 피처리물의 표면에서의 반응에 의하여 막이 형성되는 성막 방법이다. 따라서 피처리물의 형상의 영향을 받기 어렵고, 단차 피복성이 양호한 성막 방법이다. 특히 ALD법은 단차 피복성과 두께 균일성이 우수하기 때문에, 가로세로비가 높은 개구부의 표면을 피복하는 경우 등에 적합하다.

[0268] <ALD법을 사용한 금속 산화물의 성막 방법>

[0269] 여기서, 본 발명의 일 형태에 사용할 수 있는, ALD법을 사용한 금속 산화물의 성막 방법에 대하여 설명한다.

[0270] 여기서는 3층의 층상의 결정 구조를 가지는 금속 산화물을 ALD법을 사용하여 성막하는 방법의 일례에 대하여, 도 12의 (A) 내지 (E)를 사용하여 설명한다. 먼저, 전구체(611a)를 체임버에 도입하고, 기판(610)의 표면에 전구체(611a)를 흡착시킨다(도 12의 (A) 참조. 이하에서 상기 공정을 제 1 단계라고 부르는 경우가 있음). 여기서, 도 12의 (A)에 나타낸 바와 같이, 전구체(611a)가 기판(610)의 표면에 흡착됨으로써, 표면 화학 반응의 자기 정지 기구가 작용하므로, 기판(610) 위의 전구체(611a)의 층 위에 전구체(611a)가 더 흡착되지는 않는다. 또한 표면 화학 반응의 자기 정지 기구가 작용하는 기판 온도의 적정 범위를 ALD Window라고도 한다. ALD Window는 전구체의 온도 특성, 증기압, 분해 온도 등에 따라 결정되지만, 예를 들어 100℃ 이상 600℃ 이하, 바람직하게는 200℃ 이상 400℃ 이하가 되는 경우가 있다.

[0271] 다음으로, 불활성 가스(아르곤, 헬륨, 또는 질소 등) 등을 체임버에 도입하고, 과잉한 전구체(611a) 및 반응 생성물 등을 체임버에서 배출한다(이하에서 상기 공정을 제 2 단계라고 부르는 경우가 있음). 또한 불활성 가스를 체임버에 도입하는 대신에 진공 배기에 의하여 과잉한 전구체 및 반응 생성물 등을 체임버에서 배출하여도 좋다. 제 2 단계는 퍼지(purge)라고도 불린다.

[0272] 다음으로, 반응제(612a)(예를 들어 산화제(오존(O_3), 산소(O_2), 물(H_2O), 및 이들의 플라스마, 라디칼, 이온 등))를 체임버에 도입하여, 기판(610)의 표면에 흡착된 전구체(611a)와 반응시킴으로써, 전구체(611a)의 구성 분자를 기판(610)에 흡착시킨 채로, 전구체(611a)에 포함되는 성분의 일부를 이탈시킨다(도 12의 (B) 참조. 이하에서 상기 공정을 제 3 단계라고 부르는 경우가 있음). 이에 의하여, 전구체(611a)의 일부가 산화되어 형성된 산화물(613a)의 층이 기판(610)의 표면에 형성된다.

[0273] 다음으로, 불활성 가스의 도입 또는 진공 배기에 의하여, 과잉한 반응제(612a) 또는 반응 생성물 등을 체임버에서 배출한다(이하에서 상기 공정을 제 4 단계라고 부르는 경우가 있음).

[0274] 다음으로, 전구체(611a)와 다른 금속 원소를 가지는 전구체(611b)를 도입하고 제 1 단계와 같은 공정을 수행하고, 산화물(613a)의 층의 표면에 전구체(611b)를 흡착시킨다(도 12의 (C) 참조). 여기서, 도 12의 (C)에 나타낸 바와 같이, 전구체(611b)가 산화물(613a)의 층에 흡착됨으로써, 표면 화학 반응의 자기 정지 기구가 작용하므로, 기판(610) 위의 전구체(611b)의 층 위에 전구체(611b)가 더 흡착되지는 않는다.

[0275] 다음으로, 제 2 단계와 마찬가지로, 불활성 가스의 도입 또는 진공 배기에 의하여, 과잉한 전구체(611b) 및 반응 생성물 등을 체임버에서 배출한다.

[0276] 다음으로, 제 3 단계와 마찬가지로, 반응제(612b)를 체임버에 도입한다. 여기서, 반응제(612b)로서는 반응제(612a)와 같은 것을 사용하여도 좋고, 다른 것을 사용하여도 좋다(도 12의 (D) 참조). 이에 의하여, 전구체(611b)의 일부가 산화되어 형성된 산화물(613b)의 층이 산화물(613a)의 층 위에 형성된다.

[0277] 다음으로, 제 4 단계와 마찬가지로, 불활성 가스의 도입 또는 진공 배기에 의하여, 과잉한 반응제(612b) 및 반응 생성물 등을 체임버에서 배출한다.

[0278] 또한 마찬가지로 제 1 단계 내지 제 4 단계를 수행하고, 산화물(613c)의 층을 산화물(613b)의 층 위에 형성할 수 있다. 이와 같이, 산화물(613a) 내지 산화물(613c)을 형성하는 공정을 반복적으로 수행함으로써, 산화물(613a) 내지 산화물(613c)의 적층 구조가 반복되는, 층상의 결정 구조의 금속 산화물을 형성할 수 있다(도 12의 (E) 참조). 즉, 제 1 단계 내지 제 4 단계를 한 세트로 하고 산화물의 층을 형성할 수 있고, 상기 세트를 반복함으로써 복수의 산화물의 층이 적층된 층상의 결정 구조를 형성할 수 있다.

[0279] 또한 층상의 결정 구조의 금속 산화물의 두께는 1nm 이상 100nm 미만, 바람직하게는 3nm 이상 20nm 미만으로 하면 좋다.

[0280] 또한 층상의 결정 구조의 금속 산화물을 형성하는 데에 있어서, 도 12에 나타낸 공정을 기판을 가열하면서 수행하는 것이 바람직하다. 예를 들어 기판 온도를 200℃ 이상 600℃ 이하, 바람직하게는 300℃ 이상 전구체의 분해 온도 이하로 하면 좋다. 또한 종류가 다른 복수의 전구체를 사용하여 ALD법에 의한 성막을 수행하는 경우에는, 기판 온도를 복수의 전구체의 분해 온도 중 가장 낮은 분해 온도 이하로 하는 것이 바람직하다. 이에 의하여, ALD법에 의한 성막 중에 사용되는 복수의 전구체가 각각 분해되지 않고, 대상물(예를 들어 기판 등)에 흡착될 수 있다.

[0281] 이와 같은 온도 범위에서 기판을 가열하면서 상기 성막을 수행함으로써, 단계 1 내지 단계 4의 각 과정에서, 전구체 및 반응제 등에 포함되는 수소 또는 탄소 등의 불순물을 금속 산화물 내에서 제거할 수 있다. 예를 들어 금속 산화물 내의 탄소를 CO_2 및 CO로서 방출시키고, 금속 산화물 내의 수소를 H_2O로서 방출시킬 수 있다. 또한 상기 불순물의 제거와 동시에 금속 원자 및 산소 원자의 재배열이 수행되고, 각 산화물의 층을 높은 질서성으로 배열할 수 있다. 따라서, 결정성이 높은 층상의 결정 구조의 금속 산화물을 형성할 수 있다.

[0282] 상기 온도 범위에서 기판을 가열하면서 성막을 수행하기 위하여, 상기 성막에 사용하는 전구체는 분해 온도가 높은 것이 바람직하다. 예를 들어, 전구체의 분해 온도가 200℃ 이상 700℃ 이하인 것이 바람직하고, 300℃ 이상 600℃ 이하인 것이 더 바람직하다. 이와 같이 분해 온도가 높은 전구체로서는, 무기물로 형성되는 전구체(이하에서 무기 전구체라고 부름)를 사용하는 것이 바람직하다. 일반적으로 무기 전구체는 유기물로 형성되는 전구체(이하에서 유기 전구체라고 부름)보다 분해 온도가 높은 경향이 있기 때문에, 상기와 같은 온도 범위에 ALD Window를 가지는 경우가 있다. 또한 무기 전구체에는 수소 또는 탄소 등의 불순물이 포함되지 않기 때문에, 성막되는 금속 산화물 내의 수소 또는 탄소 등의 불순물 농도가 높아지는 것을 방지할 수 있다.

[0283] 또한 상기 금속 산화물의 성막 후에 가열 처리를 수행하는 것이 바람직하다. 특히 상기 ALD법에 의한 성막 후에 외기에 노출시키지 않고 연속하여 가열 처리를 수행하는 것이 바람직하다. 상기 가열 처리는 100℃ 이상 1200℃ 이하, 바람직하게는 200℃ 이상 1000℃ 이하, 더 바람직하게는 250℃ 이상 650℃ 이하, 더 바람직하게는 300℃ 이상 600℃ 이하, 더 바람직하게는 400℃ 이상 550℃ 이하, 더 바람직하게는 420℃ 이상 480℃ 이하에서 수행하면 좋다. 또한 가열 처리는 질소 가스 분위기 또는 불활성 가스 분위기, 혹은 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 또한 가열 처리는 감압 상태에서 수행하여도 좋다. 또는 가열 처리는 질소 가스 분위기 또는 불활성 가스 분위기에서 가열 처리를 수행한 후에, 이탈된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행하여도 좋다.

[0284] 이와 같이 가열 처리를 수행함으로써, 금속 산화물에 포함되는 수소 또는 탄소 등의 불순물을 제거할 수 있다. 예를 들어 금속 산화물 내의 탄소를 CO_2 및 CO로서 방출시키고, 금속 산화물 내의 수소를 H_2O로서 방출시킬 수 있다. 또한 상기 불순물의 제거와 동시에 금속 원자 및 산소 원자의 재배열이 수행되고, 결정성을 향상시킬 수 있다. 따라서, 결정성이 높은 층상의 결정 구조의 금속 산화물을 형성할 수 있다.

[0285] 또한 상기 금속 산화물의 성막 후에, 산소를 포함하는 분위기에서 마이크로파 처리를 수행함으로써 상기 금속 산화물 내의 불순물 농도를 저감하는 처리를 수행하는 것이 바람직하다. 또한 불순물로서는 특히 수소 및 탄소를 들 수 있다. 여기서 마이크로파 처리란, 예를 들어 마이크로파를 사용하여 고밀도 플라스마를 발생시키는 전원을 가지는 장치를 사용하는 처리를 말한다.

[0286] 산소를 포함하는 분위기에서 마이크로파 처리를 수행함으로써, 마이크로파 또는 RF 등의 고주파를 사용하여 산소 가스를 플라스마화하고, 상기 산소 플라스마를 작용시킬 수 있다. 또한 금속 산화물에 작용하는 산소는 산소 원자, 산소 분자, 산소 이온, 및 산소 라디칼(O 라디칼이라고도 하고, 홀전자(unpaired electron)를 가지는 원자 또는 분자, 혹은 이온) 등의 다양한 형태를 가진다. 또한 금속 산화물에 작용하는 산소는 상술한 형태 중 어느 하나 또는 복수를 가지면 좋고, 특히 산소 라디칼인 것이 적합하다.

[0287] 또한 상술한 산소를 포함하는 분위기에서 마이크로파 처리를 수행할 때 기판을 가열함으로써 금속 산화물 내의 불순물 농도를 더 저감할 수 있기 때문에 바람직하다. 상술한 기판의 가열은 100℃ 이상 650℃ 이하, 바람직하게는 200℃ 이상 600℃ 이하, 더 바람직하게는 300℃ 이상 450℃ 이하에서 수행하면 좋다.

[0288] 상술한 산소를 포함하는 분위기에서의 마이크로파 처리를 수행할 때 기판을 가열함으로써, SIMS에 의하여 얻어지는 금속 산화물 내의 탄소 농도를 1×10^{20} atoms/cm^3 미만, 바람직하게는 1×10^{19} atoms/cm^3 미만, 더 바람직하게는 1×10^{18} atoms/cm^3 미만으로 할 수 있다.

[0289] 또한 앞에서는 금속 산화물에 대하여 산소를 포함하는 분위기에서 마이크로파 처리를 수행하는 구성에 대하여 예시하였지만 이에 한정되지 않는다. 예를 들어 금속 산화물 근방에 위치하는 절연막, 더 구체적으로는 산화 실리콘막에 대하여 산소를 포함하는 분위기에서 마이크로파 처리를 수행하여도 좋다. 예를 들어 상기 실시형태에 따른 도 5에 나타낸 공정에 있어서, 절연막(250A)을 성막한 후에 마이크로파 처리를 수행하여도 좋다. 산화 실리콘막에 대하여 산소를 포함하는 분위기에서 마이크로파 처리를 수행함으로써, 상기 산화 실리콘막 중에 포함되는 수소를 H_2O로서 외부로 방출시킬 수 있다. 금속 산화물 근방에 위치하는 산화 실리콘막으로부터 수소를 방출시킴으로써 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0290] 또한 도 12에서는 산화물(613a) 내지 산화물(613c)의 적층 구조가 반복되는 구조에 대하여 설명하였지만, 본 발명은 이에 한정되지 않는다. 예를 들어 단층, 2층, 또는 4층 이상의 산화물의 층이 반복적으로 형성되는 금속 산화물로 하여도 좋다.

[0291] 또한 본 명세서 등에서 특별히 기재되어 있지 않으면, 반응제 또는 산화제로서 오존, 산소, 물을 사용하는 경우, 이들은 가스 상태 또는 분자 상태에 한정되지 않고, 플라스마 상태, 라디칼 상태, 및 이온 상태의 것도 포함하는 것으로 한다. 플라스마 상태, 라디칼 상태, 또는 이온 상태의 산화제를 사용하여 성막을 수행하는 경우, 후술하는 라디칼 ALD 장치 또는 플라스마 ALD 장치를 사용하면 좋다.

[0292] 전구체에 포함되는 탄소 또는 수소 등의 불순물을 제거하기 위해서는, 상기 전구체에 산화제를 충분히 반응시키는 것이 바람직하다. 예를 들어 산화제를 도입하는 펄스 시간을 길게 하면 좋다. 또는 산화제를 여러 번 도입하면 좋다. 산화제를 여러 번 도입하는 경우, 같은 종류의 산화제를 도입하여도 좋고, 상이한 종류의 산화제를 도입하여도 좋다. 예를 들어 제 1 산화제로서 물을 체임버에 도입한 후, 진공 배기를 수행하고, 제 2 산화제로서 수소를 포함하지 않는 오존 또는 산소를 체임버에 도입한 후에 진공 배기를 수행하여도 좋다.

[0293] 이러한 식으로, 체임버 내에서 산화제의 도입과 불활성 가스의 도입(또는 진공 배기)을 단시간에 여러 번 반복함으로써, 기판 표면에 흡착된 전구체로부터, 불필요한 수소 원자, 탄소 원자, 염소 원자 등을 더 확실하게 제거하고, 체임버 외에 배제할 수 있다. 또한 산화제의 종류를 2종류로 늘림으로써, 기판 표면에 흡착된 전구체로부터 불필요한 수소 원자 등을 더 많이 제거할 수 있다. 이와 같이, 성막 중에 수소 원자가 막 내로 들어가지 않도록 함으로써, 형성된 막에 포함되는 물, 수소 등을 저감할 수 있다.

[0294] ALD법은 열 에너지를 사용하여 전구체와 반응제를 반응시켜 수행하는 성막 방법이다. 전구체 및 반응제의 반응에 필요한 온도는 이들의 온도 특성, 증기압, 분해 온도 등에 따라 결정되지만, 100℃ 이상 600℃ 이하, 바람직

하게는 200℃ 이상 600℃ 이하, 더 바람직하게는 300℃ 이상 600℃ 이하이다.

[0295] 또한 상기 전구체 및 반응제의 반응에 더하여, 제 3 원료 가스로서 플라스마 여기된 반응제도 체임버에 도입함으로써 처리를 수행하는 ALD법을 플라스마 ALD법이라고 부르는 경우가 있다. 이 경우, 제 3 원료 가스의 도입부에는 플라스마 생성 장치가 제공된다. 플라스마의 생성에는 유도 결합 플라스마를 사용할 수 있다. 또한 한편으로 전구체 및 반응제의 반응을 열 에너지로 수행하는 ALD법을 열 ALD법이라고 부르는 경우가 있다.

[0296] 플라스마 ALD법에서는, 제 3 단계에서 플라스마 여기된 반응제를 도입함으로써 성막을 수행한다. 또는 제 1 단계 내지 제 4 단계를 반복하여 수행하는 것과 동시에, 플라스마 여기된 반응제(제 2 반응제)를 도입함으로써 성막을 수행한다. 이 경우, 제 3 단계에서 도입되는 반응제를 제 1 반응제라고 부른다. 플라스마 ALD법에서 제 3 원료 가스로서 사용하는 제 2 반응제에는 상기 산화제와 같은 재료를 사용할 수 있다. 즉, 제 2 반응제로서, 플라스마 여기된 오존, 산소, 및 물을 사용할 수 있다. 또한 제 2 반응제로서는, 산화제 외에 질화제를 사용하여도 좋다. 질화제로서는 질소(N_2) 또는 암모니아(NH_3)를 사용할 수 있다. 또한 질소(N_2)와 수소(H_2)의 혼합 가스를 질화제로서 사용할 수 있다. 예를 들어 질소(N_2) 5%, 수소(H_2) 95%의 혼합 가스를 질화제로서 사용할 수 있다. 플라스마 여기된 질소 또는 암모니아를 도입하면서 성막을 수행함으로써, 금속 질화막 등의 질화막을 형성할 수 있다.

[0297] 또한 제 2 반응제의 캐리어 가스로서, 아르곤(Ar), 헬륨(He), 또는 질소(N_2)를 사용하여도 좋다. 아르곤, 헬륨, 또는 질소 등의 캐리어 가스를 사용함으로써, 플라스마의 방전이 용이해지고, 플라스마 여기된 제 2 반응제가 용이하게 생성되기 때문에 바람직하다. 또한 플라스마 ALD법을 사용하여 금속 산화막 등의 산화막을 형성하는 경우, 캐리어 가스로서 질소를 사용하면, 막 내에 질소가 혼입되어 원하는 막질을 얻을 수 없는 경우가 있다. 이 경우, 캐리어 가스로서 아르곤 또는 헬륨을 사용하는 것이 바람직하다.

[0298] ALD법은 매우 얇은 막을 균일한 막 두께로 성막할 수 있다. 또한 요철을 가지는 면에 대해서도 표면 피복률이 높다.

[0299] 여기서, 층상의 결정 구조의 금속 산화물이 In-M-Zn 산화물인 경우의, 결정 내의 원자 배열에 대하여 도 13의 (A) 내지 (D)를 사용하여 설명한다. 또한 도 13의 (B) 및 (D)에서는 원자를 공(원형)으로 나타내고, 금속 원자와 산소 원자의 결합을 선으로 나타내었다. 도 13의 (B) 및 (D)에서, In-M-Zn 산화물의 결정 구조에서의 c축(c-axis) 방향은 도면 중의 화살표로 나타내었다. 또한 In-M-Zn 산화물의 결정 구조에서의 a-b면 방향은 도 13의 (B) 및 (D)에서 화살표로 나타낸 c축 방향에 대하여 수직인 방향이다.

[0300] 도 13의 (A)는 구조체(650)에 형성된 In-M-Zn 산화물을 가지는 산화물(660)을 나타낸 도면이다. 여기서 구조체란, 트랜지스터 등의 반도체 장치를 구성하는 요소를 가리킨다. 구조체(650)에는 기판, 게이트 전극, 소스 전극, 및 드레인 전극 등의 도전체, 게이트 절연막, 층간 절연막, 하지 절연막 등의 절연체, 금속 산화물 또는 실리콘 등의 반도체 등이 포함된다. 도 13의 (A)에서는 구조체(650)의 피성막면이 기판(또는 기체, 도시하지 않았음)에 평행하게 배치되는 경우를 나타내었다.

[0301] 도 13의 (B)는 도 13의 (A)에서의 산화물(660)의 일부인 영역(653)에서의 결정 내의 원자 배열을 나타낸 확대도이다. 여기서, 도 13의 (A) 및 (B)에 나타낸 산화물(660)의 조성은 In:M:Zn=1:1:1[원자수비]이고, 결정 구조는 $YbFe_2O_4$형 구조로 한다. 또한 원소 M은 +3가의 금속 원소로 한다.

[0302] 도 13의 (B)에 나타낸 바와 같이, 산화물(660)이 가지는 결정은 인듐(In)과 산소를 가지는 층(621), 원소 M과 산소를 가지는 층(631), 아연(Zn)과 산소를 가지는 층(641)이 순차적으로 반복적으로 적층되어 있다. 층(621), 층(631), 및 층(641)은 구조체(650)의 피성막면에 실질적으로 평행하게 배치되어 있다. 즉 산화물(660)의 a-b면은 구조체(650)의 피성막면에 실질적으로 평행하고, 산화물(660)의 c축은 구조체(650)의 피성막면의 법선 방향에 실질적으로 평행하다.

[0303] 도 13의 (B)에 나타낸 바와 같이, 상기 결정이 가지는 층(621), 층(631), 층(641)의 각각이 하나의 금속 원소와 산소로 구성됨으로써 양호한 결정성으로 배열되고, 상기 금속 산화물의 이동도를 높일 수 있다.

[0304] 또한 In:M:Zn=1:1:1[원자수비]의 In-M-Zn 산화물은 도 13의 (B)에 나타낸 구조에 한정되지 않는다. 층(621), 층(631), 층(641)의 적층 순서가 변경되어도 좋다. 예를 들어 층(621), 층(641), 층(631)의 순서로 반복적으로 적층되어도 좋다. 또는 층(621), 층(631), 층(641), 층(621), 층(641), 층(631)의 순서로 반복적으로 적층되어도 좋다. 또한 층(631)의 원소 M의 일부가 아연으로 치환되고, 층(641)의 아연의 일부가 원소 M으로 치환되

어도 좋다.

[0305] 상기에서는 조성이 In:M:Zn=1:1:1[원자수비]의 In-M-Zn 산화물을 형성하는 예를 나타내었지만, 조성식이 $In_{(1+\alpha)}M_{(1-\alpha)}O_3(ZnO)_m$(α는 0보다 크고 1보다 작은 실수, m은 양의 수)으로 나타내어지는 결정성의 In-M-Zn 산화물은 마찬가지로 층상의 결정 구조를 가질 수 있다. 이 예로서, 도 13의 (C) 및 (D)를 사용하여 조성이 In:M:Zn=1:3:4[원자수비]의 In-M-Zn 산화물에 대하여 설명한다.

[0306] 도 13의 (C)는 구조체(650)에 형성된 In-M-Zn 산화물을 가지는 산화물(662)을 나타낸 도면이다. 도 13의 (D)는 도 13의 (C)에서의 산화물(662)의 일부인 영역(654)에서의 결정 내의 원자 배열을 나타낸 확대도이다.

[0307] 도 13의 (D)에 나타낸 바와 같이, 산화물(662)이 가지는 결정은 인듐(In)과 원소 M과 산소를 가지는 층(622), 아연(Zn)과 산소를 가지는 층(641), 및 원소 M과 산소를 가지는 층(631)을 가진다. 산화물(662)에서, 복수의 층은 층(622), 층(641), 층(631), 층(641)의 순서로 반복적으로 적층되어 있다. 층(622), 층(631), 및 층(641)은 구조체(650)의 피성막면에 실질적으로 평행하게 배치되어 있다. 즉 산화물(662)의 a-b면은 구조체(650)의 피성막면에 실질적으로 평행하고, 산화물(662)의 c축은 구조체(650)의 피성막면의 법선 방향에 실질적으로 평행하다.

[0308] 또한 In:M:Zn=1:3:4[원자수비]의 In-M-Zn 산화물은 도 13의 (D)에 나타낸 구조에 한정되지 않고, In:M:Zn=1:3:4[원자수비]의 범위 내에서 구조가 변화되어도 좋다. 예를 들어 층(622), 층(631), 층(641)의 적층 순서가 변경되어도 좋다. 또한 층(631)의 원소 M의 일부가 아연으로 치환되고, 층(641)의 아연의 일부가 원소 M으로 치환되어도 좋다. 또한 층(622) 대신에 층(621) 또는 층(631)이 형성되어도 좋다.

[0309] 다음으로 도 13의 (A) 및 (B)에 나타낸 In-M-Zn 산화물을 가지는 산화물(660)의 자세한 형성 방법을 도 14의 (A) 내지 도 15의 (C)를 사용하여 설명한다.

[0310] 먼저, 인듐을 포함하는 전구체를 포함하는 원료 가스를 체임버에 도입하여, 구조체(650)의 표면에 상기 전구체를 흡착시킨다(도 14의 (A) 참조). 여기서, 원료 가스에는 전구체 외에, 아르곤, 헬륨, 또는 질소 등의 캐리어 가스가 포함된다. 인듐을 가지는 전구체로서 트라이메틸인듐, 트라이에틸인듐, 트리스(2,2,6,6-테트라메틸-3,5-헵테인다이온산)인듐, 사이클로펜타다이엔일인듐, 인듐(III)아세틸아세토네이트, (3-(다이메틸아미노)프로필)다이메틸인듐 등을 사용할 수 있다.

[0311] 또한 인듐을 가지는 전구체로서 탄화수소를 가지지 않는 무기 전구체를 사용하여도 좋다. 인듐을 가지는 무기 전구체로서 삼염화 인듐, 삼브로민화 인듐, 삼아이오딘화 인듐 등의 할로젠계 인듐 화합물을 사용할 수 있다. 삼염화 인듐은 분해 온도가 500℃ 이상 700℃ 이하 정도이다. 따라서, 삼염화 인듐을 사용함으로써 400℃ 이상 600℃ 이하 정도, 예를 들어 500℃에서 기판을 가열하면서 ALD법에 의하여 성막을 수행할 수 있다.

[0312] 다음으로, 상기 원료 가스의 도입을 멈추고 체임버 내를 퍼지하여, 과잉의 전구체 및 반응 생성물 등을 체임버에서 배출한다.

[0313] 그리고 반응제로서 산화제를 체임버에 도입하여, 흡착된 전구체와 반응시키고, 인듐을 기판에 흡착시킨 채로 인듐 이외의 성분을 이탈시킴으로써, 인듐과 산소가 결합된 층(621)을 형성한다(도 14의 (B) 참조). 산화제로서는 오존, 산소, 물 등을 사용할 수 있다. 다음으로, 상기 산화제의 도입을 멈추고, 체임버 내를 퍼지하여, 과잉의 반응제 및 반응 생성물 등을 체임버에서 배출한다.

[0314] 다음으로, 원소 M을 가지는 전구체를 포함하는 원료 가스를 체임버에 도입하여, 층(621) 위에 상기 전구체를 흡착시킨다(도 14의 (C) 참조). 원료 가스에는 전구체 외에, 아르곤, 헬륨, 또는 질소 등의 캐리어 가스가 포함된다. 원소 M으로서 갈륨을 사용하는 경우, 갈륨을 가지는 전구체로서 트라이메틸갈륨, 트라이에틸갈륨, 트리스(다이메틸아마이드)갈륨, 갈륨(III)아세틸아세토네이트, 트리스(2,2,6,6-테트라메틸-3,5-헵테인다이온산)갈륨, 다이메틸클로로갈륨, 다이에틸클로로갈륨, 다이메틸갈륨아이소프로폭사이드 등을 사용할 수 있다.

[0315] 또한 갈륨을 가지는 전구체로서 탄화수소를 가지지 않는 무기 전구체를 사용하여도 좋다. 갈륨을 가지는 무기 전구체로서 삼염화 갈륨, 삼브로민화 갈륨, 삼아이오딘화 갈륨 등의 할로젠계 갈륨 화합물을 사용할 수 있다. 삼염화 갈륨은 분해 온도가 550℃ 이상 700℃ 이하 정도이다. 따라서, 삼염화 갈륨을 사용함으로써 450℃ 이상 650℃ 이하 정도, 예를 들어 550℃에서 기판을 가열하면서 ALD법에 의하여 성막을 수행할 수 있다.

[0316] 다음으로, 상기 원료 가스의 도입을 멈추고 체임버 내를 퍼지하여, 과잉의 전구체 및 반응 생성물 등을 체임버

에서 배출한다.

[0317] 다음으로, 반응제로서 산화제를 체임버에 도입하고, 흡착된 전구체와 반응시켜 원소 M을 기판에 흡착시킨 채로 원소 M 이외의 성분을 이탈시킴으로써, 원소 M과 산소가 결합된 층(631)을 형성한다(도 14의 (D) 참조). 이때 층(641)을 구성하는 산소의 일부가 층(631) 위에 흡착되는 경우가 있다. 다음으로, 상기 산화제의 도입을 멈추고, 체임버 내를 퍼지하여, 과잉의 반응제 및 반응 생성물 등을 체임버에서 배출한다.

[0318] 다음으로, 아연을 가지는 전구체를 포함하는 원료 가스를 체임버에 도입하고, 층(631) 위에 전구체를 흡착시킨다(도 15의 (A) 참조). 이때, 아연과 산소가 결합된 층(641)의 일부가 형성되는 경우가 있다. 원료 가스에는 전구체 외에, 아르곤, 헬륨, 또는 질소 등의 캐리어 가스가 포함된다. 아연을 포함하는 전구체로서 다이메틸아연, 다이에틸 아연, 비스(2,2,6,6-테트라메틸-3,5-헵테인다이온산)아연, 아세트산 아연 등을 사용할 수 있다.

[0319] 또한 아연을 가지는 전구체로서 탄화수소를 가지지 않는 무기 전구체를 사용하여도 좋다. 아연을 가지는 무기 전구체로서 이염화 아연, 이브로민화 아연, 이아이오딘화 아연 등의 할로젠계 아연 화합물을 사용할 수 있다. 이염화 아연은 분해 온도가 450℃ 이상 700℃ 이하 정도이다. 따라서, 이염화 아연을 사용함으로써 350℃ 이상 550℃ 이하 정도, 예를 들어 450℃에서 기판을 가열하면서 ALD법에 의하여 성막할 수 있다.

[0320] 다음으로, 상기 원료 가스의 도입을 멈추고 체임버 내를 퍼지하여, 과잉의 전구체 및 반응 생성물 등을 체임버에서 배출한다.

[0321] 다음으로, 반응제로서 산화제를 체임버에 도입하고, 흡착된 전구체와 반응시켜 아연을 기판에 흡착시킨 채로 아연 이외의 성분을 이탈시킴으로써, 아연과 산소가 결합된 층(641)을 형성한다(도 15의 (B) 참조). 다음으로, 상기 산화제의 도입을 멈추고, 체임버 내를 퍼지하여, 과잉의 반응제 및 반응 생성물 등을 체임버에서 배출한다.

[0322] 다음으로, 층(641) 위에 다시 상술한 방법으로 층(621)을 형성한다(도 15의 (C) 참조). 이상의 방법을 반복함으로써, 기판 또는 구조체 위에 산화물(660)을 형성할 수 있다.

[0323] 또한 상기 전구체 중에는 금속 원소 외에, 탄소 및 염소 중 한쪽 또는 양쪽을 포함하는 것이 있다. 탄소를 포함하는 전구체를 사용하여 형성된 막에는 탄소가 포함되는 경우가 있다. 또한 염소 등의 할로젠을 포함하는 전구체를 사용하여 형성된 막에는 염소 등의 할로젠이 포함되는 경우가 있다.

[0324] 상술한 바와 같이, ALD법을 사용하여 산화물(660)을 형성함으로써, 피성막면의 법선 방향에 실질적으로 평행하게 c축이 배향된 금속 산화물을 형성할 수 있다. 예를 들어 상기 실시형태에 따른 도 1의 (B) 및 (C)에 나타낸 산화물 반도체(230)에서 개구(290)의 측벽, 특히 절연체(280)의 측면에 대하여 실질적으로 평행한 층상의 결정을 형성할 수 있다. 이러한 구성으로 함으로써 트랜지스터(200)의 채널 길이 방향에 대하여 산화물 반도체(230)의 층상 결정이 실질적으로 평행하게 형성되기 때문에, 트랜지스터의 온 전류를 높일 수 있다.

[0325] 도 14의 (A) 내지 도 15의 (C)에 나타낸 공정을 기판을 가열하면서 수행하는 것이 바람직하다. 예를 들어 기판 온도를 200℃ 이상 600℃ 이하, 바람직하게는 300℃ 이상 전구체의 분해 온도 이하로 하면 좋다.

[0326] 상기 온도 범위에서 기판을 가열하면서 성막을 수행하기 위하여, 상기 성막에 사용하는 전구체는 분해 온도가 높은 것이 바람직하다. 예를 들어, 전구체의 분해 온도가 200℃ 이상 700℃ 이하인 것이 바람직하고, 300℃ 이상 600℃ 이하인 것이 더 바람직하다. 이와 같이 분해 온도가 높은 전구체로서는, 무기 전구체를 사용하는 것이 바람직하다. 무기 전구체는 일반적으로 유기 전구체보다 분해 온도가 높은 경향이 있기 때문에, 상기와 같이 기판 거열을 하면서 성막을 하여도 전구체가 분해되기 어렵다.

[0327] 무기 전구체로서는, 예를 들어 상술한 삼염화 인듐, 삼염화 갈륨, 이염화 아연을 사용할 수 있다. 상술한 바와 같이, 이들 전구체는 분해 온도가 350℃ 이상 700℃ 이하 정도이고, 일반적인 유기 전구체의 분해 온도보다 상당히 높다. 다만, 상술한 바와 같이 삼염화 인듐, 삼염화 갈륨, 이염화 아연의 분해 온도는 서로 다르다. 이와 같이, 종류가 다른 복수의 전구체를 사용하여 ALD법에 의한 성막을 수행하는 경우에는, 기판 온도를 복수의 전구체의 분해 온도 중 가장 낮은 온도 이하로 하는 것이 바람직하다. 상기 예에서는 전구체의 분해 온도가 가장 낮은 이염화 아연이 분해되지 않는 범위에서 기판 온도를 설정하면 좋다. 이에 의하여, 다른 삼염화 인듐, 삼염화 갈륨도 분해시키지 않고, 대상물(예를 들어 기판 등)에 흡착시킬 수 있다.

[0328] 또한 도 14의 (A) 내지 도 15의 (C)에서는 인듐을 포함하는 층으로서 층(621)을 형성하고, 그 위에 원소 M을 포함하는 층으로서 층(631)을 형성하고, 또한 그 위에 아연을 포함하는 층으로서 층(641)을 형성하는 예를 나타내었지만, 본 실시형태는 이에 한정되지 않는다. 층(631) 및 층(641) 중 한쪽을 형성하고, 그 위에 층(621)을 형

성하고, 그 위에 층(631) 및 층(641) 중 다른 쪽을 더 형성하여도 좋다. 또는 층(631) 및 층(641) 중 한쪽을 형성하고, 그 위에 층(631) 및 층(641) 중 다른 쪽을 형성하고, 그 위에 층(621)을 더 형성하여도 좋다.

[0329] 또한 In:M:Zn=1:1:1[원자수비]과 다른 원자수비의 금속 산화물을 형성하는 경우에는 원자수비에 따라 상기 층(621), 층(631), 층(641)을 적절히 형성하면 좋다. 예를 들어 도 15의 (A)에 나타낸 층(631)의 형성 전후에 층(641)의 형성을 여러 번 반복함으로써, 2개의 층(621) 사이에 원하는 원자수, 층수, 및 두께를 가지는 층(631)과 층(641)의 적층을 형성하면 좋다.

[0330] (실시형태 3)

[0331] 본 실시형태에서는 앞의 실시형태에서 설명한 메모리 셀을 사용한 기억 장치의 구성예에 대하여 설명한다. 본 실시형태에서는 적층된 메모리 셀을 가지는 층 사이에, 메모리 셀에 유지한 데이터 전위를 증폭하여 출력하는 기능을 가지는 기능 회로를 가지는 층이 제공된 기억 장치의 구성예에 대하여 설명한다.

[0332] [기억 장치의 구성예]

[0333] 도 16은 본 발명의 일 형태에 따른 기억 장치(300)의 구성예를 나타낸 블록도이다. 도 16에 나타낸 기억 장치(300)는 구동 회로(21)와 메모리 어레이(20)를 가진다. 메모리 어레이(20)는 복수의 메모리 셀(10) 및 복수의 기능 회로(51)를 가지는 기능층(50)을 가진다.

[0334] 도 16에서는 메모리 어레이(20)가 m행 n열(m 및 n은 2 이상의 정수)의 매트릭스로 배치된 복수의 메모리 셀(10)을 가지는 예를 나타내었다. 또한 기능 회로(51)는 일례로서 비트선으로서 기능하는 배선(BL)마다 제공된다. 도 16에서는 n개의 배선(BL)에 대응하여 제공된 복수의 기능 회로(51)를 가지는 예를 나타내었다.

[0335] 도 16에서는 첫 번째 행 첫 번째 열의 메모리 셀(10)을 메모리 셀(10[1,1])로 나타내고, m 번째 행 n 번째 열의 메모리 셀(10)을 메모리 셀(10[m,n])로 나타내었다. 또한 본 실시형태 등에서는 임의의 행을 가리키는 경우에 i행이라고 기재하는 경우가 있다. 또한 임의의 열을 나타내는 경우에 j열이라고 기재하는 경우가 있다. 따라서 i는 1 이상 m 이하의 정수이고, j는 1 이상 n 이하의 정수이다. 또한 본 실시형태 등에서는 i 번째 행 j 번째 열의 메모리 셀(10)을 메모리 셀(10[i,j])로 나타낸다. 또한 본 실시형태 등에서 "i+α"(α는 양 또는 음의 정수)로 나타내는 경우에는, "i+α"는 1을 밑돌지 않고 m을 웃돌지 않는다. 마찬가지로, "j+α"로 나타내는 경우에는, "j+α"는 1을 밑돌지 않고 n을 웃돌지 않는다.

[0336] 또한 메모리 어레이(20)는 행 방향으로 연장되는 m개의 배선(WL)과, 행 방향으로 연장되는 m개의 배선(PL)과, 열 방향으로 연장되는 n개의 배선(BL)을 가진다. 본 실시형태 등에서는, 첫 번째(첫 번째 행)에 제공된 배선(WL)을 배선(WL[1])으로 나타내고, m 번째(m 번째 행)에 제공된 배선(WL)을 배선(WL[m])으로 나타낸다. 마찬가지로 첫 번째(첫 번째 행)에 제공된 배선(PL)을 배선(PL[1])으로 나타내고, m 번째(m 번째 행)에 제공된 배선(PL)을 배선(PL[m])으로 나타낸다. 마찬가지로, 첫 번째(첫 번째 열)에 제공된 배선(BL)을 배선(BL[1])으로 나타내고, n 번째(n 번째 열)에 제공된 배선(BL)을 배선(BL[n])으로 나타낸다.

[0337] i 번째 행에 제공된 복수의 메모리 셀(10)은 i 번째 행의 배선(WL)(배선(WL[i])) 및 i 번째 행의 배선(PL)(배선(PL[i]))에 전기적으로 접속된다. j 번째 열에 제공된 복수의 메모리 셀(10)은 j 번째 열의 배선(BL)(배선(BL[j]))에 전기적으로 접속된다.

[0338] 메모리 어레이(20)에는 DOSRAM(등록 상표)(Dynamic Oxide Semiconductor Random Access Memory)을 적용할 수 있다. DOSRAM은 1T(트랜지스터)1C(용량 소자)형 메모리 셀을 가지는 RAM이고, 액세스 트랜지스터가 OS 트랜지스터인 메모리를 말한다. OS 트랜지스터는 오프 상태에서 소스와 드레인 사이에 흐르는 전류, 즉 누설 전류가 매우 작다. DOSRAM은 액세스 트랜지스터를 오프(비도통 상태)로 함으로써, 용량 소자(커패시터)에 유지된 데이터에 따른 전하를 장시간 유지할 수 있다. 그러므로 DOSRAM은 채널 형성 영역에 실리콘을 가지는 트랜지스터(이하, "Si 트랜지스터"라고도 부름)로 구성되는 DRAM에 비하여 리프레시 동작의 빈도를 저감할 수 있다. 그 결과, 저소비 전력화를 도모할 수 있다.

[0339] 또한 실시형태 1 등에서 설명한 바와 같이 OS 트랜지스터를 적층시켜 배치함으로써, 메모리 셀(10)을 적층시켜 제공할 수 있다. 예를 들어 도 16에 나타낸 메모리 어레이(20)에서는 복수의 메모리 어레이(20[1] 내지 20[m])를 적층시켜 제공할 수 있다. 메모리 어레이(20)가 가지는 메모리 어레이(20[1] 내지 20[m])를 구동 회로(21)가 제공되는 기판 표면의 수직 방향으로 배치함으로써, 메모리 셀(10)의 메모리 밀도를 향상시킬 수 있다. 또한 메모리 어레이(20)는 같은 제조 공정을 반복적으로 사용하여 수직 방향으로 제작할 수 있다. 기억 장치(300)에서는 메모리 어레이(20)의 제조 비용을 절감할 수 있다.

[0340] 배선(BL)은 데이터의 기록 및 판독을 수행하기 위한 비트선으로서 기능한다. 배선(WL)은 스위치로서 기능하는 액세스 트랜지스터의 온 또는 오프(도통 상태 또는 비도통 상태)를 제어하기 위한 워드선으로서 기능한다. 배선(PL)은 용량 소자에 접속되는 정전위선으로서의 기능을 가진다.

[0341] 메모리 어레이(20[1] 내지 20[m])가 각각 가지는 메모리 셀(10)은 배선(BL)을 통하여 기능 회로(51)에 접속된다. 배선(BL)은 구동 회로(21)가 제공되는 기판 표면의 수직 방향으로 배치할 수 있다. 메모리 어레이(20[1] 내지 20[m])가 가지는 메모리 셀(10)로부터 연장되어 제공되는 배선(BL)을 기판 표면의 수직 방향으로 제공함으로써, 메모리 어레이(20)와 기능 회로(51) 사이의 배선의 길이를 짧게 할 수 있다. 그러므로 비트선에 접속되는 2개의 회로 사이의 신호 전달 거리를 짧게 할 수 있어 비트선의 저항 및 기생 용량이 크게 삭감되기 때문에, 소비 전력 및 신호 지연을 저감할 수 있다. 또한 메모리 셀(10)이 가지는 용량 소자의 용량을 작게 한 경우에도 동작이 가능하다.

[0342] 기능 회로(51)는 메모리 셀(10)에 유지된 데이터 전위를 증폭하여, 후술하는 배선(GBL)(도시하지 않았음)을 통하여 구동 회로(21)가 가지는 감지 증폭기(46)에 출력하는 기능을 가진다. 상기 구성으로 함으로써, 데이터 판독 시에 배선(BL)의 미세한 전위차를 증폭할 수 있다. 배선(GBL)은 배선(BL)과 마찬가지로 구동 회로(21)가 제공되는 기판 표면의 수직 방향으로 배치될 수 있다. 메모리 어레이(20[1] 내지 20[m])가 가지는 메모리 셀(10)로부터 연장되어 제공되는 배선(BL) 및 배선(GBL)을 기판 표면의 수직 방향으로 제공함으로써, 기능 회로(51)와 감지 증폭기(46) 사이의 배선의 길이를 짧게 할 수 있다. 그러므로 배선(GBL)에 접속되는 2개의 회로 사이의 신호 전달 거리를 짧게 할 수 있어 배선(GBL)의 저항 및 기생 용량이 크게 삭감되기 때문에, 소비 전력 및 신호 지연을 저감할 수 있다.

[0343] 또한 배선(BL)은 메모리 셀(10)이 가지는 트랜지스터의 반도체층에 접하여 제공된다. 또는 배선(BL)은 메모리 셀(10)이 가지는 트랜지스터의 반도체층의 소스 또는 드레인으로서 기능하는 영역에 접하여 제공된다. 또는 배선(BL)은 메모리 셀(10)이 가지는 트랜지스터의 반도체층의 소스 또는 드레인으로서 기능하는 영역과 접하여 제공되는 도전체에 접하여 제공된다. 즉 배선(BL)은 메모리 어레이(20)의 각 층에서의 메모리 셀(10)이 가지는 트랜지스터의 소스 및 드레인 중 한쪽 각각과 기능 회로(51)를 수직 방향으로 전기적으로 접속하기 위한 배선이라고 할 수 있다.

[0344] 메모리 어레이(20)는 구동 회로(21) 위에 중첩시켜 제공할 수 있다. 구동 회로(21)와 메모리 어레이(20)를 중첩시켜 제공함으로써, 구동 회로(21)와 메모리 어레이(20) 사이의 신호 전달 거리를 짧게 할 수 있다. 따라서 구동 회로(21)와 메모리 어레이(20) 사이의 저항 및 기생 용량이 저감되어 소비 전력 및 신호 지연을 저감할 수 있다. 또한 기억 장치(300)의 소형화를 실현할 수 있다.

[0345] 기능 회로(51)를 DOSRAM의 메모리 셀(10)이 가지는 트랜지스터와 마찬가지로 OS 트랜지스터로 구성함으로써, 메모리 어레이(20[1] 내지 20[m])와 같이, Si 트랜지스터를 사용한 회로 위 등에 자유로이 배치될 수 있기 때문에 집적화가 용이해진다. 기능 회로(51)에서 신호를 증폭하는 구성으로 함으로써 후단의 회로인 감지 증폭기(46) 등의 회로를 소형화할 수 있기 때문에 기억 장치(300)의 소형화를 도모할 수 있다.

[0346] 구동 회로(21)는 PSW(22)(파워 스위치), PSW(23), 및 주변 회로(31)를 가진다. 주변 회로(31)는 주변 회로(41), 컨트롤 회로(32)(Control Circuit), 및 전압 생성 회로(33)를 가진다.

[0347] 기억 장치(300)에서 각 회로, 각 신호, 및 각 전압은 필요에 따라 적절히 취사할 수 있다. 또는 다른 회로 혹은 다른 신호를 추가하여도 좋다. 신호(BW), 신호(CE), 신호(GW), 신호(CLK), 신호(WAKE), 신호(ADDR), 신호(WDA), 신호(PON1), 신호(PON2)는 외부로부터의 입력 신호이고, 신호(RDA)는 외부에 대한 출력 신호이다. 신호(CLK)는 클록 신호이다.

[0348] 또한 신호(BW), 신호(CE), 및 신호(GW)는 제어 신호이다. 신호(CE)는 칩 인에이블 신호이고, 신호(GW)는 글로벌 기록 인에이블 신호이고, 신호(BW)는 바이트 기록 인에이블 신호이다. 신호(ADDR)는 어드레스 신호이다. 신호(WDA)는 기록 데이터이고, 신호(RDA)는 판독 데이터이다. 신호(PON1), 신호(PON2)는 파워 게이팅 제어용 신호이다. 또한 신호(PON1), 신호(PON2)는 컨트롤 회로(32)에서 생성하여도 좋다.

[0349] 컨트롤 회로(32)는 기억 장치(300)의 동작 전반을 제어하는 기능을 가지는 로직 회로이다. 예를 들어 컨트롤 회로는 신호(CE), 신호(GW), 및 신호(BW)를 논리 연산하고 기억 장치(300)의 동작 모드(예를 들어 기록 동작, 판독 동작)를 결정한다. 또는 컨트롤 회로(32)는 이 동작 모드가 실행되도록 주변 회로(41)의 제어 신호를 생성한다.

[0350] 전압 생성 회로(33)는 음의 전압을 생성하는 기능을 가진다. 신호(WAKE)는 신호(CLK)의 전압 생성 회로(33)에 대한 입력을 제어하는 기능을 가진다. 예를 들어 신호(WAKE)로서 H 레벨의 신호가 공급되면, 신호(CLK)가 전압 생성 회로(33)에 입력되고, 전압 생성 회로(33)는 음의 전압을 생성한다.

[0351] 주변 회로(41)는 메모리 셀(10)에 대한 데이터의 기록 및 판독을 수행하기 위한 회로이다. 또한 주변 회로(41)는 기능 회로(51)를 제어하기 위한 각종 신호를 출력하는 회로이다. 주변 회로(41)는 행 디코더(42)(Row Decoder), 열 디코더(44)(Column Decoder), 행 드라이버(43)(Row Driver), 열 드라이버(45)(Column Driver), 입력 회로(47)(Input Cir.), 출력 회로(48)(Output Cir.), 감지 증폭기(46)(Sense Amplifier)를 가진다.

[0352] 행 디코더(42) 및 열 디코더(44)는 신호(ADDR)를 디코딩하는 기능을 가진다. 행 디코더(42)는 액세스하는 행을 지정하기 위한 회로이고, 열 디코더(44)는 액세스하는 열을 지정하기 위한 회로이다. 행 드라이버(43)는 행 디코더(42)가 지정하는 배선(WL)을 선택하는 기능을 가진다. 열 드라이버(45)는 데이터를 메모리 셀(10)에 기록하는 기능, 메모리 셀(10)로부터 데이터를 판독하는 기능, 판독한 데이터를 유지하는 기능 등을 가진다.

[0353] 입력 회로(47)는 신호(WDA)를 유지하는 기능을 가진다. 입력 회로(47)가 유지하는 데이터는 열 드라이버(45)에 출력된다. 입력 회로(47)의 출력 데이터는 메모리 셀(10)에 기록되는 데이터(Din)이다. 열 드라이버(45)가 메모리 셀(10)로부터 판독한 데이터(Dout)는 출력 회로(48)에 출력된다. 출력 회로(48)는 Dout을 유지하는 기능을 가진다. 또한 출력 회로(48)는 Dout을 기억 장치(300)의 외부에 출력하는 기능을 가진다. 출력 회로(48)로부터 출력되는 데이터는 신호(RDA)이다.

[0354] PSW(22)는 주변 회로(31)에 대한 VDD의 공급을 제어하는 기능을 가진다. PSW(23)는 행 드라이버(43)에 대한 VHM의 공급을 제어하는 기능을 가진다. 여기서는 기억 장치(300)의 고전원 전압이 VDD이고, 저전원 전압이 GND(접지 전위)이다. 또한 VHM은 워드선을 고레벨로 하기 위하여 사용되는 고전원 전압이고, VDD보다 높다. 신호(PON1)에 의하여 PSW(22)의 온/오프가 제어되고, 신호(PON2)에 의하여 PSW(23)의 온/오프가 제어된다. 도 16에서는 주변 회로(31)에서 VDD가 공급되는 전원 도메인의 개수를 하나로 하였지만, 복수로 할 수도 있다. 이 경우 각 전원 도메인에 파워 스위치를 제공하면 좋다.

[0355] 메모리 어레이(20[1] 내지 20[m])(m은 2 이상의 정수) 및 기능층(50)을 가지는 메모리 어레이(20)에서는 구동 회로(21) 위에 복수 층의 메모리 어레이(20)를 중첩시켜 제공할 수 있다. 복수 층의 메모리 어레이(20)를 중첩시켜 제공함으로써, 메모리 셀(10)의 메모리 밀도를 높일 수 있다. 도 17의 (A)는 구동 회로(21) 위에 기능층(50)과 5층(m=5)의 메모리 어레이(20[1] 내지 20[5])가 중첩되어 제공된 기억 장치(300)의 사시도이다.

[0356] 도 17의 (A)에서는 첫 번째 층에 제공된 메모리 어레이(20)를 메모리 어레이(20[1])로 나타내고, 두 번째 층에 제공된 메모리 어레이(20)를 메모리 어레이(20[2])로 나타내고, 5번째 층에 제공된 메모리 어레이(20)를 메모리 어레이(20[5])로 나타내었다. 또한 도 17의 (A)에서, X방향으로 연장되어 제공되는 배선(WL) 및 배선(PL)과, Z방향(구동 회로가 제공되는 기판 표면에 수직인 방향)으로 연장되어 제공되는 배선(BL)을 도시하였다. 또한 도면을 보기 쉽게 하기 위하여, 메모리 어레이(20) 각각이 가지는 배선(WL) 및 배선(PL)의 기재를 일부 생략하였다. 또한 도 17의 (A)에서는 배선(PL)을 X방향으로 연장시켜 제공하는 구성에 대하여 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어 배선(PL)을 Y방향으로 연장시켜 제공하는 구성으로 하여도 좋고, 배선(PL)을 X방향 및 Y방향으로 연장시켜 제공하는 구성, 예를 들어 배선(PL)을 평면상으로 제공하는 구성으로 하여도 좋다.

[0357] 도 17의 (B)는 도 17의 (A)에 나타낸 배선(BL)에 접속된 기능 회로(51), 및 배선(BL)에 접속된 메모리 어레이(20[1] 내지 20[5])가 가지는 메모리 셀(10)의 구성예를 설명하는 모식도이다. 또한 도 17의 (B)에서는 기능 회로(51)와 구동 회로(21) 사이에 제공되는 배선(GBL)을 나타내었다. 또한 하나의 배선(BL)에 복수의 메모리 셀(메모리 셀(10))이 전기적으로 접속되는 구성을 "메모리 스트링"이라고도 한다. 또한 도면에서 배선(GBL)은 시인성을 높이기 위하여 굵은 선으로 나타낸 경우가 있다.

[0358] 도 17의 (B)에서는 배선(BL)에 접속되는 메모리 셀(10)의 회로 구성의 일례를 나타내었다. 메모리 셀(10)은 트랜지스터(11) 및 용량 소자(12)를 가진다. 트랜지스터(11), 용량 소자(12), 및 각 배선(BL 및 WL 등)에 대해서도 예를 들어 배선(BL[1]) 및 배선(WL[1])을 배선(BL) 및 배선(WL) 등이라고 하는 경우가 있다.

[0359] 메모리 셀(10)에서 트랜지스터(11)의 소스 및 드레인 중 한쪽은 배선(BL)에 접속된다. 트랜지스터(11)의 소스 및 드레인 중 다른 쪽은 용량 소자(12)의 한쪽 전극에 접속된다. 용량 소자(12)의 다른 쪽 전극은 배선(PL)에 접속된다. 트랜지스터(11)의 게이트는 배선(WL)에 접속된다.

[0360] 예를 들어 같은 층에서 공통의 배선(BL)에 접속되는 2개의 메모리 셀(10)은 실시형태 1에 따른 도 10에 나타낸 구조로 할 수 있다.

[0361] 또한 도 17의 (B) 등에서는 같은 층에서 공통의 배선(BL)에 2개의 메모리 셀(10)이 접속되는 구성을 나타내었지만, 본 발명은 이에 한정되지 않는다. 예를 들어 같은 층에서 공통의 배선(BL)에 4개의 메모리 셀(10)이 접속되는 구성으로 하여도 좋고, 같은 층에서 공통의 배선(BL)에 8개의 메모리 셀(10)이 접속되는 구성으로 하여도 좋다. 예를 들어 같은 층에서 공통의 배선(BL)에 접속되는 4개의 메모리 셀(10)을 제공하는 경우에는, 실시형태 1에 따른 도 11에 나타낸 구조로 할 수 있다.

[0362] 배선(PL)은 용량 소자(12)의 전위를 유지하기 위한 정전위를 공급하는 배선이다.

[0363] 도 17의 (B)에 나타낸 배선(GBL)은 구동 회로(21)와 기능층(50) 사이를 전기적으로 접속하도록 제공된다. 도 18의 (A)에서는 기능 회로(51) 및 메모리 어레이(20[1] 내지 20[m])를 반복 단위(70)로 하는 기억 장치(300)의 모식도를 나타내었다. 또한 도 18의 (A)에서는 배선(GBL)을 하나 나타내었지만, 배선(GBL)은 기능층(50)에 제공되는 기능 회로(51)의 개수에 따라 적절히 제공하면 좋다.

[0364] 또한 배선(GBL)은 기능 회로(51)가 가지는 트랜지스터의 반도체층에 접하여 제공된다. 또는 배선(GBL)은 기능 회로(51)가 가지는 트랜지스터의 반도체층의 소스 또는 드레인으로서 기능하는 영역에 접하여 제공된다. 또는 배선(GBL)은 기능 회로(51)가 가지는 트랜지스터의 반도체층의 소스 또는 드레인으로서 기능하는 영역과 접하여 제공되는 도전체에 접하여 제공된다. 즉 배선(GBL)은 기능층(50)에서의 기능 회로(51)가 가지는 트랜지스터의 소스 및 드레인 중 한쪽과 구동 회로(21)를 수직 방향으로 전기적으로 접속하기 위한 배선이라고 할 수 있다.

[0365] 또한 기능 회로(51) 및 메모리 어레이(20[1] 내지 20[m])를 가지는 반복 단위(70)가 더 적층되는 구성으로 하여도 좋다. 본 발명의 일 형태의 기억 장치(300A)는 도 18의 (B)에 나타낸 바와 같이 반복 단위(70[1] 내지 70[p])(p는 2 이상의 정수)를 가질 수 있다. 배선(GBL)은 반복 단위(70)가 가지는 기능층(50)에 접속된다. 배선(GBL)은 기능 회로(51)의 개수에 따라 적절히 제공하면 좋다.

[0366] 본 발명의 일 형태에서는 OS 트랜지스터를 적층시켜 제공하면서, 비트선으로서 기능하는 배선을 구동 회로(21)가 제공되는 기판 표면의 수직 방향으로 배치한다. 메모리 어레이(20)로부터 연장되어 제공되는 비트선으로서 기능하는 배선을 기판 표면의 수직 방향으로 제공함으로써, 메모리 어레이(20)와 구동 회로(21) 사이의 배선의 길이를 짧게 할 수 있다. 그러므로 비트선의 기생 용량을 크게 삭감할 수 있다.

[0367] 또한 본 발명의 일 형태에서는 메모리 어레이(20)가 제공되는 층에, 메모리 셀(10)에 유지한 데이터 전위를 증폭하여 출력하는 기능을 가지는 기능 회로(51)를 가지는 기능층(50)이 포함된다. 상기 구성으로 함으로써, 데이터 판독 시에 비트선으로서 기능하는 배선(BL)의 미세한 전위차를 증폭하여 구동 회로(21)가 가지는 감지 증폭기(46)를 구동할 수 있다. 감지 증폭기 등의 회로를 소형화할 수 있기 때문에 기억 장치(300)를 소형화할 수 있다. 또한 메모리 셀(10)이 가지는 용량 소자(12)의 용량을 작게 한 경우에도 동작이 가능하다.

[0368] [메모리 어레이(20) 및 기능 회로(51)의 구성예]

[0369] 도 16 내지 도 18에서 설명한 기능 회로(51)의 구성예 및 메모리 어레이(20) 및 구동 회로(21)가 가지는 감지 증폭기(46)의 구성예에 대하여 도 19를 사용하여 설명한다. 도 19에서는 상이한 배선(BL)(BL_A, BL_B)에 접속된 메모리 셀(10)(메모리 셀(10_A), 메모리 셀(10_B))에 접속된 기능 회로(51)(51_A, 51_B)에 접속된 배선(GBL)(GBL_A, GBL_B)에 접속된 구동 회로(21)를 나타내었다. 도 19에 나타낸 구동 회로(21)에는 감지 증폭기(46) 외에, 프리차지 회로(71_A), 프리차지 회로(71_B), 스위치 회로(72_A), 스위치 회로(72_B), 및 기록 판독 회로(73)가 포함된다.

[0370] 기능 회로(51_A, 51_B)에는 트랜지스터(52_a, 52_b, 53_a, 53_b, 54_a, 54_b, 55_a, 55_b)를 도시하였다. 도 19에 나타낸 트랜지스터(52_a, 52_b, 53_a, 53_b, 54_a, 54_b, 55_a, 55_b)는 메모리 셀(10)이 가지는 트랜지스터(11)와 마찬가지로 OS 트랜지스터이다. 기능 회로(51)를 가지는 기능층(50)은 메모리 어레이(20[1] 내지 20[m])와 마찬가지로 적층시켜 제공할 수 있다.

[0371] 배선(BL_A 및 BL_B)은 트랜지스터(52_a, 52_b)의 게이트에 접속된다. 배선(GBL_A 및 GBL_B)은 트랜지스터(53_a, 53_b, 54_a, 54_b)의 소스 및 드레인 중 한쪽에 접속된다. 배선(GBL_A 및 GBL_B)은 배선(BL_A 및 BL_B)과 마찬가지로 수직 방향으로 제공되고, 구동 회로(21)가 가지는 트랜지스터에 접속된다. 도 19에 나타낸 바와 같이, 트랜지스터(53_a, 53_b, 54_a, 54_b, 55_a, 55_b)의 게이트에는 제어 신호(WE, RE, MUX)가 공급된다.

[0372] 도 19에 나타낸 감지 증폭기(46), 프리차지 회로(71_A), 및 프리차지 회로(71_B)를 구성하는 트랜지스터(81_1 내지 81_6) 및 트랜지스터(82_1 내지 82_4)는 Si 트랜지스터로 구성된다. 스위치 회로(72_A) 및 스위치 회로(72_B)를 구성하는 스위치(83_A 내지 83_D)도 Si 트랜지스터로 구성될 수 있다. 트랜지스터(53_a, 53_b, 54_a, 54_b)의 소스 및 드레인 중 한쪽은 프리차지 회로(71_A), 프리차지 회로(71_B), 감지 증폭기(46), 스위치 회로(72_A)를 구성하는 트랜지스터 또는 스위치에 접속된다.

[0373] 프리차지 회로(71_A)는 n채널형 트랜지스터(81_1 내지 81_3)를 가진다. 프리차지 회로(71_A)는 프리차지선(PCL1)에 공급되는 프리차지 신호에 따라 배선(BL_A) 및 배선(BL_B)을 VDD와 VSS 사이의 전위(VDD/2)에 상당하는 중간 전위(VPC)로 프리차지하기 위한 회로이다.

[0374] 프리차지 회로(71_B)는 n채널형 트랜지스터(81_4 내지 81_6)를 가진다. 프리차지 회로(71_B)는 프리차지선(PCL2)에 공급되는 프리차지 신호에 따라 배선(GBL_A) 및 배선(GBL_B)을 VDD와 VSS 사이의 전위(VDD/2)에 상당하는 중간 전위(VPC)로 프리차지하기 위한 회로이다.

[0375] 감지 증폭기(46)는 배선(VHH) 또는 배선(VLL)에 접속된 p채널형 트랜지스터(82_1, 82_2) 및 n채널형 트랜지스터(82_3, 82_4)를 가진다. 배선(VHH) 또는 배선(VLL)은 VDD 또는 VSS를 공급하는 기능을 가지는 배선이다. 트랜지스터(82_1 내지 82_4)는 인버터 루프를 구성하는 트랜지스터이다. 메모리 셀(10_A, 10_B)을 선택함으로써 프리차지된 배선(BL_A) 및 배선(BL_B)의 전위가 변화되고, 상기 변화에 따라 배선(GBL_A) 및 배선(GBL_B)의 전위를 고전원 전위 VDD 또는 저전원 전위 VSS로 한다. 배선(GBL_A) 및 배선(GBL_B)의 전위는 스위치(83_C), 스위치(83_D), 및 기록 판독 회로(73)를 통하여 외부에 출력할 수 있다. 배선(BL_A) 및 배선(BL_B) 그리고 배선(GBL_A) 및 배선(GBL_B)은 비트선쌍에 상당한다. 기록 판독 회로(73)는 신호(EN_data)에 따라 데이터 신호의 기록이 제어된다.

[0376] 스위치 회로(72_A)는 감지 증폭기(46)와 배선(GBL_A) 및 배선(GBL_B) 사이의 도통 상태를 제어하기 위한 회로이다. 스위치 회로(72_A)는 전환 신호(CSEL1)의 제어에 의하여 온 또는 오프가 전환된다. 스위치(83_A 및 83_B)는 n채널 트랜지스터인 경우, 전환 신호(CSEL1)가 하이 레벨일 때는 온이 되고 로 레벨일 때는 오프가 된다. 스위치 회로(72_B)는 기록 판독 회로(73)와, 감지 증폭기(46)에 접속되는 비트선쌍 사이의 도통 상태를 제어하기 위한 회로이다. 스위치 회로(72_B)는 전환 신호(CSEL2)의 제어에 의하여 온 또는 오프가 전환된다. 스위치(83_C 및 83_D)는 스위치(83_A 및 83_B)와 같은 식으로 하면 좋다.

[0377] 도 19에 나타낸 바와 같이 기억 장치(300)는 메모리 셀(10)과, 기능 회로(51)와, 감지 증폭기(46)가, 최단 거리인 수직 방향으로 제공되는 배선(BL) 및 배선(GBL)을 통하여 접속되는 구성으로 할 수 있다. 기능 회로(51)를 구성하는 트랜지스터를 가지는 기능층(50)이 증가하지만, 배선(BL)의 부하가 저감되기 때문에 기록 시간이 단축되고 데이터 판독이 쉬워진다.

[0378] 또한 도 19에 나타낸 바와 같이 기능 회로(51_A, 51_B)가 가지는 각 트랜지스터는 제어 신호(WE, RE) 및 선택 신호(MUX)에 따라 제어된다. 각 트랜지스터는 제어 신호 및 선택 신호에 따라 배선(GBL)을 통하여 배선(BL)의 전위를 구동 회로(21)에 출력할 수 있다. 기능 회로(51_A, 51_B)는 OS 트랜지스터로 구성되는 감지 증폭기로서 기능시킬 수 있다. 상기 구성으로 함으로써, 판독 시에 배선(BL)의 미세한 전위차를 증폭하여, Si 트랜지스터를 사용한 감지 증폭기(46)를 구동할 수 있다.

[0379] 이상과 같이, 복수의 메모리 셀 어레이와 구동 회로를 적층시켜 제공함으로써, 기억 장치의 고집적화 및 대용량화가 가능하다.

[0380] 본 실시형태는 본 명세서에서 설명하는 다른 실시형태 등과 적절히 조합할 수 있다.

[0381] (실시형태 4)

[0382] 본 실시형태에서는, 도 20의 (A) 및 (B)를 사용하여 본 발명의 기억 장치가 실장된 칩(1200)의 일례를 설명한다. 칩(1200)에는 복수의 회로(시스템)가 실장되어 있다. 이와 같이, 복수의 회로(시스템)를 하나의 칩에 집적하는 기술을 시스템 온 칩(System on Chip: SoC)이라고 부르는 경우가 있다.

[0383] 도 20의 (A)에 나타낸 바와 같이, 칩(1200)은 CPU(1211), GPU(1212), 하나 또는 복수의 아날로그 연산부(1213), 하나 또는 복수의 메모리 컨트롤러(1214), 하나 또는 복수의 인터페이스(1215), 하나 또는 복수의 네트워크 회로(1216) 등을 가진다.

[0384] 칩(1200)에는 범프(도시하지 않았음)가 제공되고, 도 20의 (B)에 나타낸 바와 같이, 패키지 기판(1201)의 제 1 면에 접속된다. 또한 패키지 기판(1201)의 제 1 면의 뒷면에는 복수의 범프(1202)가 제공되고, 머더보드(120

3)에 접속된다.

[0385] 머더보드(1203)에는 DRAM(1221), 플래시 메모리(1222) 등의 기억 장치가 제공되어도 좋다. 예를 들어 DRAM(1221)으로서 앞의 실시형태에서 설명한 DOSRAM을 사용할 수 있다. 이에 의하여 DRAM(1221)의 저소비 전력화, 고속화, 및 대용량화가 가능하다.

[0386] CPU(1211)는 복수의 CPU 코어를 가지는 것이 바람직하다. 또한 GPU(1212)는 복수의 GPU 코어를 가지는 것이 바람직하다. 또한 CPU(1211) 및 GPU(1212)는 각각 데이터를 일시적으로 저장하는 메모리를 가져도 좋다. 또는 CPU(1211) 및 GPU(1212)에 공통된 메모리가 칩(1200)에 제공되어도 좋다. 상기 메모리로서는 상술한 DOSRAM을 사용할 수 있다. 또한 GPU(1212)는 다수의 데이터의 병렬 계산에 적합하고, 화상 처리 또는 적화 연산(product-sum operation)에 사용할 수 있다. GPU(1212)에 본 발명의 산화물 반도체를 사용한 화상 처리 회로 또는 적화 연산 회로를 제공함으로써, 화상 처리 및 적화 연산을 낮은 소비 전력으로 실행할 수 있다.

[0387] 또한 CPU(1211) 및 GPU(1212)가 동일한 칩에 제공되면, CPU(1211)와 GPU(1212) 간의 배선을 짧게 할 수 있기 때문에, CPU(1211)로부터 GPU(1212)로의 데이터 전송(轉送), CPU(1211) 및 GPU(1212)가 가지는 메모리 간의 데이터 전송, 그리고 GPU(1212)에서의 연산 후의, GPU(1212)로부터 CPU(1211)로의 연산 결과의 전송을 고속으로 수행할 수 있다.

[0388] 아날로그 연산부(1213)는 A/D(아날로그/디지털) 변환 회로 및 D/A(디지털/아날로그) 변환 회로 중 한쪽 또는 양쪽을 가진다. 또한 아날로그 연산부(1213)에 상기 적화 연산 회로를 제공하여도 좋다.

[0389] 메모리 컨트롤러(1214)는 DRAM(1221)의 컨트롤러로서 기능하는 회로 및 플래시 메모리(1222)의 인터페이스로서 기능하는 회로를 가진다.

[0390] 인터페이스(1215)는 표시 장치, 스피커, 마이크로폰, 카메라, 컨트롤러 등의 외부 접속 기기와의 인터페이스 회로를 가진다. 컨트롤러에는 마우스, 키보드, 게임용 컨트롤러 등이 포함된다. 이와 같은 인터페이스로서, USB(Universal Serial Bus), HDMI(등록 상표)(High-Definition Multimedia Interface) 등을 사용할 수 있다.

[0391] 네트워크 회로(1216)는 LAN(Local Area Network) 등의 네트워크 회로를 가진다. 또한 네트워크 보안용 회로를 가져도 좋다.

[0392] 칩(1200)에는 상기 회로(시스템)를 동일한 제조 공정으로 형성할 수 있다. 그러므로 칩(1200)에 필요한 회로의 개수가 증가하여도 제조 공정을 증가시킬 필요가 없어 칩(1200)을 낮은 비용으로 제작할 수 있다.

[0393] GPU(1212)를 가지는 칩(1200)이 제공된 패키지 기판(1201), DRAM(1221), 및 플래시 메모리(1222)가 제공된 머더보드(1203)를 GPU 모듈(1204)이라고 부를 수 있다.

[0394] GPU 모듈(1204)은 SoC 기술을 사용한 칩(1200)을 가지기 때문에, 그 크기를 작게 할 수 있다. 또한 화상 처리 능력이 높기 때문에, 스마트폰, 태블릿 단말기, 랩톱 PC, 휴대용(들고 다닐 수 있는) 게임기 등의 휴대용 전자 기기에 사용하는 것이 적합하다. 또한 GPU(1212)를 사용한 적화 연산 회로에 의하여, 심층 신경망(DNN), 합성곱 신경망(CNN), 순환 신경망(RNN), 자기 부호화기, 심층 볼츠만 머신(DBM), 심층 신뢰 신경망(DBN) 등의 방법을 실행할 수 있기 때문에, 칩(1200)을 AI 칩으로서, 또는 GPU 모듈(1204)을 AI 시스템 모듈로서 사용할 수 있다.

[0395] 본 실시형태에 기재된 구성, 방법 등은 적어도 그 일부를 본 명세서에 기재된 다른 실시형태 등과 적절히 조합하여 실시할 수 있다.

[0396] (실시형태 5)

[0397] 본 실시형태에서는, 앞의 실시형태에서 설명한 기억 장치 등이 제공된 전자 부품 및 전자 기기의 일례를 설명한다. 앞의 실시형태에서 설명한 기억 장치를 이하의 전자 부품 및 전자 기기에 사용함으로써, 전자 부품 및 전자 기기의 저소비 전력화 및 고속화가 가능하다.

[0398] <전자 부품>

[0399] 우선, 기억 장치(720)가 제공된 전자 부품의 예에 대하여 도 21의 (A) 및 (B)를 사용하여 설명한다.

[0400] 도 21의 (A)에 전자 부품(700) 및 전자 부품(700)이 실장된 기판(실장 기판(704))의 사시도를 나타내었다. 도 21의 (A)에 나타낸 전자 부품(700)은 몰드(711) 내에 기억 장치(720)를 가진다. 도 21의 (A)는 전자 부품(700)의 내부를 나타내기 위하여 일부를 생략하였다. 전자 부품(700)은 몰드(711) 외측에 랜드(712)를 가진다.

랜드(712)는 전극 패드(713)와 전기적으로 접속되고, 전극 패드(713)는 와이어(714)에 의하여 기억 장치(720)와 전기적으로 접속되어 있다. 전자 부품(700)은 예를 들어 인쇄 기판(702)에 실장된다. 이와 같은 전자 부품이 복수 조합되고 각각이 인쇄 기판(702) 위에서 전기적으로 접속됨으로써 실장 기판(704)이 완성된다.

[0401] 기억 장치(720)는 구동 회로층(721)과 기억 회로층(722)을 가진다.

[0402] 도 21의 (B)에 전자 부품(730)의 사시도를 나타내었다. 전자 부품(730)은 SiP(System in package) 또는 MCM(Multi Chip Module)의 일례이다. 전자 부품(730)은 패키지 기판(732)(인쇄 기판) 위에 인터포저(731)가 제공되고, 인터포저(731) 위에 반도체 장치(735) 및 복수의 기억 장치(720)가 제공되어 있다. 기억 장치(720)에 앞의 실시형태에 나타낸 기억 장치를 사용함으로써, 저소비 전력화 및 고속화가 가능하다.

[0403] 반도체 장치(735)로서는 CPU, GPU, FPGA 등의 집적 회로(반도체 장치)를 사용할 수 있다.

[0404] 패키지 기판(732)으로서는 세라믹 기판, 플라스틱 기판, 유리 에폭시 기판 등을 사용할 수 있다. 인터포저(731)로서는 실리콘 인터포저, 수지 인터포저 등을 사용할 수 있다.

[0405] 인터포저(731)는 복수의 배선을 가지고, 단자 피치가 상이한 복수의 집적 회로를 전기적으로 접속하는 기능을 가진다. 복수의 배선은 단층 또는 다층으로 제공된다. 또한 인터포저(731)는 인터포저(731) 위에 제공된 집적 회로를 패키지 기판(732)에 제공된 전극과 전기적으로 접속하는 기능을 가진다. 그러므로 인터포저를 "재배선 기판" 또는 "중간 기판"이라고 하는 경우가 있다. 또한 인터포저(731)에 관통 전극을 제공하고, 상기 관통 전극을 사용하여 집적 회로와 패키지 기판(732)을 전기적으로 접속하는 경우도 있다. 또한 실리콘 인터포저에서는 관통 전극으로서 TSV(Through Silicon Via)를 사용할 수도 있다.

[0406] 인터포저(731)로서 실리콘 인터포저를 사용하는 것이 바람직하다. 실리콘 인터포저는 능동 소자를 제공할 필요가 없기 때문에 집적 회로보다 낮은 비용으로 제작할 수 있다. 또한 실리콘 인터포저의 배선은 반도체 공정으로 형성할 수 있으므로, 수지 인터포저에서는 어려운 미세 배선의 형성이 용이하다.

[0407] 또한 실리콘 인터포저를 사용한 SiP, MCM 등에서는, 집적 회로와 인터포저 사이의 팽창 계수의 차이로 인한 신뢰성 저하가 발생하기 어렵다. 또한 실리콘 인터포저는 표면의 평탄성이 높으므로 실리콘 인터포저 위에 제공되는 집적 회로와 실리콘 인터포저 사이의 접속 불량이 발생하기 어렵다. 특히 인터포저 위에 복수의 집적 회로를 나란히 배치하는 2.5D 패키지(2.5차원 실장)에서는 실리콘 인터포저를 사용하는 것이 바람직하다.

[0408] 또한 전자 부품(730)과 중첩시켜 히트 싱크(방열판)를 제공하여도 좋다. 히트 싱크를 제공하는 경우에는 인터포저(731) 위에 제공하는 집적 회로의 높이를 일치시키는 것이 바람직하다. 예를 들어 본 실시형태에서 설명하는 전자 부품(730)에서는 기억 장치(720)와 반도체 장치(735)의 높이를 일치시키는 것이 바람직하다.

[0409] 전자 부품(730)을 다른 기판에 실장하기 위하여 패키지 기판(732)의 바닥부에 전극(733)을 제공하여도 좋다. 도 21의 (B)에서는 전극(733)을 땜납 볼로 형성하는 예를 나타내었다. 패키지 기판(732)의 바닥부에 땜납 볼을 매트릭스로 제공함으로써 BGA(Ball Grid Array) 실장을 실현할 수 있다. 또한 전극(733)을 도전성의 핀으로 형성하여도 좋다. 패키지 기판(732)의 바닥부에 도전성의 핀을 매트릭스로 제공함으로써 PGA(Pin Grid Array) 실장을 실현할 수 있다.

[0410] 전자 부품(730)은 BGA 및 PGA에 한정되지 않고, 다양한 실장 방법을 사용하여 다른 기판에 실장할 수 있다. 예를 들어 SPGA(Staggered Pin Grid Array), LGA(Land Grid Array), QFP(Quad Flat Package), QFJ(Quad Flat J-leaded package), 또는 QFN(Quad Flat Non-leaded package) 등의 실장 방법을 사용할 수 있다.

[0411] 본 실시형태에 나타낸 구성, 방법 등은 본 실시형태에 나타낸 다른 구성, 방법, 다른 실시형태에 나타낸 구성, 방법 등과 적절히 조합하여 사용할 수 있다.

[0412] (실시형태 6)

[0413] 본 실시형태에서는 앞의 실시형태에서 설명한 기억 장치를 사용한 기억 장치의 응용예에 대하여 설명한다. 앞의 실시형태에서 설명한 기억 장치는 예를 들어 각종 전자 기기(예를 들어 정보 단말기, 컴퓨터, 스마트폰, 전자책 단말기, 디지털 카메라(비디오 카메라도 포함함), 녹화 재생 장치, 내비게이션 시스템 등)의 기억 장치에 적용할 수 있다. 또한 여기서 컴퓨터에는 태블릿형 컴퓨터, 노트북형 컴퓨터, 데스크톱형 컴퓨터뿐만 아니라, 서버 시스템과 같은 대형 컴퓨터도 포함된다. 또는 앞의 실시형태에서 설명한 기억 장치는 메모리 카드(예를 들어 SD 카드), USB 메모리, SSD(Solid State Drive) 등의 각종 리무버블 기억 장치에 적용된다. 도 22의 (A) 내지 (E)에 리무버블 기억 장치의 몇 가지 구성예를 모식적으로 나타내었다. 예를 들어 앞의 실시형태에서 설

명한 기억 장치는 패키징된 메모리 칩으로 가공되고 다양한 스토리지 장치, 리무버블 메모리에 사용된다.

[0414] 도 22의 (A)는 USB 메모리의 모식도이다. USB 메모리(1100)는 하우징(1101), 캡(1102), USB 커넥터(1103), 및 기판(1104)을 가진다. 기판(1104)은 하우징(1101)에 수납되어 있다. 예를 들어 기판(1104)에는 메모리 칩(1105), 컨트롤러 칩(1106)이 장착되어 있다. 메모리 칩(1105) 등에 앞의 실시형태에서 설명한 기억 장치를 제공할 수 있다.

[0415] 도 22의 (B)는 SD 카드의 외관의 모식도이고, 도 22의 (C)는 SD 카드의 내부 구조의 모식도이다. SD 카드(1110)는 하우징(1111), 커넥터(1112), 및 기판(1113)을 가진다. 기판(1113)은 하우징(1111)에 수납되어 있다. 예를 들어 기판(1113)에는 메모리 칩(1114), 컨트롤러 칩(1115)이 장착되어 있다. 기판(1113)의 뒷면 측에도 메모리 칩(1114)을 제공함으로써 SD 카드(1110)의 용량을 증가시킬 수 있다. 또한 무선 통신 기능을 가지는 무선 칩을 기판(1113)에 제공하여도 좋다. 이로써, 호스트 장치와 SD 카드(1110) 사이의 무선 통신에 의하여 메모리 칩(1114)의 데이터의 판독, 기록이 가능하게 된다. 메모리 칩(1114) 등에 앞의 실시형태에서 설명한 기억 장치를 제공할 수 있다.

[0416] 도 22의 (D)는 SSD의 외관의 모식도이고, 도 22의 (E)는 SSD의 내부 구조의 모식도이다. SSD(1150)는 하우징(1151), 커넥터(1152), 및 기판(1153)을 가진다. 기판(1153)은 하우징(1151)에 수납되어 있다. 예를 들어 기판(1153)에는 메모리 칩(1154), 메모리 칩(1155), 컨트롤러 칩(1156)이 장착되어 있다. 메모리 칩(1155)은 컨트롤러 칩(1156)의 작업 메모리이고, 예를 들어 DOSRAM 칩을 사용하면 좋다. 기판(1153)의 뒷면 측에도 메모리 칩(1154)을 제공함으로써 SSD(1150)의 용량을 증가시킬 수 있다. 메모리 칩(1154) 등에 앞의 실시형태에서 설명한 기억 장치를 제공할 수 있다.

[0417] 본 실시형태에 기재된 구성, 방법 등은 적어도 그 일부를 본 명세서에 기재된 다른 실시형태 등과 적절히 조합하여 실시할 수 있다.

[0418] (실시형태 7)

[0419] 본 발명의 일 형태에 따른 기억 장치는 CPU, GPU 등의 프로세서 또는 칩에 사용할 수 있다. 이와 같은 CPU, GPU 등의 프로세서 또는 칩을 전자 기기에 사용함으로써, 전자 기기의 저소비 전력화 및 고속화가 가능하다. 도 23의 (A) 내지 (H)에 상기 기억 장치를 사용한 CPU, GPU 등의 프로세서 또는 칩을 가지는 전자 기기의 구체적인 예를 나타내었다.

[0420] <전자 기기·시스템>

[0421] 본 발명의 일 형태에 따른 GPU 또는 칩은 다양한 전자 기기에 탑재할 수 있다. 전자 기기의 예로서는 예를 들어 텔레비전 장치, 데스크톱형 또는 노트북형 정보 단말기용 등의 모니터, 디지털 사이니지(Digital Signage: 전자 간판), 파친코기 등의 대형 게임기 등 비교적 큰 화면을 가지는 전자 기기 외에, 디지털 카메라, 디지털 비디오 카메라, 디지털 액자, 전자책 단말기, 휴대 전화기, 휴대용 게임기, 휴대 정보 단말기, 음향 재생 장치 등이 있다. 또한 본 발명의 일 형태에 따른 GPU 또는 칩을 전자 기기에 제공함으로써 전자 기기에 인공 지능을 탑재할 수 있다.

[0422] 본 발명의 일 형태의 전자 기기는 안테나를 가져도 좋다. 안테나로 신호를 수신함으로써 표시부에서 영상, 정보 등을 표시할 수 있다. 또한 전자 기기가 안테나 및 이차 전지를 가지는 경우 안테나를 비접촉 전력 전송(傳送)에 사용하여도 좋다.

[0423] 본 발명의 일 형태의 전자 기기는 센서(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도(硬度), 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 검지, 검출, 또는 측정하는 기능을 가지는 것)를 가져도 좋다.

[0424] 본 발명의 일 형태의 전자 기기는 다양한 기능을 가질 수 있다. 예를 들어 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)를 실행하는 기능, 무선 통신 기능, 기록 매체에 기록된 프로그램 또는 데이터를 판독하는 기능 등을 가질 수 있다. 도 23의 (A) 내지 (H)에 전자 기기의 예를 나타내었다.

[0425] [정보 단말기]

[0426] 도 23의 (A)에는 정보 단말기의 일종인 휴대 전화기(스마트폰)를 도시하였다. 정보 단말기(5100)는 하우징(5101)과 표시부(5102)를 가지고, 입력용 인터페이스로서 터치 패널이 표시부(5102)에 제공되고, 버튼이 하우징

(5101)에 제공된다.

[0427] 정보 단말기(5100)에 본 발명의 일 형태의 칩을 적용함으로써, 저소비 전력화 및 고속화가 가능하다.

[0428] 도 23의 (B)에는 노트북형 정보 단말기(5200)를 나타내었다. 노트북형 정보 단말기(5200)는 정보 단말기의 본체(5201)와, 표시부(5202)와, 키보드(5203)를 가진다.

[0429] 상술한 정보 단말기(5100)와 마찬가지로, 본 발명의 일 형태의 칩을 노트북형 정보 단말기(5200)에 적용함으로써, 저소비 전력화 및 고속화가 가능하다.

[0430] 또한 앞에서는 전자 기기로서 스마트폰 및 노트북형 정보 단말기를 예로 들어 각각 도 23의 (A), (B)에 나타내었지만, 스마트폰 및 노트북형 정보 단말기 외의 정보 단말기를 적용할 수 있다. 스마트폰 및 노트북형 정보 단말기 외의 정보 단말기로서는 예를 들어 PDA(Personal Digital Assistant), 데스크톱형 정보 단말기, 워크스테이션 등이 있다.

[0431] [게임기]

[0432] 도 23의 (C)는 게임기의 일례인 휴대용 게임기(5300)를 나타낸 것이다. 휴대용 게임기(5300)는 하우징(5301), 하우징(5302), 하우징(5303), 표시부(5304), 접속부(5305), 조작 키(5306) 등을 가진다. 하우징(5302) 및 하우징(5303)은 하우징(5301)에서 떼어낼 수 있다. 하우징(5301)에 제공된 접속부(5305)를 다른 하우징(도시하지 않았음)에 장착함으로써, 표시부(5304)에 출력되는 영상을 다른 영상 기기(도시하지 않았음)에 출력할 수 있다. 이때 하우징(5302) 및 하우징(5303)은 각각 조작부로서 기능할 수 있다. 이에 의하여, 복수의 플레이어가 동시에 게임을 할 수 있다. 하우징(5301), 하우징(5302), 및 하우징(5303)의 기판에 제공된 칩 등에 앞의 실시형태에서 설명한 칩을 제공할 수 있다.

[0433] 또한 도 23의 (D)는 게임기의 일례인 거치형 게임기(5400)를 나타낸 것이다. 거치형 게임기(5400)에는 무선 또는 유선으로 컨트롤러(5402)가 접속된다.

[0434] 휴대용 게임기(5300), 거치형 게임기(5400) 등의 게임기에 본 발명의 일 형태의 GPU 또는 칩을 적용함으로써 소비 전력이 낮은 게임기를 실현할 수 있다. 또한 소비 전력이 낮으면 회로로부터의 발열을 저감할 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다.

[0435] 또한 휴대용 게임기(5300)에 본 발명의 일 형태의 GPU 또는 칩을 적용함으로써, 저소비 전력화 및 고속화가 가능하다.

[0436] 도 23의 (C), (D)에서는 게임기의 일례로서 휴대용 게임기 및 거치형 게임기를 나타내었지만, 본 발명의 일 형태의 GPU 또는 칩을 적용하는 게임기는 이들에 한정되지 않는다. 본 발명의 일 형태의 GPU 또는 칩을 적용하는 게임기로서는 예를 들어 오락 시설(오락실, 놀이공원 등)에 설치되는 아케이드 게임기, 스포츠 시설에 설치되는 배팅 연습용 피칭 머신 등이 있다.

[0437] [대형 컴퓨터]

[0438] 본 발명의 일 형태의 GPU 또는 칩은 대형 컴퓨터에 적용할 수 있다.

[0439] 도 23의 (E)는 대형 컴퓨터의 일례인 슈퍼컴퓨터(5500)를 나타낸 도면이다. 도 23의 (F)는 슈퍼컴퓨터(5500)가 가지는 랙 마운트형 계산기(5502)를 나타낸 도면이다.

[0440] 슈퍼컴퓨터(5500)는 랙(5501)과, 복수의 랙 마운트형 계산기(5502)를 가진다. 또한 복수의 계산기(5502)는 랙(5501)에 격납되어 있다. 또한 계산기(5502)에는 복수의 기판(5504)이 제공되고, 상기 기판 위에 앞의 실시형태에서 설명한 GPU 또는 칩을 탑재할 수 있다.

[0441] 슈퍼컴퓨터(5500)는 주로 과학 기술 계산에 이용되는 대형 컴퓨터이다. 과학 기술 계산에서는 방대한 연산을 고속으로 처리할 필요가 있기 때문에, 소비 전력이 높고 칩의 발열이 크다. 슈퍼컴퓨터(5500)에 본 발명의 일 형태의 GPU 또는 칩을 적용함으로써 소비 전력이 낮은 슈퍼컴퓨터를 실현할 수 있다. 또한 소비 전력이 낮으면 회로로부터의 발열을 저감할 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다.

[0442] 도 23의 (E), (F)에서는 대형 컴퓨터의 일례로서 슈퍼컴퓨터를 나타내었지만, 본 발명의 일 형태의 GPU 또는 칩이 적용되는 대형 컴퓨터는 이에 한정되지 않는다. 본 발명의 일 형태의 GPU 또는 칩이 적용되는 대형 컴퓨터로서는 예를 들어 서비스를 제공하는 컴퓨터(서버), 대형 범용 컴퓨터(메인 프레임) 등이 있다.

[0443] [이동체]

[0444] 본 발명의 일 형태의 GPU 또는 칩은 이동체인 자동차, 및 자동차의 운전석 주변에 적용할 수 있다.

[0445] 도 23의 (G)는 이동체의 일례인 자동차의 실내에서의 앞유리 주변을 나타낸 것이다. 도 23의 (G)에서는 대시보드에 장착된 표시 패널(5701), 표시 패널(5702), 표시 패널(5703) 외에, 필러에 장착된 표시 패널(5704)을 나타내었다.

[0446] 표시 패널(5701) 내지 표시 패널(5703)은 속도계, 회전 속도계, 주행 거리, 연료계, 기어 상태, 에어컨디셔너의 설정 등을 표시함으로써 다양한 정보를 제공할 수 있다. 또한 표시 패널에 표시되는 표시 항목, 레이아웃 등은 사용자의 취향에 따라 적절히 변경할 수 있기 때문에 디자인성을 높일 수 있다. 표시 패널(5701) 내지 표시 패널(5703)은 조명 장치로서 사용할 수도 있다.

[0447] 표시 패널(5704)에는 자동차에 제공된 촬상 장치(도시하지 않았음)로부터의 영상을 표시함으로써, 필러로 가려진 시계(사각(死角))를 보완할 수 있다. 즉 자동차의 외측에 제공된 촬상 장치로부터의 화상을 표시함으로써, 사각을 보완하여 안전성을 높일 수 있다. 또한 보이지 않는 부분을 보완하는 영상을 표시함으로써, 더 자연스럽고 위화감 없이 안전을 확인할 수 있다. 표시 패널(5704)은 조명 장치로서 사용할 수도 있다.

[0448] 본 발명의 일 형태의 GPU 또는 칩은 인공 지능의 구성 요소로서 적용할 수 있기 때문에, 예를 들어 상기 칩을 자동차의 자율 주행 시스템에 사용할 수 있다. 또한 상기 칩을 도로 안내, 위험 예측 등을 하는 시스템에 사용할 수 있다. 표시 패널(5701) 내지 표시 패널(5704)에는 도로 안내, 위험 예측 등의 정보를 표시하는 구성을 적용하여도 좋다.

[0449] 또한 앞에서는 이동체의 일례로서 자동차에 대하여 설명하였지만, 이동체는 자동차에 한정되지 않는다. 예를 들어 이동체로서는 전철, 모노레일, 선박, 비행체(헬리콥터, 무인 항공기(드론), 비행기, 로켓) 등도 있고, 이들 이동체에 본 발명의 일 형태의 칩을 적용하여 인공 지능을 이용한 시스템을 부여할 수 있다.

[0450] [전자 제품]

[0451] 도 23의 (H)는 전자 제품의 일례인 전기 냉동 냉장고(5800)를 나타낸 것이다. 전기 냉동 냉장고(5800)는 하우징(5801), 냉장실용 문(5802), 냉동실용 문(5803) 등을 가진다.

[0452] 전기 냉동 냉장고(5800)에 본 발명의 일 형태의 칩을 적용함으로써, 인공 지능을 가지는 전기 냉동 냉장고(5800)를 실현할 수 있다. 인공 지능을 이용함으로써, 전기 냉동 냉장고(5800)는 전기 냉동 냉장고(5800)에 보관되어 있는 식재료, 그 식재료의 소비 기한 등을 바탕으로 식단을 자동 생성하는 기능, 전기 냉동 냉장고(5800)에 보관되어 있는 식재료에 적합한 온도로 자동으로 조절하는 기능 등을 가질 수 있다.

[0453] 전자 제품의 일례로서 전기 냉동 냉장고에 대하여 설명하였지만, 그 외의 전자 제품으로서는 예를 들어 청소기, 전자 레인지, 전기 오븐, 밥솥, 온수기, IH 조리기, 생수기, 에어컨디셔너를 포함한 냉난방 기구, 세탁기, 건조기, 오디오 비주얼 기기(audio visual appliance) 등이 있다.

[0454] 본 실시형태에서 설명한 전자 기기, 그 전자 기기의 기능, 인공 지능의 응용예, 그 효과 등은 다른 전자 기기에 관한 기재와 적절히 조합할 수 있다.

[0455] 본 실시형태에 기재된 구성, 방법 등은 적어도 그 일부를 본 명세서에 기재된 다른 실시형태 등과 적절히 조합하여 실시할 수 있다.

[0456] (실시형태 8)

[0457] 본 발명의 일 형태의 기억 장치는 OS 트랜지스터를 포함한다. 상기 OS 트랜지스터는 방사선 조사로 인한 전기 특성의 변동이 작다. 즉 방사선에 대한 내성이 높기 때문에, 방사선이 입사할 수 있는 환경에서 적합하게 사용할 수 있다. 예를 들어 OS 트랜지스터는 우주 공간에서 사용되는 경우에 적합하다. 본 실시형태에서는 본 발명의 일 형태의 기억 장치를 우주용 기기에 적용하는 경우의 구체적인 예에 대하여 도 24를 사용하여 설명한다.

[0458] 도 24에는 우주용 기기의 일례로서 인공위성(6800)을 나타내었다. 인공위성(6800)은 기체(6801)와, 태양 전지판(6802)과, 안테나(6803)와, 이차 전지(6805)와, 제어 장치(6807)를 가진다. 또한 도 24에서는 우주 공간에 행성(6804)을 예시하였다. 또한 우주 공간이란, 예를 들어 고도 100km 이상을 가리키지만, 본 명세서에 기재된 우주 공간은 열권, 중간권, 및 성층권을 포함하여도 좋다.

[0459] 또한 우주 공간은 지상에 비하여 방사선량이 100배 이상 높은 환경이다. 또한 방사선으로서, 예를 들어 X선 및

감마선으로 대표되는 전자기파(전자기 방사선), 그리고 알파선, 베타선, 중성자선, 양자선, 중이온선, 중간자선 등으로 대표되는 입자 방사선이 있다.

[0460] 태양 전지판(6802)에 태양광이 조사됨으로써 인공위성(6800)이 동작하기 위하여 필요한 전력이 생성된다. 그러나 예를 들어 태양 전지판에 태양광이 조사되지 않는 상황, 또는 태양 전지판에 조사되는 태양광의 양이 적은 상황에서는 생성되는 전력이 낮아진다. 따라서 인공위성(6800)이 동작하기 위하여 필요한 전력이 생성되지 않을 가능성이 있다. 생성되는 전력이 낮은 상황에서도 인공위성(6800)을 동작시키기 위하여, 인공위성(6800)에 이차 전지(6805)를 제공하는 것이 좋다. 또한 태양 전지판은 태양 전지 모듈이라고 불리는 경우가 있다.

[0461] 인공위성(6800)은 신호를 생성할 수 있다. 상기 신호는 안테나(6803)를 통하여 송신되고, 예를 들어 지상에 제공된 수신기 또는 다른 인공위성이 상기 신호를 수신할 수 있다. 인공위성(6800)이 송신한 신호가 수신됨으로써, 상기 신호를 수신한 수신기의 위치를 측정할 수 있다. 이로써 인공위성(6800)은 위성 측위 시스템을 구성할 수 있다.

[0462] 또한 제어 장치(6807)는 인공위성(6800)을 제어하는 기능을 가진다. 제어 장치(6807)는 예를 들어 CPU, GPU, 및 기억 장치 중에서 선택되는 어느 하나 또는 복수를 사용하여 구성된다. 또한 제어 장치(6807)에는 본 발명의 일 형태인 OS 트랜지스터를 포함하는 기억 장치를 사용하는 것이 적합하다. OS 트랜지스터는 Si 트랜지스터에 비하여 방사선 조사로 인한 전기 특성의 변동이 작다. 즉 방사선이 입사할 수 있는 환경에서도 신뢰성이 높기 때문에 적합하게 사용할 수 있다.

[0463] 또한 인공위성(6800)은 센서를 가지는 구성으로 할 수 있다. 예를 들어, 가시광 센서를 가지는 구성으로 함으로써, 인공위성(6800)은 지상에 제공된 물체에 부딪혀 반사된 태양광을 검출하는 기능을 가질 수 있다. 또는 열 적외 센서를 가지는 구성으로 함으로써, 인공위성(6800)은 지표로부터 방출되는 열 적외선을 검출하는 기능을 가질 수 있다. 이로써 인공위성(6800)은 예를 들어 지구 관측 위성으로서의 기능을 가질 수 있다.

[0464] 또한 본 실시형태에서는 우주용 기기의 일례로서 인공위성을 나타내었지만 이에 한정되지 않는다. 예를 들어 본 발명의 일 형태의 기억 장치는 우주선, 우주 캡슐, 우주 탐사선 등의 우주용 기기에 적합하게 사용할 수 있다.

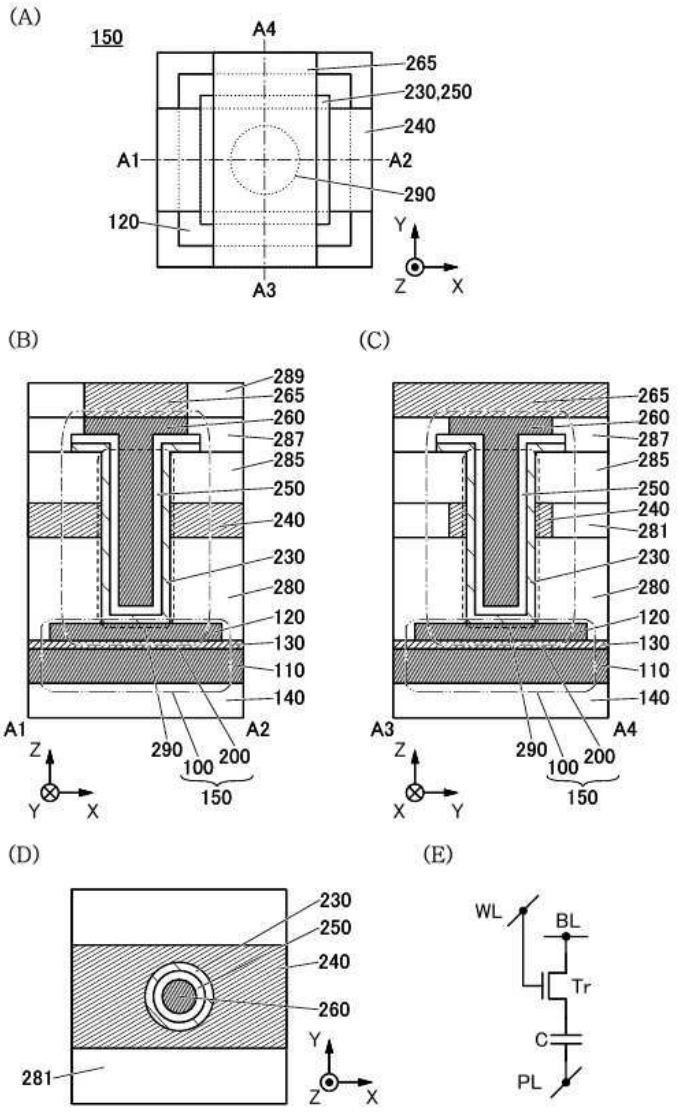
부호의 설명

[0465] ADDR: 신호, BL[1]: 배선, BL[j]: 배선, BL[n]: 배선, BL_A: 배선, BL_B: 배선, BL: 배선, BW: 신호, CE: 신호, CLK: 신호, EN_data: 신호, GBL_A: 배선, GBL_B: 배선, GBL: 배선, GW: 신호, MUX: 선택 신호, PL[1]: 배선, PL[i]: 배선, PL[m]: 배선, PL: 배선, RDA: 신호, RE: 제어 신호, Tr: 트랜지스터, VDD: 고전원 전위, VHH: 배선, VLL: 배선, VPC: 중간 전위, VSS: 저전원 전위, WAKE: 신호, WDA: 신호, WE: 제어 신호, WL[1]: 배선, WL[i]: 배선, WL[m]: 배선, WL: 배선, 10_A: 메모리 셀, 10_B: 메모리 셀, 10: 메모리 셀, 11: 트랜지스터, 12: 용량 소자, 20: 메모리 어레이, 21: 구동 회로, 22: PSW, 23: PSW, 31: 주변 회로, 32: 컨트롤 회로, 33: 전압 생성 회로, 41: 주변 회로, 42: 행 디코더, 43: 행 드라이버, 44: 열 디코더, 45: 열 드라이버, 46: 감지 증폭기, 47: 입력 회로, 48: 출력 회로, 50: 기능층, 51_A: 기능 회로, 51_B: 기능 회로, 51: 기능 회로, 52_a: 트랜지스터, 52_b: 트랜지스터, 53_a: 트랜지스터, 53_b: 트랜지스터, 54_a: 트랜지스터, 54_b: 트랜지스터, 55_a: 트랜지스터, 55_b: 트랜지스터, 70: 반복 단위, 71_A: 프리차지 회로, 71_B: 프리차지 회로, 72_A: 스위치 회로, 72_B: 스위치 회로, 73: 기록 판독 회로, 81_1: 트랜지스터, 81_3: 트랜지스터, 81_4: 트랜지스터, 81_6: 트랜지스터, 82_1: 트랜지스터, 82_2: 트랜지스터, 82_3: 트랜지스터, 82_4: 트랜지스터, 83_A: 스위치, 83_B: 스위치, 83_C: 스위치, 83_D: 스위치, 100a: 용량 소자, 100b: 용량 소자, 100c: 용량 소자, 100d: 용량 소자, 100: 용량 소자, 110: 도전체, 120: 도전체, 130: 절연체, 140: 절연체, 150a: 메모리 셀, 150b: 메모리 셀, 150c: 메모리 셀, 150d: 메모리 셀, 150: 메모리 셀, 160a: 메모리 유닛, 160b: 메모리 유닛, 160c: 메모리 유닛, 160d: 메모리 유닛, 160: 메모리 유닛, 200a: 트랜지스터, 200b: 트랜지스터, 200c: 트랜지스터, 200d: 트랜지스터, 200: 트랜지스터, 230A: 산화물 반도체막, 230: 산화물 반도체, 240: 도전체, 245: 도전체, 246: 도전체, 250A: 절연막, 250: 절연체, 254: 절연체, 260: 도전체, 265: 도전체, 280: 절연체, 281: 절연체, 285: 절연체, 287: 절연체, 289: 절연체, 290: 개구, 300A: 기억 장치, 300: 기억 장치, 610: 기판, 611a: 전구체, 611b: 전구체, 612a: 반응제, 612b: 반응제, 613a: 산화물, 613b: 산화물, 613c: 산화물, 621: 층, 622: 층, 631: 층, 641: 층, 650: 구조체, 653: 영역, 654: 영역, 660: 산화물, 662: 산화물, 700: 전자 부품, 702: 인쇄 기판, 704: 실장 기판, 711: 몰드, 712: 랜드, 713: 전극 패드, 714: 와이어, 720: 기억 장치, 721: 구동 회로층, 722: 기억 회로층, 730: 전자 부품, 731: 인터포저, 732: 패키지 기판, 733: 전극, 735: 반도체 장치, 1100: USB 메모리, 1101: 하우징, 1102: 캡, 1103: USB 커넥터, 1104: 기판, 1105: 메

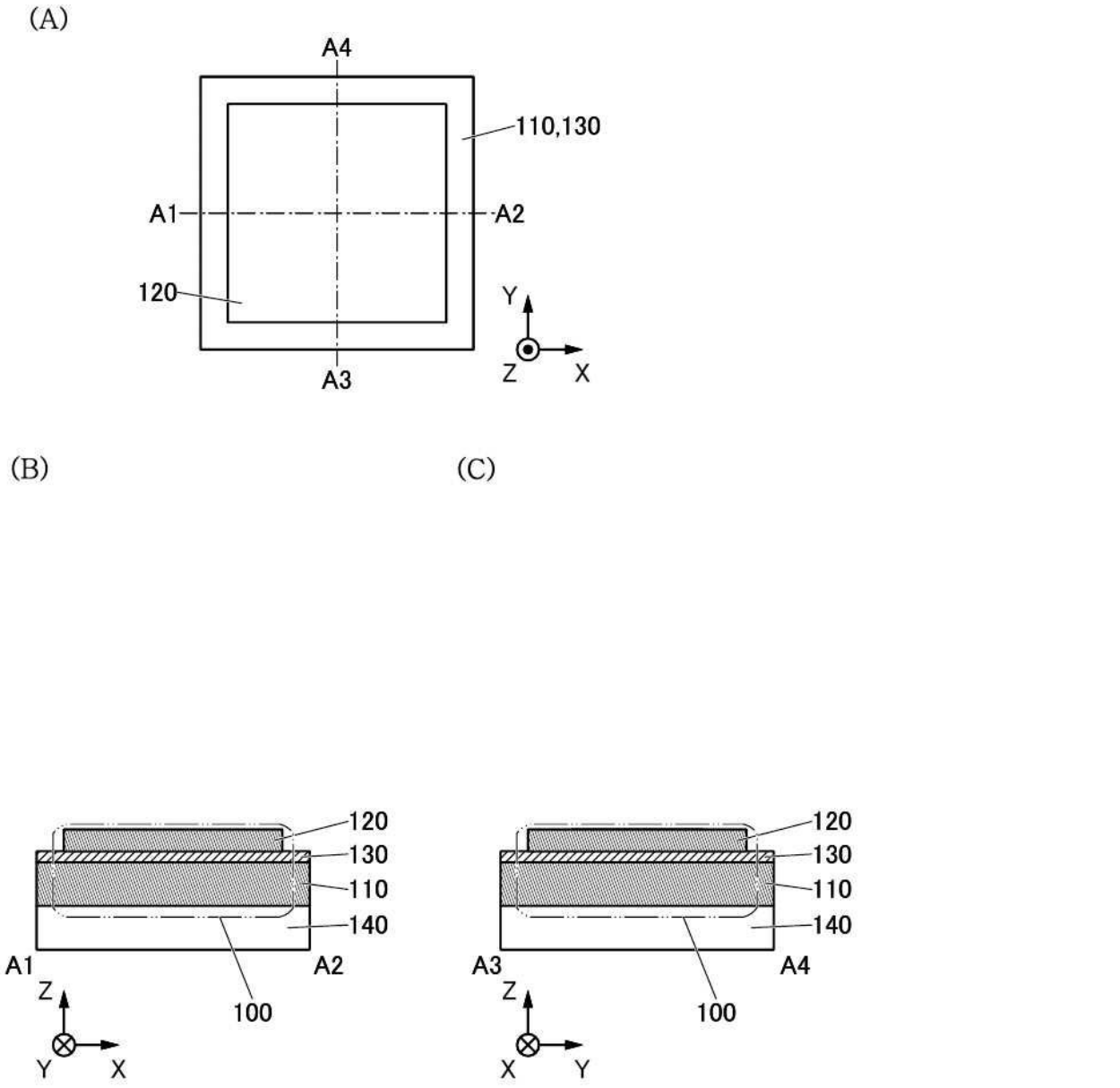
모리 칩, 1106: 컨트롤러 칩, 1110: SD 카드, 1111: 하우징, 1112: 커넥터, 1113: 기판, 1114: 메모리 칩, 1115: 컨트롤러 칩, 1150: SSD, 1151: 하우징, 1152: 커넥터, 1153: 기판, 1154: 메모리 칩, 1155: 메모리 칩, 1156: 컨트롤러 칩, 1200: 칩, 1201: 패키지 기판, 1202: 범프, 1203: 머더보드, 1204: GPU 모듈, 1211: CPU, 1212: GPU, 1213: 아날로그 연산부, 1214: 메모리 컨트롤러, 1215: 인터페이스, 1216: 네트워크 회로, 1221: DRAM, 1222: 플래시 메모리, 5100: 정보 단말기, 5101: 하우징, 5102: 표시부, 5200: 노트북형 정보 단말기, 5201: 본체, 5202: 표시부, 5203: 키보드, 5300: 휴대용 게임기, 5301: 하우징, 5302: 하우징, 5303: 하우징, 5304: 표시부, 5305: 접속부, 5306: 조작 키, 5400: 거치형 게임기, 5402: 컨트롤러, 5500: 슈퍼 컴퓨터, 5501: 랙, 5502: 계산기, 5504: 기판, 5701: 표시 패널, 5702: 표시 패널, 5703: 표시 패널, 5704: 표시 패널, 5800: 전기 냉동 냉장고, 5801: 하우징, 5802: 냉장실용 문, 5803: 냉동실용 문, 6800: 인공위성, 6801: 기체, 6802: 태양 전지판, 6803: 안테나, 6804: 행성, 6805: 이차 전지, 6807: 제어 장치

도면

도면1

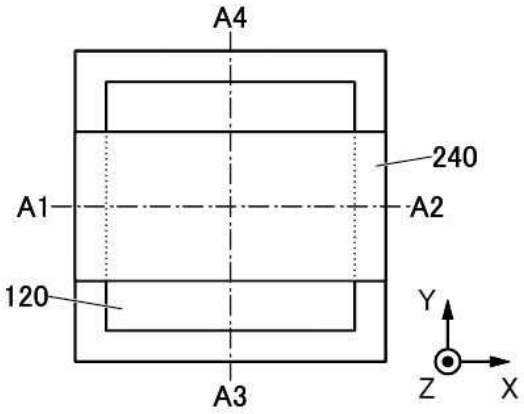


도면2

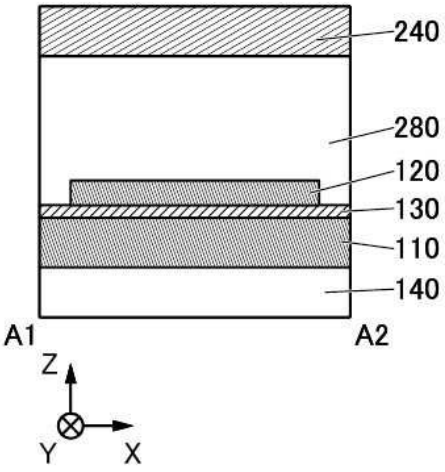

(A)
A4
110,130
A1
A2
120
A3
Y
Z
X
(B)
(C)
120
130
110
140
A1
A2
100
Z
Y
X
120
130
110
140
A3
A4
100
Z
X
Y

도면3

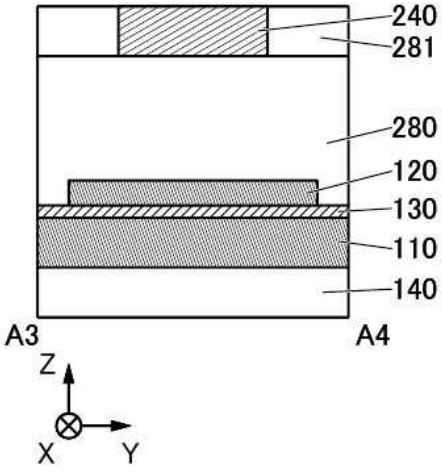
(A)


A4
240
A1
A2
120
A3
Y
Z
X

(B)

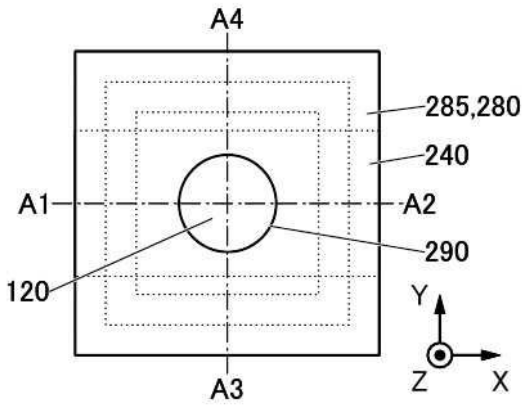

240
280
120
130
110
140
A1
A2
Z
Y
X

(C)

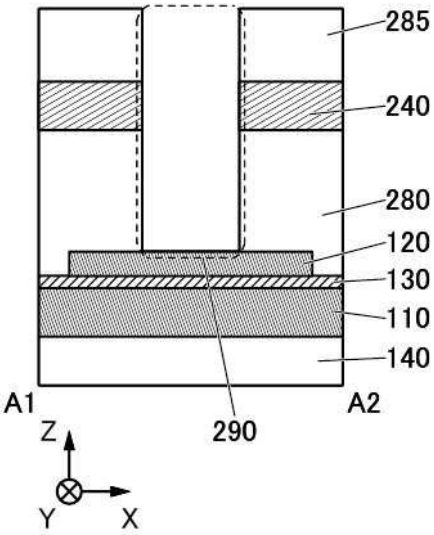

240
281
280
120
130
110
140
A3
A4
Z
X
Y

도면4

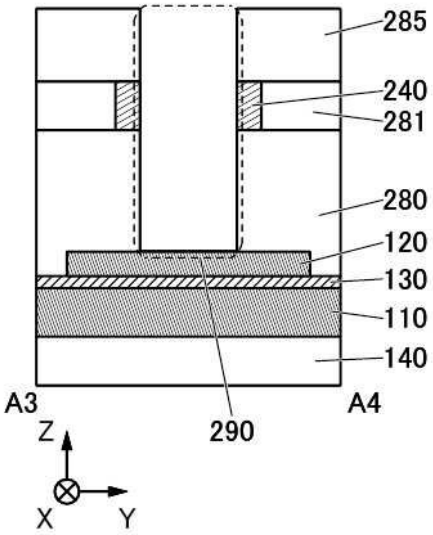
(A)


A4
285,280
240
A1
A2
290
120
A3
Y
Z
X

(B)

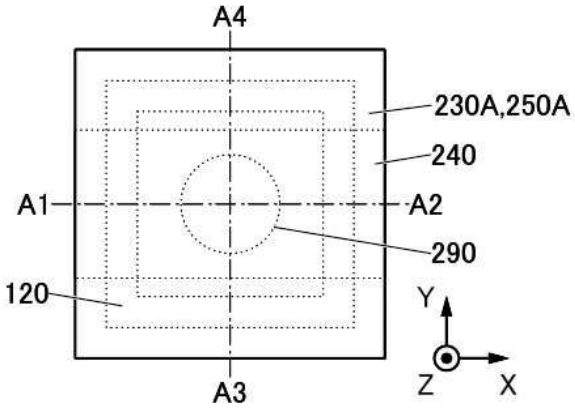

285
240
280
120
130
110
140
A1
A2
290
Z
Y
X

(C)

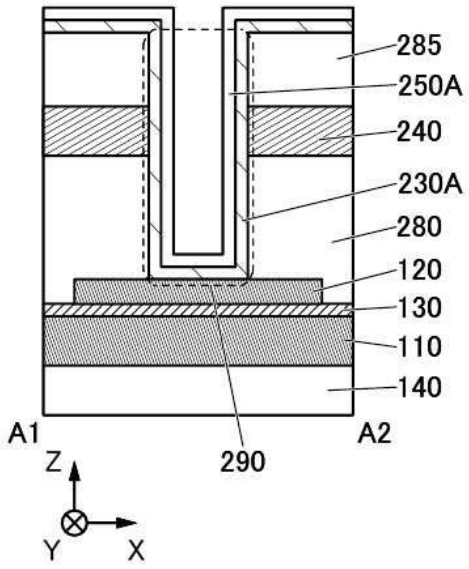

285
240
281
280
120
130
110
140
A3
A4
290
Z
X
Y

도면5

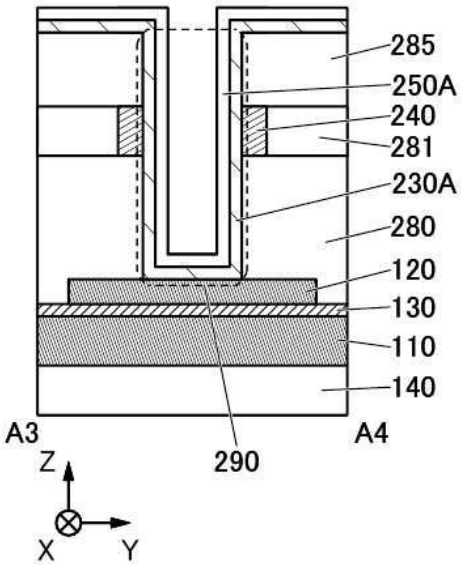
(A)


A4
230A,250A
240
A1
A2
290
120
Y
Z
X
A3

(B)

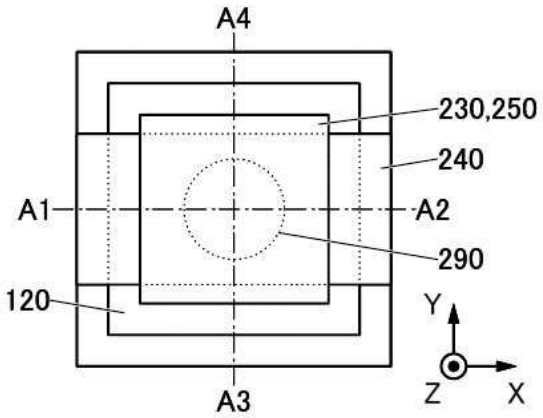

285
250A
240
230A
280
120
130
110
140
A1
A2
290
Z
Y
X

(C)

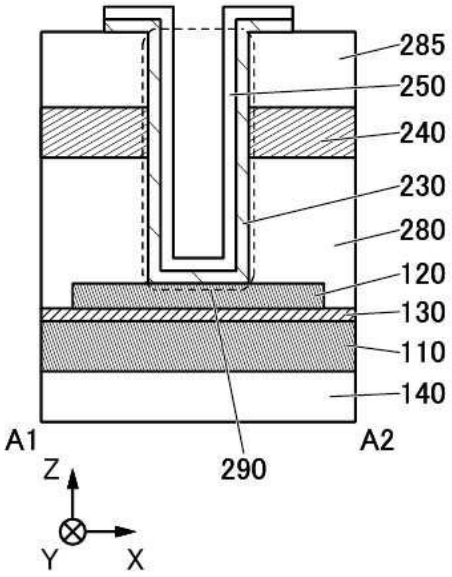

285
250A
240
281
230A
280
120
130
110
140
A3
A4
290
Z
X
Y

도면6

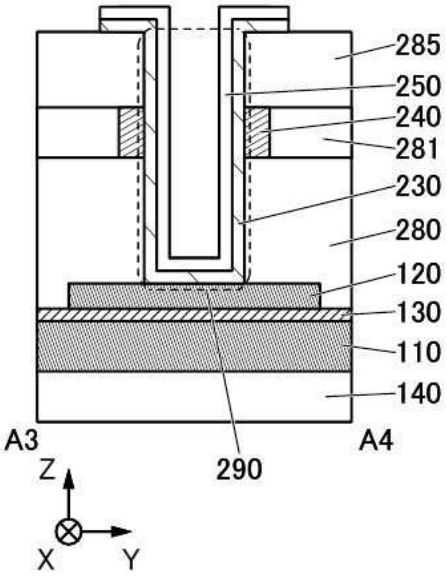
(A)


A4
230,250
240
A1
A2
290
120
Y
Z
X
A3

(B)

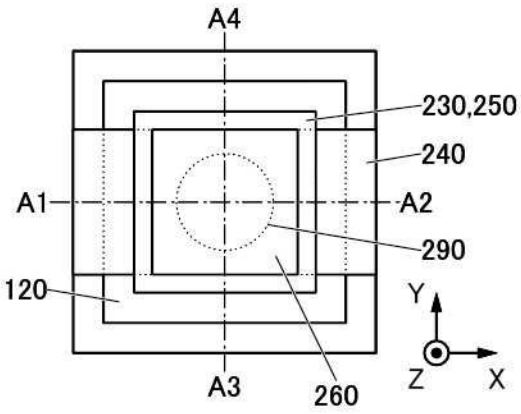

285
250
240
230
280
120
130
110
140
A1
A2
290
Z
Y
X

(C)

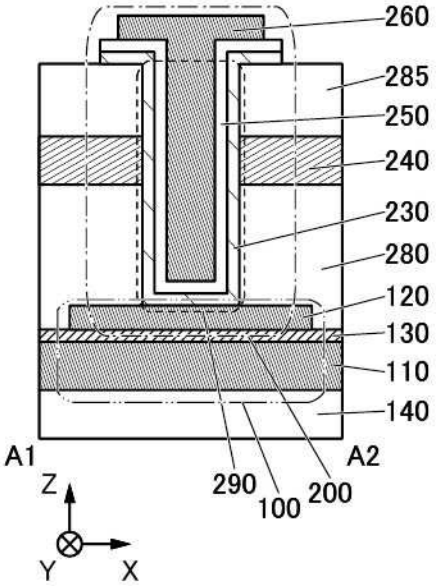

285
250
240
281
230
280
120
130
110
140
A3
A4
290
Z
X
Y

도면7

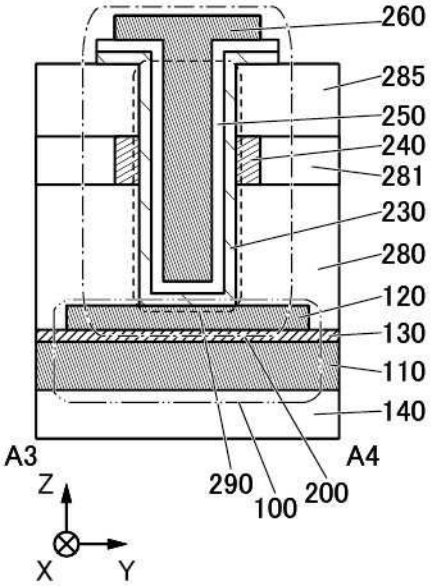
(A)


A4
230,250
240
A1
A2
290
120
Y
Z
X
A3
260

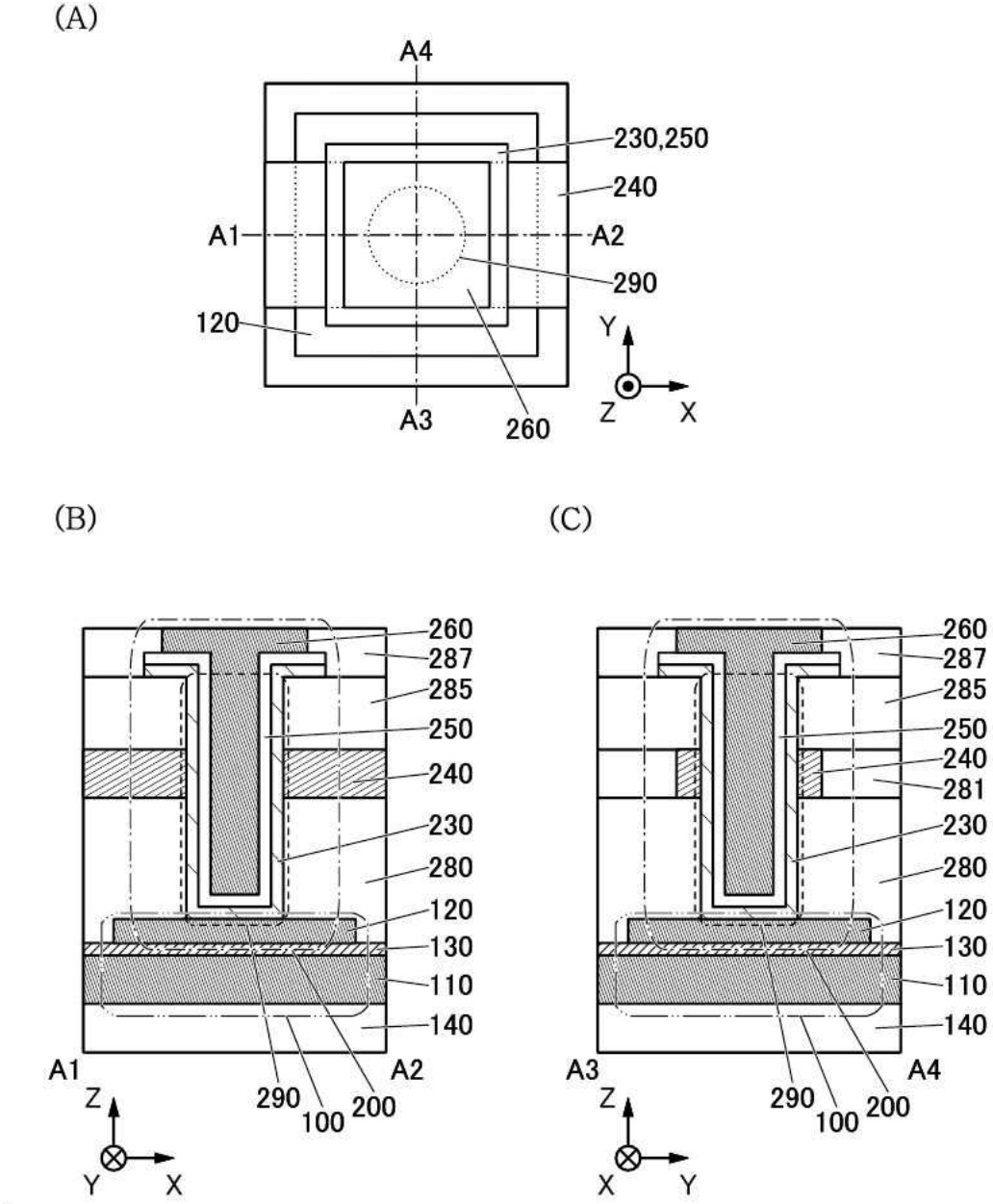
(B)


260
285
250
240
230
280
120
130
110
140
A1
A2
Z
290
100
200
Y
X

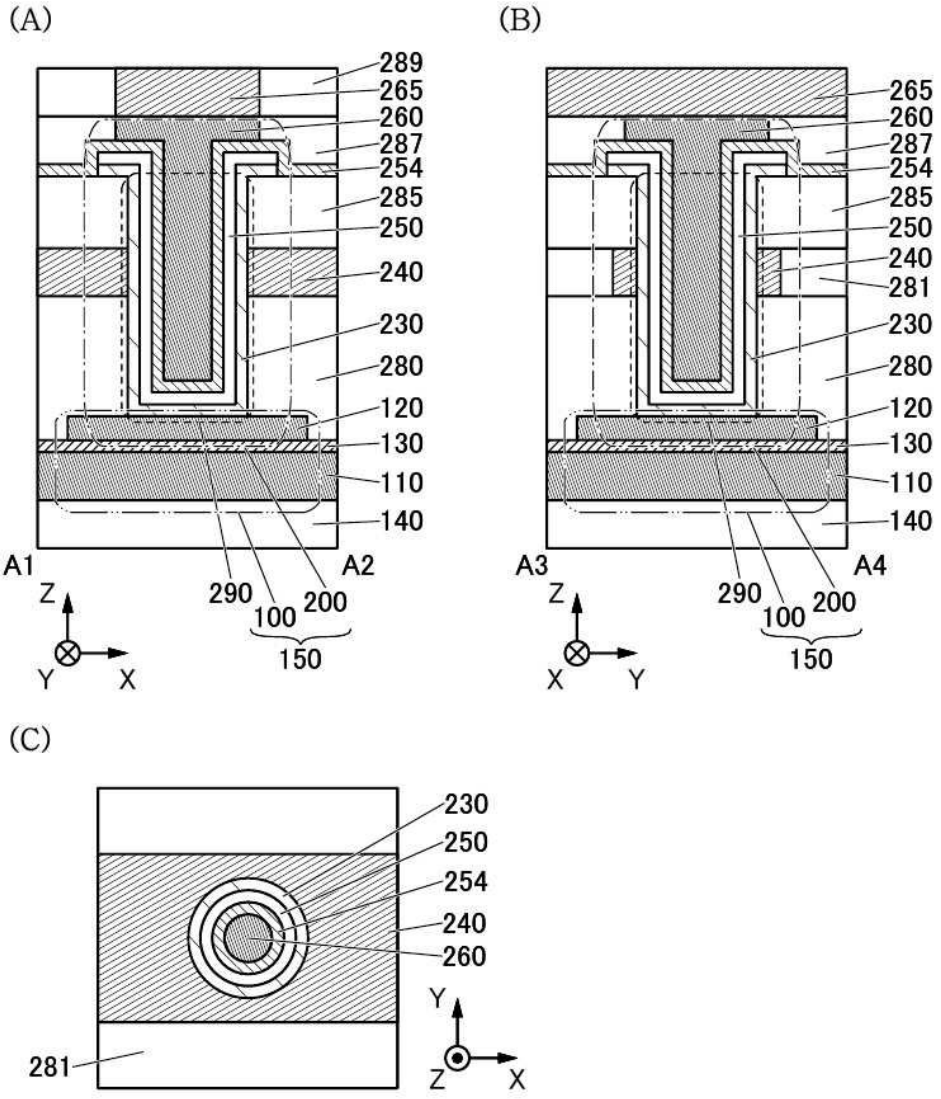
(C)


260
285
250
240
281
230
280
120
130
110
140
A3
A4
Z
290
100
200
X
Y

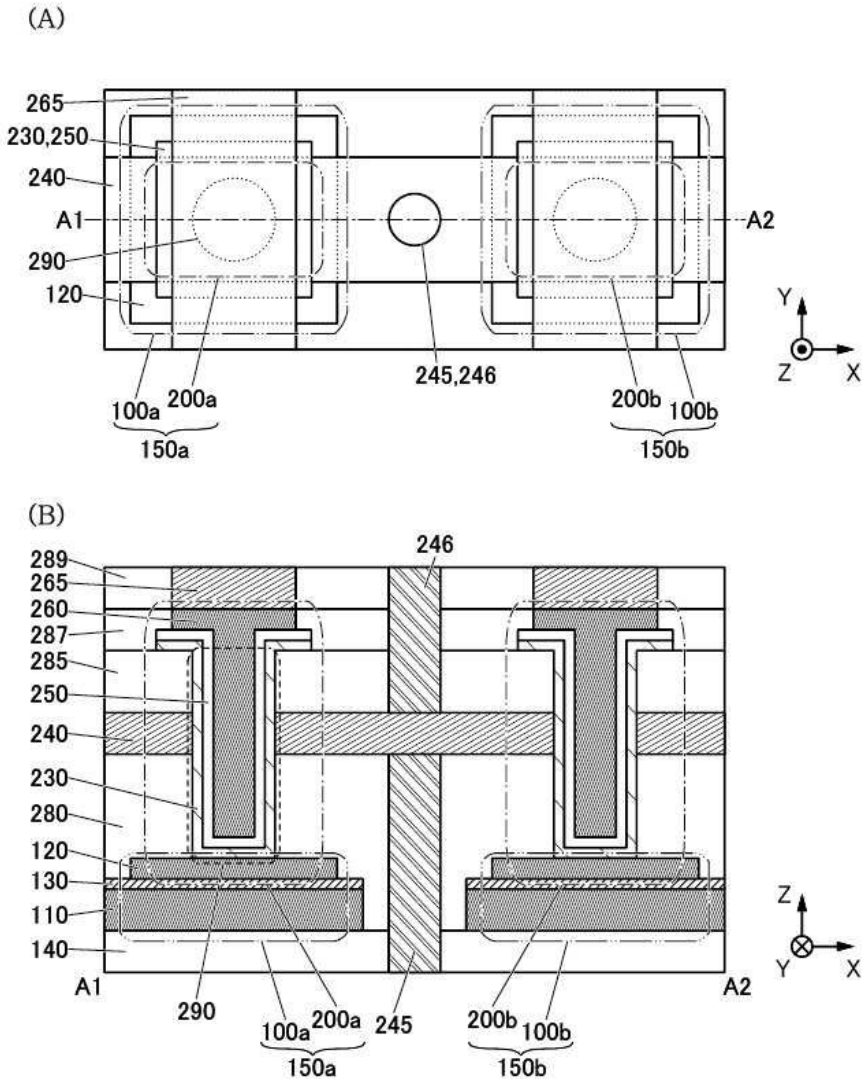
도면8


(A)
A4
230,250
240
A1
A2
290
120
Y
Z
X
A3
260
(B)
(C)
260
287
285
250
240
230
280
120
130
110
140
A1
A2
Z
290
100
200
Y
X
260
287
285
250
240
281
230
280
120
130
110
140
A3
A4
Z
290
100
200
X
Y

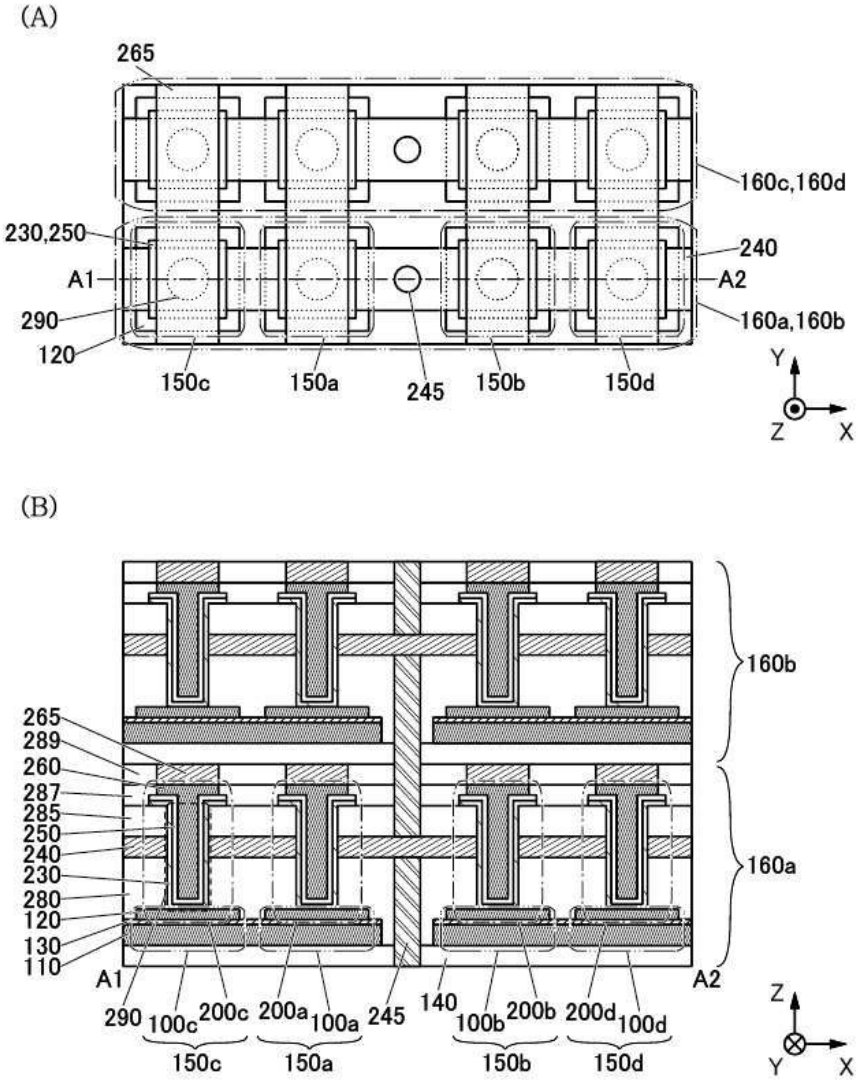
도면9


(A)
289
265
260
287
254
285
250
240
230
280
120
130
110
140
A1
A2
290
100
200
150
Z
Y
X
(B)
265
260
287
254
285
250
240
281
230
280
120
130
110
140
A3
A4
290
100
200
150
Z
X
Y
(C)
230
250
254
240
260
281
Y
Z
X

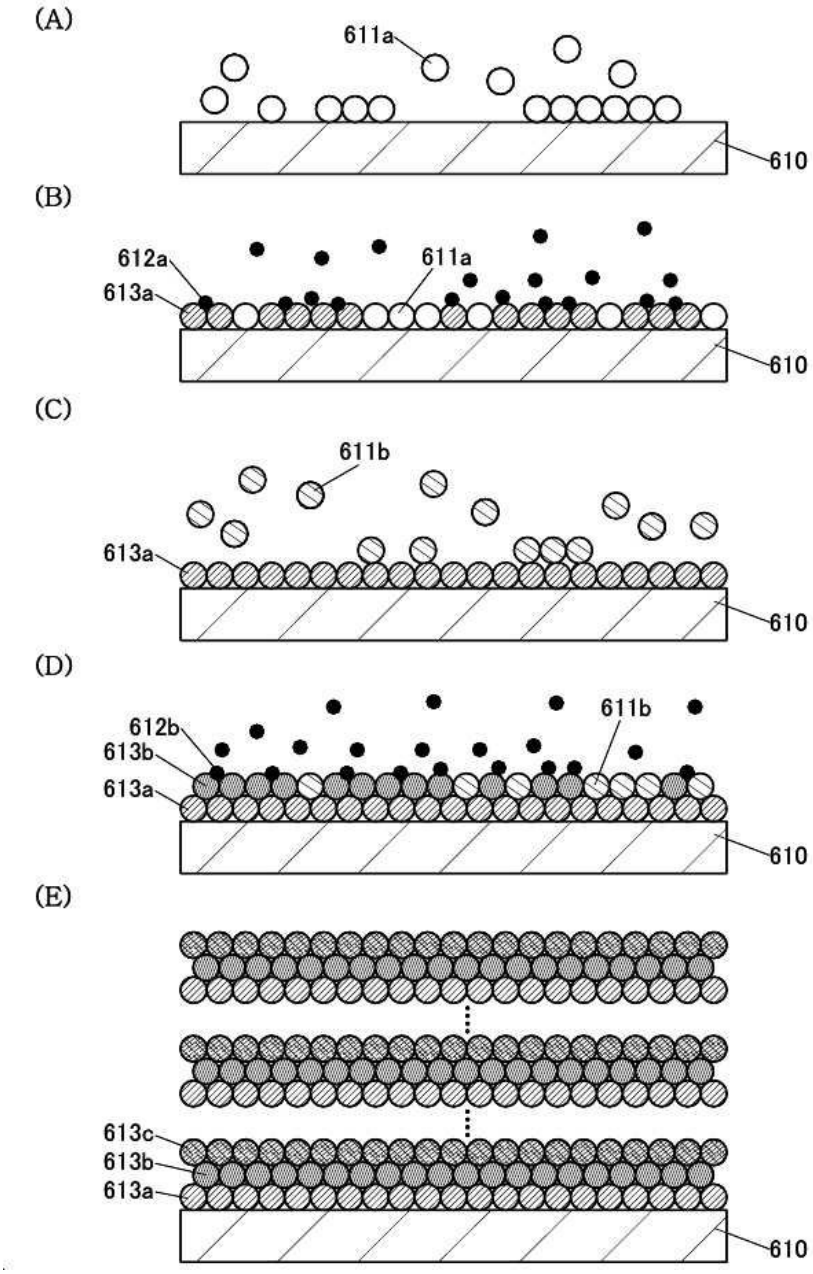
도면10


(A)
265
230,250
240
A1
290
120
A2
Y
Z
X
245,246
100a
200a
150a
200b
100b
150b
(B)
246
289
265
260
287
285
250
240
230
280
120
130
110
140
A1
A2
290
100a
200a
245
200b
100b
150a
150b

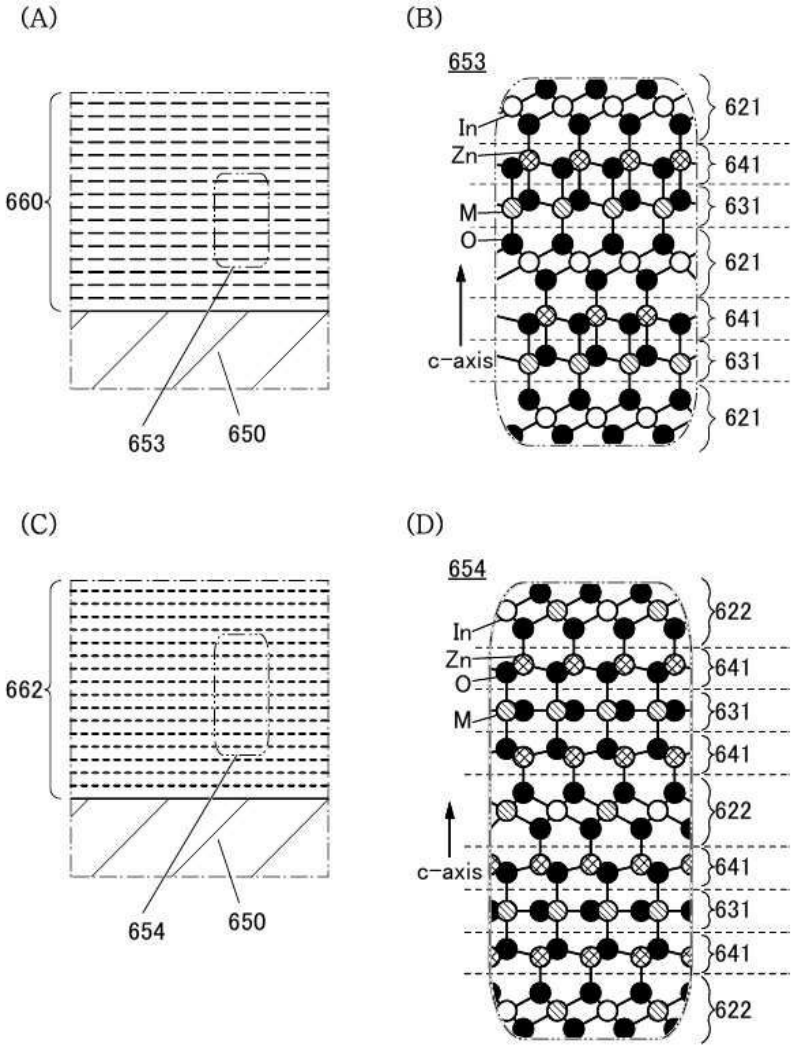
도면11


(A)
265
160c,160d
230,250
240
A1
A2
290
160a,160b
120
150c
150a
245
150b
150d
Y
Z
X
(B)
160b
265
289
260
287
285
250
240
230
280
120
130
110
160a
A1
A2
290
100c
200c
200a
100a
245
140
100b
200b
200d
100d
150c
150a
150b
150d
Z
Y
X

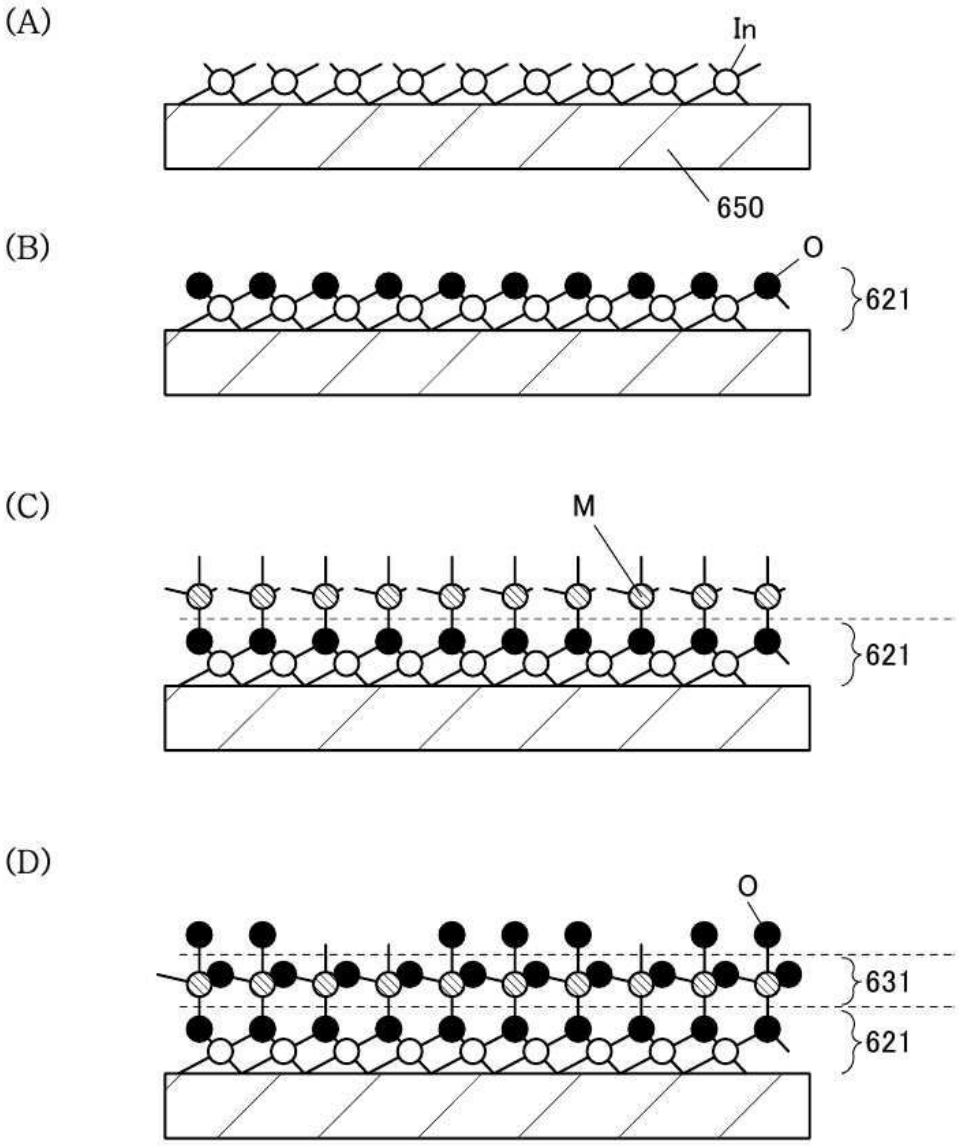
도면12


(A)
611a
610
(B)
612a
611a
613a
610
(C)
611b
613a
610
(D)
612b
611b
613b
613a
610
(E)
613c
613b
613a
610

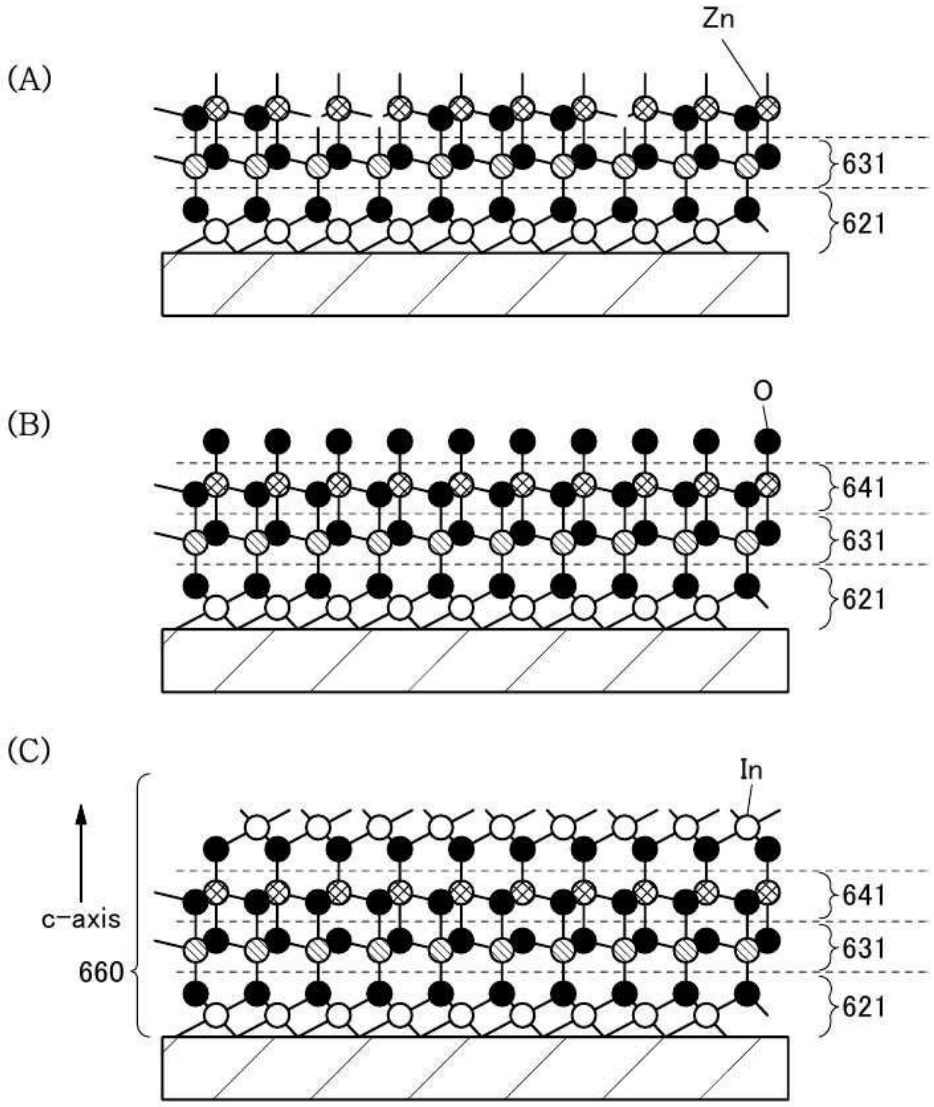
도면13


(A)
660
653
650
(B)
653
In
Zn
M
O
c-axis
621
641
631
621
641
631
621
(C)
662
654
650
(D)
654
In
Zn
O
M
c-axis
622
641
631
641
622
641
631
641
622

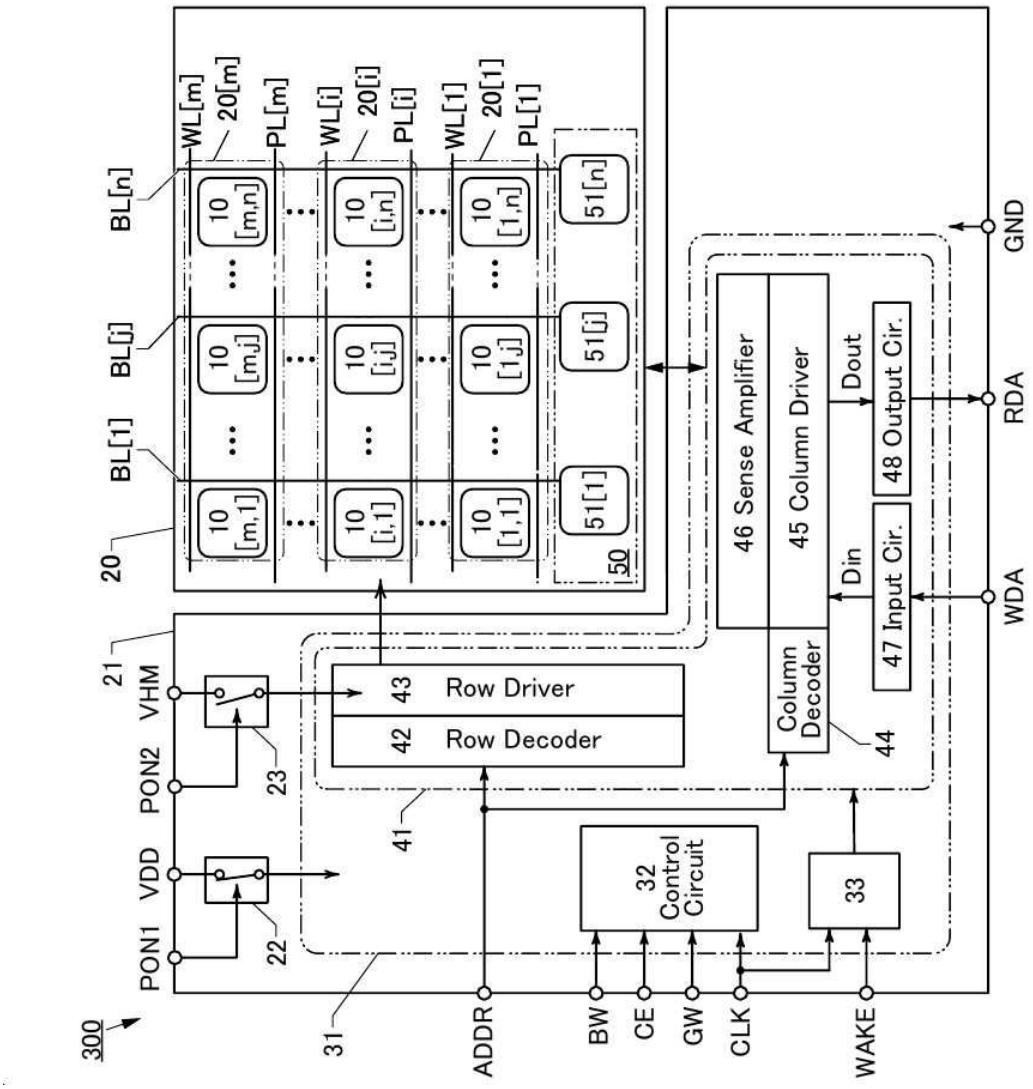
도면14



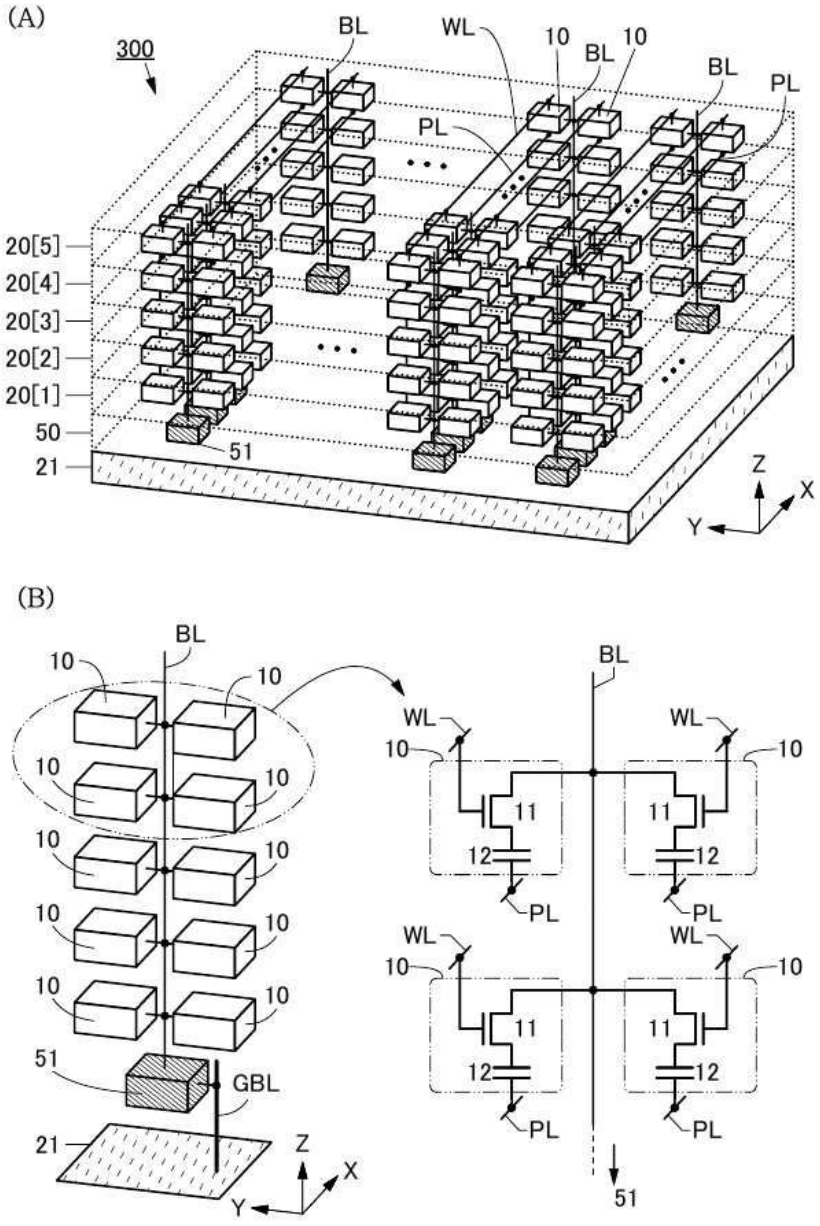
도면15



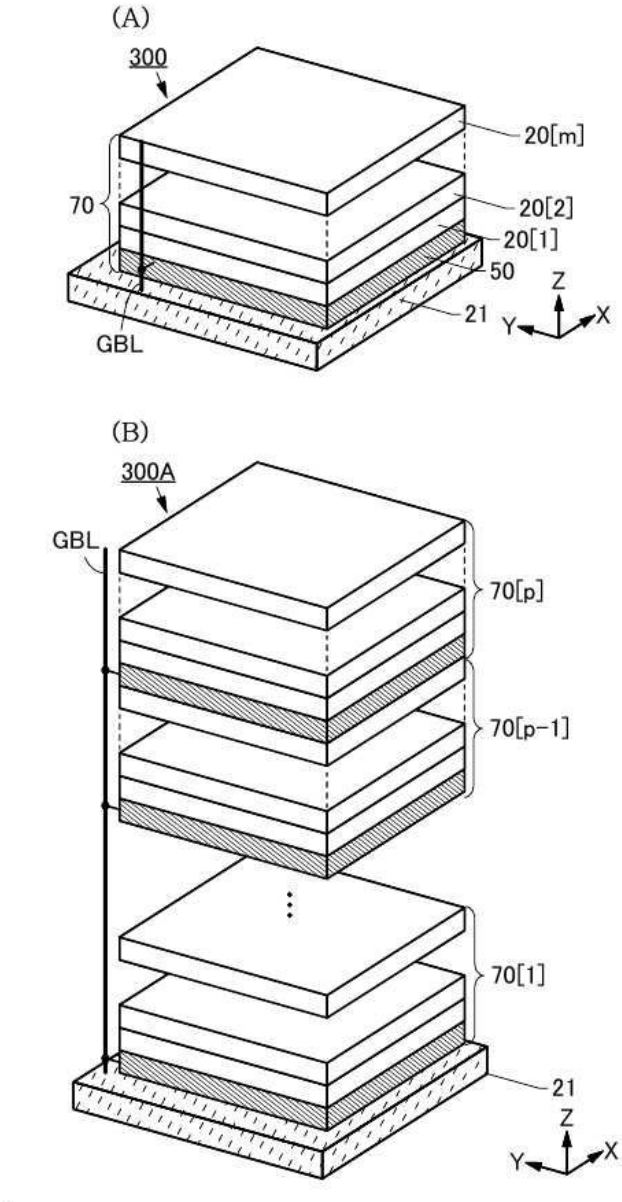
도면16


300
20
21
50
WL[m]
WL[i]
WL[1]
PL[m]
PL[i]
PL[1]
BL[n]
BL[j]
BL[1]
20[m]
20[i]
20[1]
10 [m,n]
10 [m,j]
10 [m,1]
10 [i,n]
10 [i,j]
10 [i,1]
10 [1,n]
10 [1,j]
10 [1,1]
51[n]
51[j]
51[1]
VHM
PON2
VDD
PON1
22
23
41
42 Row Decoder
43 Row Driver
44 Column Decoder
45 Column Driver
46 Sense Amplifier
47 Input Cir.
48 Output Cir.
Din
Dout
32 Control Circuit
33
31
ADDR
BW
CE
GW
CLK
WAKE
GND
RDA
WDA

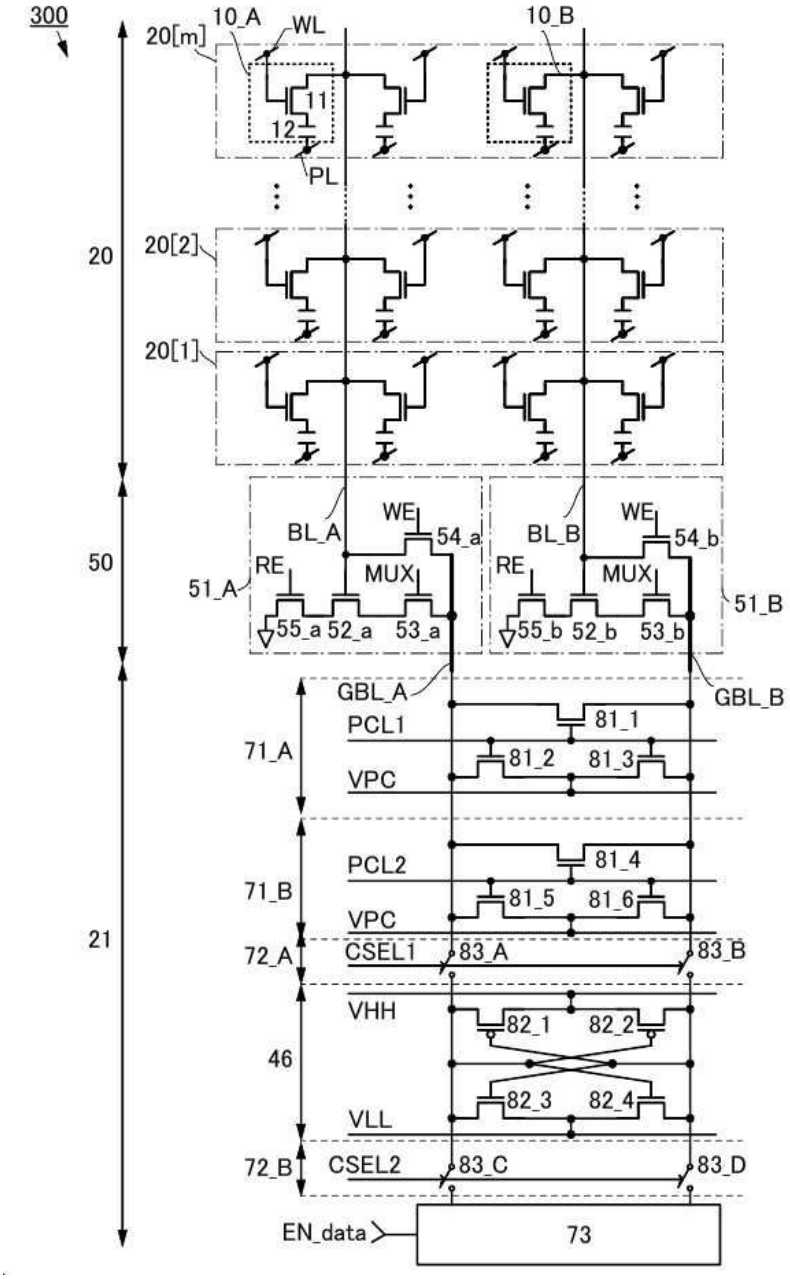
도면17


(A)
300
BL
WL
10
BL
10
BL
PL
PL
20[5]
20[4]
20[3]
20[2]
20[1]
50
21
51
Z
X
Y
(B)
BL
10
10
10
10
10
10
10
10
10
10
10
10
51
GBL
21
Z
X
Y
BL
WL
10
WL
10
11
12
PL
PL
WL
10
WL
10
11
12
PL
PL
51

도면18

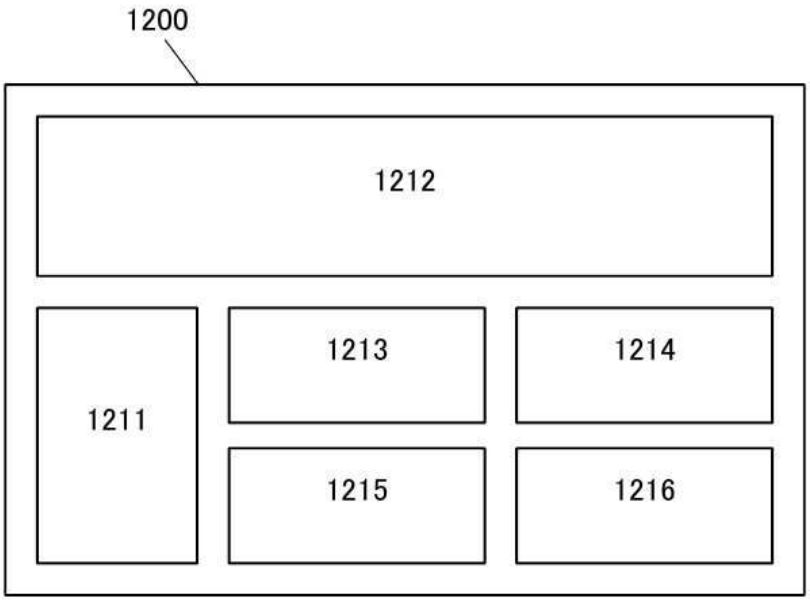


도면19

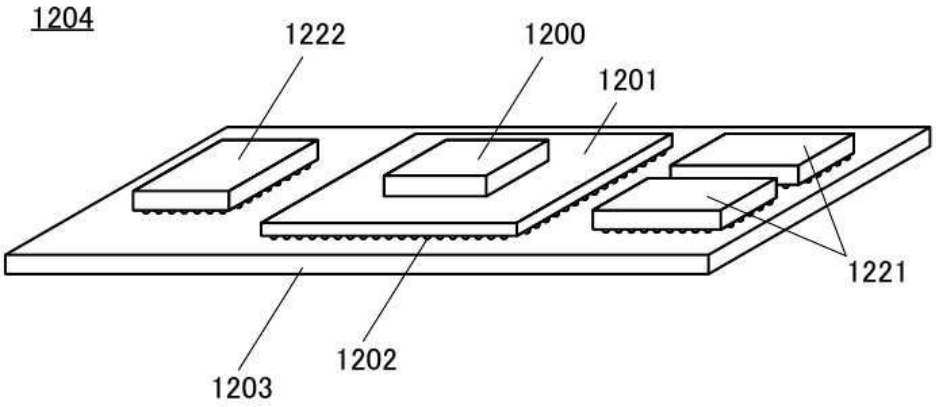

300
20[m]
10_A
WL
10_B
11
12
PL
20
20[2]
20[1]
50
BL_A
WE
54_a
BL_B
WE
54_b
RE
MUX
RE
MUX
51_A
51_B
55_a
52_a
53_a
55_b
52_b
53_b
GBL_A
GBL_B
PCL1
81_1
71_A
81_2
81_3
VPC
PCL2
81_4
71_B
81_5
81_6
VPC
21
72_A
CSEL1
83_A
83_B
VHH
82_1
82_2
46
82_3
82_4
VLL
72_B
CSEL2
83_C
83_D
EN_data
73

도면20

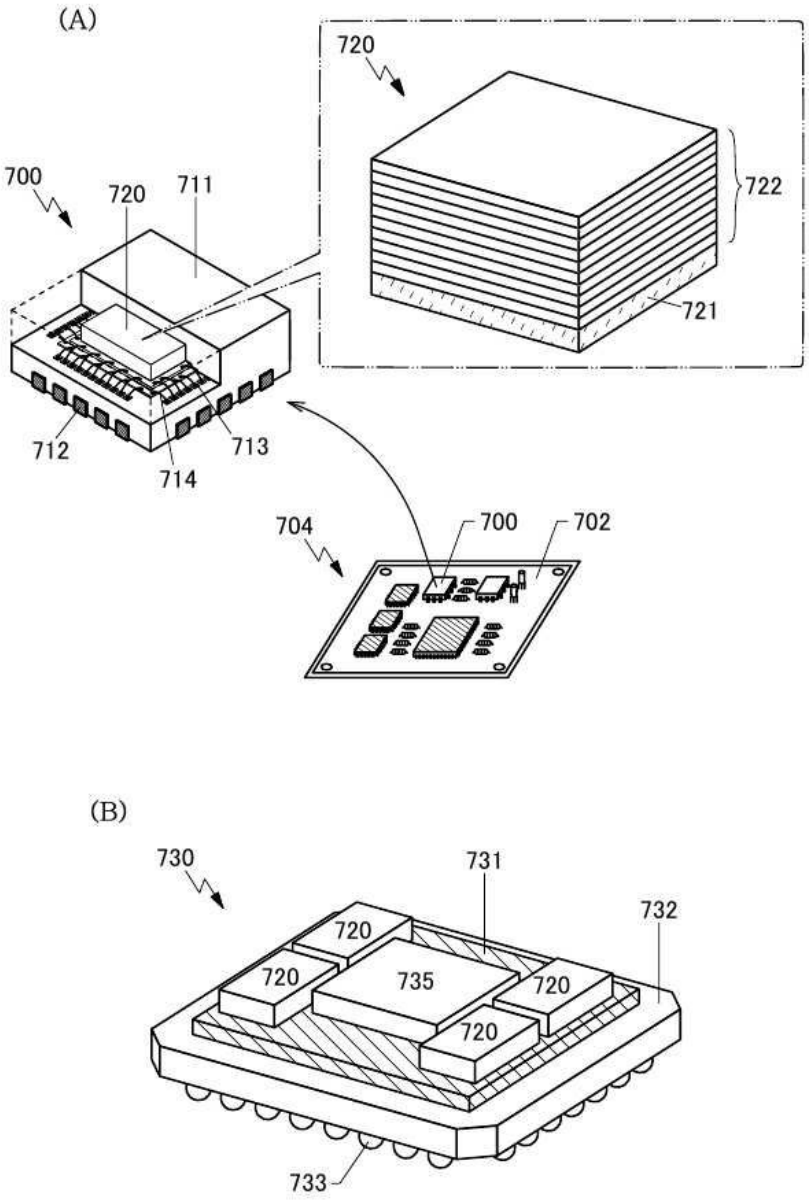
(A)


1200
1212
1211
1213
1214
1215
1216

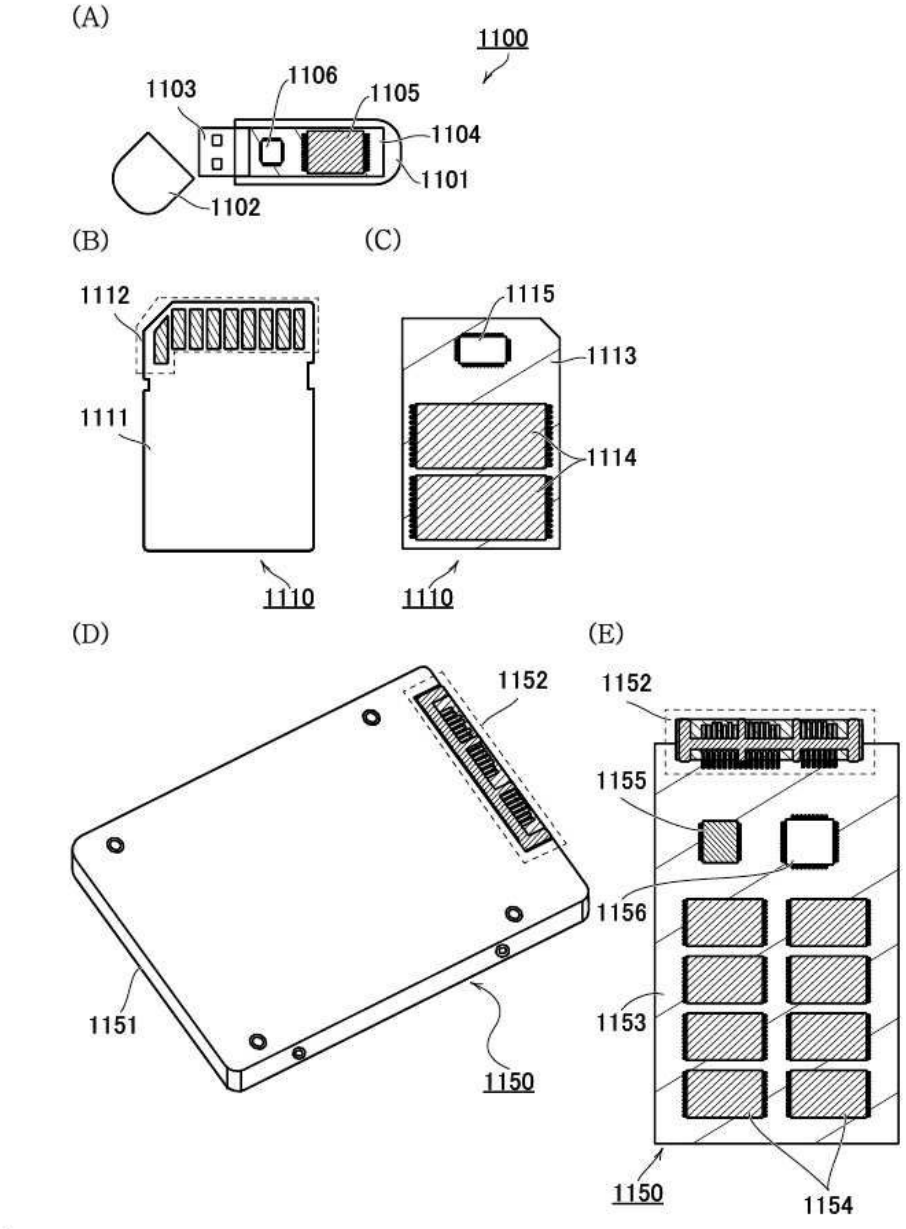
(B)


1204
1222
1200
1201
1221
1203
1202

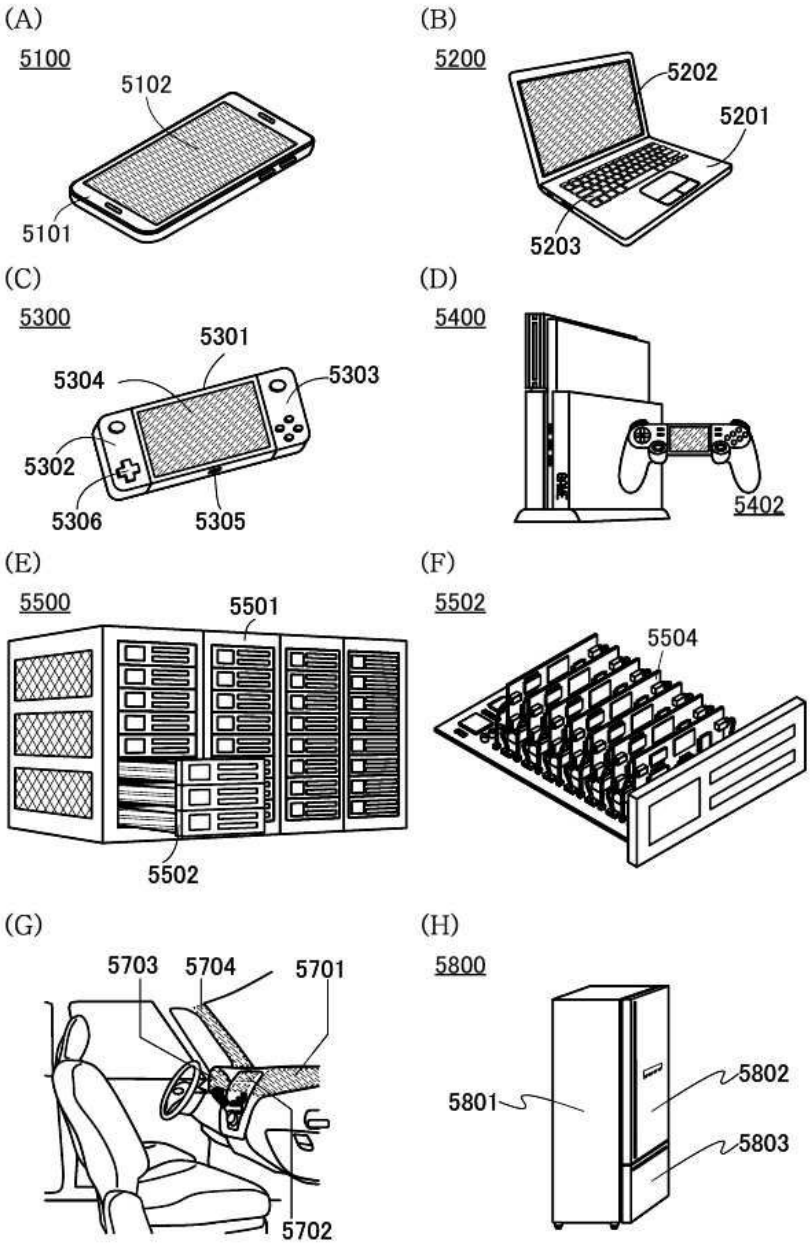
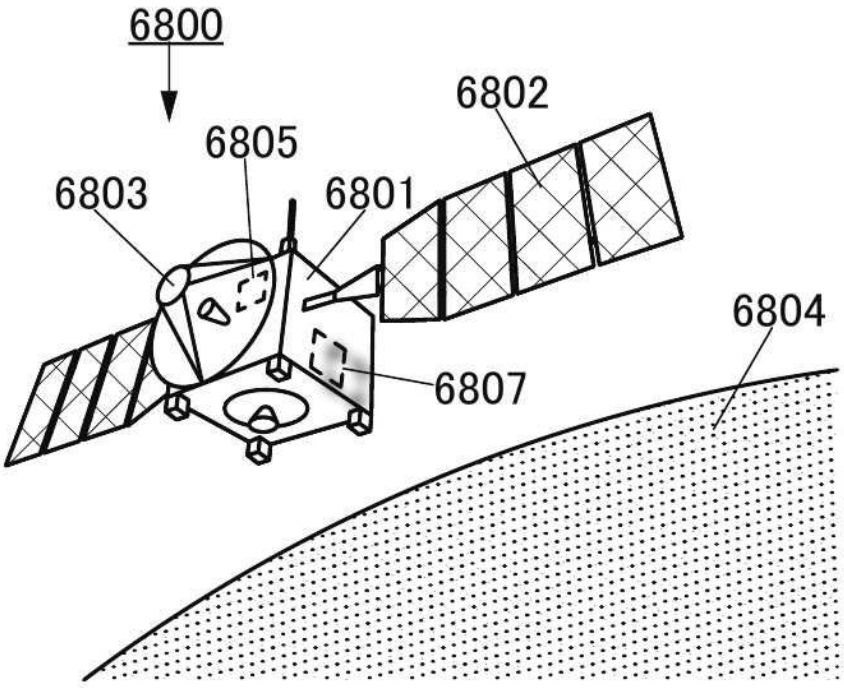
도면21


(A)
720
722
721
700
720
711
712
713
714
704
700
702
(B)
730
731
732
720
720
735
720
720
733

도면22


(A)
1100
1103
1106
1105
1104
1101
1102
(B)
(C)
1112
1111
1110
1115
1113
1114
1110
(D)
(E)
1152
1151
1150
1152
1155
1156
1153
1150
1154

도면23


(A)
5100
5102
5101
(B)
5200
5202
5201
5203
(C)
5300
5301
5304
5303
5302
5306
5305
(D)
5400
5402
(E)
5500
5501
5502
(F)
5502
5504
(G)
5703
5704
5701
5702
(H)
5800
5801
5802
5803

도면24