(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0040887
(43) 공개일자 2020년04월20일

(51) 국제특허분류(Int. Cl.)
H01L 29/49 (2006.01) *H01L 21/02* (2006.01)
H01L 29/786 (2006.01)
(52) CPC특허분류
H01L 29/4908 (2013.01)
H01L 21/02126 (2013.01)
(21) 출원번호 10-2020-7009025
(22) 출원일자(국제) 2018년10월17일
심사청구일자 2020년03월27일
(85) 번역문제출일자 2020년03월27일
(86) 국제출원번호 PCT/JP2018/038616
(87) 국제공개번호 WO 2019/087784
국제공개일자 2019년05월09일
(30) 우선권주장
JP-P-2017-210449 2017년10월31일 일본(JP)

(71) 출원인
가부시키가이샤 아루박
일본 가나가와껭 찌가사끼시 하기소노 2500반찌
(72) 발명자
기쿠치 토루
일본국 2538543 가나가와 찌가사끼시 하기소노 2500 가부시키가이샤 아루박내
오소노 슈지
일본국 2538543 가나가와 찌가사끼시 하기소노 2500 가부시키가이샤 아루박내
(뒷면에 계속)
(74) 대리인
특허법인한성

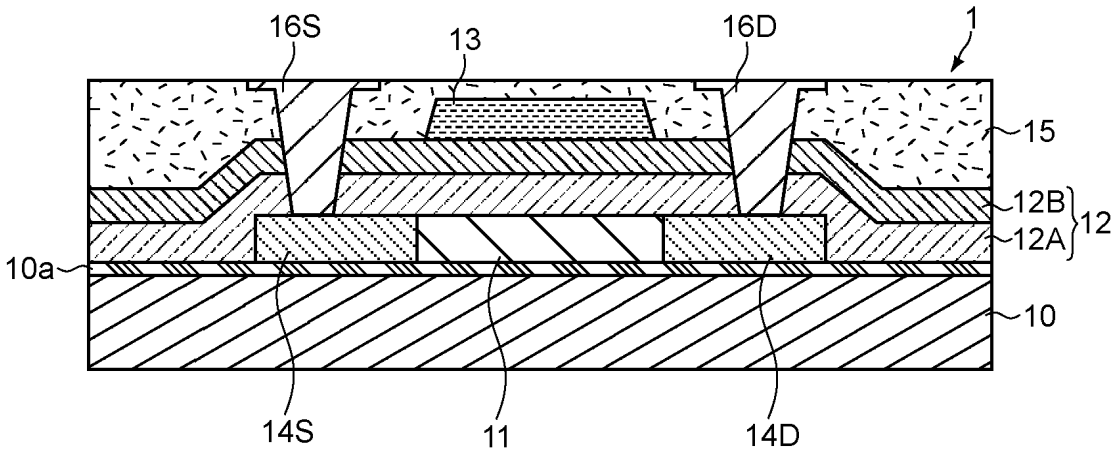
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **박막 트랜지스터 및 그 제조방법**

(57) 요 약

본 발명에 1형태에 따른 박막 트랜지스터의 제조방법은 기판 상에 활성층을 형성하는 것을 포함한다. 소스 영역 및 드레인 영역이 상기 활성층과 전기적으로 접속 가능하게 형성된다. 상기 활성층의 표면에, 산화 규소로 구성되는 제1 금속 산화물층이 플라스마 CVD에 의해 형성된다. 상기 제1 금속 산화물층의 표면에, 산화알루미늄으로 구성되는 제2 금속 산화물층이 ALD에 의해 형성된다. 상기 제2 금속 산화물층의 표면에 게이트 전극이 형성된다.

대 표 도 - 도1



(52) CPC특허분류
H01L 21/0217 (2013.01)
H01L 21/02175 (2013.01)
H01L 21/02274 (2013.01)
H01L 21/0228 (2013.01)
H01L 21/0234 (2013.01)
H01L 29/78675 (2013.01)
(72) 발명자
오타 아츠시
일본국 2538543 가나가와 찌가사끼시 하기소노 2500 가부시키가이샤 아루박내
자마 히데아키
일본국 2538543 가나가와 찌가사끼시 하기소노 2500 가부시키가이샤 아루박내
아사리 신
일본국 2538543 가나가와 찌가사끼시 하기소노 2500 가부시키가이샤 아루박내

명 세 서

청구범위

청구항 1

기판 상에 활성층을 형성하고,

소스 영역 및 드레인 영역을, 상기 활성층과 전기적으로 접속 가능하게 형성하고,

상기 활성층의 표면에, 산화 규소로 구성되는 제1 금속 산화물층을 플라스마 CVD에 의해 형성하고,

상기 제1 금속 산화물층의 표면에, 산화알루미늄으로 구성되는 제2 금속 산화물층을 ALD에 의해 형성하고,

상기 제2 금속 산화물층의 표면에, 게이트 전극을 형성하는,

박막 트랜지스터의 제조방법.

청구항 2

제1 항에 있어서,

상기 제1 금속 산화물층과 상기 제2 금속 산화물층 사이에 수소 풍부한 중간층을 형성하는 공정과,

상기 중간층을 아닐링 처리하는 공정,

을 추가로 포함하는 박막 트랜지스터의 제조방법.

청구항 3

제2 항에 있어서,

상기 제1 금속 산화물층을 수소 플라스마 처리하는 것에 의해서 상기 중간층을 형성하는, 박막 트랜지스터의 제조방법.

청구항 4

제2 항에 있어서,

상기 제1 및 제2금속 산화물층 사이에 질화규소 또는 산질화규소의 층을 형성하는 것에 의해서 상기 중간층을 형성하는, 박막 트랜지스터의 제조방법.

청구항 5

제4 항에 있어서,

상기 제1 금속 산화물층을 형성하는 공정과, 상기 질화규소 또는 산질화규소의 층을 형성하는 공정은 동일 챔버 내에서 수행되는, 박막 트랜지스터의 제조방법.

청구항 6

제1 항 내지 제5 항 중 어느 한 항에 있어서,

상기 제1 금속 산화물층을 형성하는 공정과, 상기 제2 금속 산화물층을 형성하는 공정은 진공 분위기 중에서 연속해서 수행되는 박막 트랜지스터의 제조방법.

청구항 7

게이트 전극과,

폴리실리콘으로 구성된 활성층과,

상기 활성층과 전기적으로 접속되는 소스 영역 및 드레인 영역과,

상기 게이트 전극과 상기 활성층 사이에 배치되고, 산화 규소로 구성된 제1 금속 산화물층과, 상기 제1 금속 산화물층과 상기 게이트 전극 사이에 배치되고, 산화알루미늄으로 구성된 제2 금속 산화물층,

을 포함하는 게이트 절연막을 구비하는 박막 트랜지스터.

청구항 8

제7 항에 있어서,

상기 게이트 절연막은 상기 제1 금속 산화물층과 상기 제2 금속 산화물층 사이에, 질화규소를 포함하는 중간층을 추가로 포함하는 박막 트랜지스터.

청구항 9

제7 항에 있어서,

상기 게이트 절연막은 상기 제1 금속 산화물층과 상기 제2 금속 산화물층 사이에, 산질화규소를 포함하는 중간층을 추가로 포함하는 박막 트랜지스터.

청구항 10

제8 항 또는 제9 항에 있어서,

상기 중간층의 두께는 3nm 이상 10nm 이하인 박막 트랜지스터.

발명의 설명

기 술 분 야

[0001] 본 발명은 다층 구조의 게이트 절연막을 가지는 박막 트랜지스터 및 그 제조방법에 관한 것이다.

배 경 기 술

[0002] LTPS 박막 트랜지스터(Low Temperature Poly Silicon TFT)는 이동도가 높고, 유기 EL 표시 장치나 액정 표시 장치에 사용된다. 예를 들면 특허문헌 1에는 LTPS를 활성층에 사용한 박막 트랜지스터가 개시되어 있다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 일본 공개특허공보 2010-98149호

발명의 내용

해결하려는 과제

[0004] 통상, 폴리실리콘을 사용한 박막 트랜지스터는 폴리실리콘 상에 게이트 절연막, 게이트 전극의 순으로 제작된다. 그렇지만, 게이트 절연막의 피복율이 나쁘면, 요철이 있는 폴리실리콘 상에 게이트 절연막이 균일하게 형성되지 않는다. 그 때문에 게이트 전극과 폴리실리콘과 사이에 리크 전류가 흐르게 되어, 화상에 얼룩이 발생하는 등의 표시장치 상의 문제가 발생한다.

[0005] 이상과 같은 사정을 감안하여, 본 발명의 목적은 피복율이 높고 트랜지스터 특성 뛰어난 박막 트랜지스터 및 그 제조방법을 제공하는 것에 있다.

과제의 해결 수단

[0006] 상기 목적을 달성하기 위해서, 본 발명에 1형태에 따른 박막 트랜지스터의 제조방법은 기판 상에 활성층을 형성하는 것을 포함한다.

[0007] 소스 영역 및 드레인 영역이 상기 활성층과 전기적으로 접속 가능하게 형성된다.

[0008] 상기 활성층의 표면에 산화 규소로 구성되는 제1 금속 산화물층이 플라스마 CVD에 의해 형성된다.

[0009] 상기 제1 금속 산화물층의 표면에, 산화알루미늄으로 구성되는 제2 금속 산화물층이 ALD에 의해 형성된다.

[0010] 상기 제2 금속 산화물층의 표면에 게이트 전극이 형성된다.

[0011] 상기 제조방법에서는 게이트 절연막으로서, 제1 및 제2 금속 산화물층이 차례로 형성된다. 제2 금속 산화물층이 ALD에 의해 막 형성된 산화 알루미늄막으로 구성되므로, 플라스마 CVD에 의해 막 형성되는 산화 규소 단일막에 의한 게이트 절연막과 비교해서 높은 피복율이 수득된다. 이것에 의해, 게이트 전극과 활성층 사이의 리크 전류를 효과적으로 방지할 수 있고, 양호한 임계값 전압제어가 가능한 박막 트랜지스터를 제조하는 것이 가능하게 된다.

[0012] 또, 이렇게 게이트 절연막을 다층으로 형성함으로써, 산화 규소 단일막에 의한 게이트 절연막과 비교해서 겉보기의 유전율이 높아진다. 이것에 의해, 활성층의 전하 이동도가 개선된다.

[0013] 상기 제1 금속 산화물층과 상기 제2 금속 산화물층 사이에 수소 풍부한 중간층을 형성하는 공정과, 상기 중간층을 아닐링 처리하는 공정을 추가로 포함할 수도 있다.

[0014] 이 제조방법에 의하면, 수소 풍부한 중간층에 포함되는 다량의 수소 원자가 아닐링에 의해서, 활성층과 제1 금속 산화물층의 계면으로 이동한다. 다량의 수소 원자는 상기 계면에 존재하는 단글링 본드를 종단하고, 계면준위밀도를 저하시킨다. 이것에 의해, 게이트 전극과 활성층 사이의 리크 전류를 방지하고, 양호한 스위칭 특성을 가지는 박막 트랜지스터를 제조하는 것이 가능하게 된다.

[0015] 또, 이 제조방법에 의하면, 제2 금속 산화물층이 배리어층으로 작용하고, 제1 금속 산화물층 및 중간층에 포함되는 수소 원자가 아닐링에 의해서, 활성층과 제1 금속 산화물층의 계면으로 이동하기 쉬워진다. 이것에 의해, 상기 계면의 결함 수복 효과를 높이는 것이 가능하게 된다.

[0016] 상기 제1 금속 산화물층을 수소 플라스마 처리하는 것에 의해서 상기 중간층을 형성할 수 있다.

[0017] 상기 제1 및 제2금속 산화물층 사이에 질화규소 또는 산질화 규소의 층을 형성하는 것에 의해서 상기 중간층을 형성할 수 있다.

[0018] 상기 제1 금속 산화물층을 형성하는 공정과, 상기 질화규소 또는 산질화 규소의 층을 형성하는 공정은 동일 챔버 내에서 수행될 수 있다. 이렇게, 기판처리를 동일 챔버 내에서 실시하는 것에 의해, 기판의 교체에 동반하는 기판 표면의 오염을 방지하는 것이 가능하게 된다. 또, 기판 교체의 시간이나 기기의 코스트를 삭감하는 것이 가능하게 된다.

[0019] 상기 제1 금속 산화물층을 형성하는 공정과, 상기 제2 금속 산화물층을 형성하는 공정은 진공 분위기 중에서 연속해서 수행될 수 있다.

[0020] 이렇게, 기판처리를 진공 일관으로 함으로써, 가스나 공기에 의한 기판 표면의 오염을 방지하는 것이 가능하게 된다.

[0021] 본 발명에 1형태에 따른 박막 트랜지스터는 게이트 전극과, 활성층과, 소스 영역 및 드레인 영역과, 게이트 절연막을 구비한다.

[0022] 상기 활성층은 폴리실리콘으로 구성된다.

[0023] 상기 소스 영역 및 드레인 영역은 상기 활성층과 전기적으로 접속된다.

[0024] 상기 게이트 절연막은 제1 금속 산화물층과, 제2 금속 산화물층을 포함한다.

[0025] 상기 제1 금속 산화물층은 산화 규소로 구성되고, 상기 게이트 전극과 상기 활성층 사이에 배치된다.

[0026] 상기 제2 금속 산화물층은 산화알루미늄으로 구성되고, 상기 제1 금속 산화물층과 상기 게이트 전극 사이에 배치된다.

[0027] 상기 게이트 절연막은 상기 제1 금속 산화물층과 상기 제2 금속 산화물층 사이에, 질화규소를 포함하는 중간층을 추가로 포함할 수도 있다.

[0028] 상기 게이트 절연막은 상기 제1 금속 산화물층과 상기 제2 금속 산화물층 사이에, 산질화 규소를 포함하는 중간층을 추가로 포함할 수도 있다.

[0029] 상기 중간층의 두께는 3nm 이상 10nm 이하일 수도 있다.

[0030] 중간층은 수소 원자의 공급원으로서만 작용하기 때문에 3nm 이상 10nm 이하의 두께로 충분한 양의 수소를 계면에 공급하는 것이 가능하게 된다.

발명의 효과

[0031] 이상에서 설명한 바와 같이, 본 발명에 의하면, 피복율이 높고 트랜지스터 특성이 뛰어난 게이트 절연막을 가지는 박막 트랜지스터 및 그 제조방법을 제공할 수 있다.

도면의 간단한 설명

[0032] 도 1은 본 발명에 1실시형태에 따른 박막 트랜지스터의 구성을 나타내는 개략적인 단면도이다.

도2는 상기 박막 트랜지스터의 제조방법을 설명하는 공정 단면도이다.

도 3은 상기 박막 트랜지스터의 제조방법을 설명하는 공정 단면도이다.

도 4는 본 발명에 1형태에 따른 박막 트랜지스터의 제조에 사용되는 플라스마 CVD 장치의 개략도이다.

도 5는 본 발명에 1형태에 따른 박막 트랜지스터의 제조에 사용되는 ALD 장치의 개략도이다.

도 6은 상기 박막 트랜지스터의 제조방법을 설명하는 공정 단면도이다.

도 7은 상기 박막 트랜지스터의 제조방법을 설명하는 공정 단면도이다.

도 8은 상기 박막 트랜지스터의 제조방법을 설명하는 공정 단면도다.

도 9는 각 금속 산화물 박막의 플랫 밴드 전압을 나타내는 1실험 결과이다.

도 10은 Al_2O_3 박막의 CV 커브를 나타내는 1실험 결과이다.

도 11은 TEOS-SiO_x와 Al_2O_3의 2층 구조의 박막 CV 커브를 나타내는 1실험 결과이다.

도 12는 상기 박막 트랜지스터의 제1 금속 산화물층의 막두께와 플랫 밴드 전압과의 관계를 나타내는 도면이다.

도 13은 상기 박막 트랜지스터의 제1 금속 산화물층의 막두께와 히스테리시스 특성과의 관계를 나타내는 도면이다.

도 14는 상기 박막 트랜지스터의 제1 금속 산화물층의 막두께와 계면준위밀도와의 관계를 나타내는 도면이다.

도 15는 본 발명의 제2 실시형태에 따른 박막 트랜지스터의 구성을 나타내는 개략적인 단면도이다.

도 16은 상기 박막 트랜지스터의 중간층 막두께와 계면준위밀도와의 관계를 나타내는 도면이다.

도 17은 본 발명의 제3 실시형태에 따른 박막 트랜지스터의 구성을 나타내는 개략적인 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0033] **[LTPS-TFT의 개요]**

[0034] LTPS에 사용되는 게이트 절연막에는 일반적으로, TEOS-SiO_X가 사용되고 있다. TEOS-SiO_X에 사용되는 게이트 절연막은 SiH_4-SiO로 작성된 게이트 절연막에 비해, 박막 트랜지스터 특성이 우수하다. 구체적으로는, TEOS-SiO_X에서는 플랫 밴드 전압이 이상값에 가깝고, 박막 트랜지스터의 임계값 전압제어가 비교적 용이한, 박막 트랜지스터 특성의 장기 안정성이 뛰어난, 계면의 결함 준위밀도가 작다는 등의 특징이 있다.

[0035] 그런데, TEOS-SiO_X막은 디바이스 패턴에 대한 양호한 피복율이 수득되기 어렵다는 문제가 있다. 탑 게이트형의 LTPS-TFT의 막 구조는 활성층으로서의 폴리실리콘 상에 게이트 절연막 및 게이트 전극이 차례로 형성된다. 요철이 있는 폴리실리콘 상에 형성되는 게이트 절연막의 피복율이 나쁘면, 게이트 절연막이 균일하게 형성되지 않고, 게이트 전극과 폴리실리콘 사이에 리크 전류가 흐르게 되고, 화상에 얼룩이 발생해버리는 등의 표시장치상의 문제가 되어 버린다.

[0036] 표시장치의 화소부분의 개구율을 올리기 위해서, 또 화소 이외의 주변회로의 소비전력을 내리기 위해서는 동작

전압을 내릴 필요가 있다. 이것들의 대책을 실시하기 위해서는 박막 트랜지스터의 이동도를 크게 할 필요가 있고, 그것을 위해서는 게이트 절연막의 박막화가 필요하다. 그러나 게이트 절연막의 박막화는 리크 전류의 증가를 초래하기 때문에, 게이트 절연막의 박막화에는 한계가 있다.

[0037] 그래서 최근, 트랜지스터 특성이 뛰어난 동시에, 요철에 대한 피복율이 우수한 게이트 절연막 특성이 표시장치의 특성 개선에 필요한 기술로서 주목받고 있다.

[0038] 요철에 대한 피복율이 우수한 절연막 막형성 기술로서, 원자층 퇴적법(ALD)이 알려지고 있다. 이것은, 2종류 이상의 원료 가스를 차례로 기판 표면에 공급하고, 원자층 제어된 박막을 형성하는 수법이다. ALD는 원료를 기판 표면에 공급했을 때에, 1분자층에서 흡착·반응이 자기 정지하는 기능을 사용하고 있고, 이것에 의해 기판의 요철에 대한 균일 착생성(throwing power of electrolytic colouring)이 매우 뛰어나고, 피복율로서는 거의 100%인 절연막의 형성방법이다.

[0039] 그런데 ALD 기술로 형성된 Al_2O_3 박막에 대해서 CV(용량-전압) 특성을 평가하면, 후술하는 바와 같이, 플랫 밴드 전압이 플러스측으로 크게 시프트하는 경향이 있다. CV 커브 측정 시의 개시 전압이 플러스일 때와, 마이너스일 때에서 플랫 밴드 전압에 차이가 발생하는 것과 같은 히스테리시스가 발생하면, 트랜지스터 특성의 임계값 전압이 불안정해지고, 이 상태로는 게이트 절연막으로서는 사용할 수 없다.

[0040] 이상의 문제를 해결하기 위해서, 본 실시형태에서는 게이트 절연막의 구조 및 제작법을 생각을 연구함으로써, CV 커브의 히스테리시스 특성을 억제하면서, 폴리실리콘의 피복율을 높이고, 양호한 트랜지스터 특성을 얻도록 하고 있다.

[0041] 이하, 도면을 참조하면서 본 발명의 실시형태를 설명한다.

[0042] **<제1 실시형태>**

[0043] 도 1은 본 발명에 1실시형태에 따른 박막 트랜지스터(1)의 개략적인 단면도이다.

[0044] **[박막 트랜지스터의 구성]**

[0045] 본 실시형태에 따른 박막 트랜지스터(1)는 활성층(11)과, 소스 영역(14S) 및 드레인 영역(14D)과, 게이트 절연막(12)과, 게이트 전극(13)을 갖는다.

[0046] 박막 트랜지스터(1)는 기판(10) 상에 형성된 활성층(11), 소스 영역(14S) 및 드레인 영역(14D)을 피복하는 게이트 절연막(12)이 형성되고, 게이트 절연막(12) 상에 게이트 전극(13)이 형성 된 탑 게이트형의 박막 트랜지스터로 구성된다.

[0047] 이하, 박막 트랜지스터(1)의 각부 구성에 대해서 설명한다.

[0048] **(활성층)**

[0049] 활성층(11)은 기판(10) 상의 절연막(예를 들면, 실리콘 산화막)(10a)에 형성된 폴리실리콘으로 이루어지고, 박막 트랜지스터(1)의 채널층으로 기능한다. 기판(10)은 전형적으로는 투명한 유리기판이지만, 실리콘 기판 등의 반도체 기판이나 플라스틱 필름 등의 수지기판일 수도 있다. 활성층(11)은 후술하는 바와 같이, 기판(10) 상에 형성된 아모퍼스 실리콘을 아닐링 처리에 의해 결정화시킴으로써 형성된다. 활성층(11)의 두께는 특별하게 한정되지 않고, 예를 들면 40nm~50nm이다.

[0050] **(소스 영역 및 드레인 영역)**

[0051] 소스 영역(14S) 및 드레인 영역(14D)은 활성층(11)을 사이에 두는 것처럼 서로 이간해서 형성된다. 소스 영역(14S) 및 드레인 영역(14D)은 후술하는 바와 같이, 예를 들면, 활성층(11)을 구성하는 폴리실리콘막에 불순물 이온을 주입함으로써 형성된다.

[0052] **(게이트 절연막)**

[0053] 게이트 절연막(12)은 활성층(11)과 게이트 전극(13) 사이에 배치되고, 이들 사이를 전기적으로 절연하는 동시에, 게이트 전극(13)에 인가된 전압에 의해, 활성층(11) 내에 전하가 반전한 층(반전층)을 형성하는 기능을 갖는다. 게이트 절연막(12)은 제1 금속 산화물층(12A)과, 제2 금속 산화물층(12B)을 갖는다.

[0054] 제1 금속 산화물층(12A)은 활성층(11)과, 소스 영역(14S) 및 드레인 영역(14D)을 피복하도록 기판(10) 상에 형성된다.

[0055] 제1 금속 산화물층(12A)은 산화 규소(SiO_x)로 구성되고, 본 실시형태에서는 실란(SiH_4)이나 TEOS를 막 형성재료로 해서 형성된 산화 규소로 구성된다. 이것에 의해, 박막 트랜지스터(1)는 임계값 전압제어가 비교적 용이하게 되고, 트랜지스터 특성인 장기 안정성이 뛰어난, 계면준위밀도가 작은, 등의 뛰어난 특성을 얻을 수 있다. 제1 금속 산화물층(12A)의 두께는 예를 들면, 10nm～120nm으로 할 수 있다.

[0056] 제1 금속 산화물층(12A)의 형성방법으로서는 후술하는 바와 같이 플라스마 CVD(Plasma-enhanced Chemical Vapor Deposition)가 사용된다. 플라스마 CVD의 원료 가스로서는 예를 들면, 실란(SiH_4), 테트라에톡시실란(TEOS) 등의 규소 화합물을 사용할 수 있다. 본 실시형태에서는 플라스마 CVD의 원료 가스로서 TEOS 및 산소(O_2)가 사용된다.

[0057] 제2 금속 산화물층(12B)은 제1 금속 산화물층(12A) 상에 형성된다. 제2 금속 산화물층(12B)은 산화알루미늄(Al_2O_3)으로 구성된다. 제2 금속 산화물층(12B)의 형성방법으로서는 ALD(Atomic Layer Deposition)가 사용된다. ALD의 원료 가스로서는 여러 알루미늄 화합물을 사용할 수 있고, 본 실시형태에서는 트리메틸알미늄(TMA)이 사용된다. 또, ALD의 반응 가스로서는 산소, 오존(O_3) 등의 산화 가스를 사용할 수 있고, 본 실시형태에서는 수증기(H_2O)가 사용된다. 또, ALD의 퍼지가스로서는 특별하게 한정되지 않고, 본 실시형태에서는 질소(N_2)가 사용된다.

[0058] ALD는 단차 피복성 및 막두께 제어성이 뛰어나며, ALD에 의해 제작된 Al_2O_3층은 뛰어난 피복율을 가지고, 리크 전류를 효과적으로 방지하는 것이 가능하게 된다. 그 반면, Al_2O_3 박막의 단일층으로 게이트 절연막을 구성했을 경우, 플랫 밴드 전압이 정방향으로 시프트하는 경향이 있고, 이것에 의해 히스테리시스 특성이 발생하고, 상기 히스테리시스 특성의 크기에 따라서는 박막 트랜지스터의 임계값 전압이 불안정하게 될 우려가 있다.

[0059] 본 실시형태에서는 게이트 절연막(12)이 TEOS-SiO_x로 구성되는 제1 금속 산화물층(12A)과, Al_2O_3으로 구성되는 제2 금속 산화물층(12B)이 차례로 적층한 2층 구조가 되어 있다. 이 구조에 의해, Al_2O_3층에 기인하는 히스테리시스 특성을 억제하는 동시에, 뛰어난 피복율을 얻는 것이 가능하게 된다. 이것에 의해, 박막 트랜지스터(1)는 리크 전류를 방지하면서 양호한 임계값 전압제어가 가능하게 된다.

[0060] 제2 금속 산화물층(12B)의 두께는 예를 들면, 10nm～120nm으로 할 수 있다. 이것에 의해, 히스테리시스 특성을 억제하면서 뛰어난 피복율을 얻는 것이 가능하게 된다.

[0061] 게이트 절연막(12)의 두께(제1 금속 산화물층(12A)의 두께와 제2 금속 산화물층(12B)의 두께 합)를 합계 130nm 이내로 함으로써, 박막 트랜지스터(1)의 소형화를 도모하면서, 상기의 각 효과를 얻는 것이 가능하게 된다.

[0062] **(게이트 전극)**

[0063] 게이트 전극(13)은 게이트 절연막(12) 상에 형성된 도전막으로 이루어진다. 게이트 전극(13)은 전형적으로는 Al, Mo, Cu, Ti 등의 금속 단층막 혹은 금속 다층막으로 구성되며, 예를 들면 스퍼터링법에 의해서 형성된다. 게이트 전극(13)의 두께는 특별하게 한정되지 않고, 예를 들면, 200nm～300nm이다.

[0064] **(기타)**

[0065] 게이트 절연막(12) 및 게이트 전극(13) 상에는 층간 절연막(15)이 형성되어 있다. 층간 절연막(15)은 전극간의 절연을 유지하기 위한 것이다. 층간 절연막(15)은 전기 절연성 재료로 구성되고, 전형적으로는 산화 규소, 질화 규소 등으로 구성된다. 층간 절연막(15)의 두께는 특별하게 한정되지 않고, 예를 들면, 200nm～500nm이다.

[0066] 박막 트랜지스터(1)는 소스 전극(16S) 및 드레인 전극(16D)을 추가로 갖는다. 소스 전극(16S) 및 드레인 전극(16D)은 층간 절연막(15) 및 게이트 절연막(12)을 관통하고, 소스 영역(14S) 및 드레인 영역(14D)에 각각 전기적으로 접속된다. 소스 전극(16S) 및 드레인 전극(16D)은 소스 영역(14S) 및 드레인 영역(14D)을 도면에 나타나 있지 않은 주변회로에 접속하기 위한 인출 전극으로 구성된다.

[0067] **[박막 트랜지스터의 제조방법]**

[0068] 다음에, 이상과 같이 구성되는 본 실시형태의 박막 트랜지스터(1)의 제조방법에 대해서 설명한다. 도 2～8은 박막 트랜지스터(1)의 제조방법을 설명하는 각 공정의 단면도 및 막 형성 장치의 개략적인 단면도이다.

[0069] **(게이트 전극의 형성)**

[0070] 우선, 도 2에 나타내는 바와 같이 기판(10) 상에 절연막(10a) 및 아모퍼스 실리콘 막(A)을 형성한다. 절연막(10a)은 전형적으로는 실리콘 산화막으로 구성되지만, 물론 다른 재료로 구성될 수도 있고, 또 필요에 따라서 생략될 수도 있다. 아모퍼스 실리콘막(A)의 원료는 특별하게 한정되지 않고, 예를 들면 플라스마 CVD에 의한 형성이라면, 원료 가스로서 실란(SiH_4)이나 디실란(Si_2H_6) 등의 규소 화합물을 사용할 수 있다.

[0071] **(게이트 절연막의 형성)**

[0072] 다음에, 기판(10) 상에 형성된 아모퍼스 실리콘막(A)을 결정화하기 위해서 열처리가 실시된다. 그 후에 소정의 형상에 패터닝되는 것에 의해, 폴리실리콘으로 이루어지는 활성층(11)이 형성된다.

[0073] 계속해서, 도 3에 나타내는 바와 같이 활성층(11)의 표면을 피복하도록 기판(10) 상에 게이트 절연막(12)이 형성된다. 게이트 절연막(12)의 형성공정은 제1 금속 산화물층(12A)을 형성하는 스텝과, 제2 금속 산화물층(12B)을 형성하는 스텝을 갖는다.

[0074] **[제1 금속 산화물층의 형성공정]**

[0075] 제1 금속 산화물층(12A)은 활성층(11)의 표면을 피복하도록 기판(10) 상에 형성된다. 제1 금속 산화물층(12A)은 플라스마 CVD에 의해서 형성된다. 플라스마 CVD 장치는 특별하게 한정되지 않고, 본 실시형태에서는 도 4에 개략적으로 나타내는 플라스마 CVD 장치(100)가 사용된다.

[0076] 플라스마 CVD 장치(100)는 진공챔버(110)와, 진공챔버(110) 내부에 설치된 기판 지지용의 스테이지(111)를 구비한다. 스테이지(111)는 내부에 히터(112)를 갖는다. 진공챔버(110)의 내부에는 히터 스테이지(111)와 대향하는 위치에 고주파 전극(113)이 배치되어 있다. 고주파 전극(113)은 샤워 헤드(114)를 가지고, 샤워 헤드(114)에는 가스 도입계로부터 도입된 가스를 균일하게 확산시키기 위한 가스 확산판(115) 및 가스를 분출하는 복수의 분출구멍(116)이 설치되어 있다. 진공챔버(110)에는 진공 배기계(120), 고주파 전원을 가지는 전력 공급계(130), 컨트롤러(140) 및 도면에 나타나 있지 않은 가스 도입계가 접속되어 있다. 컨트롤러(140)는 히터(112), 전력 공급계(30), 진공 배기계(120) 및 가스 도입계를 각각 제어한다.

[0077] 본 실시형태에서는 플라스마 CVD의 원료 가스(CVD가스)로서 TEOS 및 O_2가 사용된다. TEOS와 O_2의 유량비는 특별하게 한정되지 않고, 예를 들면, O_2/TEOS=50으로 할 수 있다.

[0078] 막 형성 조건은 특별하게 한정되지 않고, 예를 들면 유리기판 사이즈가 730㎜×920㎜일 때는 이하의 조건으로 실시된다.

[0079] TEOS 유량: 360[sccm]

[0080] O_2 유량: 16000[sccm]

[0081] 프로세스 압력: 175[Pa]

[0082] RF 주파수: 27.12[MHz]

[0083] RF 전력: 4000[W]

[0084] 히터 온도: 350℃

[0085] **[제2 금속 산화물층의 형성]**

[0086] 제2 금속 산화물층(12B)은 제1 금속 산화물층(12A)을 피복하도록 형성된다. 제2 금속 산화물층(12B)은 ALD에 의해서 형성된다. ALD 장치는 특별하게 한정되지 않고, 본 실시형태에서는 도 5에 개략적으로 나타내는 ALD 장치(200)가 사용된다.

[0087] ALD 장치(200)는 진공챔버(210)와, 진공챔버(210)의 내부에 설치된 기판 지지용 스테이지(211)를 구비한다. 스테이지(211)는 내부에 히터(212)를 갖는다. 진공챔버(210)에는 컨트롤러(220)와, 도면에 나타나 있지 않은 가스 도입계 및 진공 배기계가 배치되고 있다. 컨트롤러(220)는 히터(212), 가스 도입계 및 진공 배기계를 각각 제어한다.

[0088] 가스 도입계는 원료 가스, 반응 가스 및 퍼지가스를 각각 독립하여, 혹은 혼합해서 진공챔버(210) 내부로 도입하는 것이 가능하도록 구성된다. 본 실시형태에서는 원료 가스로서 TMA 가스가, 반응 가스로서 수증기가, 퍼지

가스로서 N_2 가스가 각각 사용된다.

[0089] 제2 금속 산화물층(12B)의 형성 시에는 제1 공정으로서, 가스 도입계로부터 원료 가스로서 TMA 가스를 진공챔버(210)에 도입한다. 진공챔버(210) 내에 도입된 TMA 가스의 분자는 기판(10)의 표면에 흡착(화학 흡착)한다. 기판(10)의 표면에 TMA 가스의 분자를 흡착시킨 후, 가스 도입계로부터의 TMA 가스의 도입을 정지한다.

[0090] 피복조건은 예를 들면 유리기판 사이즈가 730㎜×920㎜일 때는 기판(10)의 온도를 250℃, 진공챔버(210) 내의 압력을 100Pa, TMA 가스의 도입량을 3cc/cycle로 할 수 있다. 그리고 이후의 처리에서도 기판(10)의 온도는 250℃로 설정하고 있다.

[0091] 다음에, 제2 공정으로서, 가스 도입계로부터 퍼지가스로서 N_2 가스를 도입한다. 퍼지가스에 의해 진공챔버(210) 내의 압력이 높아지고, 원료 가스가 압출된다. 진공챔버(210) 내에 확산하고 있었던 원료 가스는 배기 펌프에 의해 진공 배기된다.

[0092] 퍼지 조건은 N_2 가스의 도입시간을 1초, 진공챔버(210) 내의 압력을 100Pa, N_2 가스의 유량을 1000sccm으로 했다.

[0093] 다음에, 제3 공정으로서, 가스 도입계로부터 반응 가스로서 수증기를 도입한다. 진공챔버(210)에 도입된 수증기는 기판(10)의 표면에 부착되고 있었던 TMA 가스의 분자와 반응해서 TMA를 산화하고, 기판(10) 표면에 산화알루미늄(Al_2O_3)의 박막이 형성된다. 반응 후, 가스 도입계로부터의 반응 가스의 도입을 정지한다.

[0094] 산화조건은 진공챔버(210) 내의 압력을 100Pa, 수증기의 도입량을 3cc/cycle로 했다.

[0095] 다음에, 제4 공정으로서, 가스 도입계로부터 퍼지가스로서 N_2 가스를 도입한다. 퍼지가스에 의해 진공챔버(210) 내의 압력이 높아지고, 수증기가 압출된다. 진공챔버(210) 내에 확산하고 있었던 수증기는 배기 펌프에 의해 진공 배기된다.

[0096] 퍼지 조건은 N_2 가스의 도입시간을 1초, 진공챔버(210) 내의 압력을 100Pa, N_2 가스의 유량을 1000sccm으로 했다.

[0097] 박막이 소망의 두께가 될 때까지 상기 제 1~제4 공정을 차례로 복수 사이클 반복함으로써, Al_2O_3 박막으로 이루어지는 제2 금속 산화물층(12B)이 형성된다.

[0098] **(게이트 전극의 형성공정)**

[0099] 다음에, 도 6에 나타나 있는 바와 같이 제2 금속 산화물층(12B) 상에 게이트 전극(13)을 형성한다.

[0100] 게이트 전극(13)은 전형적으로는 알루미늄, 몰리브덴, 구리, 타이타늄 등의 금속 단층막 또는 금속 다층막으로 구성되며, 예를 들면, 스퍼터링법에 의해서 형성된다. 게이트 전극(13)은 상기 금속막을 소정의 형상으로 패터닝 하는 것에 의해서 형성된다.

[0101] **(소스 영역 및 드레인 영역의 형성공정)**

[0102] 계속해서, 도 7에 나타나 있는 바와 같이 소스 영역(14S) 및 드레인 영역(14D)이 각각 형성된다.

[0103] 소스 영역(14S) 및 드레인 영역(14D)의 형성 방법은 특별하게 한정되지 않고, 본 실시형태에서는 게이트 전극(13)을 마스크로 한 이온주입기술에 의해, 활성층(11)을 구성하는 폴리실리콘막의 소정의 영역에 소스 영역(14S) 및 드레인 영역(14D)이 각각 형성된다. 주입되는 불순물 이온(도펀트)은 활성층(11)의 도전 타입(N형, P형)에 대응해서 적당하게 선택되고, 전형적으로는 보론(B)이나 인(P)이 사용된다.

[0104] **(층간 절연막 및 소스/드레인 전극의 형성공정)**

[0105] 다음에, 도 8에 나타나 있는 바와 같이 게이트 전극(13) 및 제2 금속 산화물층(12B)을 덮도록 층간 절연막(15)을 형성한다.

[0106] 층간 절연막(15)은 전기 절연성 재료로 구성된다. 전형적으로는 실리콘 산화막, 실리콘 질화막 등의 산화막 또는 질화막, 추가로 이것들의 적층막 등으로 구성된다. 층간 절연막(15)은 예를 들면, CVD법, 스퍼터링법에 의해서 형성된다.

[0107] 계속해서, 소스 영역(14S) 및 드레인 영역(14D)에 도달하는 개구부(D1) 및 (D2)가, 층간 절연막(15) 및 게이트

절연막(12)을 관통하도록 형성된다. 개구부(D1) 및 (D2)의 형성 방법은 특별하게 한정되지 않고, 예를 들면 레이저 가공기술이나 에칭법 등이 사용된다.

[0108] 그 후, 개구부(D1) 및 (D2)를 충전하는 금속막이 층간 절연막(15) 상에 형성되고, 상기 금속막을 소정의 형상으로 패터닝함으로써, 소스 전극(16S) 및 드레인 전극(16D)이 형성된다. 이상과 같이 해서, 도 1에 나타내는 박막 트랜지스터(1)가 제조된다.

[0109] **[본 실시형태의 작용]**

[0110] 본 실시형태에서, 게이트 절연막(12)은 제1 금속 산화물층(12A)과 제2 금속 산화물층(12B)의 적층막으로 구성된다. 제2 금속 산화물층(12B)이 ALD에 의해 막 형성된 산화알루미늄층으로 구성되므로, 플라스마 CVD에 의해 막 형성되는 산화 규소 단일막에 의한 게이트 절연막과 비교해서 활성층(11)에 대한 높은 피복율이 수득된다.

[0111] 여기에서, 전술한 바와 같이, Al_2O_3 박막의 단일층으로 게이트 절연막이 구성되는 경우, 플랫 밴드 전압이 정방향으로 시프트하는 경향이 있다. 또, 히스테리시스 특성이 발생하기 쉽다. 히스테리시스 특성을 가지는 게이트 절연막을 박막 트랜지스터에 적용하면, 박막 트랜지스터의 임계값 전압이 불안정하게 될 우려가 있다.

[0112] 발명자들은 게이트 절연막의 구성이 다른 복수의 샘플을 실리콘 웨이퍼 상에 제작하고, 이것들의 플랫 밴드 전압 및 히스테리시스 특성을 평가했다.

[0113] 우선, ALD에 의해 막형성된 Al_2O_3 박막의 단일층으로 이루어지는 게이트 절연막을 가지는 샘플(1)과, 플라스마 CVD에 의해 막 형성된 TEOS-SiO_x 박막의 단일층으로 이루어지는 게이트 절연막을 가지는 샘플(2)을 제작했다. 본 실험예에서는 막 형성 장치에 도 4 및 도 5에 각각 나타낸 플라스마 CVD 장치(100) 및 ALD 장치(200)를 사용했다.

[0114] 도 9 및 표1에, 샘플(1, 2)에서의 게이트 절연막의 막두께와 플랫 밴드 전압(Vfb)과의 관계를 나타내는 측정결과를 나타낸다. 도 9 중, 마름모형 기호는 Al_2O_3 박막을, 흑 사각은 TEOS-SiO_x 박막을 각각 나타낸다.

표 1

[0115]

막두께(nm)	Vfb (V)	
	Al_2O_3	TEOS
50	3.2	-1.4
80	3.6	-1.4

[0116] 도 11 및 표 1에서, 게이트 절연막이 TEOS-SiO_x 박막으로 구성된 샘플(2)과 비교해서, 게이트 절연막이 Al_2O_3 박막으로 구성된 샘플(1)은 플랫 밴드 전압이 +3V 이상으로 정방향으로 크게 시프트하고 있는 것이 확인된다.

[0117] 다음에, 플라스마 CVD에 의해 형성된 두께 50nm의 TEOS-SiO_x 박막과 ALD에 의해 형성된 두께 50nm의 Al_2O_3 박막의 적층막으로 이루어지는 게이트 절연막(본 실시형태의 게이트 절연막(12)의 구성에 상당)을 가지는 샘플(3)을 제작하고, 샘플(1)과 샘플(3)의 CV 커브를 비교했다. 도 10 및 도 11에, 샘플(1, 3)의 CV 커브 측정결과를 나타낸다.

[0118] 도 10에서, 게이트 절연막이 Al_2O_3 박막으로 구성된 샘플(1)에서는 전술한 바와 같이 플랫 밴드 전압이 플러스로 시프트하고 있다. 또, CV 커브 측정시의 개시전압이 플러스일 때와 마이너스일 때에 플랫 밴드 전압에 차이가 발생하고, 히스테리시스 특성이 발생하고 있는 것이 확인된다. CV 커브에 히스테리시스 특성이 발생한다는 것은 트랜지스터 특성의 임계값 전압이 불안정하다는 것을 의미하기 때문에, 게이트 절연막으로서는 바람직하지 못하다.

[0119] 한편, 도 11에서, 게이트 절연막이 TEOS-SiO_x 박막 상에에 Al_2O_3 박막을 형성한 샘플에서는, 상기의 Al_2O_3 박막만의 샘플과 같은 히스테리시스 특성은 발생하지 않고 있는 것이 확인된다. 이렇게, 실리콘 기판 상에 TEOS-SiO_x 박막과 Al_2O_3 박막이 차례로 형성된 2층 구조의 박막에서는 CV 커브의 히스테리시스 특성이 거의 발생하지 않게 되는 것이 확인되었다.

[0120] 이상의 실험결과에 의해, 본 실시형태의 박막 트랜지스터(1)에서도 게이트 절연막(12)이 활성층(11) 상에 TEOS-SiO_x로 구성되는 제1 금속 산화물층(12A)과, Al_2O_3로 구성되는 제2 금속 산화물층(12B)이 차례로 형성된 구조가 되어 있기 때문에, 히스테리시스 특성의 발생을 억제할 수 있다. 이것에 의해, 박막 트랜지스터(1)는 양호한 임계값 전압제어가 가능하게 된다.

[0121] 계속해서, 본 실시형태에 따른 박막 트랜지스터(1)에서, 제2 금속 산화물층(12B)의 막두께를 50nm로 고정하고, 제1 금속 산화물층(12A)의 막두께를 0nm~80nm로 했을 때에 있어서의 플랫 밴드 전압 Vfb(V), 히스테리시스(V) 및 계면준위밀도 Dit($eV^{-1} \cdot cm^{-2}$)을 각각 측정했다. 상기 각 측정은 막 형성 직후 및 아닐링 처리(500℃) 후에 각각 실시했다.

[0122] 도 12~14 및 표 2에, 상기 각 측정에 의해 수득된 플랫 밴드 전압, 히스테리시스 및 계면준위밀도를 각각 나타낸다.

표 2

[0123]

SiO_x 막두께(nm)	Vfb (V)		Dit ($eV^{-1} \cdot cm^{-2}$)		히스테리시스 (V)	
	막 형성 직후	아닐링 후	막 형성 직후	아닐링 후	막 형성 직후	아닐링 후
0	3.2	3.5	5.0E+12	2.5E+12	4.9	5.2
20	-1.2	0.5	1.5E+12	7.9E+10	0	-0.1
50	-0.9	-0.2	9.2E+11	5.6E+10	0	-0.1
80	-0.6	-0.4	6.0E+11	5.7E+10	-0.1	-0.1

[0124] 도 12에서, 제1 금속 산화물층(12A)(TEOS-SiO_x)의 막두께가 20nm 이상 80nm 이하일 때, 플랫 밴드 전압의 절대값은 샘플(2)과 비교해서 낮고, 막두께가 커짐에 따라서, 플랫 밴드 전압이 0에 가까워 지는 것이 확인된다.

[0125] 또, 도 13에서, 제1 금속 산화물층(12A)(TEOS-SiO_x)의 막두께가 20nm 이상 80nm 이하일 때, 아닐링 후에 있어서는 히스테리시스 특성이 거의 발생하지 않고 있는 것이 확인된다.

[0126] 또, 제1 금속 산화물층(12A)이 0nm일 때, 히스테리시스 특성이 발생하고 있는 것이 확인된다. 이것은 상기한 샘플(1)에 실질적으로 상당하는 것이다.

[0127] 또, 도 14에서, 제1 금속 산화물층(12A)(TEOS-SiO_x)의 막두께가 20nm 이상 80nm 이하일 때에 대해서, 아닐링 처리 후에서의 계면준위밀도가 크게 저하되고 있는 것이 확인된다. 이 결과에 대해서는 다음과 같이 생각된다. 제1 금속 산화물층(12A)은 플라스마 CVD에 의해 형성되기 때문에, 제1 금속 산화물층(12A) 중에 수소 원자가 함유된다. 상기 수소 원자는 아닐링 처리에 의해서 활성층(11)과 제1 금속 산화물층(12A)의 계면으로 이동하고, 상기 계면에 존재하는 단글링 본드를 종단함으로써, 계면준위밀도를 저하시키는 것으로 생각된다.

[0128] 이상과 같이, 본 실시형태의 박막 트랜지스터(1)에서는 게이트 절연막(12)이 TEOS-SiO_x 박막으로 이루어지는 제1 금속 산화물층(12A)과 Al_2O_3 박막으로 이루어지는 제2 금속 산화물층(12B)의 적층구조를 가지기 때문에, Al_2O_3의 히스테리시스 특성을 발생시키지 않고, 뛰어난 임계값 전압제어가 확보된다. 또, 활성층(11)에 대하여 매우 높은 피복율로 게이트 절연막(12)을 형성할 수 있기 때문에 게이트 전극(13)과 활성층(11) 사이의 리크 전류를 방지하고, 양호한 스위칭 특성이 수득된다.

[0129] 또 본 실시형태에 의하면, 활성층(11)에 대한 게이트 절연막(12)이 양호한 피복율이 수득되기 때문에 게이트 절연막의 박막화가 가능하게 된다. 이것에 의해, 박막 트랜지스터의 소형화, 박형화를 도모할 수 있게 되기 때문에, 표시장치의 화소 부분의 개구율을 상승시킬 수 있다. 또, 박막 트랜지스터의 동작 전압을 내릴 수 있기 때문에 표시장치의 소비전력을 저감시키는 것이 가능하게 된다.

[0130] **<제2 실시형태>**

[0131] 도 15는 본 발명의 제2 실시형태에 따른 박막 트랜지스터(2)의 개략적인 단면도이다. 이하, 제1 실시형태와 다른 구성에 대해서 주로 설명하고, 상술한 실시형태와 동일한 구성에 대해서는 동일한 부호를 붙이고, 그 설명을 생략 또는 간략화한다.

[0132] 본 실시형태의 박막 트랜지스터(2)는 게이트 절연막(22)의 구성이 제1 실시형태와 다르다. 구체적으로는, 게이

트 절연막(22)은 제1 금속 산화물층(12A)과 제2 금속 산화물층(12B) 사이에 배치된 중간층(12C)을 추가로 갖는다.

[0133] 중간층(12C)은 다량의 수소 원자를 포함한 수소 풍부한 층이고, 예를 들면, 플라스마 CVD법에 의해 형성된 질화규소(SiN_x) 혹은 산질화규소(SiO_xN_y)로 구성된다.

[0134] 중간층(12C)은 후술하는 아닐링 처리에 의해, 중간층(12C) 중에 포함되는 다량의 수소 원자가 활성층(11)과 제1 금속 산화물층(12A)과의 계면으로 이동한다. 다량의 수소 원자가 상기 계면에 존재하는 단글링 본드를 종단하고, 계면준위밀도를 저하시키는 효과가 수득된다.

[0135] 중간층(12C)은 상기한 바와 같이 수소 원자를 단글링 본드에 공급하는 기능을 가지고 있으면, 막두께는 특별하게 한정되지 않고, 예를 들면 3nm 이상 30nm 이하이다.

[0136] 다음에, 중간층(12C)의 형성 방법에 대해서 설명한다. 본 실시형태에서는 게이트 절연막의 형성공정에 있어서, 제1 금속 산화물층의 형성공정 후에, 중간층의 형성공정을 갖는다. 또, 활성층의 형성공정, 소스 영역 및 드레인 영역의 형성공정, 게이트 전극의 형성공정, 층간 절연막의 형성공정, 소스 전극 및 드레인 전극의 형성공정에 대해서는 제1 실시형태와 같기 때문에 여기에서는 설명을 생략한다.

[0137] 중간층(12C)은 제1 금속 산화물층(12A) 상에 형성된다. 중간층(12C)의 형성방법으로서는 중간층(12C) 중에 수소 원자가 함유되는 방법이라면 특별하게 한정되지 않고, 예를 들면, 플라스마 CVD가 사용된다. 본 실시형태에서는 플라스마 CVD의 원료 가스로서 SiH_4, NH_3 및 N_2가 사용되고, SiN_x로 구성되는 중간층(12C)이 형성된다. 중간층(12C)은 막 형성 후, 소정의 온도(예를 들면 500℃)로 아닐링 처리된다. 아닐링 처리는 제2 금속 산화물층(12B)의 형성 전일 수도 있고, 그 형성 후일 수도 있다. 단, 중간층(12C) 중에 포함되는 수소 원자를 효율적으로 활성층(11)과 제1 금속 산화물층(12A)의 계면으로 공급하기 위해서는, 제2 금속 산화물층(12B)의 막 형성 후에 아닐링 처리를 실시하는 것이 바람직하다.

[0138] 중간층(12C)을 형성하는 플라스마 CVD 장치로서는 특별하게 한정되지 않고, 예를 들면 도 4를 참조해서 설명한 플라스마 CVD 장치(100)가 채용 가능하다.

[0139] 중간층(12C)의 막 형성 조건은 특별하게 한정되지 않고, 예를 들면 유리기판 사이즈가 730mm×920mm일 때는 이하의 조건으로 실시된다.

[0140] SiH_4 유량: 500[sccm]

[0141] NH_3 유량: 5000[sccm]

[0142] N_2 유량: 7000[sccm]

[0143] 프로세스 압력: 200[Pa]

[0144] RF 주파수: 27.12[MHz]

[0145] RF 전력: 4000[W]

[0146] 히터 온도: 350[℃]

[0147] 본 실시형태에 의하면, 상술한 제1 실시형태와 동일한 작용 효과를 얻을 수 있다. 본 실시형태에서는 수소 풍부한 중간층(12C)에 포함되는 다량의 수소 원자가 아닐링 처리에 의해, 활성층(11)과 제1 금속 산화물층(12A)의 계면으로 이동한다. 다량의 수소 원자는 상기 계면에 존재하는 단글링 본드를 종단하고, 계면준위밀도를 저하시킨다. 이것에 의해, 게이트 전극(13)과 활성층(11) 사이의 리크 전류를 방지하고, 양호한 스위칭 특성을 얻는 것이 가능하게 된다.

[0148] 또, 본 실시형태에 의하면, 제2 금속 산화물층(12B)이 수소 배리어층으로서 작용하고, 중간층(12C)에 포함되는 수소 원자가 아닐링 처리에 의해, 활성층(11)과 제1 금속 산화물층(12A)의 계면으로 이동하기 쉬워진다. 이것에 의해, 상기 계면의 결함 수복 효과를 높이는 것이 가능하게 된다.

[0149] 본 실시형태에서는 제1 금속 산화물층(12A)의 형성공정과, 중간층(12C)의 형성공정이란, 동일 챔버 내에서 수행될 수도 있다. 이것에 의해, 피처리 기판의 교체에 따르는 제1 금속 산화물층(12A) 표면의 오염을 방지하는 것이 가능하게 된다. 또, 기판교체의 시간이나 기기의 코스트를 삭감하는 것이 가능하게 된다.

[0150] 본 실시형태에 따른 박막 트랜지스터(2)의 특성을 평가하기 위해서, 게이트 절연막의 구조를 다음과 같이 바꾸고, 계면준위밀도 Dit($eV^{-1} \cdot cm^{-2}$)를 측정했다.

[0151] 실험에 사용한 각 박막 트랜지스터의 게이트 절연막의 구조는 제1 금속 산화물층(12A)(막두께 80nm)만의 구조, 제2 금속 산화물층(12B)(막두께 80nm)만의 구조, 제1 금속 산화물층(12A)(막두께 50nm)과 제2 금속 산화물층(12B)(막두께 50nm) 의 2층 구조, 및 제1 금속 산화물층(12A) (막두께 50nm)과 제2 금속 산화물층(12B)(막두께 50nm) 사이에 중간층(12C)(막두께 3nm)이 배치된 3층 구조로 했다. 계면준위밀도의 측정은 막 형성 직후 및 아닐링 처리(500℃)후에 각각 실시했다.

[0152] 표 3에 상기 측정에 의해 수득된 계면준위밀도를 나타낸다.

표 3

[0153]

막 구조	Dit ($eV^{-1} \cdot cm^{-2}$)	
	막 형성 직후	아닐링 후
TEOS-SiO_X 80nm	9.5E+11	1.1E+12
Al_2O_3 80nm	4.6E+11	3.0E+11
Al_2O_3 50nm / TEOS-SiO_X 50nm	9.2E+11	5.6E+10
Al_2O_3 50nm/ SiN_X 3nm / TEOS-SiO_X 50nm	9.5E+11	3.4E+10

[0154] 표 3에서, 게이트 절연막이 단일막일 때와 비교해서, 상기 2층 구조, 및 상기 3층 구조에서는 아닐링 처리 후의 계면준위밀도가 낮아, 박막 트랜지스터 특성으로서는 바람직한 값이 되어 있는 것이 확인된다. 게이트 절연막이 상기 3층 구조의 시 계면준위밀도는 상기 2층 구조일 때보다도 낮아, 더 바람직한 값이 되어 있는 것이 확인된다. 이것은, 중간층(12C)에 포함되는 다량의 수소 원자가 아닐링 처리에 의해 활성층(11)과 제1 금속 산화물층(12A)의 계면으로 이동하고, 단글링 본드를 종단함으로써, 더한층 계면준위밀도를 저하시키는 것으로 생각된다. 이것에 의해, 박막 트랜지스터(2)는 더욱 우수한 스위칭 특성을 얻을 수 있다.

[0155] 또, 이 결과에는 제2 금속 산화물층(12B)이 수소 배리어층으로서 관여했다는 것도 생각할 수 있다. 구체적으로는, 제2 금속 산화물층(12B)이 수소 배리어층으로서 작용하고, 중간층(12C)에 포함되는 수소 원자가 아닐링 처리에 의해, 활성층(11)과 제1 금속 산화물층(12A)의 계면으로 이동하기 쉬워진다. 이것에 의해, 상기 계면의 결함 수복 효과를 높이는 것이 가능하게 된다.

[0156] 다음에, 중간층(12C)의 막두께에 대해서 고찰한다. 본 실시형태에 따른 박막 트랜지스터(2)에 있어서, 제1 금속 산화물층(12A) 및 제2 금속 산화물층(12B)의 막두께를 각각 50nm로 고정하고, 중간층(12C)의 막두께를 0nm~30nm로 했을 때에 대해서, 계면준위밀도 Dit($eV^{-1} \cdot cm^{-2}$)를 측정했다.

[0157] 도 16 및 표 4에 상기 측정에 의해 수득된 계면준위밀도를 나타낸다.

표 4

[0158]

	Dit ($eV^{-1} \cdot cm^{-2}$)	
SiN_X 막두께(nm)	막 형성 직후	아닐링 후
0	9.2E+11	5.6E+10
3	9.5E+11	3.4E+10
5	9.0E+11	3.2E+10
10	8.4E+11	2.8E+10
20	8.2E+11	2.9E+10
30	8.8E+11	3.1E+10

[0159] 도 16에서, 중간층(12C)은 3nm이더라도 계면준위밀도가 저하되는 것이 확인된다. 중간층(12C)의 막두께가 두꺼워 지는 동시에, 계면준위밀도는 더욱 저하되어 실시예 3-3의 막두께 10nm로 계면준위밀도가 최저값이 되는 것이 확인된다. 한편, 중간층(12C)의 막두께가 10nm를 넘어버리면, 계면준위밀도는 저하되지 않게 되는 것이 확인된다. 따라서, 중간층(12C)은 3nm 이상 10nm 이하의 매우 얇은 막두께로 충분하게 수소 원자를 공급하는 기능을 가지는 것을 알았다.

[0160] 계속해서, 게이트 절연막의 구조를 다음과 같이 바꾼 박막 트랜지스터에 있어서, 박막 트랜지스터 특성(TFT 특성)값의 측정을 실시했다. 각 박막 트랜지스터의 게이트 절연막의 구조는 제1 금속 산화물층(12A)(막두께 100nm)만의 구조, 제1 금속 산화물층(12A)(막두께 50nm)과 제2 금속 산화물층(12B)(막두께 50nm)의 2층 구조(박막 트랜지스터(1)), 및 제1 금속 산화물층(12A)(막두께 50nm)과 제2 금속 산화물층(12B)(막두께 50nm) 사이에 중간층(12C)(막두께 10nm)이 배치된 3층 구조(박막 트랜지스터(2))로 했다.

[0161] TFT 특성값으로서는 이동도(cm2/Vs) 및 Sub-threshold swing 값(S값) (V/dec)을 측정했다. TFT 특성의 측정은 상기 각 박막 트랜지스터의 아닐링 처리(500℃) 후에 실시했다.

[0162] 표 5에 상기 측정에 의해 수득된 이동도 및 S값을 나타낸다.

표 5

[0163]

막 구조	TFT 특성값	
	이동도 (cm^2/Vs)	S값(V/dec)
TEOS-SiO_X 100nm	81	0.42
Al_2O_3 50nm / TEOS-SiO_X 50nm	97	0.36
Al_2O_3 50nm/ SiN_X 10nm/ TEOS-SiO_X 50nm	101	0.31

[0164] 표 5에서, 게이트 절연막이 단층 구조일 때와 비교해서, 2층 구조 혹은 3층 구조에서는 이동도가 향상하는 동시에, S값이 작아지는 것이 확인된다.

[0165] 이동도가 향상한 이유는 ALD에 의해 막 형성된 Al_2O_3의 유전율(약 7.5)이 TEOS-SiO_X의 유전율(약 4.5)보다도 높기 때문에, TEOS-SiO_X 단일막과 비교해서, 산화막 환산 막두께가 얇아지고, 동일 전압에 있어서 더욱 많은 캐리어를 생성할 수 있기 때문인 것으로 생각된다. 또, ALD에 의해 막 형성된 Al_2O_3의 수소 배리어 효과에 의해, 막 중의 수소가 계면 뿐만 아니라 막 중의 결함을 종단함으로써, TEOS-SiO_X막 중의 불필요한 전하가 없어지고, 동일하게 동일 전압에 있어서 보다 많은 캐리어를 생성하기 때문인 것으로 생각된다.

[0166] 다음에, S값이 개선한 이유에 대해서는, 전술한 바와 같이 제2 금속 산화물층(12B)이 수소 배리어층으로서 기능하고, 제1 금속 산화물층(12A) 중의 수소 원자가 활성층-게이트 절연막 계면의 결함을 효과적으로 수복함으로써 계면준위밀도가 저하되는 것에 기인하고 있다.

[0167] 특히, 게이트 절연막이 3층 구조 시에 대해서는, 중간층(12C)을 가지는 것으로부터, 중간층(12C) 중이 다량의 수소 원자에 의해 계면준위밀도가 추가로 저하되고, S값이 특히 바람직한 값이 되고 있다.

[0168] 이상과 같이, 본 실시형태에 의하면, 게이트 절연막이 양호한 피복율 및 균일성이 수득되기 때문에, TFT 특성이 우수한 박막 트랜지스터를 얻을 수 있다.

[0169] **<제3 실시형태>**

[0170] 도 17은 본 발명의 제3 실시형태에 따른 박막 트랜지스터(3)의 개략적인 단면도이다. 이하, 제1 실시형태와 다른 구성에 대해서 주로 설명하고, 상술한 실시형태와 동일한 구성에 대해서는 같은 부호를 붙이고, 그 설명을 생략 또는 간략화한다.

[0171] 본 실시형태의 박막 트랜지스터(3)에 있어서, 게이트 절연막(32)은 제1 금속 산화물층(12A)과 제2 금속 산화물층(12B) 사이에 배치된 중간층(12D)을 추가로 가지는 점에서, 제1 실시형태와 다르다.

[0172] 중간층(12D)은 다량의 수소 원자를 포함한 수소 풍부한 층이고, 제1 금속 산화물층(12A)을 수소 플라스마 처리함으로써 형성된다. 중간층(12D)은 제2 실시형태의 중간층(12C)과 동일한 효과를 갖는다. 중간층(12D)의 두께는 특별하게 한정되지 않고, 예를 들면, 3nm 이상 10nm 이하이다.

[0173] 다음에, 중간층(12D)의 형성방법에 대해서 설명한다. 본 실시형태에서는 게이트 절연막의 형성공정에 있어서, 제1 금속 산화물층의 형성공정 후, 중간층의 형성공정을 갖는다. 또, 활성층의 형성공정, 소스 영역 및 드레인 영역의 형성공정, 게이트 전극의 형성공정, 층간 절연막의 형성공정, 소스 전극 및 드레인 전극의 형성공정에 대해서는 제1 실시형태와 동일하기 때문에 여기에서는 설명을 생략한다.

[0174] 중간층(12D)은 제1 금속 산화물층(12A)의 표면을 수소 플라스마 처리함으로써 형성된다. 중간층(12D)의 형성

후, 소정의 온도(예를 들면 50℃)로 아닐링 처리된다. 아닐링 처리는 제2 금속 산화물층(12B)의 형성 전일 수도 있고, 그 형성 후일 수도 있다. 단, 중간층(12D) 중에 포함되는 수소 원자를 효율적으로 활성층(11)과 제1 금속 산화물층(12A)의 계면으로 공급하기 위해서는, 제2 금속 산화물층(12B)의 막 형성 후에 아닐링 처리를 실시하는 것이 바람직하다. 중간층(12D)은 아닐링 처리 후, 제1 금속 산화물층(12A)에 확산하는 등 해서, 소실될 수도 있다.

[0175] 수소 플라스마처리 하기 위한 장치로서는 제1 금속 산화물층(12A)의 표면을 수소 플라스마 처리 가능한 플라스마 장치라면 특별하게 한정되지 않는다. 또, 상기 플라스마장치는 수소 플라스마처리 시에, 피처리기판측의 전극에 바이어스 전위를 인가 가능하게 구성될 수도 있다.

[0176] 막 형성 조건은 특별하게 한정되지 않고, 예를 들면 유리기판 사이즈가 730㎜×920㎜일 때는 이하의 조건으로 실시된다.

[0177] H_2 유량: 1000[sccm]

[0178] 프로세스 압력: 200[Pa]

[0179] RF 주파수: 27.12[MHz]

[0180] RF 전력: 500[W]

[0181] 히터 온도: 350[℃]

[0182] 본 실시형태에서도 상술한 제1 및 제2 실시형태와 동일한 작용 효과를 얻을 수 있다.

[0183] 이상, 본 발명의 실시형태에 대해서 설명했지만, 본 발명은 상술한 실시형태로만 한정되는 것은 아니고, 여러 가지로 변경을 부가할 수 있음은 물론이다.

[0184] 예를 들면, 이상의 실시형태에 사용된 플라스마 CVD 장치 및 ALD 장치는 상술한 장치에 한정되지 않고, 다른 장치를 사용할 수도 있다.

[0185] 또, 이상의 실시형태에 있어서, 제1 금속 산화물층의 형성공정과, 제2 금속 산화물층의 형성공정이란 매엽식 멀티챔버 시스템 혹은 인라인 시스템에 의해 실시될 수도 있다.

[0186] 상기 각 공정을 매엽식 멀티챔버 시스템에 의해 실시하는 경우에는, 제1 챔버(제1 금속 산화물층 형성을 위한 플라스마 CVD 챔버)에서 제1 금속 산화물층의 형성 후, 플라스마 CVD 챔버에서 피처리기판을 꺼내고, 다음 제2 챔버(제2 금속 산화물층 형성을 위한 ALD 챔버)로 반송하고, 기판처리를 한 장씩 실시한다.

[0187] 혹은, 상기 각공정을 인라인 시스템에 의해 실시하는 경우에는, 예를 들면, 워킹 빔이나 여러 컨베이어 등의 반송 수단에 의해 피처리기판을 반송하면서, 반송 방향으로 구획된 제1 처리실(제1 금속 산화물층 형성을 위한 플라스마 CVD 장치를 갖는다) 및 다음 제2 처리실(제2 금속 산화물층 형성을 위한 ALD 장치를 갖는다)에서 각각 기판처리를 실시한다.

[0188] 상기의 매엽식 멀티챔버 시스템 혹은 인라인 시스템에 있어서, 제1 금속 산화물층의 형성공정과, 제2 금속 산화물층의 형성공정이란 진공 분위기 하에서 연속해서 실시될 수도 있다. 이렇게, 기판 처리공정을 진공일관으로 함으로써, 가스나 공기에 의한 기판표면의 오염을 방지하는 것이 가능하게 된다.

[0189] 또, 이상의 실시형태에서는, 탑 게이트형(스태거형) 구조의 박막 트랜지스터를 예 로서 본 발명에 관하여 설명했지만, 게이트 전극이 기판 상에 배치되고, 상기 게이트 전극 상에 게이트 절연막을 사이에 두고 활성층이 배치된, 바텀 게이트형 (역 스태거형) 구조의 박막 트랜지스터라고 해도 본 발명은 적용 가능하다.

[0190] 또, 상기한 박막 트랜지스터는 액정 디스플레이나 유기 EL 디스플레이 등의 액티브 매트릭스형 표시 패널용의 TFT로서 사용할 수 있다. 이외에, 상기 트랜지스터는 각종 반도체 장치 혹은 전자기기의 트랜지스터 소자로서 사용할 수 있다.

부호의 설명

[0191] 1, 2, 3: 박막 트랜지스터

10: 기판

11: 활성층

12, 22, 32: 게이트 절연막

12A: 제1 금속 산화물층

12B: 제2 금속 산화물층

12C, 12D: 중간층

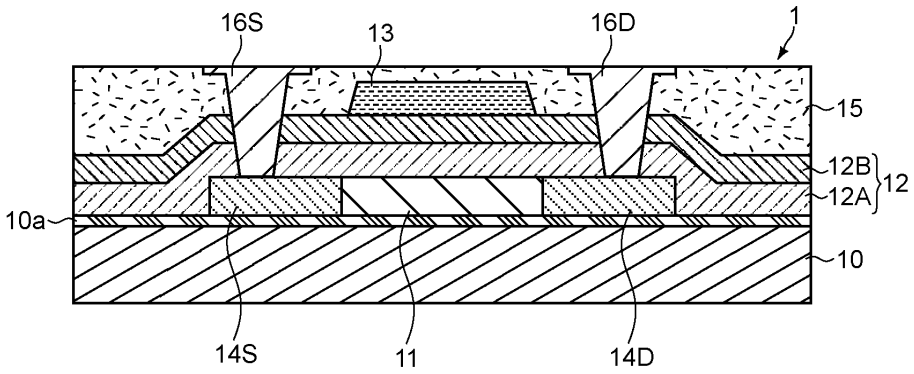
13: 게이트 전극

14S: 소스 영역

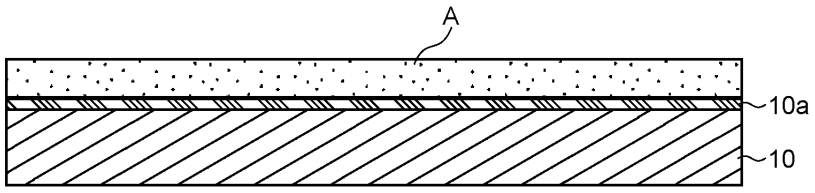
14D: 드레인 영역

도면

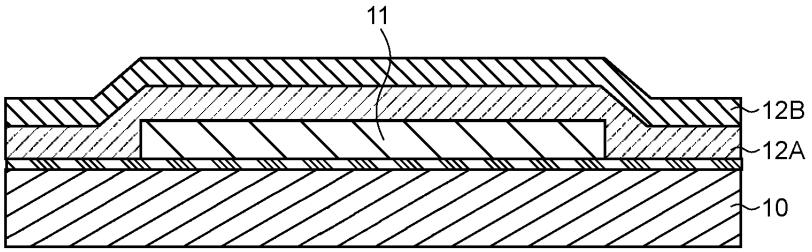
도면1



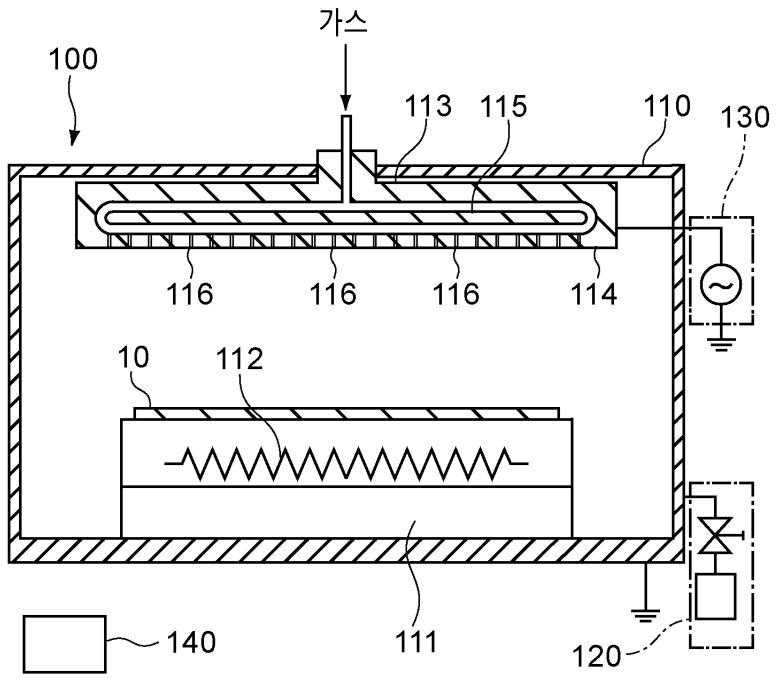
도면2



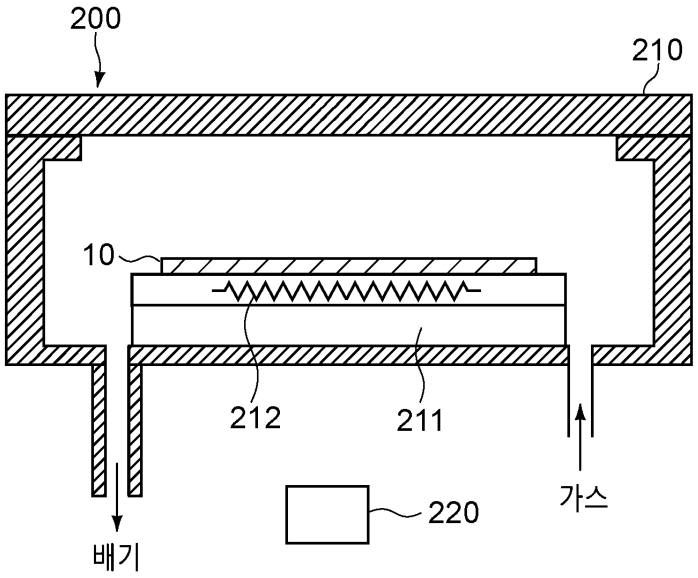
도면3



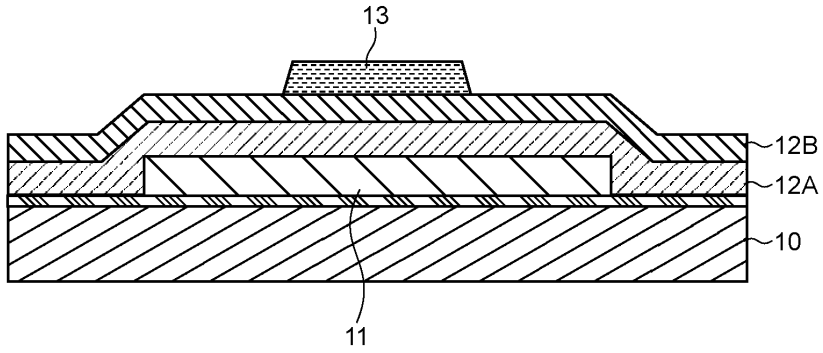
도면4


가스
100
113
115
110
130
116
116
116
114
10
112
140
111
120

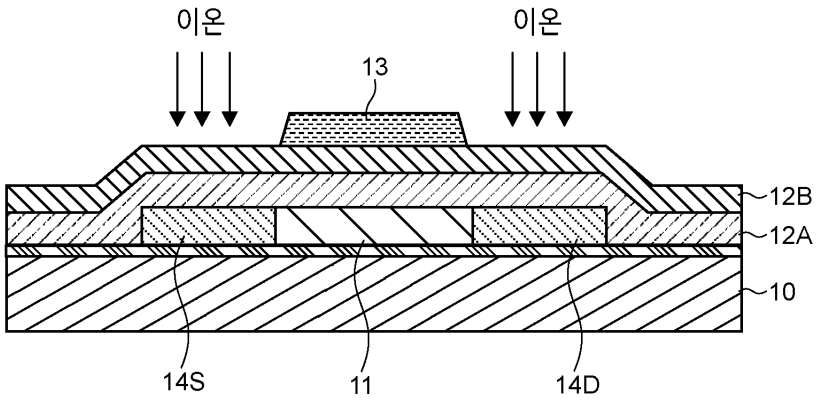
도면5


200
210
10
212
211
220
가스
배기

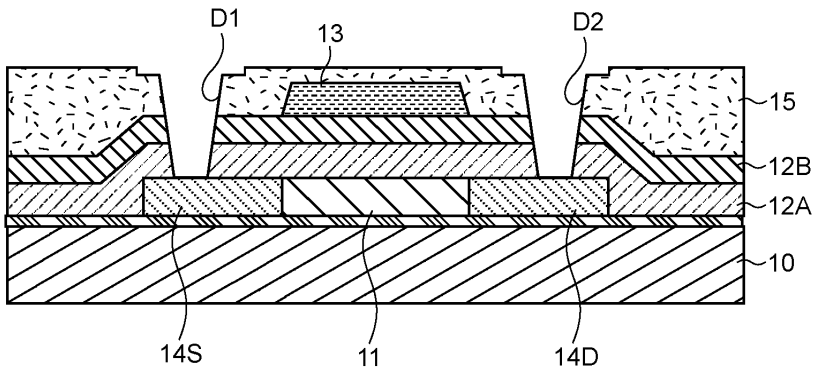
도면6


13
12B
12A
10
11

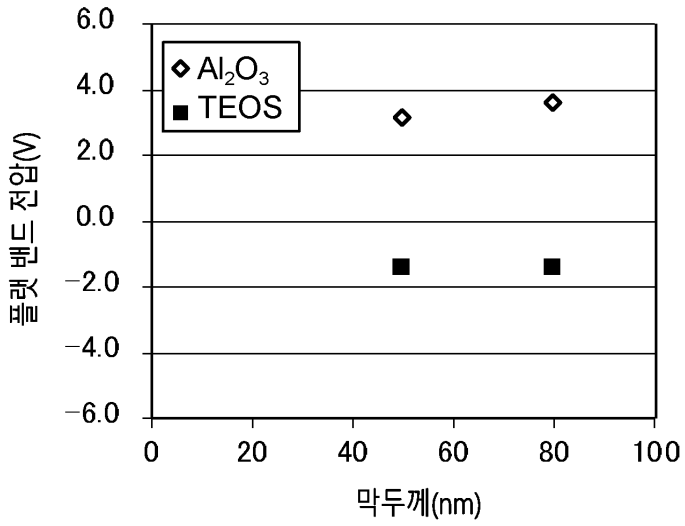
도면7


이온
이온
13
12B
12A
10
14S
11
14D

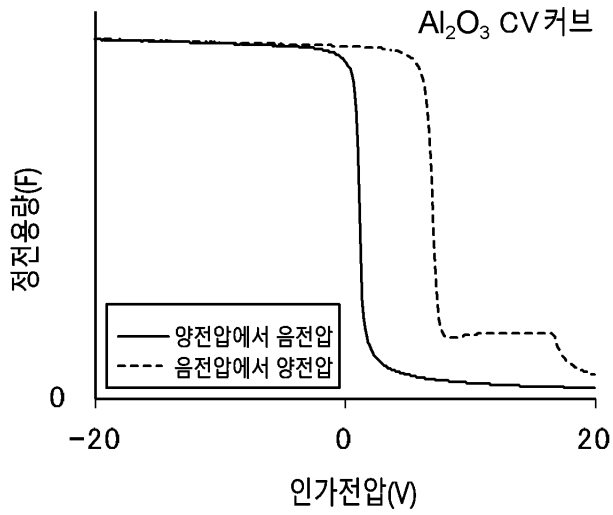
도면8


D1
13
D2
15
12B
12A
10
14S
11
14D

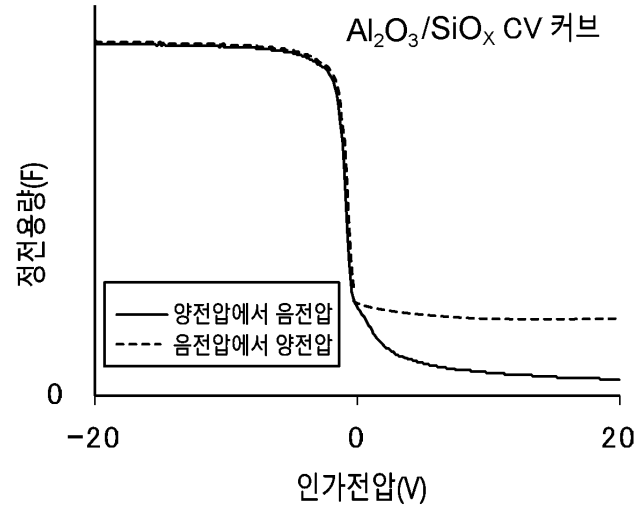
도면9


6.0
4.0
2.0
0.0
−2.0
−4.0
−6.0
◇ Al_2O_3
■ TEOS
플랫 밴드 전압(V)
0
20
40
60
80
100
막두께(nm)

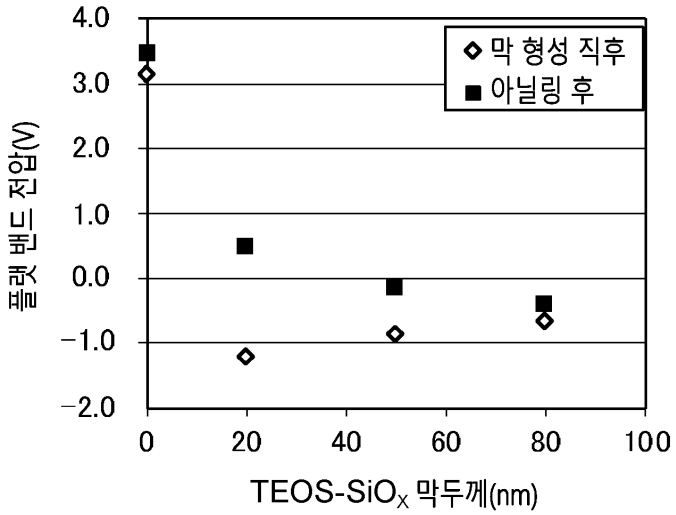
도면10


Al_2O_3 CV커브
정전용량(F)
양전압에서 음전압
음전압에서 양전압
0
−20
0
20
인가전압(V)

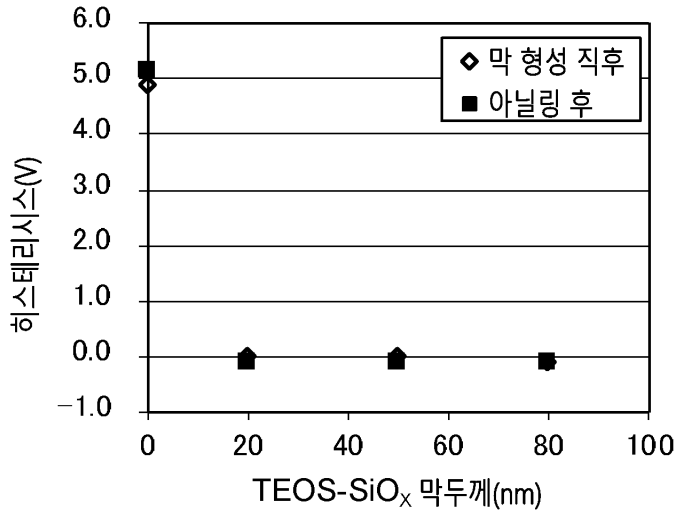
도면11



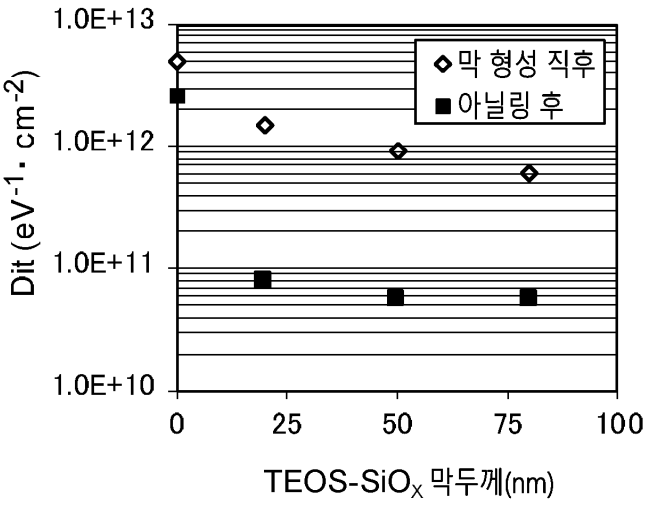
도면12



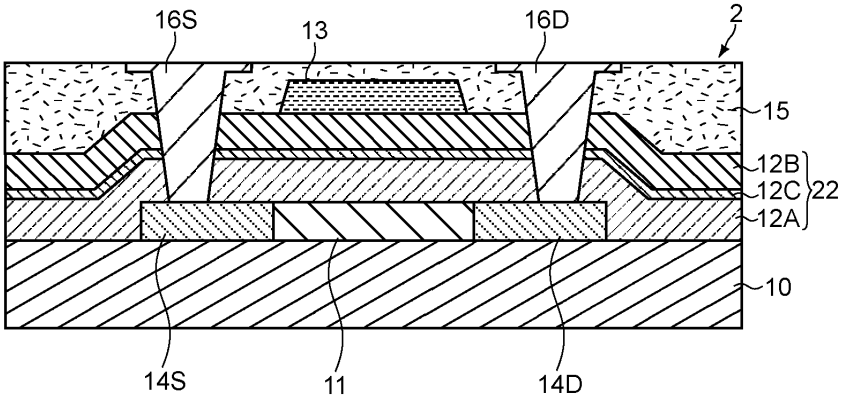
도면13



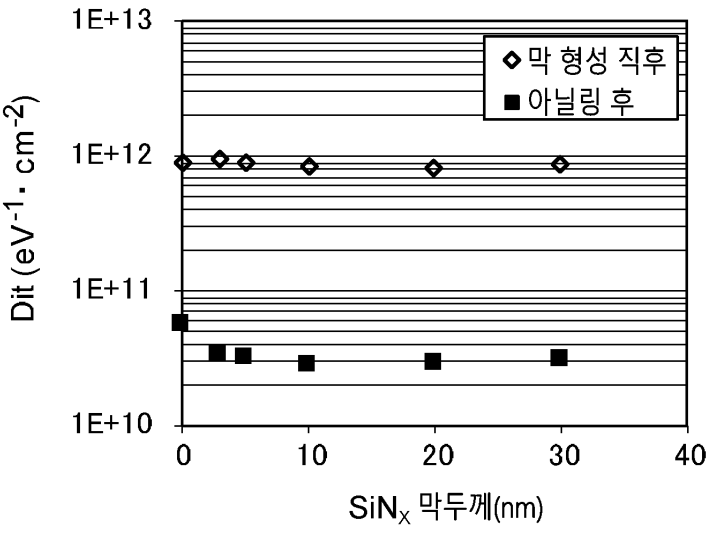
도면14



도면15



도면16



도면17

