



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년03월28일
(11) 등록번호 10-1842796
(24) 등록일자 2018년03월21일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 27/32 (2006.01)
(52) CPC특허분류
H01L 29/78645 (2013.01)
H01L 27/3248 (2013.01)
(21) 출원번호 10-2016-0145338
(22) 출원일자 2016년11월02일
심사청구일자 2016년11월02일
(56) 선행기술조사문헌
KR101381549 B1*
(뒷면에 계속)

(73) 특허권자
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)
(72) 발명자
장진
서울특별시 서초구 잠원로 88, 302동 908호(잠원동, 신반포아파트)
김태현
서울특별시 동대문구 경희대로 26 (회기동, 경희대학교서울캠퍼스)
(74) 대리인
김연권

전체 청구항 수 : 총 13 항

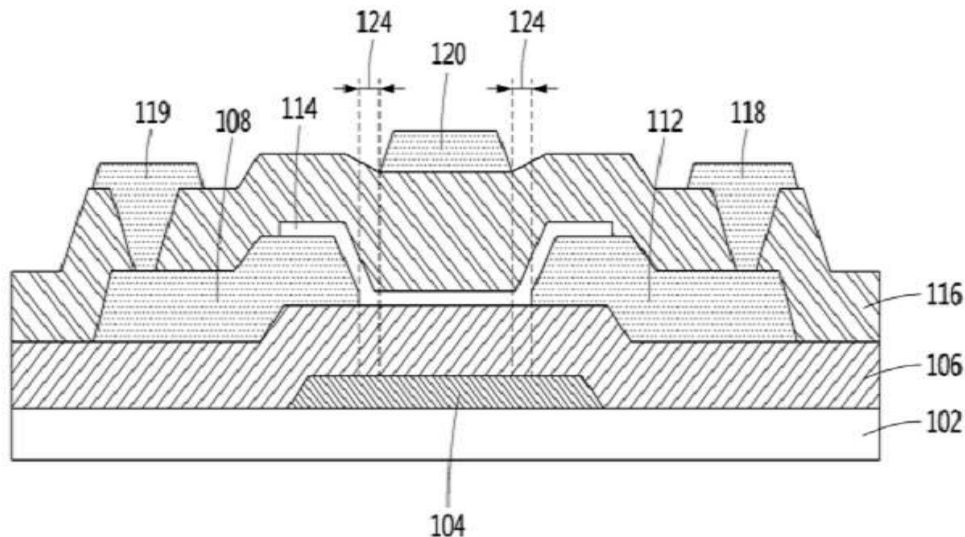
심사관 : 고연화

(54) 발명의 명칭 듀얼 게이트 구조를 구비하는 산화물 반도체 트랜지스터 및 그 제조방법

(57) 요약

본 발명은 산화물 반도체 트랜지스터 및 그 제조방법을 개시한다. 본 발명의 실시예에 따른 산화물 반도체 트랜지스터는 기판 상에 형성되는 제1 게이트 전극, 제1 게이트 전극 상에 용액 공정에 의해 형성되는 제1 게이트 절연막, 제1 게이트 절연막 일측에 형성되는 소스 전극 및 드레인 전극, 제1 게이트 절연막, 소스 전극 및 드레인 전극 상에 용액 공정에 의해 형성되는 산화물 반도체막, 산화물 반도체막 상에 용액 공정에 의해 형성되는 제2 게이트 절연막, 제2 게이트 절연막 일측에 소스 전극 및 드레인 전극과 각각 전기적으로 연결되는 픽셀 전극 및 제2 게이트 절연막 상에 형성되는 제2 게이트 전극을 포함하고, 제1 게이트 절연막, 산화물 반도체막 및 제2 게이트 절연막을 용액 공정으로 형성하며, 제2 게이트 전극을 소스 전극 및 드레인 전극 내에 1 μ m 이상의 오프셋을 가져 드레인 전류를 감소시켜 산화물 반도체 트랜지스터의 전기적 특성을 안정화시키는 것을 특징으로 한다.

대표도 - 도1



(52) CPC특허분류

H01L 27/3258 (2013.01)
H01L 27/3262 (2013.01)
H01L 29/78606 (2013.01)
H01L 29/78618 (2013.01)
H01L 29/7869 (2013.01)

(56) 선행기술조사문헌

KR1020120065048 A*
 KR101506098 B1*
 JP6006975 B2*
 KR1020130099693 A
 Y.G. Kim, et al., Stable and High-Performance Indium Oxide Thin-Film Transistor by Ga Doping
 M.M. Billah, et al., TCAD Simulation of Dual-Gate a-IGZO TFTs With Source and Drain Offsets
 C.H. Jeon, et al., Fast Threshold Voltage Compensation AMOLED Pixel Circuit Using Secondary Gate Effect of Dual Gate a-IGZO TFTs
 R.N. Bukke, et al., Improvement in performance of solution processed indium-zinc-tin oxide thin film transistors by using UV Ozone treatment on zirconium oxide gate insulator
 Y.J. Cho, et al., Evaluation of Y2O3 gate insulators for a-IGZO thin film transistors
 *는 심사관에 의하여 인용된 문헌

이 발명을 지원한 국가연구개발사업

과제고유번호	10045269
부처명	산업통상지원부
연구관리전문기관	한국산업기술평가관리원
연구사업명	산업융합원천기술개발
연구과제명	AMOLED TV용 Soluble TFT 및 화소 형성 소재/공정 기술 개발
기 여 율	1/1
주관기관	경희대학교 산학협력단
연구기간	2016.05.01 ~ 2017.04.30

명세서

청구범위

청구항 1

기관;

상기 기관 상에 형성되는 제1 게이트 전극;

상기 제1 게이트 전극 상에 형성되는 제1 게이트 절연막;

상기 제1 게이트 절연막 일측에 형성되는 소스 전극 및 드레인 전극;

상기 제1 게이트 절연막, 상기 소스 전극 및 상기 드레인 전극 상에 용액 공정으로 형성되는 산화물 반도체막;

상기 산화물 반도체막 상에 형성되는 제2 게이트 절연막;

상기 제2 게이트 절연막 일측에 형성되고, 상기 소스 전극 및 상기 드레인 전극과 각각 전기적으로 연결되는 픽셀 전극; 및

상기 제2 게이트 절연막 상에 형성되는 제2 게이트 전극

을 포함하고,

상기 소스 전극 및 상기 드레인 전극과 상기 제2 게이트 전극 사이의 비오버랩 영역인 오프셋을 조절하고, 상기 제2 게이트 절연막을 형성하기 위한 용액의 용매 pH를 조절하여, 산화물 반도체 트랜지스터의 전기적 특성을 제어하는 것을 특징으로 하는 산화물 반도체 트랜지스터.

청구항 2

제1항에 있어서,

상기 오프셋은,

상기 제2 게이트 전극의 일단과 상기 소스 전극 사이의 폭 및 상기 제2 게이트 전극의 타단과 상기 드레인 전극 사이의 폭 중 적어도 하나인 것을 특징으로 하는 산화물 반도체 트랜지스터.

청구항 3

제1항에 있어서,

상기 제1 게이트 절연막이 용액 공정으로 형성되는 것을 특징으로 하는 산화물 반도체 트랜지스터.

청구항 4

제1항에 있어서,

상기 제1 게이트 전극 및 상기 제2 게이트 전극은 전기적으로 연결되어 동일한 전압이 인가 되는 것을 특징으로 하는 산화물 반도체 트랜지스터.

청구항 5

제1항에 있어서,

상기 제1 게이트 절연막은

알루미늄 산화물(Al_2O_3), 지르코늄 산화물(ZrO_x), 지르코늄 알루미늄 산화물 (ZrAlO_x) 및 hafnium 산화물(HfO_x) 중 선택되는 적어도 하나를 포함하는 것을 특징으로 하는 산화물 반도체 트랜지스터.

청구항 6

제1항에 있어서,

상기 산화물 반도체막은

인듐 갈륨 징크 옥사이드(IGZO), 인듐 옥사이드(InO), 징크 옥사이드(ZnO), 인듐 갈륨 옥사이드(IGO), 인듐 알루미늄 옥사이드(IAO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), hafnium 인듐 징크 옥사이드(HIZO), 인듐 징크 틴 옥사이드(IZTO) 및 알루미늄 징크 틴 옥사이드(AZTO) 중 선택되는 적어도 어느 하나를 포함하는 것을 특징으로 하는 산화물 반도체 트랜지스터.

청구항 7

제1항에 있어서,

상기 제2 게이트 절연막은

이트륨 옥사이드(Y_2O_3), 지르코늄 옥사이드(ZrO_x), 지르코늄 알루미늄 산화물 (ZrAlO_x) 중 선택되는 적어도 하나를 포함하는 것을 특징으로 하는 산화물 반도체 트랜지스터.

청구항 8

제7항에 있어서,

상기 제2 게이트 절연막은,

물(H_2O) 기반의 용매를 사용하여 형성하는 것을 특징으로 하는 산화물 반도체 트랜지스터.

청구항 9

제1항에 있어서,

상기 산화물 반도체막은 $4\mu\text{m}$ 이상의 채널 길이로 형성하는 것을 특징으로 하는 산화물 반도체 트랜지스터.

청구항 10

제1항에 있어서,

상기 산화물 반도체 트랜지스터는,

상기 제2 게이트 전극 상에 보호막(passivation layer)

을 더 포함하는 것을 특징으로 하는 산화물 반도체 트랜지스터.

청구항 11

기판 상에 제1 게이트 전극을 형성하는 단계;

상기 제1 게이트 전극 상에 제1 게이트 절연막을 형성하는 단계;

상기 제1 게이트 절연막 일측에 소스 전극 및 드레인 전극을 형성하는 단계;

상기 제1 게이트 절연막, 상기 소스 전극 및 상기 드레인 전극 상에 용액 공정으로 산화물 반도체막을 형성하는 단계;

상기 산화물 반도체막 상에 제2 게이트 절연막을 형성하는 단계;

상기 제2 게이트 절연막 일측에 상기 소스 전극 및 상기 드레인 전극과 각각 전기적으로 연결되는 픽셀전극을 형성하는 단계; 및

상기 제2 게이트 절연막 상에 제2 게이트 전극을 형성하는 단계

를 포함하고,

상기 소스 전극 및 상기 드레인 전극과 상기 제2 게이트 전극 사이의 비오버랩 영역인 오프셋을 $1\mu\text{m}$ 이상으로 조절하고, 상기 제2 게이트 절연막을 형성하기 위한 용액의 용매 pH를 조절하여, 산화물 반도체 트랜지스터의 전기적 특성을 제어하는 것을 특징으로 하는 산화물 반도체 트랜지스터 제조 방법.

청구항 12

제11항에 있어서,

상기 오프셋은,

상기 제2 게이트 전극의 일단과 상기 소스 전극 사이의 폭 및 상기 제2 게이트 전극의 타단과 상기 드레인 전극 사이의 폭 중 적어도 하나인 것을 특징으로 하는 산화물 반도체 트랜지스터 제조 방법.

청구항 13

제11항에 있어서,

상기 제1 게이트 절연막이 용액 공정으로 형성되는 것을 특징으로 하는 산화물 반도체 트랜지스터 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 듀얼 게이트 구조를 구비하는 산화물 반도체 트랜지스터 및 그 제조방법에 관한 것으로, 보다 상세하게는 용액공정으로 제조된 제1 게이트 절연막, 산화물 반도체막 및 제2 게이트 절연막을 포함하는 듀얼 게이트 구조를 구비하는 산화물 반도체 트랜지스터 및 그 제조방법에 관한 것이다.

배경 기술

[0003] 실리콘(Si) 기반 박막트랜지스터의 비정질 실리콘(a-Si) 박막트랜지스터는 제조가 용이하지만 낮은 전자 이동도를 갖고 있다. 한편, 폴리 실리콘(poly-Si) 박막트랜지스터는 비정질 실리콘(a-Si) 박막트랜지스터에 비해 전자 이동도가 높아 대면적의 고화질 디스플레이에 적용가능하며 안정성도 높지만, 제조공정이 복잡하고 제조원가가 높으며, 패널 내 소자 특성의 불균일로 인해 보상회로를 필요로 하는 문제점이 있다.

[0004] 이러한 실리콘(Si) 기반 박막트랜지스터의 단점을 해결하고자 산화물 반도체 박막트랜지스터가 개발되고 있다. 산화물 박막트랜지스터는 기존 비정질 실리콘(a-Si) 박막트랜지스터에 비해 높은 이동도와 낮은 누설전류(off-current)를 가지고 있어, 차세대 디스플레이 구동소자의 가능성 측면에서 많은 각광을 받고 있다.

[0005] 산화물 박막트랜지스터의 활성층 영역으로 사용되는 산화물 반도체를 만들기 위한 방법은, 크게 두 가지의 방법으로 나눌 수 있다. 첫째로, 진공장비를 사용해 산화물 반도체를 기판에 물리적 혹은 화학적으로 증착하는 방법이 있고, 두번째로, 용액공정을 사용하여 산화물 반도체를 형성하는 방법이 있다.

[0006] 하지만 진공장비를 사용해 산화물 반도체를 기판에 물리적 혹은 화학적으로 증착하는 방법은 높은 생산비용이

필요하다는 단점이 있다.

- [0007] 이러한 단점을 극복하기 위한 방법으로, 용액공정을 사용하여 산화물 반도체를 형성하나, 이러한 용액공정은 싱글 게이트(single gate) 구조에서만 사용되고 있다.
- [0008] 하지만 최근 산화물 반도체 박막 트랜지스터는 싱글 게이트(single gate) 구조보다 전기적 특성이 향상되는 듀얼 게이트(Dual gate) 구조를 사용하는 기술이 요구되어 있다.
- [0009] 또한, 종래의 용액 공정 기반의 싱글 게이트 구조의 산화물 반도체 트랜지스터의 경우 증착 공정 대비 낮은 모빌리티, 전류 및 신뢰성 문제로 인하여 상용화되기 어렵다는 문제점이 있었다.
- [0010] 또한, 용액 공정 기반의 박막 트랜지스터 제작에 있어서, 용매(solvent)에 따라 pH 특성이 달라지며, 이로 인해, 산화물 반도체 트랜지스터의 전기적 특성 또한 균일하지 못하는 문제점이 존재하였다.

선행기술문헌

특허문헌

- [0012] (특허문헌 0001) 대한민국등록특허공보 제1108176호, "더블 게이트형 박막 트랜지스터 및 이를 구비한 유기 발광 표시 장치"
- (특허문헌 0002) 대한민국등록특허공보 제0205868호, "이중 게이트 박막 트랜지스터 및 그 제조방법"
- (특허문헌 0003) 대한민국등록특허공보 제0931587호, "액정표시장치 및 이의 제조 방법"

발명의 내용

해결하려는 과제

- [0013] 본 발명의 실시예는 용액공정으로 제조된 제1 게이트 절연막, 산화물 반도체막 및 제2 게이트 절연막을 포함하는 듀얼 게이트 구조의 산화물 반도체 트랜지스터를 형성함으로써 전기적 특성이 향상된 듀얼 게이트 구조를 구비하는 산화물 트랜지스터를 제공하고자 한다.
- [0014] 본 발명의 실시예는 제2 게이트 전극의 일단과 소스 전극 사이의 폭 및 제2 게이트 전극의 타단과 드레인 전극 사이의 폭 중 적어도 하나를 의미하는 오프셋을 $1\mu\text{m}$ 이상으로 조절하여, 드레인 누설 전류의 양을 감소시켜 산화물 반도체 트랜지스터의 전기적 특성을 제어하고자 한다.
- [0015] 본 발명의 실시예는 듀얼 게이트 구조의 산화물 반도체 트랜지스터를 형성함으로써 산화물 반도체막에 축적되는 전자의 농도를 증가시켜 소스 전극/드레인 전극을 통과하는 전류의 양을 증가시키고, 또한, 양의 전압 및 음의 전압과 온도에 대한 신뢰성 테스트에서 안정화 특성을 제공하고자 한다.
- [0016] 본 발명의 실시예는 듀얼 게이트 구조의 산화물 반도체 트랜지스터를 용액 공정으로 형성하여 싱글 게이트 구조의 산화물 반도체 트랜지스터 대비 전류 특성 및 안정성을 개선하여 향상된 전기적 특성을 제공하고자 한다.
- [0017] 또한, 본 발명의 실시예에 따른 용액 공정 시, 용매에 따라 pH 특성을 조절하여 듀얼 게이트 구조의 산화물 반도체 트랜지스터의 전기적 특성을 향상시키고, 공정 단순화를 통해 공정 시간 및 공정 비용을 감소시키고자 한다.

과제의 해결 수단

- [0019] 본 발명의 실시예에 따른 산화물 반도체 트랜지스터는 기판, 상기 기판 상에 형성되는 제1 게이트 전극, 상기 제1 게이트 전극 상에 형성되는 제1 게이트 절연막, 상기 제1 게이트 절연막 일측에 형성되는 소스 전극 및 드레인 전극, 상기 제1 게이트 절연막, 상기 소스 전극 및 상기 드레인 전극 상에 형성되는 산화물 반도체막, 상기 산화물 반도체막 상에 형성되는 제2 게이트 절연막, 상기 제2 게이트 절연막 일측에 상기 소스 전극 및 상기 드레인 전극과 각각 전기적으로 연결되는 픽셀 전극 및 상기 제2 게이트 절연막 상에 형성되는 제2 게이트 전극을 포함하고, 상기 소스 전극 및 상기 드레인 전극과 상기 제2 게이트 전극 사이의 비오버랩 영역인 오프셋을 $1\mu\text{m}$ 이상으로 조절하여, 상기 산화물 반도체막의 채널 깊이를 증가시켜 산화물 반도체 트랜지스터의 전기적 특성을 제어한다.

- [0020] 상기 오프셋은 상기 제2 게이트 전극의 일단과 상기 소스 전극 사이의 폭 및 상기 제2 게이트 전극의 타단과 상기 드레인 전극 사이의 폭 중 적어도 하나일 수 있다.
- [0021] 상기 제1 게이트 절연막, 상기 산화물 반도체막 및 상기 제2 게이트 절연막 중 적어도 어느 하나는 용액 공정으로 형성될 수 있다.
- [0022] 상기 제1 게이트 전극 및 상기 제2 게이트 전극은 전기적으로 연결되어 동일한 전압을 인가 받을 수 있다.
- [0023] 상기 제2 게이트 전극은 2 μ m 이상의 길이로 형성될 수 있다.
- [0024] 상기 제1 게이트 절연막은 알루미늄 산화물(Al_2O_3), 지르코늄 산화물(ZrO_x), 지르코늄 알루미늄 산화물 ($ZrAlO_x$) 및 hafnium 산화물(HfO_x) 중 선택되는 적어도 하나를 포함할 수 있다.
- [0025] 상기 산화물 반도체막은 인듐 갈륨 징크 옥사이드(IGZO), 인듐 옥사이드(InO), 징크 옥사이드(ZnO), 인듐 갈륨 옥사이드(IGO), 인듐 알루미늄 옥사이드(IAO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드(ZTO), 갈륨 징크 옥사이드(GZO), hafnium 인듐 징크 옥사이드(HIZO), 인듐 징크 틴 옥사이드(IZTO) 및 알루미늄 징크 틴 옥사이드(AZTO) 중 적어도 하나를 포함할 수 있다.
- [0026] 상기 제2 게이트 절연막은 이트륨 옥사이드(Y_2O_3), 지르코늄 옥사이드(ZrO_x), 지르코늄 알루미늄 산화물 ($ZrAlO_x$) 중 선택되는 적어도 하나를 포함할 수 있다.
- [0027] 상기 제2 게이트 절연막은 물(H_2O) 기반의 용매를 사용하여 형성될 수 있다.
- [0028] 또한, 상기 제1 게이트 절연막 및 제2 게이트 절연막의 구성은 상기 제1 게이트 절연막 및 제2 게이트 절연막으로 제시된 것들 중 적어도 하나를 포함할 수 있다.
- [0029] 상기 산화물 반도체막은 4 μ m 이상의 채널 길이로 형성될 수 있다.
- [0030] 본 발명의 실시예에 따른 산화물 반도체 트랜지스터는 상기 제2 게이트 전극 상에 보호막(passivation layer)을 더 포함할 수 있다.
- [0031] 본 발명의 실시예에 따른 산화물 반도체 트랜지스터는 기판 상에 제1 게이트 전극을 형성하는 단계, 상기 제1 게이트 전극 상에 제1 게이트 절연막을 형성하는 단계, 상기 제1 게이트 절연막 일측에 소스 전극 및 드레인 전극을 형성하는 단계, 상기 제1 게이트 절연막, 상기 소스 전극 및 상기 드레인 전극 상에 산화물 반도체막을 형성하는 단계, 상기 산화물 반도체막 상에 제2 게이트 절연막을 형성하는 단계, 상기 제2 게이트 절연막 일측에 소스 전극 및 드레인 전극과 각각 전기적으로 연결되는 픽셀전극을 형성하는 단계 및 상기 제2 게이트 절연막 상에 제2 게이트 전극을 형성하는 단계를 포함하고, 상기 소스 전극 및 상기 드레인 전극과 상기 제2 게이트 전극 사이의 비오버랩 영역인 오프셋을 1 μ m 이상으로 조절하여, 상기 산화물 반도체막의 채널 넓이를 증가시켜 산화물 반도체 트랜지스터의 전기적 특성을 제어한다.
- [0032] 상기 오프셋은 상기 제2 게이트 전극의 일단과 상기 소스 전극 사이의 폭 및 상기 제2 게이트 전극의 타단과 상기 드레인 전극 사이의 폭 중 적어도 하나일 수 있다.
- [0033] 상기 제1 게이트 절연막, 상기 산화물 반도체막 및 상기 제2 게이트 절연막 중 적어도 어느 하나는 용액 공정으로 형성될 수 있다.

발명의 효과

- [0035] 본 발명의 실시예에 따르면 용액공정으로 제조된 산화물 박막층을 포함하는 듀얼 게이트 구조를 구비하는 산화물 반도체 트랜지스터를 형성함으로써, 전기적 특성을 향상시킬 수 있다.
- [0036] 또한, 본 발명의 실시예에 따르면 소스 전극 및 드레인 전극과 제2 게이트 전극 사이의 비오버랩 영역인 오프셋을 1 μ m 이상으로 조절하여, 드레인 전류의 양을 감소시켜 산화물 반도체 트랜지스터의 전기적 특성을 제어할 수 있다.
- [0037] 또한, 본 발명의 실시예에 따르면 듀얼 게이트 구조의 산화물 반도체 트랜지스터를 형성함으로써 산화물 반도체막에 형성되는 채널 넓이를 증가시켜 소스 전극/드레인 전극을 통과하는 전류의 양을 증가시키고, 또한, 양의 전압 및 음의 전압과 온도에 대한 신뢰성 테스트에서 안정화 특성을 제공할 수 있다.
- [0038] 본 발명의 실시예에 따르면 듀얼 게이트 구조의 산화물 반도체 트랜지스터를 용액 공정으로 형성함으로써, 싱글

게이트 구조의 산화물 반도체 트랜지스터 대비 전류 특성 및 안정성을 개선하여 향상된 전기적 특성을 가질 수 있다.

[0039] 또한, 본 발명의 실시예에 따르면 다른 용액 공정을 사용하여 게이트 절연막 또는 산화물 반도체막을 형성함으로써, 용매에 따라 pH 특성을 조절하여 듀얼 게이트 구조의 산화물 반도체 트랜지스터의 전기적 특성을 향상시키고, 공정 단순화를 통해 공정 시간 및 공정 비용을 감소시킬 수 있다.

도면의 간단한 설명

[0041] 도 1은 본 발명의 실시예에 따른 산화물 반도체 트랜지스터의 구조를 도시하는 단면도이다.

도 2는 본 발명의 실시예에 따른 산화물 반도체 트랜지스터의 제조 방법을 도시한 흐름도이다.

도 3a 및 도 3b는 비교예에 따른 산화물 반도체 트랜지스터의 전기적 특성을 도시한 그래프이다.

도 4a 내지 도 4d는 비교예에 따른 산화물 반도체 트랜지스터의 듀얼 게이트 오버랩 구조의 전기적 특성을 도시한 그래프이다.

도 5a 내지 도 5d는 본 발명의 실시예에 따른 산화물 반도체 트랜지스터의 하부 스위치를 이용한 전기적 특성과 듀얼 스위치를 이용한 전기적 특성을 도시한 그래프이다.

도 6a 내지 도 6d는 본 발명의 실시예에 따른 산화물 반도체 트랜지스터의 상부 게이트 오프셋 길이에 따른 전기적 특성을 도시한 그래프이다.

도 7a 내지 도 7c는 본 발명의 실시예에 따른 산화물 반도체 트랜지스터의 VTG를 이용한 문턱전압을 조절한 전기적 특성을 도시한 그래프이다.

도 8a 내지 도 8d는 본 발명의 실시예에 따른 산화물 반도체 트랜지스터에 양의 전압(+5V)에 대한 신뢰성 테스트 후, 하부 스위치와 듀얼 스위치를 이용한 전기적 특성을 도시한 그래프이다.

도 9a 내지 도 9c는 본 발명의 실시예에 따른 산화물 반도체 트랜지스터에 양의 전압(+5V)에 60℃ 온도에 대한 신뢰성 테스트 후, 하부 스위치와 듀얼 스위치를 이용한 전기적 특성을 도시한 그래프이다.

도 10a 내지 도 10c는 본 발명의 실시예에 따른 용액 공정 산화물 반도체 트랜지스터에 음의 전압(-5V)에 60℃ 온도에 대한 신뢰성 테스트 후, 하부 스위치와 듀얼 스위치를 이용한 전기적 특성을 도시하기 위한 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0042] 이하 첨부 도면들 및 첨부 도면들에 기재된 내용들을 참조하여 본 발명의 실시예를 상세하게 설명하지만, 본 발명이 실시예에 의해 제한되거나 한정되는 것은 아니다.

[0043] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

[0044] 본 명세서에서 사용되는 “실시예”, “예”, “측면”, “예시” 등은 기술된 임의의 양상(aspect) 또는 설계가 다른 양상 또는 설계들보다 양호하다거나, 이점이 있는 것으로 해석되어야 하는 것은 아니다.

[0045] 또한, '또는'이라는 용어는 배타적 논리합 'exclusive or'이기보다는 포함적인 논리합 'inclusive or'를 의미한다. 즉, 달리 언급되지 않는 한 또는 문맥으로부터 명확하지 않는 한, 'x가 a 또는 b를 이용한다'라는 표현은 포함적인 자연 순열들(natural inclusive permutations) 중 어느 하나를 의미한다.

[0046] 또한, 본 명세서 및 청구항들에서 사용되는 단수 표현(“a” 또는 “an”)은, 달리 언급하지 않는 한 또는 단수 형태에 관한 것이라고 문맥으로부터 명확하지 않는 한, 일반적으로 “하나 이상”을 의미하는 것으로 해석되어야 한다.

[0047] 아래 설명에서 사용되는 용어는, 연관되는 기술 분야에서 일반적이고 보편적인 것으로 선택되었으나, 기술의 발달 및/또는 변화, 관례, 기술자의 선호 등에 따라 다른 용어가 있을 수 있다. 따라서, 아래 설명에서 사용되는 용어는 기술적 사상을 한정하는 것으로 이해되어서는 안 되며, 실시예들을 설명하기 위한 예시적 용어로 이해되어야 한다.

- [0048] 또한, 특정한 경우는 출원인이 임의로 선정한 용어도 있으며, 이 경우 해당되는 설명 부분에서 상세한 그 의미를 기재할 것이다. 따라서 아래 설명에서 사용되는 용어는 단순한 용어의 명칭이 아닌 그 용어가 가지는 의미와 명세서 전반에 걸친 내용을 토대로 이해되어야 한다.
- [0049] 한편, 제1, 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 구성 요소들은 용어들에 의하여 한정되지 않는다. 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만 사용된다.
- [0050] 또한, 막, 층, 영역, 구성 요청 등의 부분이 다른 부분 “위에” 또는 “상에” 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 층, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.
- [0051] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0052] 한편, 본 발명을 설명함에 있어서, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는, 그 상세한 설명을 생략할 것이다. 그리고, 본 명세서에서 사용되는 용어(terminology)들은 본 발명의 실시예를 적절히 표현하기 위해 사용된 용어들로서, 이는 사용자, 운용자의 의도 또는 본 발명이 속하는 분야의 관례 등에 따라 달라질 수 있다. 따라서, 본 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [0054] 도 1은 본 발명의 실시예에 따른 산화물 반도체 트랜지스터의 구조를 도시하는 단면도이다.
- [0055] 본 발명의 실시예에 따른 산화물 반도체 트랜지스터는 기판(102) 상에는 제1 게이트 전극(104)이 형성되고, 제1 게이트 전극(104) 상에는 제1 게이트 절연막(106)이 형성되며, 제1 게이트 절연막(106) 일측에 소스 전극(108) 및 드레인 전극(112)이 형성된다.
- [0056] 제1 게이트 절연막(106), 소스 전극(108) 및 드레인 전극(112) 상에는 산화물 반도체막(114)이 형성되고, 산화물 반도체막(114) 상에는 제2 게이트 절연막(116)이 형성되며, 제2 게이트 절연막(116) 일측에는 소스 전극(108) 및 드레인 전극(112)에 각각 전기적으로 연결되는 픽셀 전극(118, 119)이 형성되고, 제2 게이트 절연막(116) 상에는 제2 게이트 전극(120)이 형성된다.
- [0057] 또한, 제1 게이트 절연막(106), 산화물 반도체막(114) 및 제2 게이트 절연막(116) 중 적어도 어느 하나는 용액 공정에 의해 형성될 수 있다.
- [0058] 또한, 본 발명의 실시예에 따른 산화물 반도체 트랜지스터는 소스 전극(108) 및 드레인 전극(112)과 제2 게이트 전극(120) 사이의 비오버랩 영역인 오프셋(124)을 포함한다.
- [0059] 오프셋(124)은 제2 게이트 전극(120)의 일단과 소스 전극(112) 사이의 폭 및 제2 게이트 전극(120)의 타단과 드레인 전극(114) 사이의 폭 중 적어도 하나를 의미한다.
- [0060] 또한, 오프셋(124)은 1 μ m 이상으로 조절되며, 이로 인해, 드레인 전류의 양을 감소시켜 본 발명의 실시예에 따른 산화물 반도체 트랜지스터의 전기적 특성이 제어될 수 있다.
- [0061] 또한, 오프셋이 1 μ m이하일 경우에는 제2 게이트 전극(120)과 소스/드레인 전극(112, 114) 간의 누설 전류 또는 기생전압이 발생될 수 있다.
- [0062] 제1 게이트 전극(104) 또는 제2 게이트 전극(120)과 소스 전극(112) 및 드레인 전극(114) 사이의 오프셋이 없는 구조의 경우, 전극간 누설전류 및 기생 전압이 발생하게 되고, 이로 인해, 고성능의 전기적 특성을 가지는 산화물 반도체 트랜지스터의 특성이 열화될 수 있다.
- [0063] 하지만, 본 발명의 실시예에 따른 산화물 반도체 트랜지스터는 오프셋 구조를 갖는 듀얼 게이트 구조의 산화물 반도체 트랜지스터를 제조함으로써, 전기적 특성이 효과적으로 보완될 수 있다.
- [0064] 이하에서는 도 2를 참조하여, 산화물 반도체 트랜지스터 제조 방법에 대해 상세히 설명하기로 한다.
- [0066] 도 2는 본 발명의 실시예에 따른 산화물 반도체 트랜지스터의 제조 방법을 도시한 흐름도이다.
- [0067] 본 발명의 실시예에 따른 산화물 반도체 트랜지스터의 제조 방법은 단계 S210에서, 기판 상에 제1 게이트 전극을 형성한다.

- [0068] 기판은 산화물 반도체 트랜지스터를 형성하기 위한 베이스 기판으로서, 당 분야에서 사용하는 기판으로 그 재질을 특별하게 한정하는 것은 아니나, 예를 들어, 실리콘, 유리, 플라스틱, 석영 또는 금속 호일(foil)과 같은 다양한 재질을 사용될 수 있다.
- [0069] 제1 게이트 전극은 기판 위에 게이트 도전막을 증착하고, 게이트 도전막 상에 포토레지스트 패턴을 형성한 후, 포토레지스트 패턴을 마스크로 하여 게이트 도전막을 선택적으로 식각, 즉, 패터닝함으로써 형성될 수 있다.
- [0070] 제1 게이트 전극은 10nm 이상의 두께로 형성될 수 있고, 두께가 10nm 이하일 경우 제1 게이트 전극의 저항이 증가된다는 문제점이 있다.
- [0071] 제1 게이트 전극은 전기 전도도 물질인 금속 또는 금속 산화물을 포함할 수 있다. 구체적으로는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti) 또는 은(Ag)과 같은 금속 및 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ITZO(Indium Tin Zinc Oxide)와 같은 금속 산화물 중 적어도 어느 하나의 재질을 포함할 수 있다.
- [0072] 제1 게이트 전극은 화학 기상 증착법(chemical vapor deposition), 물리 기상 증착법(physical vapor deposition) 및 원자층 증착법(atomic layer deposition)과 같은 증착 공정에 의해 형성될 수 있다.
- [0073] 단계 S220에서, 제1 게이트 전극 상에 용액 공정으로 제1 게이트 절연막을 형성한다.
- [0074] 제1 게이트 절연막은 용액 공정을 이용하여 형성될 수 있다. 구체적으로 제1 게이트 절연막은 스핀 코팅(Spin-coating), 슬릿 다이 코팅(Slit dye coating), 잉크젯 프린팅(Ink-jet printing), 스프레이 코팅(spray coating) 또는 딥 코팅(dip coating) 중 선택되는 어느 하나의 용액 공정을 이용하여 형성될 수 있다.
- [0075] 제1 게이트 절연막은 바람직하게는 스핀 코팅을 이용하여 형성될 수 있고, 스핀 코팅은 기판 상에 용액을 일정량 떨어뜨리고 기판을 고속으로 회전시켜서 용액에 가해지는 원심력으로 코팅하는 방법이다.
- [0076] 본 발명의 실시예에 따르면 제1 게이트 절연막이 용액공정에 의해 형성되므로 증착 공정에 비하여 생산 비용을 절감시킬 수 있다.
- [0077] 또한, 본 발명의 실시예에 따른 용액공정을 이용하여 제1 게이트 절연막을 형성하면, 공정 기술의 단순화를 통하여 공정 비용 및 공정 시간을 감소시킬 수 있다.
- [0078] 즉, 본 발명의 실시예에 따른 용액공정 기반의 듀얼 게이트 구조는 종래의 용액공정 기반의 박막 트랜지스터에 대비 향상된 전류 특성 및 안정성을 나타내고, 이로 인해, 전기적 특성을 향상시킬 수 있다.
- [0079] 제1 게이트 절연막은 알루미늄 산화물(Al_2O_3), 지르코늄 산화물(ZrO_x), 지르코늄 알루미늄 산화물($ZrAlO_x$) 및 hafnium 산화물(HfO_x) 중 선택되는 적어도 하나를 포함할 수 있다.
- [0080] 단계 S230에서, 제1 게이트 절연막 일측에 소스 전극 및 드레인 전극을 형성한다.
- [0081] 소스 전극 및 드레인 전극은 제1 게이트 절연막이 형성된 기판 상에 형성되고, 구체적으로, 소스 전극 및 드레인 전극은 제1 게이트 절연막이 형성된 기판 상에 서로 이격되도록 형성된다.
- [0082] 소스 전극 및 드레인 전극은 금속 또는 금속 산화물을 포함할 수 있고, 구체적으로는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti) 또는 은(Ag)과 같은 금속 및 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ITZO(Indium Tin Zinc Oxide)와 같은 금속 산화물 중 적어도 어느 하나의 재질이 포함될 수 있다.
- [0083] 단계 S240에서, 제1 게이트 절연막, 소스 전극 및 드레인 전극 상에 용액 공정으로 산화물 반도체막을 형성한다.
- [0084] 산화물 반도체막은 제1 게이트 전극, 소스 전극 및 드레인 전극이 형성된 기판 상에 용액 공정을 기반으로 형성된다. 구체적으로, 산화물 반도체막은 스핀 코팅(Spin-coating), 슬릿 다이 코팅(Slit dye coating), 잉크젯 프린팅(Ink-jet printing), 스프레이 코팅(spray coating) 및 딥 코팅(dip coating) 중 선택되는 어느 하나의 용액 공정을 이용하여 형성된다.
- [0085] 산화물 반도체막은 바람직하게는 스핀 코팅을 이용하여 형성될 수 있고, 스핀 코팅은 기판 상에 용액을 일정량 떨어뜨리고 기판을 고속으로 회전시켜서 용액에 가해지는 원심력으로 코팅하는 방법이다.
- [0086] 산화물 반도체막은 인듐 갈륨 징크 옥사이드(IGZO), 인듐 옥사이드(InO), 징크 옥사이드(ZnO), 인듐 갈륨 옥사이드(IGO), 인듐 알루미늄 옥사이드(IAO), 인듐 징크 옥사이드(IZO), 인듐 틴 옥사이드(ITO), 징크 틴 옥사이드

(ZTO), 갈륨 징크 옥사이드(GZO), hafnium 인듐 징크 옥사이드(HIZO), 인듐 징크 틴 옥사이드(IZTO) 및 알루미늄 징크 틴 옥사이드(AZTO) 중 선택되는 어느 하나를 포함할 수 있고, 산화물 반도체막은 비정질 혹은 다결정질 구조를 가질 수 있다.

- [0087] 산화물 반도체막은 5nm 내지 50nm의 두께로 형성될 수 있고, 바람직하게는, 40nm의 두께로 형성될 수 있다.
- [0088] 산화물 반도체막의 두께가 5nm 미만으로 형성되면, 두께가 매우 얇아져 두께 불균일이 발생할 수 있고, 이로 인해 전류가 감소될 수 있다.
- [0089] 또한, 산화물 반도체막은 4 μ m 이상의 채널 길이로 형성될 수 있다.
- [0090] 또한, 산화물 반도체막은 막을 형성하기 위해 산화물 전구체를 함유하는 용액을 사용하여 형성될 수 있다. 산화물 전구체는, 예를 들어, $\text{In}(\text{NO}_3)_3\text{H}_2\text{O}$, $\text{Ga}(\text{NO}_3)_3\text{H}_2\text{O}$ 또는 $\text{Zn}(\text{CH}_3\text{COO})_2\text{H}_2\text{O}$ 가 포함될 수 있으나, 이에 제한되는 것은 아니다.
- [0091] 본 발명의 실시예에 따른 산화물 반도체막은 적어도 하나 이상 형성될 수 있다. 구체적으로, 산화물 반도체막은 산화물 반도체 박막 형성 과정의 반복 수행을 통하여 다층으로 형성될 수 있다. 산화물 반도체막을 다층으로 형성될 경우, 충분한 전기 전도도(conductivity)를 나타낼 수 있다.
- [0092] 또한, 산화물 반도체막은 다층으로 형성될 수 있으며, 각 층의 두께는 서로 다를 수 있다.
- [0093] 본 발명의 실시예에 따르면 산화물 반도체막이 용액공정에 의해 형성되므로 증착 공정에 비하여 생산 비용을 절감시킬 수 있다.
- [0094] 산화물 반도체막은 산화물 함유 용액에 의하여 제1 게이트 절연막, 소스 전극 및 드레인 전극이 형성된 기판 상에 코팅된 후, 어닐링 처리될 수 있고, 어닐링 처리는 예를 들어, 100 °C 이상의 온도로 30분 이상 수행될 수 있다.
- [0095] 산화물 반도체막이 코팅된 후 진행되는 어닐링 처리는 산화물 반도체막을 형성하기 위한 용액에 포함되어 있는 용매(solvent) 및 이물질을 제거할 수 있고, 이로 인해, 산화물 반도체막의 전기적 특성을 향상시킬 수 있다.
- [0096] 구체적으로는, 산화물 반도체막이 어닐링 처리될 경우, 산화물 반도체막의 전기 전도도(conductivity)를 향상시킬 수 있다.
- [0097] 본 발명의 실시예에 따라 형성된 산화물 반도체막은 추후 선택적 식각에 의하여 활성층으로 동작할 수 있다.
- [0098] 단계 S250에서, 산화물 반도체막 상에 용액 공정으로 제2 게이트 절연막을 형성한다.
- [0099] 제2 게이트 절연막은 산화물 반도체막이 형성된 기판 상에 용액 공정을 기반으로 형성된다. 구체적으로, 제2 게이트 절연막은 스핀 코팅(Spin-coating), 슬릿 다이 코팅(Slit dye coating), 잉크젯 프린팅(Ink-jet printing), 스프레이 코팅(spray coating) 및 딥 코팅(dip coating) 중 선택되는 어느 하나의 용액 공정을 이용하여 형성된다.
- [0100] 본 발명의 실시예에 따르면 제2 게이트 절연막이 용액공정에 의해 형성되므로 증착 공정에 비하여 생산 비용을 절감시킬 수 있다.
- [0101] 제2 게이트 절연막은 이트륨 옥사이드(Y_2O_3), 지르코늄 옥사이드(ZrO_x), 지르코늄 알루미늄 산화물 (ZrAlO_x) 중 선택되는 적어도 하나를 포함할 수 있다.
- [0102] 제2 게이트 절연막을 형성하기 위한 용액은 용매(solvent)에 의하여 pH가 조절되고, 만약 제2 게이트 절연막을 형성하기 위한 용액이 강한 산성 물질일 경우, 제2 게이트 절연막 하부에 형성된 층(산화물 반도체막, 제1 게이트, 소스 전극, 드레인 전극)의 전기적 특성에 영향을 줄 수 있다.
- [0103] 바람직하게는, 제2 게이트 절연막을 형성하기 위한 용매로는 물(H_2O) 기반의 용매가 사용될 수 있고, 이로 인해, 제2 게이트 절연막 하부에 형성된 층(산화물 반도체막, 제1 게이트, 소스 전극, 드레인 전극)에 데미지를 감소시켜, 산화물 반도체막, 제1 게이트, 소스 전극 또는 드레인 전극의 전기적 특성이 감소되는 것을 방지할 수 있다.
- [0104] 더욱 바람직하게는, 제2 게이트 절연막으로 물(H_2O) 기반의 용매를 사용하는 이트륨 옥사이드(Y_2O_3)를 이용한다면, pH가 다른 물질들에 비해 상대적으로 높아, 제2 게이트 절연막 하부에 형성된 층(산화물 반도체막, 제1 게

이트, 소스 전극, 드레인 전극)의 데미지를 더욱 감소시킬 수 있다.

- [0105] 이처럼, 본 발명의 실시예에 따른 용액 공정 시, 용매에 따라 pH 특성을 조절함으로써, 듀얼 게이트 구조의 산화물 반도체 트랜지스터의 전기적 특성을 향상시킬 수 있다.
- [0106] 단계 S260에서, 제2 게이트 절연막 일측에 소스 전극 및 드레인 전극에 각각 전기적으로 연결되는 픽셀 전극을 형성한다.
- [0107] 픽셀 전극은 소스 전극 및 드레인 전극과 각각 전기적으로 연결되고, 소스 전극 및 드레인 전극을 산화물 반도체 트랜지스터 외부의 다른 구성 요소와 전기적으로 연결시키는 역할을 한다.
- [0108] 픽셀 전극은 금속 및 금속 산화물을 포함할 수 있고, 예를들어, 몰리브덴(Mo), 인듐 징크 옥사이드(IZO) 및 인듐 틴 옥사이드(ITO) 중 적어도 어느 하나를 포함할 수 있다.
- [0109] 픽셀 전극은 제2 게이트 절연막의 일측에 소스 전극 및 드레인 전극에 전기적으로 연결되게 형성될 수 있다.
- [0110] 또한, 픽셀 전극은 소스 전극 및 드레인 전극으로부터 길게 연장되도록 형성될 수 있다. 즉, 픽셀 전극은 소스 전극 및 드레인 전극과 동일한 재질로 형성될 수 있고, 소스 전극 및 드레인 전극과 일체로 형성될 수 있다.
- [0111] 단계 S270에서, 제2 게이트 절연막 상에 제2 게이트 전극을 형성한다.
- [0112] 제2 게이트 전극은 소스 전극 및 드레인 전극 사이에 형성되고, 오프셋을 포함한다.
- [0113] 오프셋은 제2 게이트 전극의 일단과 소스 전극 사이의 폭 및 제2 게이트 전극의 타단과 드레인 전극 사이의 폭 중 적어도 하나를 의미한다.
- [0114] 제2 게이트 전극의 오프셋은 $1\mu\text{m}$ 이상으로 조절될 수 있다.
- [0115] 본 발명의 실시예에 따른 산화물 반도체 트랜지스터는 산화물 반도체막을 형성한 다음, 산화물 반도체막의 상단 계면(interface)에서 진행되는 추가 공정이 많기 때문에, 산화물 반도체막의 상단 계면(interface)이 하단 계면(interface)보다 상대적으로 많은 결함(defect)을 포함하고 있다.
- [0116] 그러나, 본 발명의 실시예에 따른 제2 게이트 전극의 오프셋은 산화물 반도체막의 상단 계면(interface)에 형성되어 있는 결함(defect) 영역을 감소시키고, 이로 인해, PBS(Positive Bias Stress)에서의 문턱전압 변화를 감소시켜 산화물 반도체 트랜지스터의 전기적 특성을 향상시킬 수 있다.
- [0117] 또한, 제1 게이트 전극 및 제2 게이트 전극에 동일한 전압을 인가하는 경우, 산화물 반도체막에 형성되는 채널의 넓이를 증가시킬 수 있고, 이에 따라, 소스 전극 및 드레인 전극을 통과하는 전류의 양을 증가시킬 수 있게 될 뿐 만 아니라 양의 전압, 음의 전압 및 온도에 대한 신뢰성 테스트에서 안정화 특성을 나타낼 수 있다.
- [0118] 이에 따라, 본 발명의 실시예에 따른 산화물 반도체 트랜지스터의 전기적 특성을 향상시킬 수 있다.
- [0119] 제2 게이트 전극은 전기 전도도 물질인 금속 또는 금속 산화물을 포함할 수 있다. 구체적으로는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti) 또는 은(Ag)과 같은 금속 및 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ITZO(Indium Tin Zinc Oxide)와 같은 금속 산화물 중 적어도 어느 하나의 재질을 포함할 수 있다.
- [0120] 또한, 본 발명의 실시예에 따른 산화물 반도체 트랜지스터는 제2 게이트 전극 상에 보호막(passivation layer)을 추가로 형성할 수 있다.
- [0121] 보호막(passivation layer)은 질화 규소(SiN_x) 또는 산화 규소(SiO_x)와 같은 무기 절연물, 유기 절연물 및 저유전율 절연물 중 선택되는 적어도 하나 이상의 물질을 포함할 수 있다.
- [0122] 보호막(passivation layer)은 본 발명의 실시예에 따른 산화물 반도체 트랜지스터를 외부로부터 보호할 수 있다.
- [0124] 도 3a 내지 도 10c는 비교예에 따른 산화물 반도체 트랜지스터 및 본 발명의 실시예에 따른 산화물 반도체 트랜지스터의 전기적 특성을 도시한 그래프이다.
- [0125] 도 3a 내지 도 10c에서는 제1 게이트 전극으로의 인가 전압(VGS)에 따른 전기적 특성을 하부 스위프(Bottom Sweep, BS)이라 하고, 제1 게이트 전극 및 제2 게이트 전극으로의 동일한 인가 전압(VGS)에 따른 전기적 특성을 듀얼 스위프(Dual Sweep, DS)이라 하며, 제2 게이트 전극과 소스 전극/드레인 전극 사이의 오프셋을 상부 게이트

오프셋(Top gate offset, TOFF)이라고 명칭 한다.

- [0126] 도 3a 및 도 3b는 비교예에 따른 산화물 반도체 트랜지스터의 전기적 특성을 도시한 그래프이다.
- [0127] 도 3a는 게이트 전압에 따른 로그 드레인 전류 값 및 게이트 전압에 따른 박막트랜지스터(TFT) 모빌리티를 도시하였고, 도 3b는 드레인 전압에 따른 드레인 전류값을 도시하였다.
- [0128] 도 3a를 참조하면, 드레인 전류 값은 게이트 전압에 의하여 상승된다는 것을 확인할 수 있다.
- [0129] 또한, 도 3b를 참조하면, 게이트 전압이 2.5V에서 10V로 인가 될 때, 드레인 전압이 증가함에 따라 드레인 전류가 증가하게 된다는 것을 확인할 수 있다.
- [0131] 도 4a 내지 도 4d는 비교예에 따른 산화물 반도체 트랜지스터의 듀얼 게이트 오버랩 구조의 전기적 특성을 도시한 그래프이다.
- [0132] 도 4a는 하부 스위치에서의 게이트 전압에 따른 로그 드레인 전류값이고, 4b는 듀얼 스위치에서의 게이트 전압에 따른 로그 드레인 전류값이며, 4c는 하부 스위치에서의 드레인 전압에 따른 드레인 전류값이고, 4d는 듀얼 스위치에서의 드레인 전압에 따른 드레인 전류 값을 도시하였다.
- [0133] 도 4a 내지 도 4d를 참조하면, 비교예는 게이트 전극과 소스 전극 또는 드레인 전극 및 소스 전극 또는 드레인 전극 사이에서 발생하는 누설 전류에 의하여 산화물 반도체 트랜지스터의 스위칭 특성이 확보되지 못한다는 것을 확인할 수 있다
- [0135] 도 5a 내지 도 5d는 본 발명의 실시예에 따른 산화물 반도체 트랜지스터의 하부 스위치를 이용한 전기적 특성과 듀얼 스위치를 이용한 전기적 특성을 도시한 그래프이다.
- [0136] 도 5a는 제2 게이트 전극은 0V로 고정되고, 제1 게이트 전극의 전압을 스위칭함에 따른 로그 드레인 전류값이며, 5b는 제1 게이트 전극과 제2 게이트 전극의 전기적 연결 상태에서의 스위치 전압에 따른 로그 드레인 전류값이며, 5c는 제2 게이트 전극은 0V로 고정되고, 제1 게이트 전극의 전압을 2.5V에서 10V의 전압이 인가 될 때, 드레인 전압에 따른 드레인 전류값이고, 5d는 제1 게이트 전극과 제2 게이트 전극의 전기적 연결 상태에서의 스위치에서의 드레인 전압에 따른 드레인 전류 값을 도시하였다.
- [0137] 도 5a 내지 도 5d를 참조하면, 제1 게이트 전극과 제2 게이트 전극의 전기적 연결 상태에서의 드레인 전극에 흐르는 전류는 제2 게이트 전극은 0V로 고정되고, 제1 게이트 전극의 전압을 증가시킬 때의 드레인 전류가 보다 증가 됨을 알 수 있다.
- [0139] 도 6a 내지 도 6d는 본 발명의 실시예에 따른 산화물 반도체 트랜지스터의 상부 게이트 오프셋 길이에 따른 전기적 특성을 도시한 그래프이다.
- [0140] 도 6a 및 도 6b는 상부 게이트 오프셋 길이에 따른 하부 스위치의 전기적 특성을 도시한 그래프이고, 도 6c 및 도 6d는 상부 게이트 오프셋 길이에 따른 듀얼 스위치의 전기적 특성을 도시한 그래프이다.
- [0141] 도 6a 내지 도 6d를 참조하면, 하부 스위치는 상부 게이트 오프셋 길이에 전혀 영향을 받지 않는 것을 확인할 수 있다.
- [0142] 또한, 하부 스위치보다 듀얼 스위치에 대해 드레인 전극에 흐르는 전류의 최대치가 증가함을 확인할 수 있고, 상부 게이트 오프셋 길이가 늘어남에 따라 전류의 증가 폭이 줄어드는 것을 확인할 수 있다.
- [0144] 도 7a 내지 도 7c는 본 발명의 실시예에 따른 산화물 반도체 트랜지스터의 인가 전압(VGS)을 이용하여 문턱전압을 조절한 전기적 특성을 도시한 그래프이다.
- [0145] 도 7a는 0V 부터 음의 전압(-10V)을 순차적으로 인가하여, 제2 게이트 전극에 걸리는 전압에 따라 문턱전압이 바뀌는 것을 확인할 수 있다.
- [0146] 도 7b는 제2 게이트 전극에 0V 부터 양의 전압(+10V)을 순차적으로 인가하여도 문턱전압이 바뀌지 않는데, 이로 인해 제2 전극이 상부 게이트 오프셋을 가지고 있다는 것을 확인할 수 있다.
- [0147] 도 7c는 제2 게이트에 걸리는 전압에 따라 변화하는 문턱전압을 그래프로 도시하였다.
- [0148] 도 7c를 참조하면, 본 발명의 실시예에 따른 산화물 반도체 트랜지스터는 문턱 전압이 낮아진다는 것을 확인할 수 있다.

- [0150] 도 8a 내지 도 8c는 본 발명의 실시예에 따른 산화물 반도체 트랜지스터에 양의 전압(+5V)에 대한 신뢰성 테스트 후, 하부 스위치와 듀얼 스위치를 이용한 전기적 특성을 도시한 그래프이다.
- [0151] 도 8a는 제1 게이트 전극과 제2 게이트 전극에 양의 전압(+5V)을 인가하고, 시간에 대한 하부 스위치의 전기적 특성을 도시한 그래프이고, 도 8b는 제1 게이트 전극과 제2 게이트 전극에 양의 전압(+5V)을 인가하고, 시간에 대한 듀얼 스위치의 전기적 특성을 도시한 그래프이다.
- [0152] 도 8c는 시간에 따라 변화하는 문턱전압을 도시한 그래프이다.
- [0153] 도 8a 내지 도 8c는 듀얼 스위치와 하부 스위치는 양의 전압(+5V)에 대한 신뢰성을 가진 것을 확인할 수 있다.
- [0155] 도 9a 내지 도 9c는 본 발명의 실시예에 따른 산화물 반도체 트랜지스터에 양의 전압(+5V)에 60℃ 온도에 대한 신뢰성 테스트 후, 하부 스위치와 듀얼 스위치를 이용한 전기적 특성을 도시한 그래프이다.
- [0156] 도 9a는 제1 게이트 전극과 제2 게이트 전극에 양의 전압(+5V)을 인가하고, 시간에 대한 하부 스위치의 전기적 특성을 도시한 그래프이고, 도 9b는 제1 게이트 전극과 제2 게이트 전극에 양의 전압(+5V)을 인가하고, 시간에 대한 듀얼 스위치의 전기적 특성을 도시한 그래프이다.
- [0157] 도 9c는 시간에 따라 변화하는 문턱전압을 도시한 그래프이다.
- [0158] 또한, 도 9a 내지 도 9c는 이 때, 열(60℃)을 주고 +5V 를 인가한 positive gate bias temperature stress 조건 (PBTS)을 가했다.
- [0159] 또한, 도 9a 및 도 9b는 10 μ m의 채널 길이를 가지는 산화물 반도체 박막 트랜지스터의 듀얼 스위치에 대한 전기적 특성을 나타내고 있다.
- [0160] 도 9a 내지 도 9c를 참조하면 듀얼 스위치가 하부 스위치보다 PBTS에 대한 신뢰성이 우수해지는 것을 확인할 수 있다.
- [0162] 도 10a 내지 도 10c는 본 발명의 실시예에 따른 산화물 반도체 트랜지스터에 음의 전압(-5V)에 60℃ 온도에 대한 신뢰성 테스트 후, 하부 스위치와 듀얼 스위치를 이용한 전기적 특성을 도시한 그래프이다.
- [0163] 도 10a는 제1 게이트 전극과 제2 게이트 전극에 양의 전압(+5V)을 인가하고, 시간에 대한 하부 스위치의 전기적 특성을 도시하고, 도 10b는 제1 게이트 전극과 제2 게이트 전극에 음의 전압(-5V)을 인가하고, 시간에 대한 듀얼 스위치의 전기적 특성을 도시하고 있다.
- [0164] 도 10c는 시간에 따라 변화하는 문턱전압을 도시하고 있다.
- [0165] 또한, 도 10a 내지 도 10c는 이 때, 열(60℃)를 주고 -5V 를 인가한 negative gate bias temperature stress 조건 (NBTS)을 가했다.
- [0166] 또한, 도 10a 및 도 10b는 10 μ m의 채널 길이를 가지는 산화물 반도체 박막 트랜지스터의 듀얼 스위치에 대한 전기적 특성을 나타내고 있다.
- [0167] 도 10a 내지 도 10c를 참조하면, 듀얼 스위치가 하부 스위치보다 PBTS에 대한 신뢰성이 우수하다는 것을 확인할 수 있다.
- [0169] 이상과 같이 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.
- [0170] 그러므로, 본 발명의 범위는 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등한 것들에 의해 정해져야 한다.

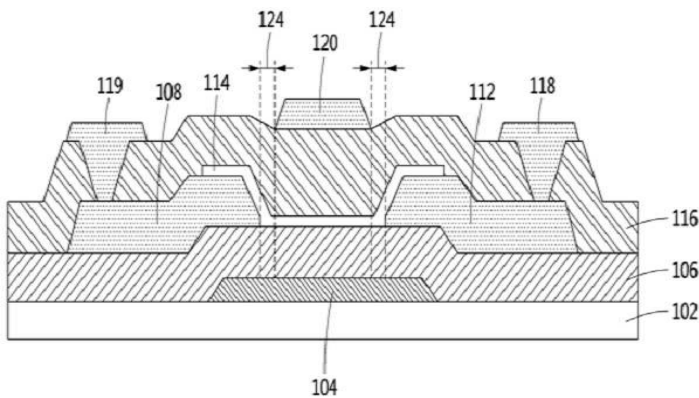
부호의 설명

- [0172] 102 : 기판
104 : 제1 게이트 전극
106 : 제1 게이트 절연막
108 : 소스 전극

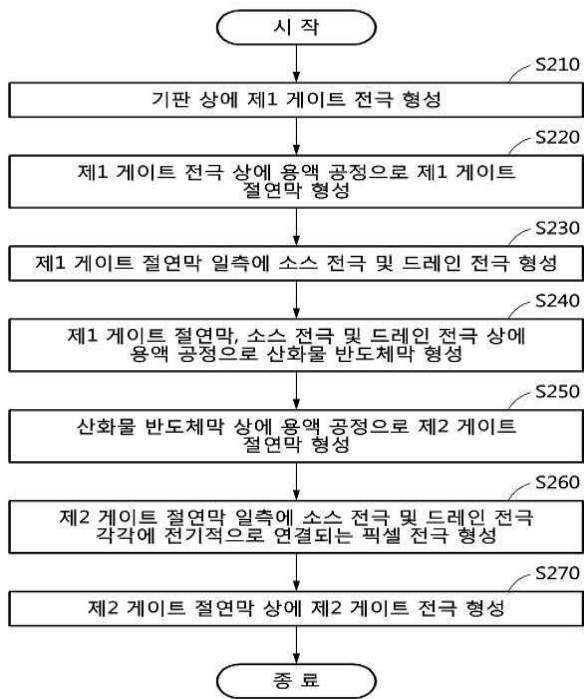
- 112 : 드레인 전극
- 114 : 산화물 반도체막
- 116 : 제2 게이트 절연막
- 118, 119 : 픽셀 전극
- 120 : 제2 게이트 전극
- 124 : 오프셋

도면

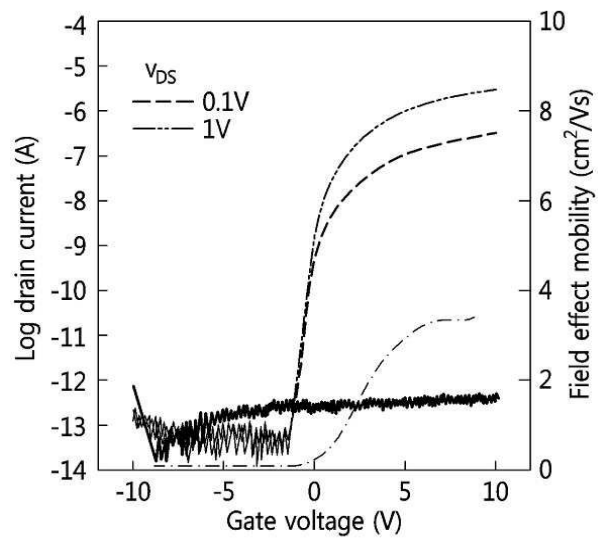
도면1



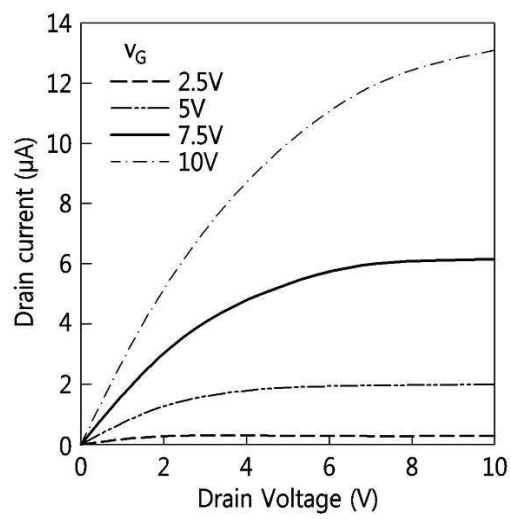
도면2



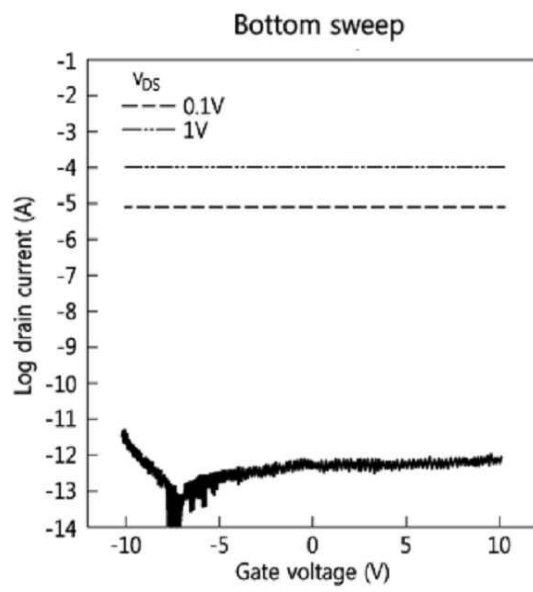
도면3a



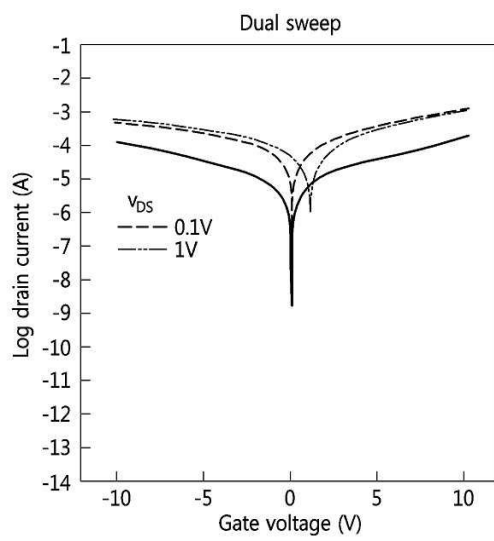
도면3b



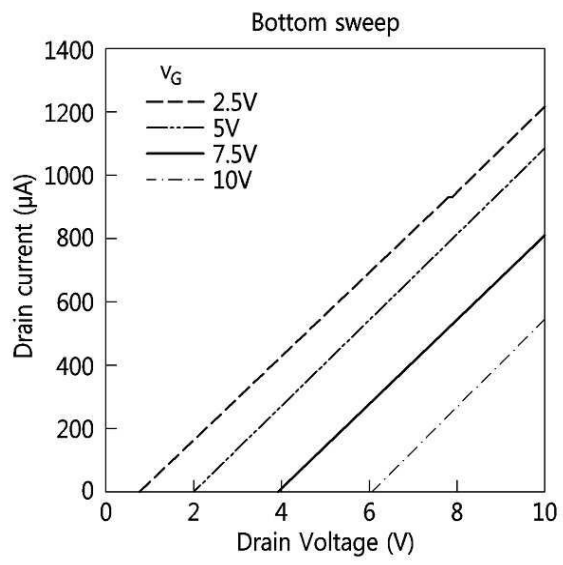
도면4a



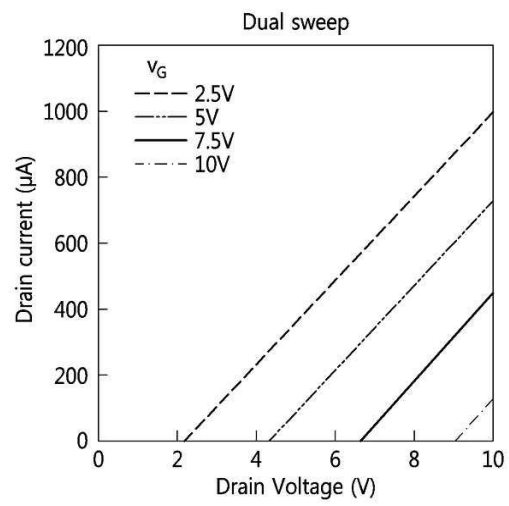
도면4b



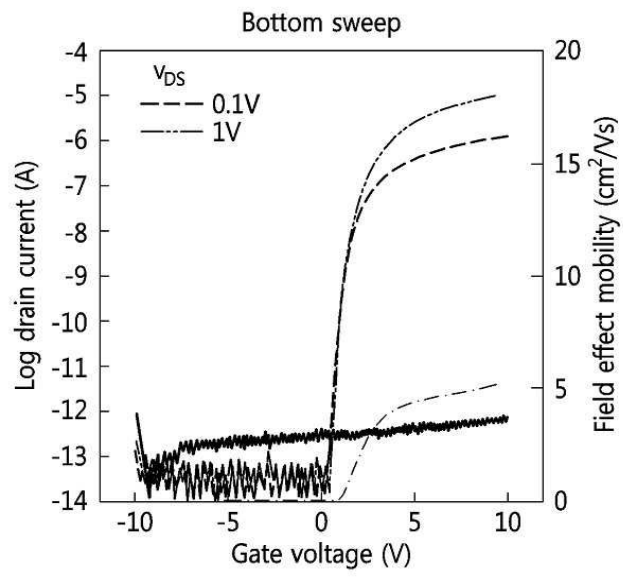
도면4c



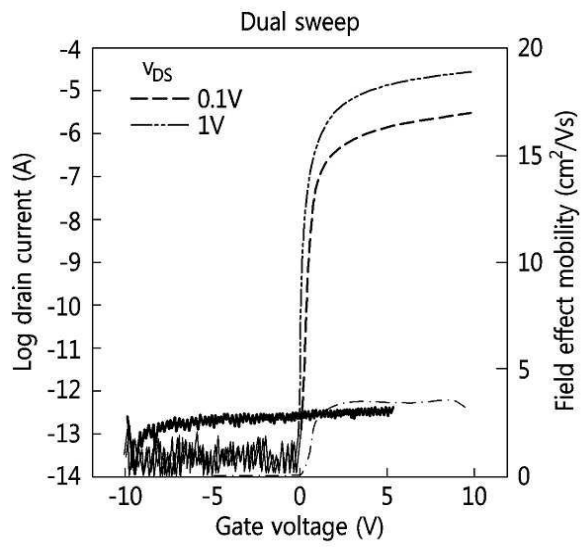
도면4d



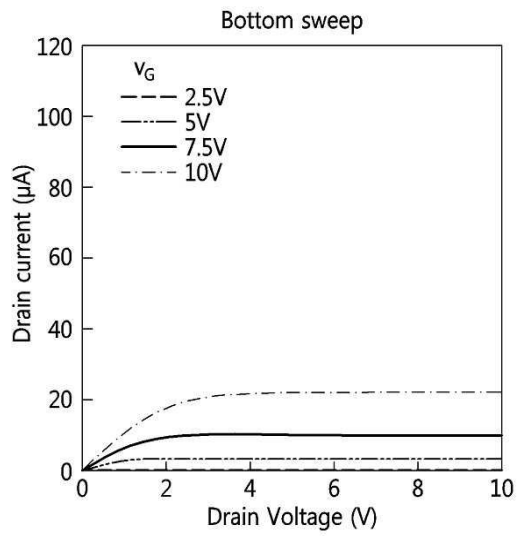
도면5a



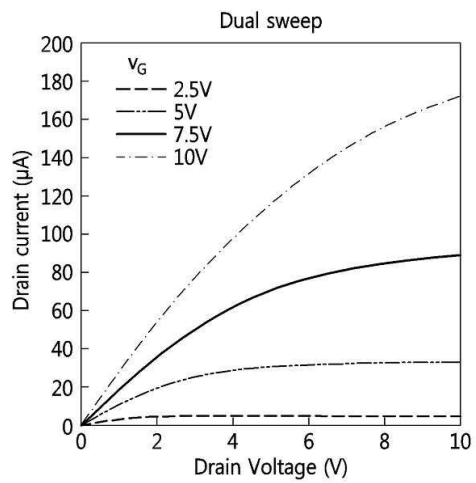
도면5b



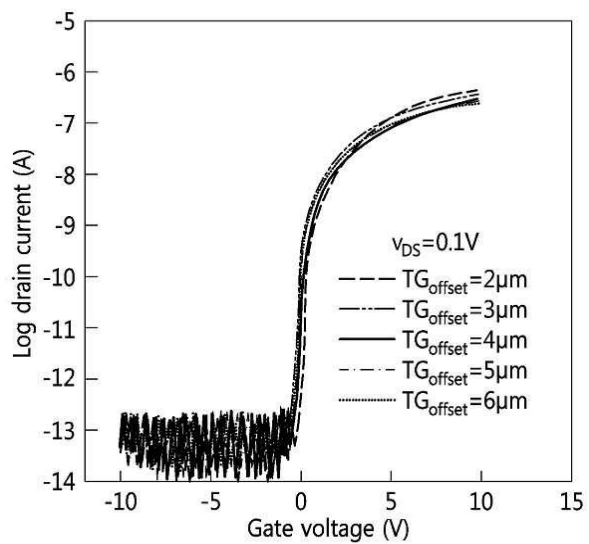
도면5c



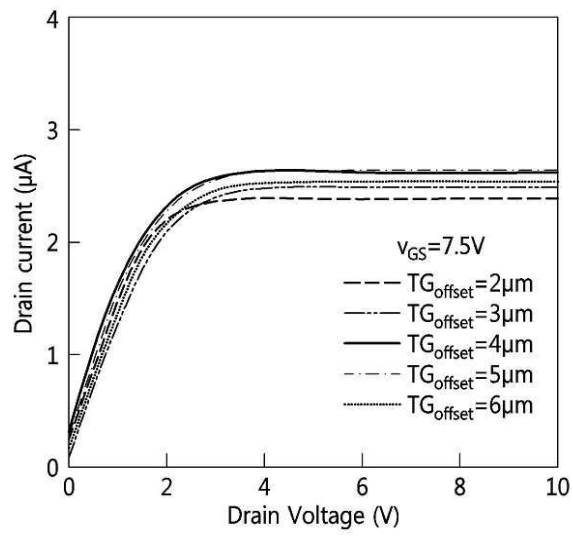
도면5d



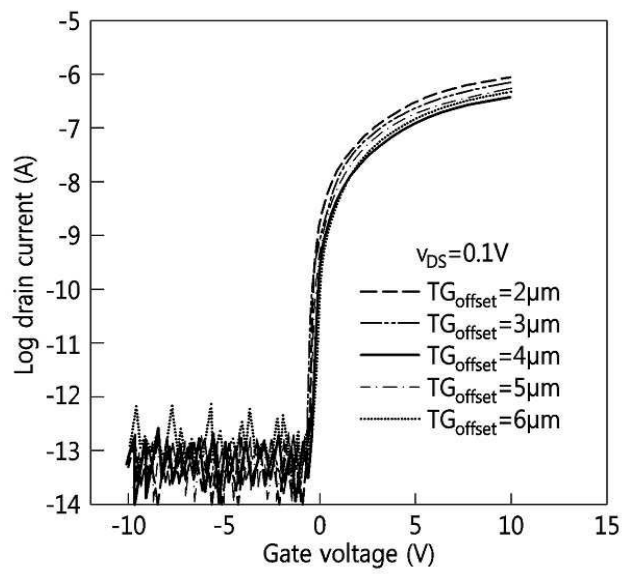
도면6a



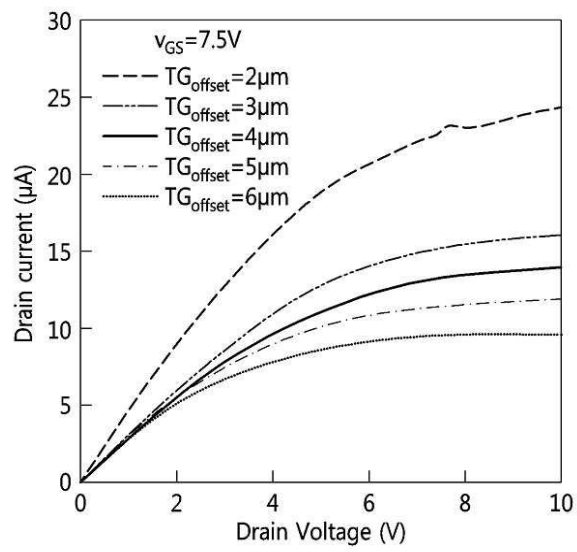
도면6b



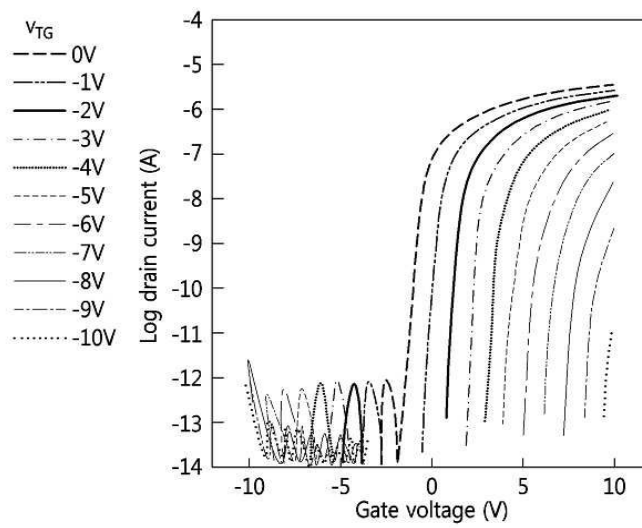
도면6c



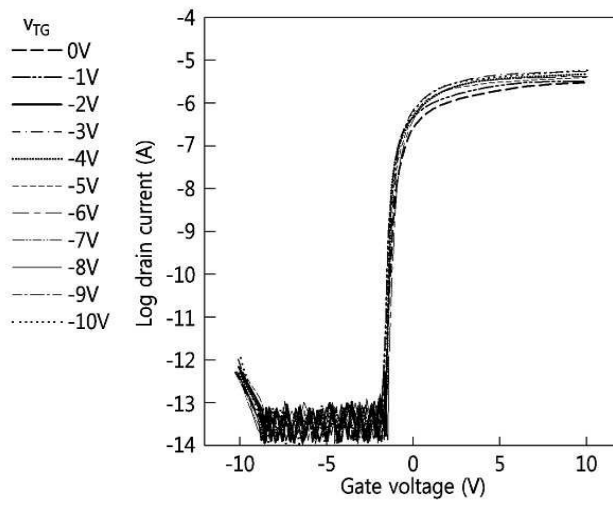
도면6d



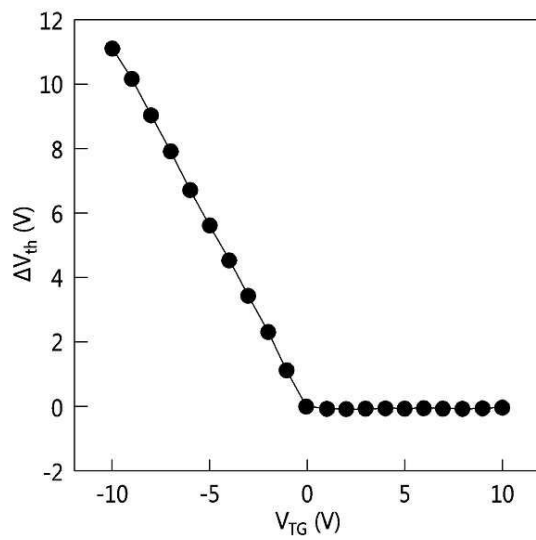
도면7a



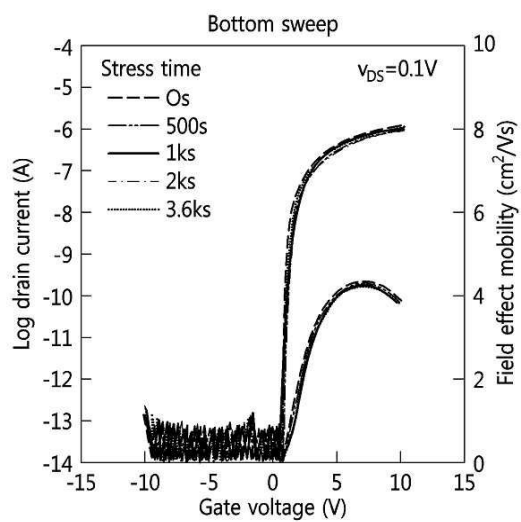
도면7b



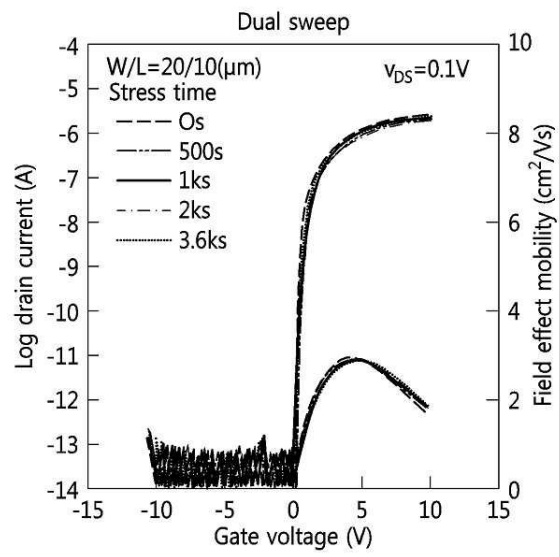
도면7c



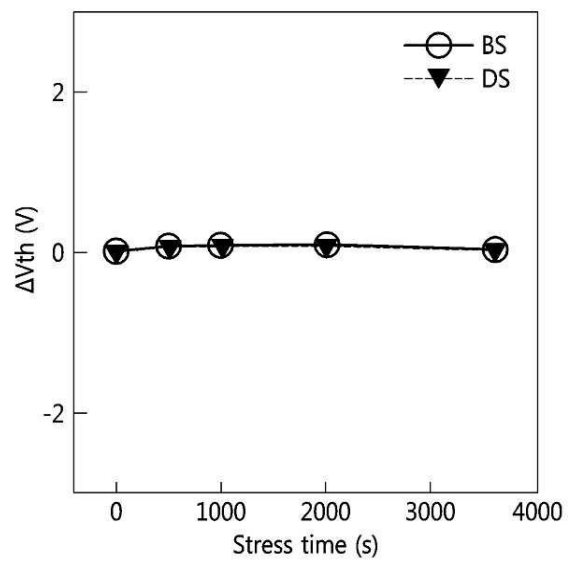
도면8a



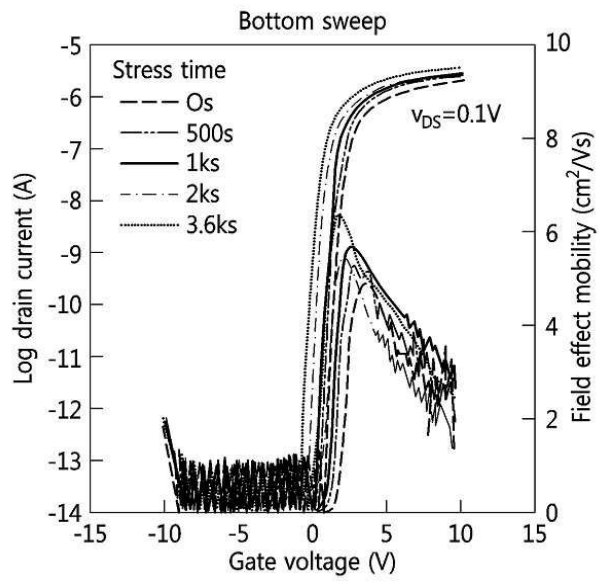
도면8b



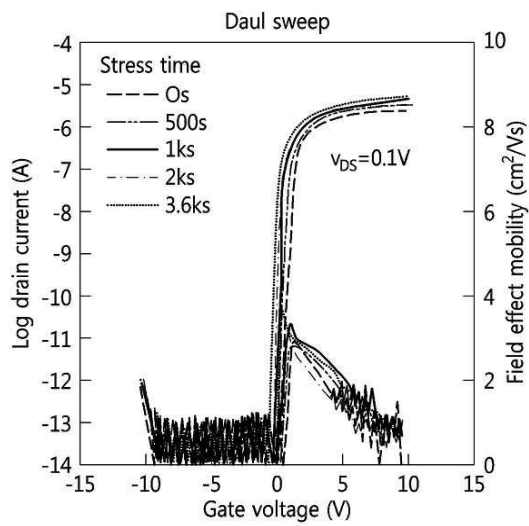
도면8c



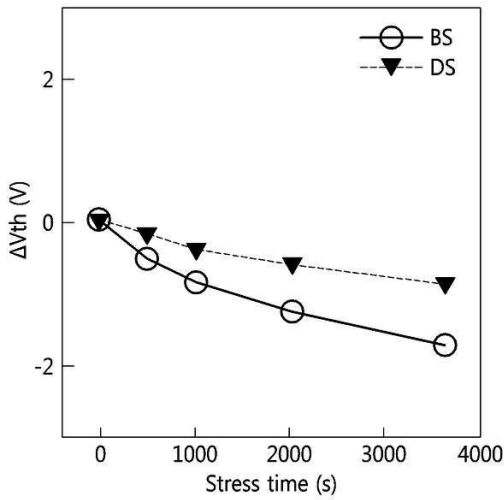
도면9a



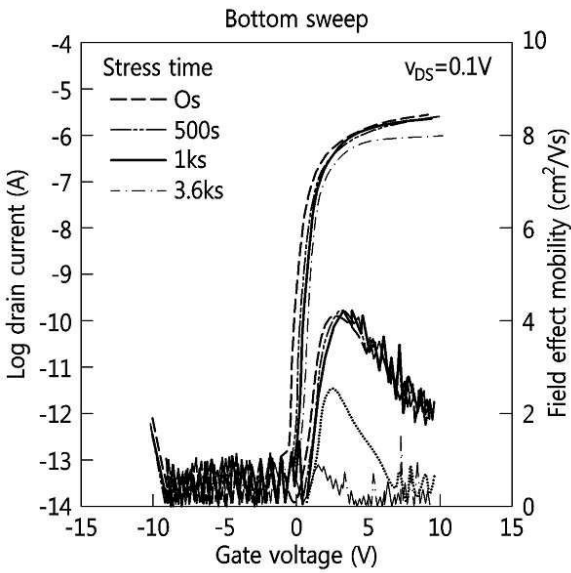
도면9b



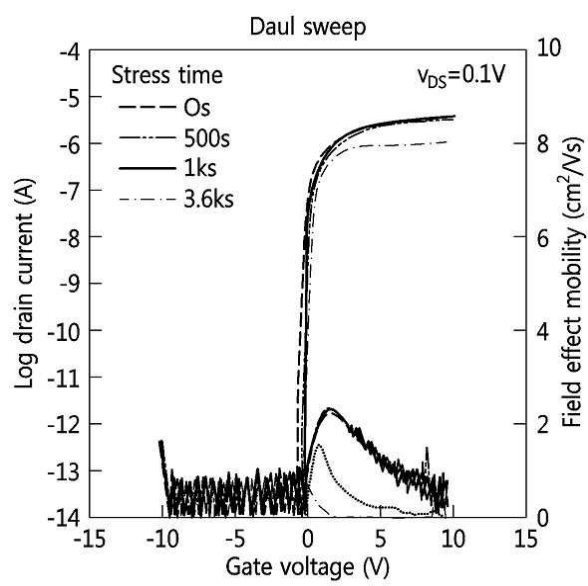
도면9c



도면10a



도면10b



도면10c

