(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3645100号
(P3645100)
(45)発行日　平成17年5月11日(2005.5.11)　(24)登録日　平成17年2月10日(2005.2.10)

(51)Int.Cl.[7]	F I
H01L 29/786	H01L 29/78　616V
G02F 1/1368	G02F 1/1368
H01L 21/336	H01L 29/78　616L

請求項の数 1　(全 28 頁)

(21)出願番号	特願平10-250135
(22)出願日	平成10年9月3日(1998.9.3)
(62)分割の表示	特願平6-500004の分割
原出願日	平成5年6月23日(1993.6.23)
(65)公開番号	特開平11-330487
(43)公開日	平成11年11月30日(1999.11.30)
審査請求日	平成12年6月22日(2000.6.22)
審判番号	不服2002-9791(P2002-9791/J1)
審判請求日	平成14年5月30日(2002.5.30)
(31)優先権主張番号	特願平4-166021
(32)優先日	平成4年6月24日(1992.6.24)
(33)優先権主張国	日本国(JP)
(31)優先権主張番号	特願平4-315331
(32)優先日	平成4年11月25日(1992.11.25)
(33)優先権主張国	日本国(JP)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100095728
弁理士　上柳　雅誉
(74)代理人　100107076
弁理士　藤綱　英吉
(74)代理人　100107261
弁理士　須澤　修
(72)発明者　井上　聡
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

最終頁に続く

(54)【発明の名称】相補型回路、周辺回路、アクティブマトリックス基板及び電子機器

(57)【特許請求の範囲】

【請求項１】

絶縁基板上にシリコン薄膜を形成する第１の工程と、

前記シリコン薄膜に第１のレジストマスクを用いて選択的に不純物イオンを注入して不純物濃度が、１×１０^{２０} $ｃｍ^{－３}$ 以下のソース領域及びドレイン領域を形成する第２の工程と、

前記第１のレジストマスクを除去する第３の工程と、

前記シリコン薄膜を結晶化するとともに、該シリコン薄膜に注入された前記不純物イオンを活性化させる第４の工程と、

前記シリコン薄膜上にゲート絶縁膜を形成する第５の工程と、

前記ゲート絶縁膜上にゲート電極を形成する第６の工程とを有し、

前記ゲート電極の端部は、前記ゲート絶縁膜を介してソース領域の端部及びドレイン領域の端部と重なり合い、

かつ、前記第２の工程で導入した不純物濃度と同程度の不純物濃度のソース領域及びドレイン領域を有し、

前記シリコン薄膜の厚さは１００～５００Åであることを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は薄膜トランジスタ、半導体装置などの固体装置、液晶表示パネルなどの表示装置および薄膜トランジスタの製造方法に関し、特に、薄膜トランジスタの電気特性の向上技術に関する。

【０００２】

【従来の技術】

液晶表示パネルのアクティブマトリクス基板などにおいて、そのスイッチング素子として搭載される薄膜トランジスタは、たとえば、図２０に示すように、基板２２０１の表面側のシリコン層２２０２の表面側にゲート酸化膜２２０３を形成しておき、その表面上のゲート電極２２０４をマスクとしてイオン注入を行い、シリコン層の一部を導電化することによってソース領域２２０５およびドレイン領域２２０６がセルフアラインとなるように形成されている。しかしながら、図２０に示す構造の薄膜トランジスタにおいては、図２１に実線L_3で示すように、ゲート電極２２０４に負のゲート電圧を印加した場合（オフ状態）でも、大きなドレイン電流が流れてしまうという問題がある。その理由は、逆方向にバイアスされているドレイン領域２２０６の端部において、ｐｎ接合がくずれて正孔が注入される現象として理解され、その大きさは、ゲート電極２２０４とドレイン領域２２０６との間に印加された電圧と、ドレイン領域２２０６およびドレイン領域２２０６近傍におけるゲート電極２２０４の端部に対応するシリコン膜中のトラップ準位とによって規定される傾向を有する。そこで、ゲート電極の端部に対応するドレイン領域の端部に低濃度領域を設けて、そこでの電界強度を小さくしたドレイン構造（ＬＤＤ構造）を採用して、オンオフ電流比を大きくした構造を採用することがある。このＬＤＤ構造の薄膜トランジスタを製造するには、従来、以下の製造方法が採用されている。すなわち、図２２（ａ）に示すように、基板２４０１の表面側にシリコン膜からなるパターン２４０２を形成した後に、その表面側をゲート絶縁膜２４０３で覆い、その表面側にゲート電極を構成すべき導電膜２４０４を形成する。

【０００３】

次に、図２２（ｂ）に示すように、導電膜２４０４の表面側に光露光技術を用いて、レジストパターン２４０５を形成し、これをマスクに選択的にエッチングを行なって、レジストパターンよりも細いゲート電極２４０６を形成する。

【０００４】

次に、ドナーまたはアクセプターとなるべき不純物をイオン注入により、たとえば、$1\times10^{15}\ cm^{-2}$程度に導入して、図２２（ｃ）に示すように、自己整合的にソース領域２４０７およびドレイン領域２４０８を形成する。ここで、ゲート電極２４０６およびレジストパターン２４０５に遮られて、イオンが注入されなかった領域がチャネル形成領域２４０９になる。

【０００５】

次に、レジストパターン２４０５を除去する。ここで、ＬＤＤ構造を構成するためには、図２２（ｄ）に示すように、ゲート電極２４０６をマスクとして$1\times10^{14}\ cm^{-2}$程度の不純物をイオン注入してゲート電極２４０６の端部に対応する領域に低濃度領域２４１０、２４１１を形成する。

【０００６】

【発明が解決しようとする課題】

しかしながら、従来のＬＤＤ構造の薄膜トランジスタの製造方法においては、ゲート電極２４０６を形成した後に、ソース領域２４０７、ドレイン領域２４０８および低濃度領域２４１０、２４１１を形成するため、不純物を導入したシリコン膜に対して約１０００℃の熱処理を施して不純物を活性化するときにゲート電極２４０６も加熱されることになるので、ゲート電極２４０６に使用できる材料としては、シリコン化合物などの高耐熱性のものに限られ、その電気的抵抗などを犠牲にせざるを得ないという問題がある。ここで、液晶表示パネルのアクティブマトリクス基板のように、ゲート電極２４０６と同時形成された配線を利用して信号の伝達を行う場合には、その電気的抵抗が高いことに起因して信号の遅延が大きくなってしまう。そこで、レーザービームを部分的に照射して、ゲート電

極２４０６に熱ストレスを与えることなく、その不純物の活性化を行う方法があるが、この方法では、不純物の導入によって乱された結晶状態を十分に修復できないため、トラップ準位が増加することになって、オフ電流が増大し、ＬＤＤ構造を採用したことの意義が失われてしまうという問題点がある。

【０００７】

以上の問題点に鑑みて、本発明の課題は、ソース・ドレイン領域とゲート電極との構成を改良して、オフ電流特性などの電気的特性を向上可能な薄膜トランジスタ、半導体装置などの固体装置、液晶表示パネルなどの表示装置および薄膜トランジスタの製造方法を実現することにある。

【０００８】

【課題を解決するための手段】

上記課題を解決するために、本発明に係る薄膜トランジスタの製造方法において講じた手段は、絶縁基板上にシリコン薄膜を形成する第１の工程と、前記シリコン薄膜に第１のレジストマスクを用いて選択的に不純物イオンを注入して不純物濃度が、1×10^{20} cm^{-3} 以下のソース領域及びドレイン領域を形成する第２の工程と、前記第１のレジストマスクを除去する第３の工程と、前記シリコン薄膜を結晶化するとともに、該シリコン薄膜に注入された前記不純物イオンを活性化させる第４の工程と、前記シリコン薄膜上にゲート絶縁膜を形成する第５の工程と、前記ゲート絶縁膜上にゲート電極を形成する第６の工程とを有し、前記ゲート電極の端部は、前記ゲート絶縁膜を介してソース領域の端部及びドレイン領域の端部と重なり合い、かつ、前記第２の工程で導入した不純物濃度と同程度の不純物濃度のソース領域及びドレイン領域を有し、前記シリコン薄膜の厚さは１００～５００Åであることを特徴とする。

【０００９】

本発明に係る薄膜トランジスタにおいては、ソース領域およびドレイン領域は、ゲート電極をマスクとしての不純物導入によって形成されたのではなく、ゲート電極を形成する前に形成され、導入された不純物を活性化するときには、ゲート電極は未だ形成されていない状態にある。従って、ゲート電極の構成材料の耐熱性に制約されることなく、不純物の活性化を行うことができる。特に、低温プロセスで薄膜トランジスタを形成する場合、不純物の導入後にチャネル部の結晶化を行うことができるため、ゲート電極の端部に対応するドレイン領域やその近傍におけるトラップ準位を低減することができる。また、ゲート電極に対峙するのは、ソース領域およびドレイン領域の低濃度領域であるため、ゲート電極の端部における電界強度が小さい。それ故、薄膜トランジスタのオフ電流特性を向上することができる。

【００１０】

ここで、本発明による薄膜トランジスタを、プロセス最高温度を６００℃程度以下に抑えた低温プロセスで形成する場合には、低濃度領域を形成するための活性化プロセスを、チャネル部の結晶化処理と兼ねることが好ましい。

【００１１】

すなわち、低濃度領域およびチャネル形成領域を構成すべきシリコン膜を形成しておき、選択的に不純物を導入した後に不純物の活性化を兼ねた結晶化処理を施すことになる。ここで、結晶化処理としては、シリコン膜に対してレーザービームを照射してそれを結晶化するとともに不純物を活怯化するレザーアニール法、または、シリコン膜に対して低温度で長時間のアニールを施してそれを結晶化するとともに不純物を活性化する固相成長法（ＳＰＣ法）、あるいはシリコン膜に対してランプアニールを行い、それを結晶化するとともに不純物を活性化するラピッド・サーマル・アニール顔（RTA法）を採用することができる。

【００１２】

本発明においては、ソース領域およびドレイン領域には、それぞれ低濃度領域に対して高い不純物濃度をもって接続する低抵抗領域、または、厚い膜厚をもって接続する低抵抗領域を設けて、寄生抵抗を低減することが好ましい。また、チャネル形成領域とソース領域

およびドレイン領域全体または一部とを別の工程で形成する場合がある。

【００１３】

また、本発明においては、低濃度領域の膜厚は、チャネル形成領域の膜厚と同等にすることが好ましい。または、低濃度領域の膜厚を、ゲート電極に電位が印加されたときに低濃度領域の不純物濃度によって厚さが規定された状態で形成される空乏層の厚さに比して薄く設定することが好ましい。たとえば、低濃度領域の膜厚を約５００オングストローム以下に設定する。

【００１４】

このような薄膜トランジスタは、３次元集積回路（半導体装置）やイメージセンサなどの各種の固体装置に利用できる。また、本発明に係る薄膜トランジスタをアクティブマトリクスアレイの画素領域に画素トランジスタ（構成要素）として用いて、液晶表示パネルなどの表示装置を構成できる。この場合には、たとえば、本発明に係る薄膜トランジスタをｎチャネル型薄膜トランジスタで構成する一方、アクティブマトリクスアレイとともに同一の基板上に形成された駆動回路部のＣＭＯＳ回路には、薄膜トランジスタと同構造のｎチャネル型薄膜トランジスタと、ゲート電極に対して自己整合的に形成されたｐチャネル型薄膜トランジスタとを用いた構造が考えられる。その他の組合せとして、ｎチャネル型薄膜トランジスタとｐチャネル型薄膜トランジスタの構造を逆にし、ｐチャネル型薄膜トランジスタを本発明の構造、ｎチャネル型薄膜トランジスタを自己整合型としてもよい。この場合には、画素部は、ｐチャネル型薄膜トランジスタで構成する。

【００１５】

また、画素部にば、本発明の薄膜トランジスタを用いる一方、アクティブマトリクスアレイとともに同一基板上に形成された駆動回路において、ＣＭＯＳ回路を構成する薄膜トランジスタのいずれにも、ゲート電極に対して自己整合的に形成されたｎチャネル型薄膜トランジスタおよびｐチャネル型薄膜トランジスタを用いることもできる。

【００１６】

いずれの組み合わせで画素部および駆動回路の薄膜トランジスタを構成する場合でも、各領域の不純物濃度としては、たとえば、自己整合型の薄膜トランジシスタのソース領域およびドレイン領域を不純物濃度が約1×10^{20} cm^{-3} 以上の領域とし、非自己整合型の薄膜トランジスタの低濃度領域を不純物濃度が約1×10^{20} cm^{-3} 以下の領域とする。また、基板上に形成された薄膜トランジスタのうち、の自己整合型の薄膜トランジスタのソース領域およびドレイン領域の膜厚を、非自己整合型の薄膜トランジスタの低濃度領域の膜厚と同等にする場合がある。

【００１７】

ここで、アクティブマトリクスアレイにおいては、画素領域を構成する薄膜トランジスタのドレイン部には、保持容量が直列に接続されるのが普通である。この保持容量は、たとえば、前投の走査線を上部電極とし、薄膜トランジスタのゲート絶縁膜をキャパシタ絶縁膜、薄膜トランジスタのドレイン領域を延長した延設領域を下部電極として構成できる。

【００１８】

しかし、薄膜トランジスタを従来技術で形成する場合、すなわち、ゲート電極を形成した後にソース・ドレイン領域を形成する場合には、ゲート電極形成以降には、その下方側にはイオン注入を施すことができないので、ゲート線の下方位置に下部電極を予め形成しておく工程を追加する必要がある。しかし、本発明の薄膜トランジスタにおいては、少なくとも低濃度領域の形成がゲート電極形成前であり、この工程を援用して、ドレイン領域に延設領域を設け、それを下部電極として利用でさる。

【００１９】

【発明の実施の形態】

以下に、図面を参照して、本発明に係る薄膜トランジスタを説明する。

【００２０】

（第１の実施例）

図１は、本例の薄膜トランジスタの構成を示す断面図である。

【００２１】
この図において、本例の薄膜トランジスタ１１０は、ガラス、石英またはサファイヤなどの絶縁基板１１１上に形成されており、絶縁基板１１１の表面側において、リンを１×１０^{19}ｃｍ$^{-3}$程度添加した厚さが約５００オングストローム以下、たとえば、約４００オングストロームのｎ$^{-}$型シリコン膜（低濃度領域）からなるｎ$^{-}$ソース領域１１２およびｎ$^{-}$ドレイン領域１１３と、これらのｎ$^{-}$ソース領域１１２およびｎ$^{-}$ドレイン領域１１３の間にあって、これらの領域を接続するチャネル形成領域１１４とを有する。ここで、ｎ$^{-}$ソース領域１１２、ｎ$^{-}$ドレイン領域１１３およびチャネル形成領域１１４は、アモルファスシリコンに結晶化処理が施されたシリコン膜であって、その不純物の有無によって、ｎ$^{-}$ソース領域１１２、ｎ$^{-}$ドレイン領域１１３およびチャネル形成領域１１４が規定されているため、ｎ$^{-}$ソース領域１１２、ｎ$^{-}$ドレイン領域１１３およびチャネル形成領域１１４の膜厚は、いずれも同等で約４００オングストロームである。また、ｎ$^{-}$ソース領域１１２、ｎ$^{-}$ドレイン領域１１３およびチャネル形成領域１１４の表面側には、それらの全体を覆うシリコン酸化膜などの絶縁膜からなるゲート絶縁膜１１５と、このゲート絶縁膜１１５の表面側に形成されたゲート電極１１６とを有し、このゲート電極１１６には、金属や透明な導電性膜など薄膜トランジスタ１１０が搭載されるべき装置の機能に応じた材料が使用されている。ここで、ゲート電極１１６と、ｎ$^{-}$ソース領域１１２およびｎ$^{-}$ドレイン領域１１３とは、自己整合的には構成されておらず、ゲート電極１１６の一方剛端部１１７とｎ$^{-}$ソース領域１１２の端部１１８との重畳面積およびゲート電極１１６の他方側端部１１９とｎ$^{-}$ドレイン領域１１３の端郎１２０との重畳面積は比較的広い状態にある。

【００２２】
なお、１２１は層問絶縁膜であって、この層問絶縁膜１２１のコンタクトホール１２２、１２３を介して、ソース電極１２４およびドレイン電極１２５が、ｎ$^{-}$ソース領域１１２およびｎ$^{-}$ドレイン領域１１３に導電接続している。

【００２３】
このような構成の薄膜トランジスタ１１０において、ｎ$^{-}$ソース領域１１２およびｎ$^{-}$ドレイン領域１１３は、ゲート電極１１６を形成する前に形成されたものであるため、ｎ$^{-}$ソース領域１１２およびｎ$^{-}$ドレイン領域１１３の形成にあたって、導入された不純物を活性化するときには、ゲート電極１１６は、まだ形成されていない。従って、ゲート電極１１６に、たとえば、シート抵抗の小さな金属電極を用いて大面積ＬＣＤや高精細ＬＣＤを構成しても、その耐熱性は、ｎ$^{-}$ソース領域１１２およびｎ$^{-}$ドレイン領域１１３に導入された不純物の活性化条件を制限しない。すなわち、ｎ$^{-}$ソース領域１１２およびｎ$^{-}$ドレイン領域１１３を構成するために導入された不純物の活性化を十分に行なえるとともに、不純物の導入によって崩れた結晶状態を十分に修復できるので、ゲート電極１１６の他方側端郡１１９に対応するｎ$^{-}$ドレイン領域１１３の端部１２０やその近傍におけるトラップ準位を低減することができる。また、ｎ$^{-}$ドレイン領域１１３は低濃度領域であるため、ゲート電極１１６の近傍における電界強度が小さい。

【００２４】
それ故、薄膜トランジス１１０のオフ電流特性を向上することができる。

【００２５】
しかも、ｎ$^{-}$ドレイン領域１１３の厚さおよびｎ$^{-}$ドレイン領域１１３の近傍の厚さは、いずれも約４００オングストロームと薄い。ここで、オフ電流の原因になるトラップ準位の数は、その膜厚の増大にともなって増大する傾向がある。従って、ｎ$^{-}$ドレイン領域１１３の厚さおよびｎ$^{-}$ドレイン領域１１３の近傍の厚さが薄いことによって、その領域におけるトラップ準位の数が低減されることになって、オフ電流がさらに低減される。たとえば、ｎ$^{-}$ドレイン領域１１３の厚さおよびｎ$^{-}$ドレイン領域１１３近傍の厚さを４００オングストロームにした各種の薄膜トランジスタのゲート電圧－ドレイン電流特性を、図２（ａ）に実線L_1で示し、比較例として、ドレイン領域の厚さおよびドレイン領域近傍の厚さを２０００オングストロームにした各種の薄膜トランジスタのゲート電圧－ドレイン

電流特性を、図２（b）に実線L_2で示すように、ドレイン領域の厚さおよびドレイン領域近傍の厚さが４００オングストロームと薄い方が、オフ電流が小さく、本例の薄膜トランジスタ１１０のオフ電流特性が良好であることが確認されている。

【００２６】

さらに、本例の薄膜トランジスタ１１０においては、ゲート電極１１６の端部近傍におけるｎ$^-$ドレイン領域１１３が平坦であり、ゲート電極１１６の他方側端部１１９とドレイン電極１１３の端部１２０との間において電界集中が発生しにくい。

【００２７】

また、本例の薄膜トランジスタ１１０においては、ｎ$^-$ソース領域１１２およびｎ$^-$ドレイン領域１１３とゲート電極１１６との重畳面積が広いにもかかわらず、ｎ$^-$ソース領域１１２およびｎ$^-$ドレイン領域１１３の不純物導入量が1×10^{19} ｃｍ$^{-3}$程度であるのに対して、厚さが約４００オングストロームであるため、ゲート電極１１６と、たとえばｎ$^-$ソース領域１１２との間に寄生する容量が最小である。すなわち、本例においては、ゲート電極１１６とｎ$^-$ソース領域１１２との問の電位によって生じる空乏層の厚さが、その電位が一定であれば、ｎ$^-$ソース領域１１２の不純物濃度に規定されることに注目して、空乏層がｎ$^-$ソース領域１１２の下面にまで達するように、ｎ$^-$ソース領域１１２の厚さを設定してある。詳述すると、ゲート電極１１６とｎ$^-$ソース領域１１２との間に電位を印加したときに、図３（a）に示すように、ゲート絶縁膜１１５に対応する第１の容量C_1と、空乏層１２６に対応する第２の容量C_2と、基板１１１の側に対応する第３の容量C_2とが直列接続する状態になって、その合成容量が小さい。これに対して、ｎ$^-$ソース領域１１２が厚い場合には、図３（b）に示すように、空乏層１２６の下面は、ｎ$^-$ソース領域１１２の厚さ方向における途中位置にあって、ゲート絶縁膜１１５に対応する第１の容量C_1と、空乏層１２６に対応する第２の容量C_2のみが直列接続状態にあるため、その合成容量が大きい。ここで、ｎ$^-$ソース領域１１２の厚さを約４００オングストロームに設定したのは、その不純物濃度、すなわち、1×10^{19} ｃｍ$^{-3}$に対応するものであって、これに限らず、その不純物濃度に対応して、空乏層１２６がｎ$^-$ソース領域１１２の下面（基板１１１の側）にまで達するように、ｎ$^-$ソース領域１１２の厚さを設定すればよい。

【００２８】

具体的には、その不純物濃度の制御に対する工程上の限界からみて、ｎ$^-$ソース領域１１２の厚さは約１００オングストロームまで薄くする場合がある。

【００２９】

次に、図４（a）～（d）を参照して、本例の薄膜トランジスタの製造方法を説明する。

【００３０】

図４（a）～（d）は、いずれも、本例の薄膜トランジスタの製造方法の一部を示す工程断面図である。

【００３１】

まず、図４（a）に示すように、絶縁基板２１１の表面上に、低温プロセス、たとえば、温度が５５０℃～６００℃の雰囲気中でスパック法やＬｐCVD法などによってアモルファスシリコン膜を堆積したあとに、光露光技術を用いてレジストパターン２０３を形成し、アモルファスシリコン膜をパターニングしてパターン２０２（アモルファスシリコン膜）を形成する。ここで、アモルファスシリコン膜をレーザービームの照射によって結晶化した後に、不純物の導入をおこなってもよいが、不純物の導入によって、結晶状態に乱れが生じるため、再度の修復処理を要する。そこで、本例においては、不純物の導入を行った後に、結晶化処理を行い、この結晶化処理によって不純物の活性化も同時に行う。

【００３２】

すなわち、アモルファスシリコン膜のパターニング後に、レジストパターン２０３を除去し、図４（b）に示すように、さらに別のレジストパターン２０４を形成した状態で、これをマスクにリンをイオン注入して不純物凛度が5×10^{18} ｃｍ$^{-3}$程度のｎ$_1$ソース領域２１２（低濃度領域）およびｎ$^-$ドレイン領域２１３（低濃度領域）を形成する。こ

こで、アモルファスシリコン膜のパターン２０２のうち、リンが導入されなった領域がチャネル形成領域２１４になる。

【００３３】

次に、レジストパターン２０４を剥離した後に、アモルファスシリコン膜（パターン２０２）に対して、レーザビームを照射してそれをアニールし、アモルファスシリコン膜を多結晶化するとともに、それに導入された不純物を活性化する。または、アモルファスシリコン膜に対して、たとえば、温度が約６００℃の窒素雰囲気中で、約４時間、アニールし（固相成長法：SPC法）、アモルファスシリコン膜を結晶化するとともに、それに導入された不純物を活性化する。この場合に、必要に応じて、温度が３５０℃の雰囲気中でプラズマ水素処理を行うか、または、アモルファスシリコン膜に対してラピッド・サーマル・アニールを行い、アモルファスシリコン膜を結晶化するとともに、それに導入された不純物を活性化する。

【００３４】

次に、図４（c）に示すように、アモルファスシリコン膜（n^-ソース領域２１２、n^-ドレイン領域２１３およびチャネル形成領域２１４）の表面側に、ゲート絶縁膜２１５を形成した後に、ゲート絶縁膜２１５の表面側に、金属などのゲート電極２１６を形成する。ここで、ゲート電極２１６の一方側および他方側端部２１７、２１８は、n^-ソース領域２１２およびn^-ドレイン領域２１３の端部２１９、２２０と対峙する構造になっている。

【００３５】

しかる後に、図４（d）に示すように、ゲート電極２１６の表面側に層間絶縁膜２２１を形成した後に、それにコンタクトホール２２２、２２３を形成し、このコンタクトホール２２２、２２３を利用して、n^-ソース領域２１２およぴドレイン電極２１３に対して、図１に示すように、ソース電極１２４およびドレイン電極１２５を接続して、
薄膜トランジタ１１０を形成する。

【００３６】

以上のとおり、本例の薄膜トランジスタ１１０の製造方法によれば、アモルファスシリコン膜などのシリコン膜に対して不純物を導入した後に、アモルファスシリコン膜に対する結晶化処理を行い、この結晶化処理自身は、不純物の活性化処理も兼ねている。しかも、以降の工程においては、不純物の導入が行われないため、工程が簡略化されるとともに、結晶化処理後のシリコン膜は、不純物の導入によって結晶状態が破壊されないので、トラップ準位が増加せず、オフ電流特性の良好な薄膜トランジスタ１１０を、効率よく製造することがでさる。

【００３７】

なお、本実施例ではシリコン膜としてアモルファスシリコン膜を用いたが、この膜が多結晶シリコン膜であってもよい。

【００３８】

（第２の参考例）

次に、図５（a）～（c）を参照して、本発明の第２の参考例に係る薄膜トランジスタおよびその製造方法を説明する。・

図５（a）～（c）は、本例の薄膜トランジスタの製造工程の一部を示す工程断面図である。

【００３９】

本例の薄膜トランジスタも、第１の実施例に係る薄膜トランジスタと同様に、オンオフ特佐を改良するために、図５（c）に示す構造を有する。

【００４０】

すなわち、薄膜トランジス夕３００は、ガラス、石英、サファイアなどの絶縁基板３０１の表面別に、リンを$1\times10^{20}\ cm^{-3}$程度添加したn^-ソース領域３０２（低濃度領域）およびn^-ドレイン領域３０３（低濃度領域）を有し、それの表面側には、n^-ソース領域３０２およびn^-ドレイン領域３０３を接続するように、膜厚が約１０００オング

ストロームの多結晶シリコンなどのシリコン薄膜からなるチャネル形成領域３０４を有する。また、ｎ⁻ソース領域３０２、チャネル形成領域３０４およびｎ⁻ドレイン領域３０３の表面側には、シリコン酸化膜などのゲート絶縁膜３０５を有し、その表面側のゲート電極３０８の端部は、ｎ⁻ソース領域３０２およびｎ⁻ドレイン領域３０３に対してゲート絶縁膜３０５を介して重なり合っている。

【００４１】

このような構成の薄膜トランジスタ３００を製造するにあたっては、まず、図５（ａ）に示すように、絶縁基板３０１の表面側に、たとえば、リンを1×10^{20} cm^{-3}程度添加した多結晶シリコンなどのｎ⁻シリコン薄膜を１５００オングストローム程度堆積した後に、このｎ⁻シリコン薄膜を選択的にエッチングし、ｎ⁻ソース領域３０２（低濃度領域）およびｎ⁻ドレイン領域３０３（低濃度領域）を形成する。その後に、ｎ⁻ソース領域３０２およびｎ⁻ドレイン領域３０３の表面側に、それらを接続する膜厚が約１０００オングストロームの多結晶シリコンなどのシリコン薄膜からなるチャネル形成領域３０４を形成する。その後に、全体を熱酸化して、シリコン酸化膜からなるゲート絶縁膜３０５を形成し、その表面側に、金属、透明導電膜、不純物を添加した多結晶シリコン膜などからなるゲート電極材料３０６を形成する。

【００４２】

次に、図５（ｂ）に示すように、ゲート電極材料３０６の表面うち、ゲート電極を残す領域に対して、光露光技術などを用いてレジストパターン３０７を形成し、これをマスクにゲート電極材料３０６を選択的にエッチングして、ゲート電極３０８を形成する。ここで、ゲート電極３０８の端部は、ｎ⁻ソース領域３０２の端部およびｎ⁻ドレイン領域３０３の端部に対してゲート絶縁膜３０５を介して重なり合う。

【００４３】

次に、レジストパターン３０７を除去し、それ以降は、図５（ｃ）に示すように、通常の工程どおり、シリコン酸化膜からなる層間絶縁膜３０９を形成する。次に、層間絶嫁膜３０９にコンタクトホール３１０を形成し、その後に、金属、透明導電膜などからなるソース電極３１１およびドレイン電極３１２をそれぞれｎ⁻ソース領域３０２およびｎ⁻ドレイン領域３０３に接続する。

【００４４】

従って、本例の薄膜トランジスタ３００も、第１の実施例に係る薄膜トランジスタと同様に、ゲート電極３０８を形成する前に、ｎ⁻ソース領域３０２およびｎ⁻ドレイン領域３０３を形成するため、ゲート電極３０８を構成する材料の耐熱性に制約されることなく、ｎ⁻ソース領域３０２およびｎ－ドレイン領域３０３を理想的な状態で形成できる。それ故、オフ電流特佐を向上することができる。

【００４５】

（第３の参考例）

次に、図６（ａ）～（ｄ）を参照して、本発明の第３の参考例に係る薄膜トランジスタおよびその製造方法を説明する。

【００４６】

図６（ａ）～（ｄ）は、本例の薄膜トランジスタの製造工程の一部を示す工程断面図である。

【００４７】

本例の薄膜トランジスタは、第１の実施例に係る薄膜トランジスタに対して、ソース領域およびドレイン領域に異なる濃度の領域を形成することにより、オフ特性の向上に加えて、オン電流特性を向上を図るためのもので、図６（ｄ）に示すように、ガラスなどの絶縁基板４０１の表面側のうち、ソース領域側には、ｎ⁺ソース領域４１２（高濃度の低抵抗領域）およびｎ⁻ソース領域４０５（低濃度領域）を有し、ドレイン領域側には、ｎ⁺ドレイン領域４１３（高濃度の低抵抗領域）およびｎ⁻ドレイン領域４０６（低濃度領域）を有する。ここで、ゲート電極４０９の端部は、ゲート絶縁膜４０８を介して低濃度のｎ⁻ソース領域４０５の端部およびｎ⁻ドレイン領域４０６の端部に重なっている。一方、

ソース電極４２０及びドレイン電極４２１は、高濱度のｎ$^{+}$ソース領域４１２およびｎ$^{+}$ドレイン領域４１３に接続している。

【００４８】

このような構成の薄膜トランジスタ４００を製造するにあたっては、まず、図６（ａ）に示すように、ガラスなどの絶縁基板４０１上に、多結晶シリコン等のシリコン薄膜を１５００オングストローム程度堆積する。その後に、光露光技術などを用いて、レジストパターン４０３を形成し、これをマスクにシリコン薄膜を選択的にエッチングして、シリコンパターン４０２を形成する。

【００４９】

次に、レジストパターン４０３を除去した後に、図６（ｂ）に示すように、光露光技術などを用いて、新たなレジストパターン４０４を形成し、これをマスクとしてリンをイオン注入して、１×１０^{18} ｃｍ$^{-3}$程度のｎ$^{-}$ソース領域４０５およびｎ$^{-}$ドレイン領域４０６を形成する。ここで、イオン注入されなかった領域がチャネル形成領域４０７になる。

【００５０】

次に、レジストパターン４０４を除去した後に、全体を熱酸化して、図６（ｃ）に示すように、シリコン酸化膜からなるゲート絶縁膜４０８を形成する。この熱処理工程は、注入したイオンを活佐化する効果も有する。その後に、金属、透明導電膜、不純物を添加した多結晶シリコン膜などからなるゲート電極４０９を形成する。ここで、ゲート電極４０９は、ｎ$^{-}$ソース領域４０５およびｎ$^{-}$ドレイン領域４０６の一部とゲート絶縁膜４０８を介して重なり合う。

【００５１】

次に、図６（ｄ）に示すように、シリコン酸化膜からなる層間絶縁膜４１０を形成した後に、それにコンタクトホール４１１を形成する。その後に、層間絶縁膜４１０をマスクにリンをイオン注入すると共に、レーザービームを照射して、注入したイオンを活性化して、５×１０^{21} ｃｍ$^{-3}$程度のｎ$^{+}$ソース領域４１２およびｎ$^{+}$ドレイン領域４１３を形成する。

【００５２】

それ以降は、通常の製造方法と同様に、金属、透明導電膜などからなるソース電極４２０およびドレイン電極４２１をそれぞれのｎ$^{+}$ソース領域４１２およびｎ$^{+}$ドレイン領域４１３に接続する。

【００５３】

このような構成の薄膜トランジスタ４０１においても、ゲート電極４０９の端部に重なり合うｎ$^{-}$ソース領域４０５およびｎ$^{-}$ドレイン領域４０６は、ゲート電極４０９を形成する前に形成されたものである。このため、ゲート電極４０９に金属などを用いても、その耐熱性に制約されることなく、ｎ$^{-}$ソース領域４０５およびｎ$^{-}$ドレイン領域４０６に導入された不純物の活性化を十分に行なえるとともに、不純物の導入によって崩れた結晶状態を十分に修復できるので、ｎ$^{-}$ドレイン領域４０６の端部やその近傍におけるトラップ準位を低減することができる。また、ｎ$^{-}$ドレイン領域４０６は低濃度領域であるため、ゲート電極４０９の近傍における電界強度が小さい。それ故、薄膜トランジス４０１のオフ電流特性を向上することができる。

【００５４】

さらに、ソース領域およびドレイン領域のうち、オンオフ特性などに影響を及ぼす領域を低濃度領域にする一方、ソース電極４２０およびドレイン電極４２１が接続する領域は、高濃度領域にしてあるため、寄生抵抗が小さく、大きなオン電流を得ることができる。

【００５５】

（策４の参考例）

一方、第３の参考例に係る薄膜トランジスタに代えて、図７に示す薄膜トランジスタでも、オンオフ特性およびオン電流の向上を図ることができる。

【００５６】

図７は、本例の薄膜トランジスタのチャネル方向の断面図であって、薄膜トランジスタ４３０も、ガラス、石英、サファイアなどの絶縁基板４３１の表面側に多結晶シリコンなどのシリコン薄膜からなるパターンを有し、このパターンには、リンを5×10^{20} cm^{-3}程度含むn^+ソース領域４３２およびn^+ドレイン領域４３３と、ボロンを5×10^{18} cm^{-3}程度含むn^-ソース領域４３４およびn^-ドレイン領域４３５と、ボロンを1×10^{17} cm^{-3}程度含むチャネル形成領域４３６とを有する。それらの表面側には、シリコン絶縁膜などの絶縁膜からなるゲート絶縁膜４３７を有し、その上に金属や透明導電膜などからなるゲート電極４３８を有する。ここで、ゲート電極４３８の端部は、ゲート絶縁膜４３７を介して、n^-ソース領域４３４およびn^-ドレイン領域４３５の端部に重なり合っている。それらの表面側には、シリコン酸化膜などの絶縁膜からなる層間絶縁膜４３９を有し、それに形成されたコンタクトホール４４０を介して、金属や透明導電膜などからなるソース電極４４１およびドレイン電極４４２がn^+ソース領域４３２およびn^+ドレイン領域４３３に接続している。

【００５７】

このような構成の薄膜トランジスタ４３０においても、その製造方法の説明は省略するが、ゲート電極４３８の端部に重なり合うn^-ソース領域４３４およびn^-ドレイン領域４３５は、ゲート電極４３８を形成する前に形成されたものであるため、ゲート電極４３８に金属などを用いても、その耐熱性に制約されることなく、n^-ソース領域４３４およびn^-ドレイン領域４３５に導入された不純物の活性化を十分に行なえる。また、不純物の導入によって崩れた結晶状態を十分に修復できるなどの効果を奏する。

【００５８】

また、ソース領域およびドレイン領域のうち、オンオフ特性などに影響を及ぼす領域を低濃度領域にする一方、高濃度領域（n^+ソース領域４３２およびn^+ドレイン領域４３３）を設けてあるため、寄生抵抗が小さく、大きなオン電流を得ることができる。

【００５９】

（第５の参考例）

次に、図８（a）～図８（c）を参照して、本発明の第５の参考例に係る薄膜トランジスタおよびその製造方法を説明する。

【００６０】

図８（a）～図８（c）は、本例の薄膜トランジスタの製造工程の一部を示す工程断面図である。

【００６１】

本例の薄膜トランジスタは、第２の参考例に係る薄膜トランジスタに対して、ソース領域およぴドレイン領域に異なる濃度の領域を形成することにより、オフ特性の向上に加えて、オン電流特性を向上を図るためのもので、図８（c）に示すように、薄膜トランジスタ４５０は、ガラスなどの絶縁基板４５３の表面側のうち、ソース領域側には、ボロンが1×10^{21} cm^{-3}程度のn^+ソース領域４５８（高濃度領域）およびボロンが1×10^{19} cm^{-3}程度のn^-ソース領域４５２（低濃度領域）を有し、ドレイン領域側には、ボロンが1×10^{21} cm^{-3}程度のn^+ドレイン領域４５９（高濃度領域）およびボロンが1×10^{19} cm^{-3}程度のn^-ドレイン領域４５１（低濃度領域）を有する。ここで、ゲート電極４５６の端部は、ゲート絶縁膜４５５を介して低濃度のn^-ソース領域４５２およびn^-ドレイン領域４５１に重なっている。一方、ソース電極４６２及びドレイン電極４６３は、高濃度のn^+ソース領域４５８およびn^+ドレイン領域４５９に接続している。

【００６２】

このような構成の薄膜トランジスタ４５０を製造するにあたっては、まず、図８（a）に示すように、ガラス、石英、サファイアなどの絶縁基板４５３上に、ボロンを1×10^{19} $cm-3$程度添加した膜厚が１５００オングストローム程度の多結晶シリコンなどの低濃度のシリコン薄膜を形成し、それを選択的にエッチングして、p^-ソース領域４５２およびp^-ドレイン領域４５１を形成する。次に、p^-ソース領域４５２およびp^-ドレイ

ン領域４５１の表面側でそれらを接続するように、膜厚が２５０オングストロームの多結晶シリコンなどのシリコン薄膜からなるチャネル形成領域４５４を形成する。その後に、全面にECR－CVD法により、シリコン酸化膜からなるゲート絶縁膜４５５を形成する。続いて、金属、透明導電膜、不純物を添加した多結晶シリコン膜などからなるゲート電極４５６を形成する。ここで、ゲート電極４５６の端部は、p^- ソース領域４５２の端部およびp^- ドレイン領域４５３の端部に対してゲート絶縁膜４５５を介して重なっている。

【００６３】

次に、図８（b）に示すように、光露光技術などを用いて、P^- ソース領域４５２およびp^- ドレイン領域４５３の所定の領域を覆うレジストパターン４５７を形成し、これをマスクにボロンをイオン注入する。その後に、レーザービームを照射して、不純物を活性化する。

【００６４】

次に、レジストパターン４５７を除去し、それ以降は、通常の工程と同様に、図８（c）に示すように、シリコン酸化膜からなる層間絶縁膜４６０を形成した後に、それにコンタクトホール４６１を形成する。しかる後に、金属や透明導電膜などからなるソース電極４６２およびドレイン電極４６３をそれぞれp^+ ソース領域４５８およびp^+ ドレイン領域４５３に接続する。

【００６５】

このようにして製造した薄膜トランジスタ４５０でも、p^- ソース領域４５２およびp^- ドレイン領域４５３は、ゲート電極４５６を形成する前に形成してあるため、第２の参考例に係る薄膜トランジスタと同様な効果を奏するのに加えて、p^+ ソース領域４５８およびp^+ ドレイン領域４５９を形成してあるので、寄生抵抗が小さく、大きなオン電流を得ることができる。

【００６６】

（第６の実施例）

図９は、本発明の第６の参考例に係る薄膜トランジスタの構成を示す断面図である。

【００６７】

この図において、本例の薄膜トランジスタ５００も、ガラス、石英またはサファイヤなどの絶縁基板５０１の上に形成されており、そのソース領域５０２は、厚さが約５００オングストロームであって、ボロンを1×10^{18} cm^{-3} 程度添加したp^- シリコン膜たるp^- ソース領域５０３と、ボロンを1×10^{21} cm^{-3} 程度添加した厚さが約２０００オングストロームのp^+ シリコン膜たるp^+ ソース領域５０４（高濃度で膜厚が厚い低抵抗領域）とを有する。一方、ドレイン領域５０５も、厚さが約５００オングストロームであって、ボロンを1×10^{18} cm^{-3} 程度添加したp^- 型シリコン膜たるp^- ドレイン領域５０６と、ボロンを1×10^{21} cm^{-3} 程度添加した厚さが約２０００オングストロームのp^+ 型シリコン膜たるp^+ ドレイン領域５０７（高濃度で膜厚が厚い低抵抗領域）とを有する。また、ソース領域５０２およびドレイン領域５０５の間には、これらの領域に接続する状態に形成されたシリコン膜などからなるチャネル形成領域５０８と、これらの全体を覆うシリコン酸化膜などの絶縁膜からなるゲート絶縁膜５０９と、このゲート絶縁膜５０９の表面側に形成された金属や透明な導電性膜などから構成されたゲート電極５１０とを有する。ここで、ゲート電極５１０と、ソース領域５０２およびドレイン領域５０５とは、自己整合的には構成されておらず、ゲート電極５１０の一方側端部５１１と、ソース領域５０２のp^- ソース領域５０３（端部）とは、比較的広い重畳面積をもって対峙しており、同様に、ゲート電極５１０の他方側端部５１２と、ドレイン領域５０５のp^- ドレイン領域５０６（端部）とは、比較的広い重畳面積をもって対峙している。なお、５１３は層間絶縁膜であって、この層間絶縁膜５１３のコンタクトホール５１４、５１５を介して、ソース電極５１６およびドレイン電極５１７は、ソース領域５０２のp^+ ソース領域５０４およびドレイン領域５０５のp^+ ドレイン領域５０７に導電接続している。

【００６８】

このような構成の薄膜トランジスタ５００において、たとえば、ドレイン傾域５０５の側でゲート電極５１０に対峙するのは、p^-ドレイン領域５０６であるため、ゲート電極５１０近傍における電界強度が小さいので、オフ電流特性を向上することができる。ここで、ソース領域５０２およびドレイン領域５０５は、ゲート電極５１０に対して自己整合的には構成されていない。すなわち、ゲート電極５１０をマスクとしてのイオン注入によってソース領域５０２およぴドレイン領域５０５を形成したのではなく、ソース領域５０２およびドレイン領域５０５は、ゲート電極５１０を形成する前に形成されたものであるため、ゲート電極５１０の耐熱性が、たとえば、６００℃などの低いものであっても、その耐熱限界に制約されずに、ソース領域およびドレイン領域に対する不純物の活性化を行うことができる。従って、不純物の導入によって、結晶状態が崩れた状態を十分に修復できるので、ゲート電極５１０の端部に対応するドレイン領域５０５やその近傍のトラップ準位を低減することができる。それ故、薄膜トランジスタ５００のオフ電流特性をさらに向上することができる。

【００６９】

このような構成の薄膜トランジスタの製造方法を図１０（a）～（C）を参照して説明する。

【００７０】

図１０（a）～（c）は、本例の薄膜トランジスタの製造方法の一部を示す工程断面図である。

【００７１】

まず、図１０（a）に示すように、ガラス、石英、サファイアなどの絶縁基板６０１の上に、たとえば、ポロンを1×10^{20} cm^{-3}程度に添加したアモルファスシリコン薄膜を低温プロセスにより約２０００オングストローム程度堆積する。このアモルファスシリコン薄膜を選択的にエッチングしてp^+領域６０２、６０３を形成する。

【００７２】

次に、p^+領域６０２、６０３の表面側に、これらの領域を接続する状態に約２５０オングストローム程度のアモルファスシリコン膜６０４を形成し、この上にレジストパターン６０５を形成する。

【００７３】

次に、図１０（b）に示すように、レジストパターン６０５をマスクにして、たとえば、ボロンをイオン注入し、濃度が5×10^{17} cm^{-3}程度のp^-領域６０６、６０７を形成する。

【００７４】

ここで、p^+領域６０２とp^-領域６０６とがソース領域６０８になり、p^+領域６０３とp^-領域６０７がドレイン領域６０９になる。

【００７５】

また、レジストパターン６０５にマスクされてイオン注入されなかった領域は、チャネル形成領域６１０となる。

【００７６】

次に、レジストパターン６０５を剥離した後に、たとえば、温度が約６００℃の窒素雰囲気中で、約４時間、アニールし（固相成長法：SPC法）、アモルファスシリコン膜を結晶化するとともに、p^+領域６０２、６０３およびp^-領域６０６、６０７に導入された不純物を活性化する。

【００７７】

次に、全体に、ECR－CVD法によって、シリコン酸化膜からなるゲート絶縁膜６１１を形成する。

【００７８】

次に、ゲート絶縁膜６１１の表面側に金属などから成るゲート電極材料を堆積し、このゲート電極材料を光露光技術などを利用して選択的にエッチングして、ゲート電極６１２を形成する。ここで、ゲート電極６１２をエッチング形成するにあたっては、ゲート電極６

１２の一方側端部６１３および他方側端部６１４を、p^-領域６０６、６０７の一方側端部に重畳させる。

【００７９】

以降、通常の工程に従って、図．１０（c）に示すように、シリコン酸化膜からなる層間絶縁膜６１５、コンタクトホール６１６、６１７を形成した後に、ソース領域の高濃度ソース領域（p^+領域６０２）に導電接続するソース電極と、ドレイン領域の高濃度ドレイン領域（p^+領域６０３）に導電接続するドレイン電極とを形成して、図９に示す薄膜トランジスタ５００を形成する。

【００８０】

（第７の参考例）

次に、図１１（a）～（e）を参照して、第１～６の参考例に係る薄膜トランジスタで構成したＣＭＯＳ回路を備える半導体装置の一例を説明する。

【００８１】

図１１（e）に示すように、本例の半導体装置のＣＭＯＳ回路７００は、ガラス、石英、サファイアなどの同一の絶縁基板７０１の表面側に、ｎチャネル型薄膜トランジスタ７００aと、ｐチャネル型薄膜トランジスタ７００bとを有し、いずれの薄膜トランジスタも、ゲート電極７１４、７１５の端部がゲート絶縁膜７１２、７１３を介して重なっているのは、n^-ソース領域７０６、n^-ドレイン領域７０７、p^-ソース領域７０８およびp^-ドレイン領域７０９（低濃度領域）である。これに対して、ソース電極７２４、７２５およびドレイン電極７２６、７２７が接続しているのは、n^+ソース領域７１９、p^+ソース領域７２２、n^+ドレイン領域７２０およびp^+ドレイン領域７２３（高濃度領域）である。

【００８２】

このような構成のＣＭＯＳ回路７００を製造するにあたっては、まず、図１１（a）に示すように、ガラス、石英、サファイアなどの絶縁基板７０１の表面側に、膜厚が７００オングストローム程度の多結晶シリコンなどのシリコン薄膜を形成した後に、それを選択的にエッチングして、シリコン薄膜のパターン７０２、７０３、７０４、７０５を形成する。

【００８３】

その後に、周知の方法により、シリコン薄膜のパターン７０２、７０３にはリンをイオン注入して、それらを$5\times10^{18}\ cm^{-3}$程度のn^-ソース領域７０６およびn^-ドレイン領域７０７にする。一方、シリコン薄膜のパターン７０４、７０５にはボロンをイオン注入して、それらを$5\times10^{18}\ cm^{-3}$程度のp^-ソース領域７０８およびp^-ドレイン領域７０９にする。

【００８４】

次に、図１１（b）に示すように、n^-ソース領域７０６およびn^-ドレイン領域７０７同士、p^-ソース領域７０８およびp^-ドレイン領域７０９同士が接続するように、膜厚が１０００オングストローム程度の多結晶シリコンなどのシリコン薄膜からなるチャネル形成領域７１０、７１１を形成する。続いて、全体を熱酸化して、シリコン酸化膜からなるゲート絶縁膜７１２、７１３を形成する。この熱酸化処理は、イオン注入したn^-ソース領域７０６、n^-ドレイン領域７０７、p^-ソース領域７０８およびp^-ドレイン領域７０９の不純物を活性化する効果を有する。次に、ゲート絶縁膜７１２、７１３の上に、金属、透明導電膜、不純物を添加した多結晶シリコンなどからなるゲート電極７１４、７１５を形成する。ここで、ゲート電極７１４、７１５の端部は、ゲート絶縁膜７１２、７１３を介して、n^-ソース領域７０６、n^-ドレイン領域７０７、p^-ソース領域７０８およびp^-ドレイン領域７０９の端部に重なり合っている。

【００８５】

次に、図１１（c）に示すように、シリコン酸化膜からなる層間絶縁膜７１６を形成した後に、それにコンタクトホール７１７を形成する。その後に、光露光技術などを用いて、p^-ソース領域７０８およびp^-ドレイン領域７０９の側（ｐチャネル型薄膜トランジス

タ７００bの側）を履うレジストパターン７１８を形成し、このレジストパターン７１８と層間絶縁膜７１６とをマスクにリンをイオン注入し、5×10^{21} cm^{-3} 程度のn^+ソース領域７１９およびn^+ドレイン領域７２０を形成する。

【００８６】

次に、レジストパターン７１８を除去した後に、図１１（d）に示すように、光露光技術などを用いて、n^-ソース領域７０６およびn^-ドレイン領域７０７の側（ｎチャネル型薄膜トランジスタ７００aの側）を覆うレジストパターン７２１を形成し、このレジストパターン７２１と層間絶縁膜７１６とをマスクにボロンをイオン注入し、5×10^{21} cm^{-3} 程度のp^+ソース領域７２２およびp^+ドレイン領域７２３を形成する。

【００８７】

次に、レジストパターン７２１を除去した後に、レーザービームを照射して、イオン注入した各不純物を活性化する。それ以降は、図１１（e）に示すように、通常の工程どおりに、金属や透明導電膜などからなるソース電極７２４、７２５およびドレイン電極７２６、７２７をそれぞれn^+ソース領域７１９、p^+ソース領域７２２、n^+ドレイン領域７２０およびp^+ドレイン領域７２３に接続する。

【００８８】

このようにして同一の絶縁基板７０１に形成されたｎチャネル型薄膜トランジスタ７００aおよびｐチャネル型薄膜トランジスタ７００bは、オフ電流特性およびオン電流特性のいずれもが向上している。

【００８９】

（第８の参考例）

次に、本発明の第８の参考例として、薄膜トランジスタを備える代表的な装置としての液晶表示パネルの周辺回路内蔵型アクティブマトリクス基板の構成について説明する。

【００９０】

図１２は、本例のアクティブマトリクス基板の全体構成を示すブロック図であり、図において、アクティブマトリクス基板８００は、画素部８００aと周辺回路部８００b、８００c（駆動回路部）とに区分され、画素部８００aにおいては、図１３に示すように、周辺回路部８００b（走査線駆動回路）に接続された走査線（ゲート線）８０１a、８０１b（８０１）と、周辺回路部８００c（信号線駆動回路）に接続された信号線８０２とによって、画素領域８０３が区画形成されている。ここで、画素部８００aには、走査線８０１aからの走査信号に基づいて、信号線８０２の側と、画素電極８０４の側とを接続した状態および遮断した状態に切り換えする薄膜トランジスタ８００dを有し、この薄膜トランジスタ８００dにはオフ電流が小さいという特性が要求される。これに対して、周辺回路部８００b、８００cは、導電型の異なる薄膜トランジスタによってＣＭＯＳ回路が構成されており、このＣＭＯＳ回路には、動作が高速であることが要求される。このため、画素部８００aには、本発明の薄膜トランジタを使用し、周辺回路部８００b、８００cには、セルフアライン構造の薄膜トランジスタを使用することが考えられる。

【００９１】

以下に、その構成を説明する。

【００９２】

図１４には、本例のアクティブマトリクス基板の画素部に形成された薄膜トランジスタおよび周辺回路部に形成された３つの薄膜トランジスタ９００a、９３０a、９６０aを並べて示してある。

【００９３】

図１４において、図面に向かって右側に示されているのが画素部に形成されたｎチャネル型薄膜トランジスタ９６０aであり、図面の中央に示されているのが周辺回路部に形成されたｎチャネル型薄膜トランジスタ９３０aであり、図面の左側に示されているのが周辺回路部に形成されたｐチャネル型薄膜トランジスタ９００aであって、周辺回路部においては、Ｐチャネル型薄膜トランジスタ９００aとｎチャネル型薄膜トランジスタ９３０aとによってＣＭＯＳ回路が形成されている。

【００９４】
これらの薄膜トランジスタ９００ａ、９３０ａ、９６０ａのうち、画素部に使用されているｎチャネル型薄膜トランジスタ９６０ａは、第１の実施例ないし第７の参考例において説明したように、ソース領域９６１ａおよびドレイン領域９６２ａがゲート電極９６３ａに対して非自己整合的に形成され、かつ、そのｎ⁻ソース領域９６４ａ（低濃度ソース領域）およびｎ⁻ドレイン領域９６５ａ（低濃度ドレイン領域）でゲート電極９６３ａの端部に対峙する構造になっている。これに対して、周辺回路郡に形成されているｐチャネル型薄膜トランジスタ９００ａ、９３０ａは、セルフアライン構造になっている。なお、液晶表示パネルにおいて、画素部のｎチャネル型薄膜トランジスタ９６０ａのドレイン領域９６２ａには、画素電極が導電接続する構造になるが、以下の説明においては、ソース領域９６１ａと同様に通常のアルミニウム電極が導電接続する構造として図示してある。

【００９５】
このような横成のアクティブマトリクス基板９５０ａにおいて、画素部では、ｎチャネル型薄膜トランジスタ９６０ａがＬＤＤ構造であって、しかも、トラップ準位が低減された構造になっているため、そのオフ電流が低減されている。これに対して、周辺回路部に形成されているｎチャネル型、ｐチャネル型薄膜トランジスタ９００ａ、９３０ａは、寄生容量の小さいセルフアライン構造になっている。従って、周辺回路部の動作速度が犠牲になることがない。

【００９６】
（第９の参考例）
次に、第９の参考例に係る液晶表示パネルの周辺回路内蔵型アクティブマトリクス基板の構成について説明する。

【００９７】
本例の周辺回路内蔵型アクティブマトリクス基板と、第８の実施例に係る周辺回路内臓型アクティブマトリクス基板とは、基本的な構成は同じであるが、画素領域および周辺回路部（駆動回路部）に用いた薄膜トランジスタの組み合わせが異なり、本例においては、画素部８００ａに用いた薄膜トランジスタのオフ電流特性を向上し、かつ、周辺回路部８００ｂ、８００ｃにおける動作速度を犠牲にすることなく、アクティブマトリクス基板８００の製造工程において使用するマスク数を減らして、生産コストを低減可能にしてある。

【００９８】
以下に、その薄膜トランジスタの構造を説明する。

【００９９】
図１５は、図１２および図１３で示した液晶表示パネルにおいて、アクティブマトリクス基板の画素部に形成された薄膜トランジスタおよび周辺回路部に形成された薄膜トランジスタの構成を示す断面図である。

【０１００】
図１５において、図面に向かって右側に示されているのが画素部に形成されたｎチャネル型薄膜トランジスタ９６０であり、図面の中央に示されているのが周辺回路部に形成されたｎチャネル型薄膜トランジスタ９３０であり、図面の左側に示されているのが周辺回路部に形成されたｐチャネル型薄膜トランジスタ９００であって、周辺回路部においては、ｐチャネル型薄膜トランジスタ９００とｎチャネル型薄膜トランジスタ９３０とによってＣＭＯＳ回路が形成されている。

【０１０１】
これらの薄膜トランジスタ９００、９３０、９６０のうち、画素部に使用されているｎチャネル型薄膜トランジスタ９６０および周辺回路部に形成されているｎチャネル型薄膜トランジスタ９３０は、いずれも、第１の実施例ないし第７の参考例において説明したように、ソース領域９３１、９６１およびドレイン領域９３２、９６２がゲート電極９３３、９６３に対して非自己整合的に形成され、かつ、そのｎソース領域９３４、９６４（低濃度ソース領域）およびｎ⁻ドレイン領域９３５、９６５（低濃度ドレイン領域）でゲート電極９３３、９６３の端部に対峙する構造になっているのに対して、周辺回路部に形成

されているｐチャネル型薄膜トランジスタ９００は、セルフアライン構造になっている。なお、液晶表示パネルにおいて、画素部のｎチャネル型薄膜トランジスタ９６０のドレイン領域９６２には、画素電極が導電接続する構造になるが、以下の説明においても、ソース領域９６１と同様に通常のアルミニウム電極が導電接続する構造として図示してある。

【０１０２】

このような構成のアクティブマトリクス基板９５０において、画素部では、ｎチャネル型薄膜トランジスタ９６０がＬＤＤ構造であって、しかも、トラップ準位が低減された構造になっているため、そのオフ電流が低減されている。これに対して、周辺回路部に形成されているｎチャネル型薄膜トランジスタ９３０においては、セルフアライン構造になっていないため、セルフアライン構造に比較して、寄生容量が大さく、その動作速度が遅いことが懸念される。しかし、ｎチャネル型とｐチャネル型薄膜トランジスタのうちのどちらかは寄生容量の小さなセルフアライン構造になっている（この参考例の場合は、ｐチャネル型薄膜トランジスタ）。さらに、セルフアライン構造になっていない薄膜トランジスタにおいても、ゲート電極と重なりあっているソース・ドレイン領域は低濃度領域であるため、空乏層の延びる方向のバイアスがかかっている場合の寄生容量はほとんど無視できる。

【０１０３】

このことから、本例のような構成でＣＭＯＳ回路を形成しても、その動作速度はｎチャネル型、Ｐチャネル型薄膜トランジスタの両方がセルフアライン構造である場合に比べて、遜色ないスピードである。従って、本例では、２つのタイプの薄膜トランジスタをアクティブマトリクス基板９５０に形成するため、３つのタイプの薄膜トランジスタを用いた第８の参考例に係るアクティブマトリクス基板９５０aに比較して、アクティブマトリクス基板の製造工程において使用するマスク数を減らして、生産性を高めることができる。

【０１０４】

（第１０の参考例）

図１６（a）～（d）は、第９の参考例のように、２つのタイプの薄膜トランジスタを液晶表示パネルのアクティブマトリクス基板上に形成する場合に、画素部および周辺回路部の各薄膜トランジスタの製造方法の一部を示す工程断面図である。

【０１０５】

まず、図１６（a）に示すように、ガラス、石英、サファイアなどの絶縁基板１００１の表面に、アモルファスシリコン膜１００２をたとえば５００オングストローム程度の厚さに堆積する。この上にレジストパターン１００３、１００４、１００５を形成し、これをマスクにリンをイオン注入して、不純物が$1\times10^{17}\ cm^{-3}$程度の低濃度領域１００６、１００７、１００８を形成する。

【０１０６】

次に、アモルファスシリコン膜１００２に対してレーザビームを照射してそれをアニールし、アモルファスシリコン膜を多結晶化するとともに、それに導入された不純物を活性化する。

【０１０７】

その後、図１６（b）に示すように、アモルファスシリコン膜１００２に対して選択エッチングを施してシリコン薄膜パターン１００９、１０１０、１０１１を形成する。ここで、シリコン薄膜パターン１００９、１０１０は、各々周辺回路部におけるｐチャネル型、ｎチャネル型薄膜トランジスタのアクティブ領域となり、シリコン薄膜パターン１０１１は画素部のｎチャネル型薄膜トランジスタのアクティブ領域となる。また、前記の低濃度領域１００６、００７、１００８はｎチャネル型薄膜トランジスタのn^-ソース領域１０１２、１０１３（低濃度ソース領域）およびn^-ドレイン領域１０１４、１０１５（低濃度ドレイン領域）となる。さらに、ｎチャネル型薄膜トランジスタのアクティブ領域１０１０、１０１１の中で不純物が導入されていない領域は、チャネル形成領域１０１６、１０１７となる。

【０１０８】

次に、それらの表面全体に、ECR－CVD法によってシリコン酸化膜からなるゲート絶縁膜１０１８を形成した後に、その表面側に、金属などからなる各ゲート電極１０１９、１０２０、１０２１を形成する。ここで、各ゲート電極１０１９、１０２０、１０２１のうち、ｎチャネル型薄膜トランジスタ１０２３、１０２４を構成すべきゲート電極１０２０、１０２１の端部は、n^-ソース領域１０１２、１０１３およびn^-ドレイン領域１０１４、１０１５とゲート絶縁膜１０１８を介して対峙する状態にある。また、画素部に用いられる薄膜トランジスタ１０２４のドレイン領域１０１５の延設部１０１５ａ（下部電極）には、前段のゲート電極１０２５が重なり合って保持容量部を形成している。

【０１０９】

次に、光露光技術などを利用して、図１６（ｃ）に示すように、ｎチャネル型薄膜トランジスタ１０２３、１０２４の形成領域を覆うレジス・トパターン１０２６を形成した状態でボロンのイオン注入を行う。このイオン注入においては、ゲート電極１０１９がマスクとして利用され、薄膜トランジスタ１０２２においては、不純物濃度が約$5\times10^{21}cm^{-3}$のソース領域１０２７およびドレイン領域１０２８が自己整合的に形成される。

【０１１０】

次に、レジストパターン１０２６を除去し、レーザービームの照射によって不純物の活性化を行う。このレーザービームの照射は、不純物を活性化させて低抵抗化するものであって、不純物の導入によって崩れた結晶状態を修復するものではないが、周辺回路部に用いるｐチャネル型薄膜トランジスタ１０２２では、オフ電流が小さいことは要求されない。従って、この工程においては、レーザービームの照射によって、不純物を活性化させて低抵抗化すればよく、結晶状態の修復までは要求されない。

【０１１１】

しかる後に、図１６（ｄ）に示すように、層間絶縁膜１０２９を形成し、そのコンタクトホールを利用して、各薄膜トランジスタ１０２２、１０２３、１０２４に対して、ソース電極１０３１およびドレイン電極１０３２を導電接続する。

【０１１２】

以上のように、本例のアクティブマトリクス基板の製造方法においては、不純物の導入に係わるマスクパターンは、２枚のマスクパターン１００３、１０２６で対応することができる。これに対して、周辺回路部を構成するｎチャネル型およびｐチャネル型薄膜トランジスタの両方をセルフアライン型にし、画素部に用いる薄膜トランジスタを本発明の横造にする場合には、３枚のマスクが必要になる。ここで、回路の動作スピードは、第９の実施例で説明したとおり、両者（第８の参考例と第９の参考例）の間でほとんど変化しない。従って、動作速度などを犠牲にすることなくマスク枚数を減らして、生産コストを低減できる。

【０１１３】

また、本参考例では、画素部に用いる薄膜トランジスタをｎチャネル型にしたが、これがｐチャネル型であっても本発明の趣旨を逸しない。

【０１１４】

さらに、液晶表示パネルにおいては、図１３に示すように、画素部に電荷の保持容量部８０５を構成するために、ドレイン領域側に延設部を設ける一方、この延設部に対して、前段の走査線が重畳する構造が採用される傾向にある。この構造の保持容量部を形成するにあたって、比較例としての従来の製造方法においては、図１７（ａ）、（ｂ）に示すように、多結晶シリコン膜１１０１の端部を窓開けしたレジストマスク１１０２を形成した状態でイオンを注入して、延設部１１０３を低濃度領域にしておき、改めて、ゲート電極１１０４をマスクとする高濃度の不純物のイオン注入が行われていたが、本例の製造方法によれば、図１６（ａ）、（ｂ）に示すように、低濃度の不純物が導入される工程において、延設部１０１５ａも自動的に低濃度領域になる。そして、以降の工程においては、図１６（ｂ）に示すように、ゲート電極１０１９、１０２０、１０２１を形成するときに、それと同時に形成される前段の走査線１０２５を延設部１０１５ａに重畳するようにすればよい。従って、他の工程を追加することなく、画素部に薄膜トランジスタ１０２４を製造してい

く工程を援用して容量保持部をつくり込むことができる。

【０１１５】

（第１１の参考例）

図１８（a）～（e）は、非セルフアライン構造のｎチャネル型薄膜トタンジスタと、寄生容量が小さくて高速動作が可能なセルフアライン構造のｐチャネル型薄膜トランジスタとによって駆動部のＣＭＯＳ回路を構成し、画素部のｎチャネル型薄膜トタンジスタも非セルフアライン構造にした液晶表示パネルの周辺回路内蔵型のマトリクス基板の製造方法の一部を示す工程断面図である。

【０１１６】

図において、ｎチャネル型薄膜トタンジスタ１３００a、１３００Cは、膜厚が異なるシリコン膜で構成されたソース領域およびドレイン領域を有し、そのうち、膜厚が薄くて、不純物濃度が1×10^{19} ｃｍ$^{-3}$ 以下のn^- ソース領域１３１０、１３１１およびn^- ドレイン領域１３１２、１３１３の一部に対して、ゲート電極１３１７、１３１８がゲート絶縁膜１３１６を介して重なり合っている。一方、ｐチャネル型薄膜トランジスタ３００bは、p^+ ソース領域１３２３およびp^+ ドレイン領域１３２４がゲート電極１３１９に対してセルフアラインになるように形成されている。

【０１１７】

ここで、ｎチャネル型薄膜トタンジスタ１３００a、１３００cのソース領域およびドレイン領域のうち、膜厚が厚いシリコン膜で構成された領域は、不純物濃度が高いn^+ ソース領域１３０２、１３０３およびn^+ ドレイン領域１３０４、１３０５であるため、寄生抵抗によるオン電流の低下を防止してある。

【０１１８】

このような構成のマトリクス基板を製造するにあたっては、まず、図１８（a）に示すように、ガラス、石英、サファイヤなどの絶縁基板１３０１の上に、膜厚が２０００オングストローム程度で、リンを5×10^{21} ｃｍ$^{-3}$ 程度添加した多結晶シリコンなどのn^+ シリコン薄膜からなるn^+ ソース領域域１３０２、１３０３およびn^+ ドレイン領域１３０４、１３０５を形成し、その表面側で双方を接続するように膜厚が約５００オングストロームのシリコンパターン１３０６、１３０７を形成し、併せて、ｐチャネル型薄膜トランジスタ３００bを形成するためのシリコンパターン１３０８も形成する。

【０１１９】

次に、図１８（b）に示すように、光露光技術を用いてレジストパターン１３０９を形成し、これをマスクにイオン注入を行って、シリコン薄膜のパターン１３０６、１３０７の一郎を$5\times10^{+18}$ ｃｍ$^{-3}$ 程度の濃度にする。この領域は、いわゆるGOＬＤＤ型（ゲート・オーバーラップＬＤＤ型）の薄膜トランジスタのn^- ソース領域１３１０、１３１１およびドレイン領域１３１２、１３１３になる。一方、シリコンパターン１３０６、１３０７のうち、イオン注入されなかった領域がチャネル形成領域１３１４、１３１５となる。

【０１２０】

次に、レジストパターン１３０９を剥離した後に、表面全体にレーザービームを照射して、注入したイオンを活性化すると共に、チャネル形成領域１３１４、１３１５の結晶粒を増大させて、トランジスタ特性の向上を図る。

【０１２１】

次に、図１８（c）に示すように、表面全体にシリコン酸化膜などの絶縁膜からなるゲート酸化膜１３１６を形成し、この上に金属、透明導電膜、不純物を添加した多結晶シリコン膿などのゲート電極１３１７、１３１８、１３１９を形成する。ここで、ゲート電極１３１７、１３１８は、n^- ソース領域１３１０、１３１１およびドレイン領域１３１２、１３１３の一部とゲート絶縁膜１３１６を介して重なり合つている。また、画素部に用いる薄膜トランジスタのn^+ ドレイン領域１３０５の一部は、ゲート絶縁膜１３１６を介して前段のゲート電極１３２０と重なり合って、保持容量を形成する。

【０１２２】

次に、図１８（d）に示すように、光露光技術を用いて、ｎチャネル型薄膜トランジスタ１３００aおよび画素部のｎチャネル型薄膜トランジスタ１３００cとを覆うレジストパターン１３２１、１３２２を形成し、これをマスクとしてボロンをイオン注入し、５×１０^{21} ｃｍ$^{-3}$程度のｐ$^{+}$ソース領域１３２３およびｐ$^{+}$ドレイン領域１３２４を形成する。ここで、イオン注入されなかった領域は、チャネル形成領域１３２５になる。

【０１２３】

次に、レジストパターン１３２１、１３２２を除去した後に、レーサービームを照射して、不純物の活性化を行う。以降は、通常の工程どおり、図１８（ｅ）に示すように、シリコン酸化膜からなる層間絶縁膜１３２６を形成した後に、コンタクトホール１３２７を開口し、これらのンタクトホール１３２７を介して、ｎ$^{+}$ソース領域１３０２、ｎ$^{+}$ソース領域１３０３およびｐ$^{+}$ソース領域にはソース電極１３２８、１３２９、１３３０を接続し、ｎ$^{+}$ドレイン領域１３０４およびｐ$^{+}$ドレイン領域１３２４にはドレイン電極１３３１、１３３２を接続する。また、画素部の薄膜トランジスタのｎ$^{+}$ドレイン領域１３０５には画索電極１３３３を接続する。

【０１２４】

以上のとおり、本例では、ゲート電極１３１７、１３１８を形成する前に、ｎ$^{-}$ソース領域１３１１およびｎ$^{-}$ドレイン領域１３１３を活性化するため、その活性化条件の制約を受けることなく、ゲート電極１３１８の材質を選択できるので、ゲート電極１３１８を金属で構成することができる。

【０１２５】

さらに、画素部にオフ電流が小さいｎチャネル型薄膜トテンジスタ１３００cを設けるにあたって、周辺回路郡のｎチャネル型薄膜トランジスタ１３００aと同じ構造にしてあるため、その製造工程を簡略化できる。この場合でも、周辺回路部でＣＭＯＳ回路を構成するｐチヤネル型薄膜トランジスタ１３００bは、セルフアライン構造にしてあるため、動作速度が犠牲になることがない。また、ｐチャネル型薄膜トランジスタ１３００bは、オフ電流特性に配慮する必要がないため、一つのシリコンパターンから形成した高濃度のソース傾域およびドレイン領域で構成して、工程数の増大を最小限に止めることがでさる。

【０１２６】

（第１２の参考例）

本例では、ｎチャネル型薄膜トランジスタを周辺回路内蔵型の液晶ディスプレイの画素部に用い、寄生容量が小さく高速動作が可能なセルフアライン構造の薄膜トランジスタでＣＭＯＳ回路を構成してあり、３タイプの薄膜トランジスタを用いた第８の参考例の変形例に相当する。

【０１２７】

図１９（a）～図１９（e）は、その工程断面図である。

【０１２８】

図１９（e）に示すように、本例のアクティブマトリクス基板は、共通の絶縁基板１４０１の表面のうち、画素部には、いわゆるGOＬＤＤ構造のｎチャネル型薄膜トランジスタ１４００aを形成し、周辺回路部には、セルフアライン構造のｎチャネル型およびｐチャネル型薄膜トランジスタ１４００b、１４００cでＣＭＯＳ回路を構成してある。

【０１２９】

これらの薄膜トランジスタを製造するにあたっては、まず、図１９（a）に示すように、ガラスなどの絶縁基板１４０１の表面に、多結晶シリコン薄膜をたとえば１０００オングストローム程度堆積させ、これを選択的にエッチングして、シリコン薄膜のパターン１４０２、１４０３、１４０４、１４０５、１４０６、１４０７を形成する。続いて、全面にリンをイオン注入して、シリコン薄膜のパターン１４０２、１４０３、１４０４、１４０５、１４０６、１４０７を５×１０$^{+18}$ ｃｍ$^{-3}$程度の濃度にする。

【０１３０】

次に、シリコン薄膜のパターン１４０２、１４０３同士、パターン１４０４、１４０５同士、パターン１４０６、１４０７同士を接続するように、１０００オングストローム程度

の多結晶シリコン膜などのシリコン薄膜からなるチャネル形成領域１４０８、１４０１９、１４１０を形成する。

【０１３１】

次に、図１９（b）に示すように、これらの表面全体を熱酸化して、シリコン酸化膜からなるゲート絶縁膜１４１１、１４１２、１４１３を形成する。この熱処理工程は、注入したイオンを活性化する効果も有する。次に、ゲート絶縁膜１４１１、１４１２、１４１３の表面の所定の領域に、金属、透明導電膜、不純物を添加した多結晶シリコン膜などからなるゲート電極１４１４、１４１５、１４１６を形成する。ここで、ゲート電極１４１１は、n^-シリコン薄膜のパターン１４０２、１４０３の一部とゲート絶縁膜１４１１を介して重なり合う。これに対して、ゲート電極１４１５、１４１６は、各々、n^-シリコン薄膜のパターン１４０４、１４０５には重なっていない。

【０１３２】

次に、図１９（c）に示すように、光露光技術を用いて、ｐチャネル型薄膜トランジスタおよび画素部のｎチャネル型薄膜トランジスタの少なくともゲート電極端部を覆うように、レジストパターン１４１７、１４１８を形成し、これをマスクとしてリンをイオン注入し、n^+型ソース領域１４１９、１４２０およびn^+型ドレイン領域１４２１、１４２２を形成する。

【０１３３】

次に、レジストパターン１４１４７、１４１８を除去した後に、図１９（d）に示すように、光露光技術などを用いて、ｎチャネル型トランジスタと、画索部のｎチャネル型トランジスタとを覆う領域にレジストパターン１４２３、１４２４を形成し、これらをマスクにボロンをイオン注入し、$5\times10^{21}\ cm^{-3}$程度のp^+ソース領域１４２５およびp^+ドレイン領域１４２６を形成する。

【０１３４】

次に、レジストパターン１４１７、１４１８を除去した後に、図１９（e）に示すように、レーザービームを照射して、不純物の活性化を行う。以降は、通常の工程どおり、金属や透明導電膜などからなるソース電極１４２７、１４２８、１４２９およびドレイン電極１４３０、１４３１、１４３２をそれぞれn^+ソース領域１４１９、１４２０、p^+ソース領域１４２５、n^+ドレイン領域１４２１、１４２２およびp^+ドレイン領域１４２６に接続し、画索部にはいわゆるGOLDD棉造のｎチャネル型薄膜トランジスタ１４００ａを形成し、周辺回路部には、セルフアライン構造のｎチャネル型およびｐチャネル型薄膜トランジスタ１４００ｂ、１４００ｃを形成する。

【０１３５】

【発明の効果】

以上のとおり、本発明においては、ソース領域およびドレイン領域において、ゲート電極の端部に対してゲート絶縁膜を介して重畳する領域は、ゲート電極よりも前の工程で形成された低農度領域であることに特徴を有する。従って、本発明によれば、ソース領域やドレイン領域に導入された不純物を活性化するときには、ゲート電極は未だ形成された状態にある。従って、ゲート電極の構成材料の耐熱性に制約を受けることなく、不純物の活性化を行なえ、不純物の導入によって生じた結晶状態の崩れを充分に修復できるので、ドレイン領域やその近傍におけるトラップ準位を低減することができる。また、ゲート電極に対してドレイン領域は低濃度領域で重畳しているので、そこでの電界強度が小さい。それ故、薄膜トランジスタのオフ電流特佐を向上することができる。

【０１３６】

低濃度領域を、シリコン膜に対して不純物が導入された後にその結晶化処理が施された領域とした場合には、工程数が減って生産性が高まることに加えて、結晶化処理以降において、不純物の導入による結晶状態の崩れが発生せず、オフ電流特性がさらに向上する。

【０１３７】

低濃度領域の膜厚がチャネル形成領域の膜厚と同等である場合には、表面が平坦化されて、電界の局部的な集中がないので、オフ電流特佐が向上する。また、低濃度領域の膜厚を

、その不純物濃度によって規定される空乏層の厚さに比して薄い場合には、空乏層が低濃度領域の下面にまで到達するため、直列接続される容量が増えるので、寄生容量が小さくなる。

【０１３８】

ソース領域およびドレイン領域に、低農度傾域に接続する膜厚が厚い領域または高濃度領域を設けた場合には、それらが寄生抵抗を低減するので、動作速度が犠牲にならない。

【０１３９】

上記の薄膜トランジスタ（ｎチャネル型薄膜トランジスタ）を画素部に備えた液晶表示パネルにおいて、駆動回路部のＣＭＯＳ回路にも、このｎチャネル型薄膜トランジスタを利点する一方、それとＣＭＯＳ回路を構成するｐチャネル型薄膜トランジスタにはセルフアラインライン構造を採用した場合には、それぞれの工程を最大限援用して、工程の簡略化を図ることができるとともに、駆動回路の高速動作も実現できる。ここで、セルフアライン構造の薄膜トランジスタは、駆動回路部にあつて、オフ電流特性に酷しい条件が料せられないので、一体の高濃度領域として形成することによって、工程数の増大を最小限に止めることができる。

【０１４０】

さらに、液晶表示パネルにおいて、ドレイン領域には、低濃度領域などと同時形成されて、前段のゲート線との間に保持容量を形成すべき延設領域を設けた場合には、他の工程を援用しながら保持容量を構成することができる。

【図面の簡単な説明】

【図１】　図１は、本発明の第１の実施例に係る薄膜トランジスタの構造を示す断面図である。

【図２】　図２（a）は、図１に示す薄膜トランジスタのオフ電流特性を示すグラフ図、図２（b）は、その比較例に係る薄膜トランジスタのオフ電流特佐を示すグラフ図である。

【図３】　図３（a）は、図１に示す薄膜トランジスタの寄生容量を示す説明図、図３（b）は、その比較例に係る薄膜トランジスタの寄生容量を示す説明図である。

【図４】　図４（a）ないし（d）は、図１に示す薄膜トランジスタの製造方法の一部を示す工程断面図である。

【図５】　図５（a）ないし（c）は、本発明の第２の参考例に係る薄膜トランジスタの製造方法の一部を示す工程断面図である。

【図６】　図６（a）ないし（d）は、本発明の第３の参考例に係る薄膜トランジスタの製造方法の一部を示す工程断面図である。

【図７】　図７は、本発明の第４の参考例に係る薄膜トランジスタの構造を示す断面図である。

【図８】　図８（a）ないし（c）は、本発明の第５の参考例に係る薄膜トランジスタの製造方法の一部を示す工程断面図である。

【図９】　図９は、本発明の第６の参考例に係る薄膜トランジスタの構造を示す断面図である。

【図１０】　図１０（a）ないし（c）は、図９に示す薄膜トランジスタの製造方法の一部を示す工程断面図である。

【図１１】　図１１（a）ないし（e）は、本発明の第７の参考例に係る薄膜トランジスタを備えるＣＭＯＳ回路（半導体装置）の製造方法の一部を示す工程断面図である。

【図１２】　図１２は、液晶表示パネルの構成を示すブロック図である。

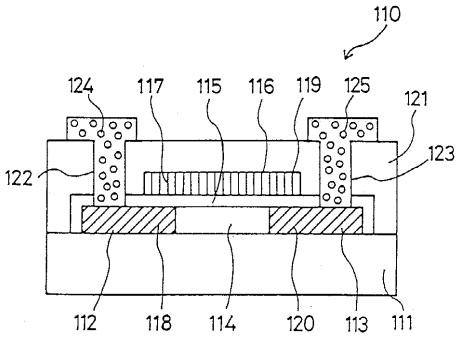
【図１３】　図１３は、図１２に示す液晶表示パネルの画素部の各画素領域の構成を示す平面図である。

【図１４】　図１４は、本発明の第８の参考例に係る液晶表示パネルのアクティブマトリクス基板に形成された薄膜トランジスタの断面図である。

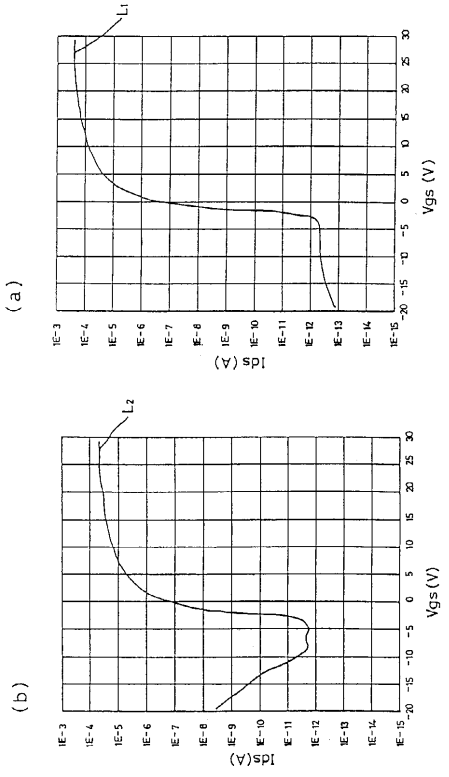
【図１５】　図１５は、本発明の第９の参考例に係る液晶表示パネルのアクティブマトリクス基板に形成された薄膜トランジスタの断面図である。

【図１６】　図１６（ａ）ないし（ｄ）は、本発明の第１０の参考例に係る液晶表示パネルのアクティブマトリクス基板に形成された薄膜トランジスタの製造方法の一部を示す工程断面図である。
【図１７】　図１７（ａ）および（ｂ）は、従来の液晶表示パネルにおいて、画素部に容量保持部を製造する方法の一部を示す工程断面図である。
【図１８】　図１８（ａ）ないし（ｅ）は、本発明の第１１の参考例に係る液晶表示パネルのアクティブマトリクス基板に形成された薄膜トランジスタの製造方法の一部を示す工程断面図である。
【図１９】　図１９（ａ）ないし（ｅ）は、本発明の第１２の参考例に係る液晶表示パネルのアクティブマトリクス基板に形成された薄膜トランジスタの製造方法の一部を示す工程断面図である。
【図２０】　図２０は、トランジスタの構成を示す断面図である。
【図２１】　図２１は、従来の薄膜トランジスタのオフ電流特性を示すグラフ図である。
【図２２】　図２２（ａ）～（ｄ）は、別の従来の薄膜トランジスタの製造方法を示す断面図である。

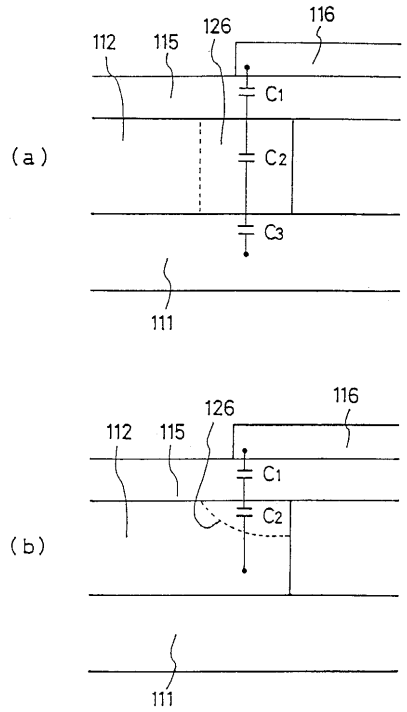
【図１】



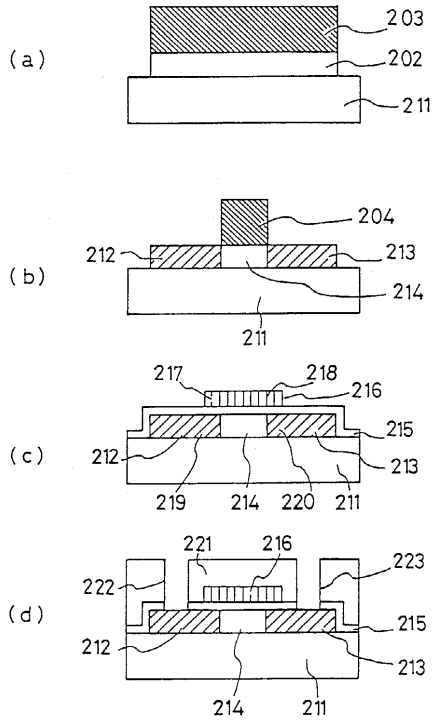
【図２】



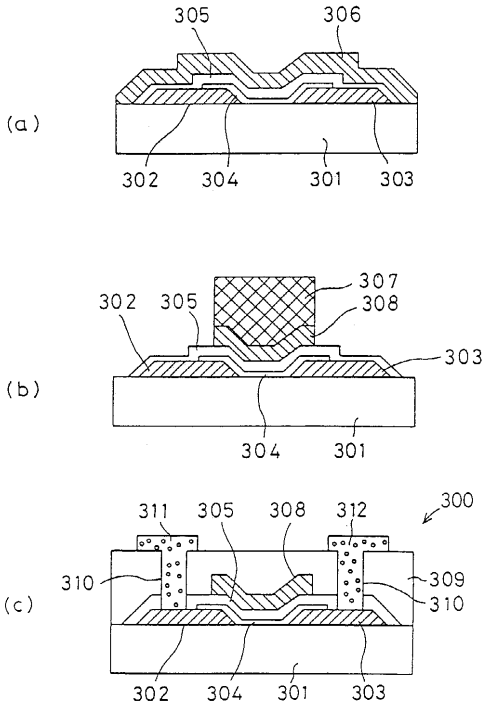
【図３】


(a)
112
115
126
116
C1
C2
C3
111
(b)
112
115
126
116
C1
C2
111

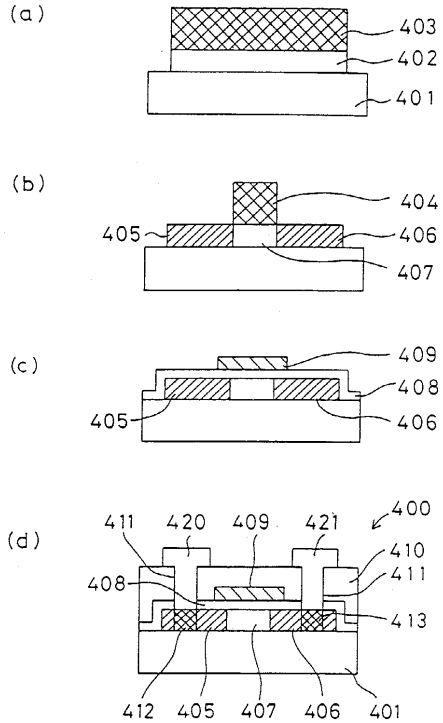
【図４】


(a)
203
202
211
(b)
204
212
213
214
211
(c)
217
218
216
215
212
213
219
214
220
211
(d)
221
216
223
222
215
212
213
214
211

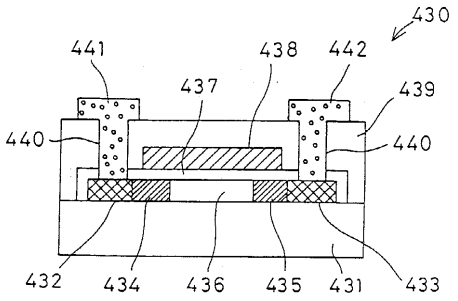
【図５】


(a)
305
306
302
304
301
303
(b)
307
302
305
308
303
304
301
(c)
300
311
305
308
312
310
309
310
302
304
301
303

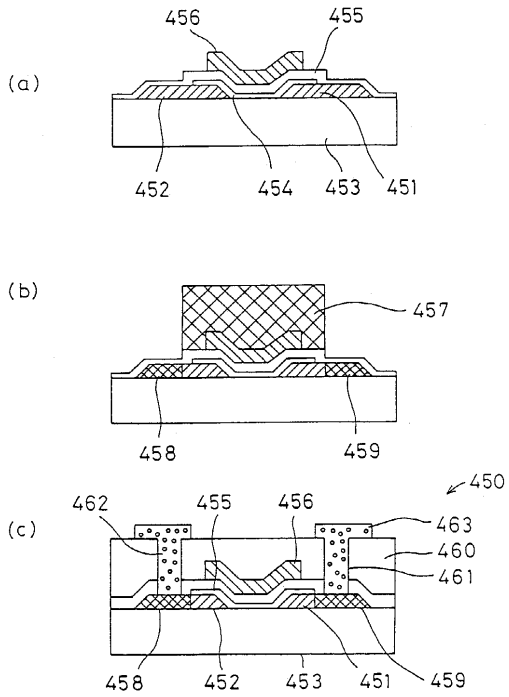
【図６】


(a)
403
402
401
(b)
404
405
406
407
(c)
409
408
405
406
(d)
400
411
420
409
421
410
408
411
413
412
405
407
406
401

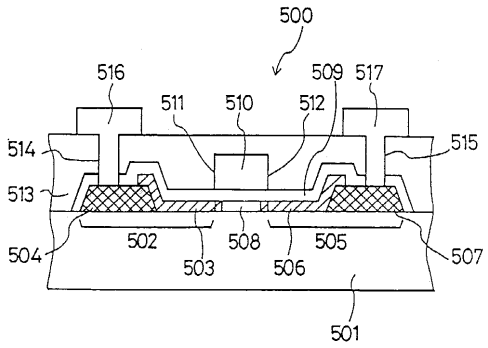
【図７】


430
441
438
442
437
439
440
440
432
434
436
435
431
433

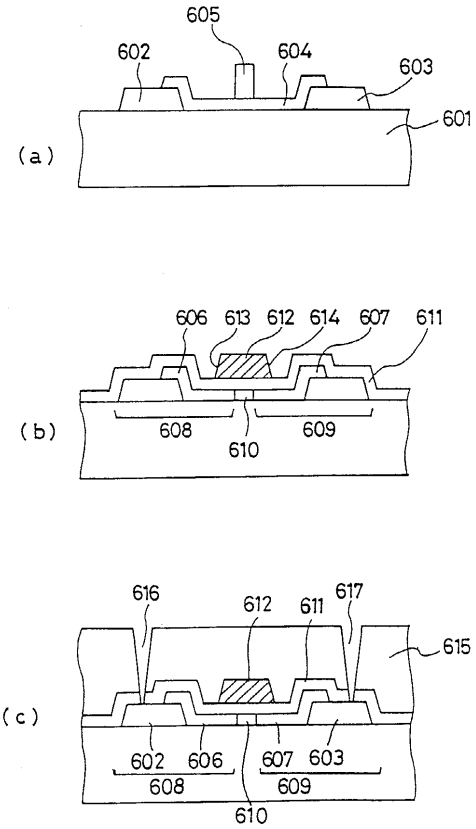
【図８】


(a)
456
455
452
454
453
451
(b)
457
458
459
(c)
450
462
455
456
463
460
461
458
452
453
451
459

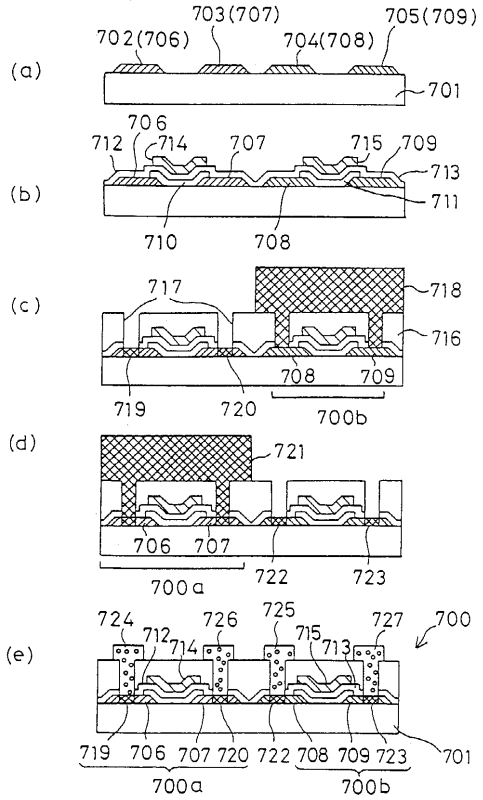
【図９】


500
516
511
510
512
509
517
514
515
513
504
502
503
508
506
505
507
501

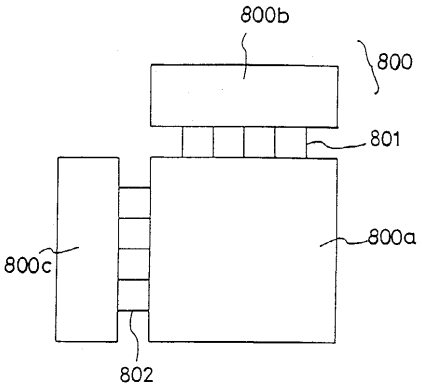
【図１０】


(a)
605
602
604
603
601
(b)
606
613
612
614
607
611
608
610
609
(c)
616
612
611
617
615
602
606
607
603
608
609
610

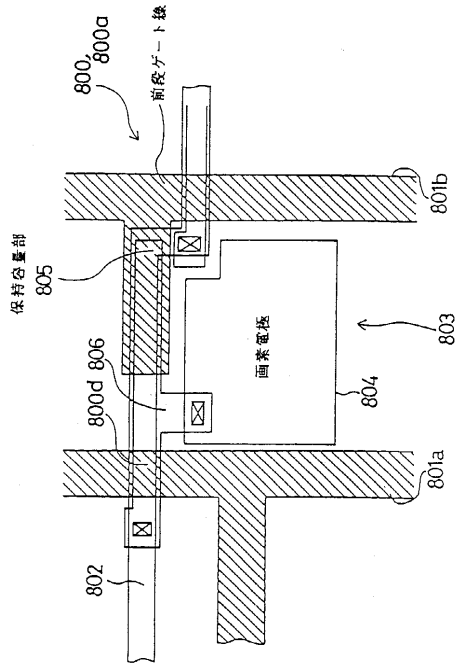
【図１１】



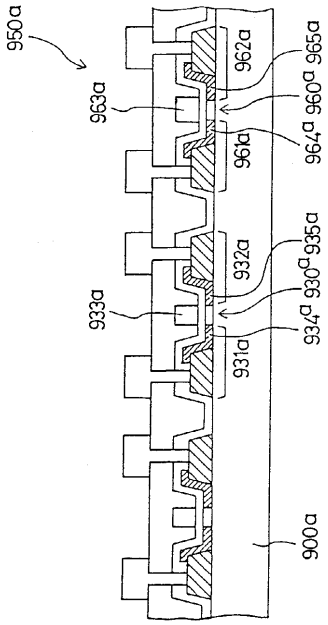
【図１２】



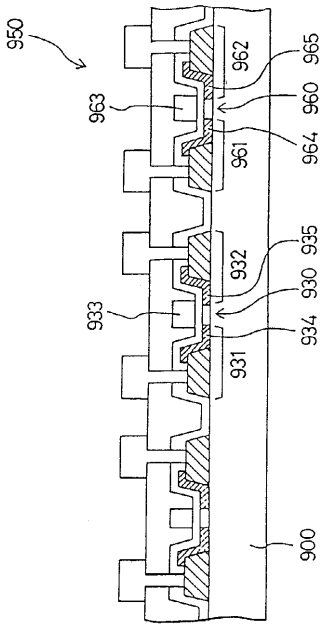
【図１３】



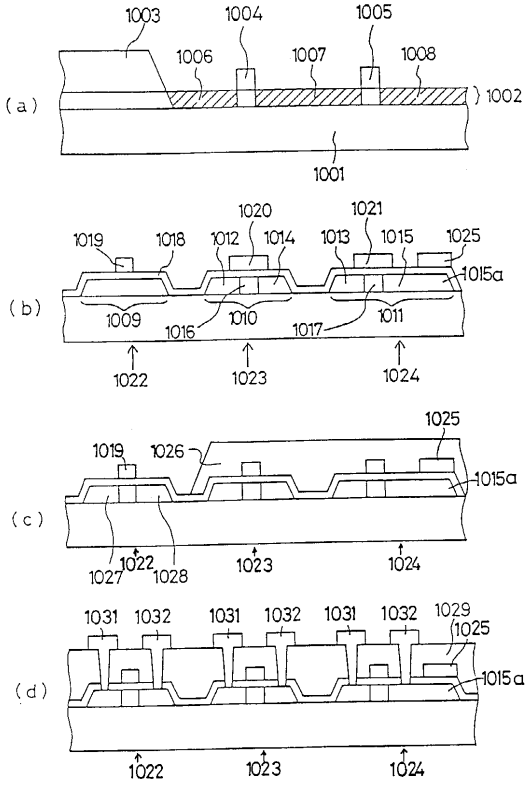
【図１４】



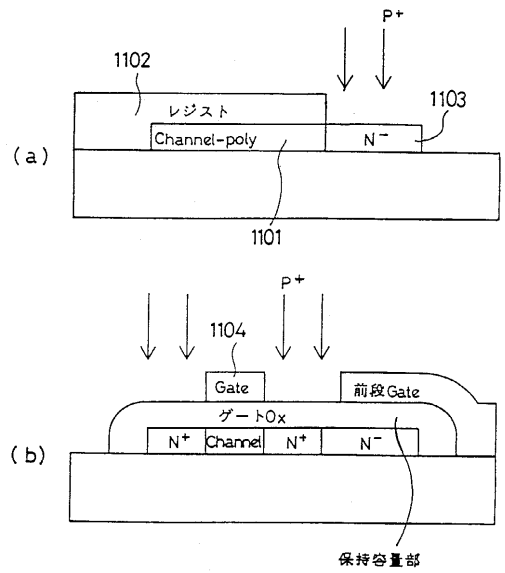
【図１５】



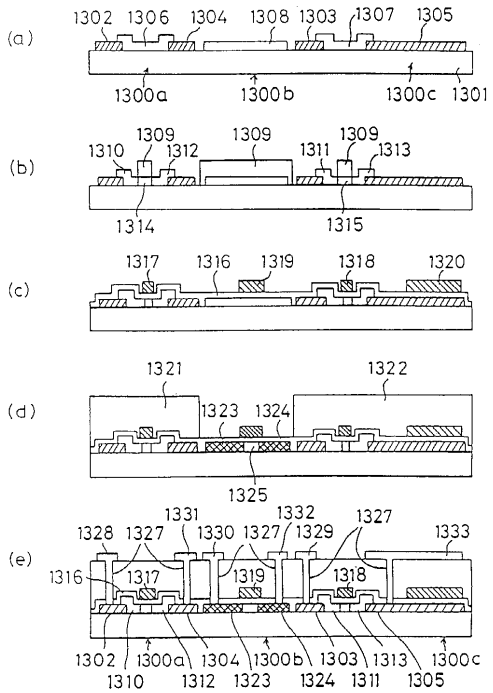
【図１６】



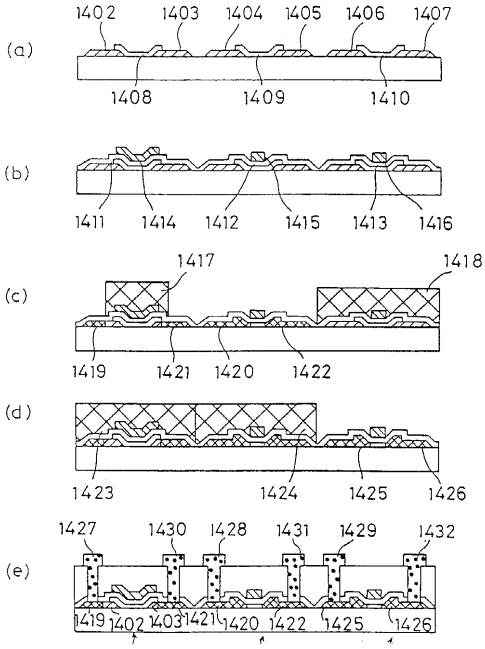
【図１７】



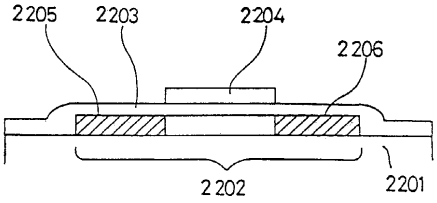
【図１８】



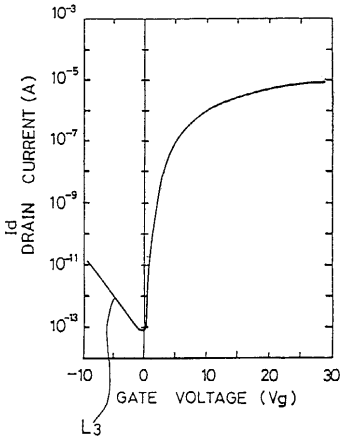
【図１９】



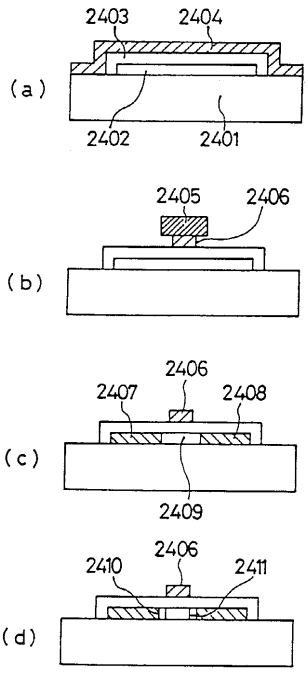
【図２０】



【図２１】



【図２２】



フロントページの続き

(31)優先権主張番号　特願平4-325315
(32)優先日　平成4年12月4日(1992.12.4)
(33)優先権主張国　日本国(JP)

合議体
審判長　松本　邦夫
審判官　今井　淳一
審判官　河合　章

(56)参考文献　特開平２－９０６２８（ＪＰ，Ａ）
特開平３－６４９３０（ＪＰ，Ａ）
特開昭５８－１４２５６６（ＪＰ，Ａ）