



[12] 发明专利申请公开说明书

[21] 申请号 02817242.6

[43] 公开日 2004 年 12 月 1 日

[11] 公开号 CN 1552005A

[22] 申请日 2002.7.3 [21] 申请号 02817242.6

[30] 优先权

[32] 2001.7.9 [33] EP [31] 01115751.8

[86] 国际申请 PCT/EP2002/007376 2002.7.3

[87] 国际公布 WO2003/007096 英 2003.1.23

[85] 进入国家阶段日期 2004.3.3

[71] 申请人 艾利森电话股份有限公司

地址 瑞典斯德哥尔摩

[72] 发明人 T·阿本德罗斯 H·-U·弗利尔

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 杨 凯 罗 朋

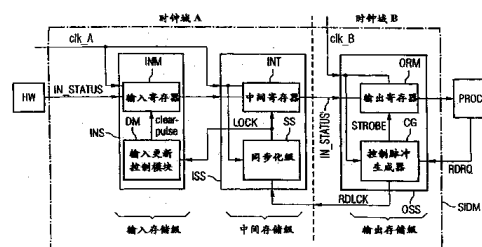
权利要求书 7 页 说明书 37 页 附图 9 页

[54] 发明名称 状态指示检测装置和方法

[57] 摘要

一种状态指示检测装置(SIDM)包括输入存储级(INS)、中间存储级(ISS)和输出存储级(OSS)。状态指示(IN_STATUS)输入到输入存储级(INS)的输入寄存器(INM),然后移位到中间存储级而后再到输出存储级(ISS、OSS)。输入和中间存储级用第一时钟域(A)中的第一参考时钟(CLK-A)工作,输出存储级用第二时钟域(B)中不同的第二参考时钟(CLK-B)工作。根据本发明,只可能在产生保持信号(LOCK)期间读出中间存储级(ISS)的中间寄存器(INT),其中保持信号(LOCK)使当前状态指示保持在中间存储级(ISS)中,并阻止新状态指示从输入存储级(INS)传输。因为保持信号(LOCK)的持续时间涵盖至少一个第二参考时钟周期,所以读出脉冲(STROBE)可以置于保持信号持续时间(LOCKL)内。因此,即使在第一和第二参考时钟(CLK-A、CLK-B)之间不同的相位和/或

频率关系下,仍可以避免输出寄存器(ORM)中的亚稳态,且不会丢失硬件装置(HW)输出的任何状态指示。



1. 一种用于检测状态指示的方法，其中

5 a1) 将原始状态指示 (IN_STATUS) 读 (ST1、ST2) 入第一参考时钟域 (A) 的输入存储级 (I01-I03)，使得所述读状态指示在同步于所述第一参考时钟域 (A) 的第一参考时钟 (CLK_A) 的所述输入存储级中可用；以及

10 a2) 将所述读状态指示输入 (ST4) 到第二参考时钟域 (B) 的输出存储级 (I06-I08)，使得所述读状态指示在同步于所述第二参考时钟域 (B) 的第二参考时钟 (CLK_B) 的所述输出存储级中可用，所述第二参考时钟域 (B) 的所述第二参考时钟 (CLK_B) 具有不同于所述第一参考时钟 (CLK_A) 的相位和/或频率 (f_A ; f_B)；

其特征在于：

15 b) 所述输入存储级 (I01-I03) 中的所述状态指示同步于所述第一参考时钟 (CLK_A) 移位 (ST3、ST5) 到所述第一参考时钟域 (A) 的中间存储级 (I04-I05)；以及

c) 响应于输入 (SO) 到所述输出存储级 (I06-I08) 的读请求信号 (RDRQ)，

20 c1) 将保持信号 (LOCK) 施加 (S3) 到所述中间存储级 (I04-I05) 上，以将当前状态指示保持在所述中间存储级 (I04-I05) 中并阻止新状态指示从所述输入移位到所述中间存储级 (I01-I03; I04-I05) 上；以及

25 c2) 在所述保持信号 (LOCK) 期间，将读出信号 (STROBE) 施加 (S6) 到所述输出存储级 (I06-I08)，以将所述中间存储级 (I04-I05) 中的当前状态指示同步于所述第二参考时钟 (CLK_B) 读到 (ST4) 所述输出存储级 (I06-I08)。

2. 如权利要求 1 所述的方法，其特征在于，在所述保持信号 (LOCK) 期间读入新的原始状态指示，并保存在输入存储级 (I01-

I03) 中; 以及

在所述保持信号 (LOCK) 中止之后, 所述输入存储级 (I01-I03) 中的状态指示 (ST5) 同步于所述第一参考时钟 (CLK_A) 移位到所述中间存储级 (I04-I05) 中。

5 3. 如权利要求 1 所述的方法, 其特征在于, 在所述步骤 c) 中, 所述读请求信号 (RDRQ) 输入 (S0) 到与所述第二参考时钟 (CLK_B) 同步 (RQ、RQ'、RQ") 的所述输出存储级 (I06-I08) 上;

4. 如权利要求 1 所述的方法, 其特征在于, 在所述步骤 c1) 中, 所述保持信号 (LOCK) 施加到与所述第一参考时钟 (CLK_A) 同步
10 (LS、LE; LS'、LE'; LS"、LE") 的所述中间存储级 (ISS) 上。

5. 如权利要求 1 所述的方法, 其特征在于, 在所述保持信号 (LOCK) 中止之后, 所述状态指示在所述输入存储级 (I01-I03) 中保持至少一个以上的第一参考时钟周期 (S4、S5)。

6. 如权利要求 1 所述的方法, 其特征在于, 在所述步骤 c1) 中,
15 响应于所述读请求信号 (RDRQ), 产生同步于所述第二参考时钟 (CLK_B) 的读锁定脉冲 (RDLCK), 并将其从所述第二参考时钟域 (B) 输入所述第一参考时钟域 (A); 所述读锁定脉冲 (RDLCK) 的脉冲长度 (RDLCKL、RDLCKL'、RDLCKL") 为允许所述第一参考时钟域 (CLK_A) 中的所述读锁定脉冲 (RDCLK) 与所述第一参考时
20 钟 (CLK_A) 可靠同步所需的持续时间与将所述状态指示从所述中间存储级读出并输入所述输出存储级所需持续时间之和。

7. 如权利要求 6 所述的方法, 其特征在于, 在所述步骤 c1) 中, 在所述中间存储级 (I04、I05) 的同步级 (I09、I10) 中, 所述读锁定脉冲 (RDLCK) 同步 (LS、LS'、LS") 于所述第一参考时钟 (CLK_A),
25 并从所述同步化的读锁定脉冲 (RDLCK) 派生出脉冲长度 (LOCKL、LOCKL'、LOCKL") 至少为所述同步的读锁定脉冲 (RDLCK) 的持续时间的所述保持信号 (LOCK)。

8. 权利要求 7 所述的方法, 其特征在于, 这样派生所述保持信号

(LOCK)，使其持续时间为至少一个但最好为两个所述第一参考时钟 (CLK_A) 的周期，并涵盖所述第二参考时钟 (CLK_B) 的至少一个时钟脉冲。

9. 如权利要求 6 所述的方法，其特征在于，在所述步骤 c2) 中，
5 所述读出信号 (STROBE) 同步 (SE、SE'、SE") 于所述读锁定脉冲 (RDLCK) 的末端。

10. 如权利要求 1 所述的方法，其特征在于，在所述输入存储级的输入更新控制装置 (DM; I11-I14) 中，产生 (S4、S5) 用于删除来自所述输入存储级的状态指示 (IN_STATUS) 的清零脉冲
10 (CLEAR_PULSE)，所述清零脉冲 (CLEAR_PULSE) 是在所述保持信号 (LOCK) 中止之后产生的。

11. 如权利要求 3 所述的方法，其特征在于，同步 (RQ、RQ'、RQ") 于所述第二参考时钟 (CLK_B) 的所述读请求信号 (RDRQ) 具有一个第二参考时钟 (CLK_B) 周期的持续时间。

12. 如权利要求 1 所述的方法，其特征在于，所述状态指示是同步于所述第一参考时钟 (CLK_A) 周期而产生的。

13. 如权利要求 1 所述的方法，其特征在于，所述读状态指示在所述输入、中间和输出存储级 (I01 - I03) 包括 1 比特。

14. 如权利要求 1 所述的方法，其特征在于，所述读状态指示在
20 所述输入、中间和输出存储级 (I01 - I03) 包括 n 比特。

15. 一种用于检测原始状态指示 (IN_STATUS) 的状态指示检测装置 (SIDM)，它包括：

a1) 第一参考时钟域 (A) 的输入存储级 (I01-I03)，用于读取原始状态指示 (IN_STATUS)，使得所述读状态指示在同步于所述第一参考时钟域 (A) 的第一参考时钟 (CLK_A) 的所述输入存储级中
25 可用；以及

a2) 第二参考时钟域 (B) 的输出存储级 (I06-I08)，所述读状态指示输入 (ST4) 到所述输出存储级 (I06-I08)，使得所述读状态指

示在同步于所述第二参考时钟域(B)的第二参考时钟(CLK_B)的所述输出存储级中可用,其中所述第二参考时钟域(B)的所述第二参考时钟(CLK_B)具有不同于所述第一参考时钟(CLK_A)的相位和/或频率(f_A ; f_B);

5 其特征在于:

b) 在所述输入存储级(INS)与所述输出存储级(OSS)之间设有所述第一参考时钟域(A)的中间存储级(ISS、INT、SS),其中所述输入存储级(I01-I03)中的所述状态指示同步于所述第一参考时钟(CLK_A)移位(ST3、ST5)到所述中间存储级的中间寄存器(INT);

10 所述输出存储级(OSS)包括控制脉冲生成器(CG),用于响应输入(S0)到所述输出存储级(I06-I07; OSS)的读请求信号而产生读出信号(STROBE),所述读出信号(STROBE)施加到所述输出存储级(OSS)的输出寄存器(ORM),以将所述中间存储级(I04-I05)中的所述当前状态指示同步于所述第二参考时钟(CLK_B)读到
15 (ST4)所述输出寄存器(ORM)中; 以及

c2) 所述中间存储级(ISS)包括同步级(SS),用于产生保持信号(LOCK),所述保持信号施加(S3)到所述中间存储级(I04-I05)的中间寄存器(INT)上,以在所述中间存储寄存器(INT)中保持当前状态指示,并阻止新指示从所述输入移位到所述中间存储级(I02-
20 I03; I04-I05)。

16. 如权利要求 15 所述的装置,其特征在于,在所述保持信号(LOCK)的产生期间,所述输入存储级(INS)适于读入新的原始状态指示并将其保存在所述输入存储级(INS)中; 以及

当所述同步级(SS)中止(ST5)产生所述保持信号(LOCK)时,
25 保存在所述输入存储级(INS)的输入寄存器(INM)中的状态指示被移位到与所述第一参考时钟(CLK_A)同步的所述中间存储级(I04-I05)的中间寄存器(INT)中; 以及

控制脉冲生成器(CG)将所述读出信号(STROBE)施加到所述

输出寄存器 (ORM)，以在所述保持信号 (LOCK) 持续期间同步于所述第二参考时钟 (CLK_B) 从所述中间存储级读入状态指示。

17. 如权利要求 15 所述的装置，其特征在于，设置输入更新控制装置 (DM) 以从所述输入存储级 (INS) 删除所存储的状态指示。

5 18. 如权利要求 15 所述的装置，其特征在于，所述读请求信号 (RDRQ) 输入到同步于 (RQ、RQ'、RQ'') 所述第二参考时钟 (CLK_B) 的所述输出存储级控制脉冲生成器 (CG)。

19. 如权利要求 15 所述的装置，其特征在于，所述同步级 (SS) 将同步 (LS、LE、LS'、LE'、LS''、LE'') 于所述第一参考时钟 (CLK_A) 的保持信号 (LOCK) 施加到所述中间寄存器 (INT) 上。

20. 如权利要求 17 所述的装置，其特征在于，所述输入更新控制装置 (DM) 利用清零脉冲 (CLEAR_PULSE) 控制所述输入寄存器 (INM)，使所述状态指示在所述输入寄存器 (INM) 中保持至少一个以上第一参考时钟周期 (S4、S5)。

15 21. 如权利要求 15 所述的装置，其特征在于，响应于所述读请求信号 (RDRQ)，所述控制脉冲生成器 (CG) 生成同步于所述第二参考时钟 (CLK_B) 的读锁定脉冲 (RDLCK)，并将其从所述第二参考时钟域 (B) 输入到所述第一参考时钟域 (A)；所述读锁定脉冲 (RDLCK) 具有脉冲长度 (RDLCKL、RDLCKL'、RDLCKL'') 为允
20 许所述第一参考时钟域 (CLK_A) 中的所述读锁定脉冲 (RDCLK) 与所述第一参考时钟 (CLK_A) 可靠同步所需的持续时间与将所述状态指示从所述中间存储级读出并输入所述输出存储级所需持续时间之和。

22. 如权利要求 21 所述的装置，其特征在于，所述中间存储级
25 (I04、I05) 的所述同步级 (I09、I10) 使所述读锁定脉冲 (RDLCK) 同步 (LS、LS'、LS'') 于所述第一参考时钟 (CLK_A)，并从所述同步化的读锁定脉冲 (RDLCK) 派生出所述保持信号 (LOCK)，所述保持信号 (LOCK) 的脉冲长度 (LOCKL、LOCKL'、LOCKL'') 至少

为所述同步化的读锁定脉冲 (RDLCK) 的持续时间。

23. 权利要求 22 所述的装置, 其特征在于, 所述同步级以下述方式派生派生所述保持信号 (LOCK), 使其持续时间为至少一个但最好为两个所述第一参考时钟 (CLK_A) 周期, 且涵盖所述第二参考时钟 (CLK_B) 的至少一个时钟脉冲。

24. 如权利要求 21、22 或 23 所述的装置, 其特征在于, 所述控制脉冲生成器 (CG) 同步 (SE、SE'、SE'') 于所述读锁定脉冲 (RDLCK) 的末端而产生所述读出信号 (STROBE)。

25. 如权利要求 17 所述的装置, 其特征在于, 在所述输入存储级的输入更新控制装置 (DM; I11-I14) 产生 (S4、S5) 清零脉冲 (CLEAR_PULSE), 用于从所述输入存储级删除状态指示 (IN_STATUS), 所述清零脉冲 (CLEAR_PULSE) 是在所述保持信号 (LOCK) 中止之后产生的。

26. 如权利要求 18 所述的装置, 其特征在于, 所述读请求信号 (RDRQ) 同步 (RQ、RQ'、RQ'') 于所述第二参考时钟 (CLK_B) 且具有一个所述第二参考时钟 (CLK_B) 周期的持续时间。

27. 如权利要求 15 所述的装置, 其特征在于, 所述状态指示是同步于所述第一参考时钟 (CLK_A) 产生的。

28. 如权利要求 15 所述的装置, 其特征在于, 所述读状态指示在所述输入、中间和输出存储级 (I01-I03) 中包括 1 比特。

29. 如权利要求 15 所述的装置, 其特征在于, 所述读状态指示在所述输入、中间和输出存储级 (I01-I03) 中包括 n 比特。

30. 如权利要求 15 所述的装置, 其特征在于, 所述输出寄存器 (ORM) 包括输出多路复用器 (I06) 和输出 D 触发器或 n 位寄存器 (I07; OUTPUT_REG)。

31. 如权利要求 15 所述的装置, 其特征在于, 所述控制脉冲生成器 (CG) 包括接收所述读请求信号 (RDRQ) 并输出所述读锁定脉冲 (RDLCK) 和所述读出信号 (STROBE) 的控制装置 (CNTRL)。

32. 如权利要求 15 所述的装置, 其特征在于, 所述中间寄存器 (INT) 包括中间多路复用器 (I04) 和中间 D 触发器或 n 位寄存器 (I05)。

33. 如权利要求 15 所述的装置, 其特征在于, 所述同步级 (SS) 5 包括至少两个串联的 D 触发器 (I09、I010)。

34. 如权利要求 16 和 28 所述的装置, 其特征在于, 所述输入寄存器 (INM) 包括至少两个串联的多路复用器 (I01、I02) 和一个输入 D 触发器 (I03、STATREG)。

35. 如权利要求 16 和 29 所述的装置, 其特征在于, 所述输入寄 10 存器 (INM) 包括可以存储 n 比特的 n 位寄存器 (I17)。

36. 如权利要求 17 和 28 所述的装置, 其特征在于, 所述输入更新控制装置 (DM) 包括一个 n 位 D 触发器 (I11)、两个“与”门 (I12、I14) 和一个“异或非”门 (I13)。

37. 如权利要求 17 和 29 所述的装置, 其特征在于, 所述输入更新 15 控制装置 (DN11) 包括一个 D 触发器 (I11)、一个“与”门 (I12) 和一个四输入/单输出多路复用器 (I15')。

38. 如权利要求 15 所述的装置, 其特征在于, 所述输入存储级 (INS) 和所述中间存储级 (ISS) 中的所有操作均同步于所述第一参考时钟 (CLK_A), 而所述输出存储级 (OSS) 中的所有操作均同步 20 于所述第二参考时钟 (CLK_B)。

39. 如权利要求 15 所述的装置, 其特征在于, 所述状态指示是通过监视 SDH/SONET 数据流比特生成的。

40. 如权利要求 15 所述的装置, 其特征在于, 所述输入、中间和输出存储级是利用超大规模集成电路结构来实现的。

状态指示检测装置和方法

5 发明领域

本发明涉及用于检测硬件设备输出的状态指示的装置和方法。一般来说，为了检测指示脉冲或状态指示或将其锁存在存储设备中，所述状态指示由同步于第一参考时钟的硬件设备输出，而同步于与
10 所述第一参考时钟有相位和/或频率差异的第二时钟的处理设备或其它监控设备可能要读取该状态指示，例如 1 比特。因此，状态指示可能会因不同“时钟域”之间的相位和/或频率失配而丢失。

具体地说，本发明所解决的问题是，对第一和第二参考时钟之间的任意相位关系，如何才能实现指示信号从第一参考时钟域到第二参考时钟域的稳定传输。

15

发明背景

可以采用 ASIC（专用集成电路）来操作和/或监视数据流。在这种 ASIC 内，通常有产生短脉冲形状的状态或错误指示的电路和功能块。此外，一旦从硬件设备中读出指示信号，则 ASIC 必须更新门锁
20 寄存器。如上所述，锁存状态指示（如 1 比特）的寄存器或触发器在不同于处理已锁存指示的电路（如微控制器接口）的时钟域下工作。因此，当访问门锁寄存器时需要同步功能来避免亚稳态。

亚稳态可能在触发器（FF）的建立 - 保持窗口被违反的情况下出现。当出现亚稳态时，无法预测 FF 输出的逻辑状态，从而只能以
25 一定错误概率给出未确定逻辑值稳定到确定状态的精确时刻。当然，理论上来说，亚稳态的触发器也可以被读出。但是，因为亚稳态，所以完全无法确定哪一个逻辑值被读出。

再者，即使更新请求和新指示在时间上重合，同步和更新功能

也不得与错误指示的检测重叠。

需要锁存这样的状态指示的典型环境例如 SONET/SDH 应用架构。对于这种应用，电路会锁存短的、时钟周期长的指示，使它们同步于微控制器接口，并提供读时更新功能，而在读和更新阶段不覆盖新指示。例如，SDH/SONET ASIC 可能会接收、监视和处理 16 个 SDH/SONET 数据流。在此情况下，从 SDH/SONET 应用中的数据流恢复时钟，因此 ASIC 涉及 16 个具有相同标称时钟频率但彼此间相位关系不可预测且输入到微控制器接口的时钟域，所述微控制器接口使控制和配置控制器可以存取被锁存的指示。假设锁存的指示在微控制器读取它们之前一直是可用的，从而可将它们更新为新指示而又不会覆盖读出阶段到达的指示。因此，仅通过两次连续的读访问，微控制器即可以检测指示状态中的变化。

现有技术说明

上述更新和锁存（检测）来自硬件设备的状态指示的问题是一个一般性的任务，并不局限于上述的 SONET/SDH 应用。例如，同一申请人提交的德国专利申请 P19814359（对应于 PCT/EP99/0226（W099/50727）和美国专利申请 09/280984）描述了大体上如图 1 所示那样存储和访问状态指示的问题。

硬件设备 HW 例如同步于第一参考时钟 CLK_A 将状态指示 SI 输出到属于时钟域 A 的输入存储装置 ISM。状态指示 SI' 从输入存储装置 ISM 传送到输出存储装置 OSM。例如，由处理装置 PROC 输出读请求 RDRQ，以便从输出存储装置 OSM 读出状态指示 SI''。读出状态指示 SI'' 可以同步于属于时钟域 B 的第二时钟 CLK_B，而从输入存储装置 ISM 传送状态指示 SI' 则可以同步于属于时钟域 A 的第一时钟 CLK_A，以致读出和传送通常不会同时进行（亦参见图 2 中的时刻 PD1、PD2）。这是时钟 CLK_A 和 CLK_B 之间存在相位和/或频率差所致，在实际实施例中，时钟 CLK_A 和 CLK_B 不是从同一

个源产生的，而且它们通常不是分布在同一个时钟树上。即使时钟速率是相同的，一般的相差也存在，导致 CLK_A 和 CLK_B 脉冲各自的传送和读出沿不一致，即不同步。

在上述专利申请中，描述了在输入存储装置 ISM 中采集状态指示（若干位），然后将其传送或复制到输出存储装置 OSM 的若干寄存器中，以便一个或多个处理装置 PROC 可以同时访问输出存储装置 OSM 中的那些状态指示。

图 2 显示例如图 1 所示的时钟域 A 和时钟域 B 之间典型的相位/频率关系。例如，在时刻 PD1、PD2，如果各时钟频率不是彼此的整数倍，即周期长度 T_a 不是周期长度 T_b 的整数倍，则各时钟脉冲的上升沿或下降沿不匹配。此外，即使各时钟频率在标称上彼此为整数倍，相位失配也可能随时间变化，尤其是当时钟频率由不同时钟源产生时。这意味着，例如新的状态指示 SI（图 2 中以 IN_STATUS 表示）可能同步于第一参考时钟 CLK_A 以钟控方式打入输入存储装置 ISN；但当存在相位和/或频率失配时，它可能不适于传送并存储在输出存储装置 OSM 中。

美国专利 US5357613 公开一种类似于图 1 所示的电路，即输入存储级由多路复用器和 D 触发器构成，而输出存储装置也由多路复用器和 D 触发器构成。还设有由两个串联的 D 触发器构成的同步级。类似于图 1，该美国专利公开的电路分别在输入域和输出域用两个不同的参考时钟工作。虽然同步级可实现时间域同步，并实现低误码率的数据捕获，但是，首先它无法在两个时钟信号的任何频率和相位关系下正确工作，无法确保输出存储级所提取的值是通过时钟域边界正确传送的最新错误指示。

美国专利 US5638015 也公开了一种类似于附图 1 的配置。其中，设置了输入部分和输出部分，各部分以不同的参考时钟工作。其原理是采用多个延迟 D 触发器，以便使两个时钟域匹配。其中说明了这种配置可避免亚稳态。但是，它只适用于输出部分的时钟频率大

于或等于输入部分的时钟频率的情况。再者，只有两个寄存器级，一个用于接收输入脉冲的输入级，一个所述脉冲直接传送到的输出级。

5 如上所述，常规技术无法通用于指示锁存时钟域和指示提取时钟域（下文称为时钟域 A 和时钟域 B）之间的所有时钟和频率关系。经典的同步级方法，例如上述美国专利 US-5357613 和 US-5638015 所述的方法，在例如提取时钟域 B 的工作时钟 CLK_B 比锁存时钟域 A 的工作时钟 CLK_A 慢时就会失效。因此，当需要在任意相位/频率关系下实现读清零功能时，常规技术可能无法实现同步或无法尽可能快地传递所存储的（锁存或检测到的）指示信号。

10 因此，常规技术下据所知还没有在读出时集成所有三种功能即锁存、同步和更新而又不会丢失输入的状态指示的状态指示检测装置和状态指示检测方法。

15 本发明要解决的问题

如上参照现有技术，具体参照图 1 和图 2 所述，常规技术的电路仅由输入级装置 ISM 和输出级装置 OSM 构成，OSM 在第一参考时钟 CLK_A（锁存域 A）和第二时钟 CLK_B（读出域 B）之间相位和/或频率关系任意的情况下，无法提供精确的锁存、同步和读更新功能。

20 因此，本发明的目的在于提出一种状态指示检测方法和装置，它可以确保对应于锁存参考时钟和读出时钟之间的每种频率和相位关系，状态指示都不会丢失，即对应于每种频率和相位关系，可以稳定地将状态从输入寄存器传送到输出寄存器，同时可以读入任何新输入的状态指示而不会丢失。

25 实现目标的解决方案

本发明目标通过一种用于检测状态指示的方法（权利要求 1）来

实现，其中，将原始状态指示读入第一参考时钟域的输入存储级，以使所述状态指示在同步于所述第一参考时钟域的第一参考时钟的所述输入存储级中可用；以及将所述读状态指示输入到第二参考时钟域的输出存储级，以使所述状态指示在同步于所述第二参考时钟域的第二参考时钟的所述输出存储级中可用，所述第二参考时钟域的所述第二参考时钟具有与所述第一参考时钟不同的相位和/或频率；其中所述输入存储级中的所述状态指示同步于所述第一参考时钟移位到所述第一参考时钟域的中间存储级；以及响应于输入所述输出存储级的读请求信号，对所述中间存储级施加保持信号，以在所述中间存储级中保持当前状态指示，并阻止新状态指示从所述输入移位到所述中间存储级；在所述保持信号期间，对所述输出存储级施加读出信号，以将所述中间存储级中的当前状态指示同步于所述第二参考时钟读入到所述输出存储级。

此外，本发明目的是通过一种检测原始状态指示的状态指示检测装置（权利要求 15）来实现的，它包括第一参考时钟域的输入存储级，用于读取所述原始状态指示，以使所述状态指示在同步于所述第一参考时钟域的第一参考时钟的所述输入存储级中可用；以及第二参考时钟域的输出存储级，所述读状态指示输入到其中，以使所述状态指示在同步于所述第二参考时钟域的第二参考时钟的所述输出存储级中可用，所述第二参考时钟域的所述第二参考时钟具有与所述第一参考时钟不同的相位和/或频率；其中在所述输入存储级与所述输出存储级之间设有所述第一参考时钟域的中间存储级，所述输入存储级中的所述状态指示同步于所述第一参考时钟移位到中间存储级；所述输出存储级包括控制脉冲生成器，用于响应输入所述输出存储级的读请求信号而产生读出信号，以将此读出信号施加于所述输出存储级的输出寄存器，从而将所述中间存储级中的当前状态指示同步于所述第二参考时钟读入所述输出寄存器；以及所述中间存储级包括同步级，用于产生施加于所述中间存储级的中间寄

寄存器的保持信号，以在所述中间存储寄存器中保持当前状态指示，并阻止新指示从所述输入移位到所述中间存储级。

5 因此，根据本发明，状态指示检测装置还包括属于锁存域的、称为中间存储级的存储级。以如下方式控制中间存储级：使中间存储级中当前状态指示的锁存时间为保持信号的时间间隔，以使输出存储级可以在所述保持信号持续时间内施加与所述第二参考时钟同步的读出脉冲。在此情况下，读出脉冲可以仍与第二参考时钟同步，而保持信号可以与第一参考时钟同步。因此，两个参考时钟具有什么相位和/或频率关系都无关紧要。

10 再者，读状态指示的格式不必与原始状态指示的格式完全相同。例如，原始指示可能对应于事件的发生，而读指示可能对应于一定计数数量的原始指示。

本发明还具有如下优点：输出存储级从中间存储级提取的值总是通过时钟域边界正确传送的最新状态（例如错误）指示。

15

本发明的优选实施例

最好是（权利要求 2/16），在所述保持信号期间，读入一个新的原始状态指示，并将其一直存储在输入存储级中；在保持信号中止之后，输入存储级中的状态指示被移位到与所述第一参考时钟同步的所述中间存储级。同时，可以将新的原始状态指示输入输入存储级，且至少在保持信号的持续时间内，这些原始状态指示将保持在输入存储级中并被阻止移位到中间存储级。因此，在保持信号期间产生同步于第二参考时钟的读出信号，以便无论两个参考时钟的相位和/或频率关系如何，均可防止任何状态指示的丢失。

25 虽然读请求信号可以具有相对于第一或第二参考时钟的任何相位，但是根据一个实施例（权利要求 3/18），读请求信号同步于所述第二参考时钟输入输出存储级。因此，可以确保产生读出的信号也与所述第二参考时钟同步。

根据另一个实施例（权利要求 4/19），保持信号施加到同步于所述第一参考时钟的所述中间存储级。

再者，根据本发明的另一个实施例（权利要求 5/20），来自输入存储装置的状态指示在移位到中间存储级之前，在输入存储级中至少保持一个以上的第一参考时钟。

根据本发明的优选实施例（权利要求 6/21），响应于所述读请求信号，所述控制脉冲生成器产生同步于所述第二参考时钟的读锁定脉冲，并从所述第二参考时钟域将其提供给所述第一参考时钟域，所述读锁定脉冲的脉冲长度为允许所述第一参考时钟域中的所述读锁定脉冲与所述第一参考时钟可靠同步所需的时间长度与从所述中间存储级将所述状态指示读入输出存储级的时间长度之和。因此，读锁定信号可以从输出时钟域移位到输入时钟域，充当产生保持信号的基础。

最好是（权利要求 7/22），所述中间存储级的所述同步级使所述读锁定脉冲与所述第一参考时钟同步，并根据所述同步化的读锁定脉冲派生出脉冲长度至少为同步化的读锁定脉冲的持续时间的所述保持信号。

最好是（权利要求 8/23），所述同步级以如下方式派生出所述保持信号，使所述保持信号的持续时间至少为一个但最好为两个所述第一参考时钟的周期，而且涵盖第二参考时钟的至少一个时钟脉冲。

最好是（权利要求 9/24），所述脉冲生成器产生同步于读锁定脉冲末端的所述读出信号。

根据本发明的另一个实施例（权利要求 10/25），所述输入存储级的输入更新控制装置产生清零脉冲，用于从输入存储级删除状态指示，所述清零脉冲是在所述保持信号中止之后产生的。检查所述输入存储级和所述中间存储级的内容是否一致可以避免虽然中间存储级尚未采样到输入存储级的旧内容，而输入存储级已更新状态指

示。但是，避免状态指示丢失的备选解决方案也是可行的。

最好是（权利要求 11/26），读请求信号与所述第二参考时钟同步，且持续时间为一个第二参考时钟周期。即，读请求信号只作为产生读锁定脉冲的基础，它可能比一个第二参考时钟周期长很多，
5 例如对于第二参考时钟频率较第一参考时钟高很多的情况。

最好是（权利要求 12/27），以与第一参考时钟同步的方式产生状态指示。因此，可以捕获状态指示而同时没有额外的同步化问题。

最好是（权利要求 13/28），所述读状态指示可以在所述输入存储级、中间存储级和输出存储级包括 1 比特。

10 最好是（权利要求 14/29），所述读状态指示在所述输入存储级、中间存储级和输出存储级包括 n 比特。

最好是，对于 1 位和 n 位累加，输出寄存器可包括输出多路复用器和连接的输出 D 触发器或 n 位寄存器（权利要求 30）。

再者，对于 1 位和 n 位累加，控制脉冲生成器（权利要求 31）
15 可以包括接收所述读请求信号和输出所述读锁定信号和所述读出信号的控制装置。

最好是（权利要求 32），对于 1 位和 n 位累加，所述中间寄存器包括中间多路复用器和中间 D 触发器或 n 位寄存器。

最好是（权利要求 33），对于 1 位和 n 位累加，所述同步级包
20 括至少两个串联的 D 触发器。

此外，对于一位累加，所述输入寄存器（权利要求 34）可以包括两个串联的多路复用器和一个输入 D 触发器。

此外，对于 n 位累加，所述输入寄存器可以包括可以同时存储 n 比特的 n 位寄存器（权利要求 35）。

25 此外，对于一位累加，输入更新控制装置（权利要求 36）可以包括一个 D 触发器、两个“与”门和一个“异或非”门。

此外，对于 n 位累加，输入更新控制装置可以包括一个 D 触发器、一个“与”门和一个四输入/单输出的多路复用器（权利要求 37）。

保持信号的主要功能是要足够长，以便期间至少出现一个第二时钟的参考脉冲，以防止输出寄存器中的亚稳态，所述保持信号与第一参考时钟同步，以避免中间寄存器中的亚稳态。最好是，输入存储级和中间存储级中的所有操作均与所述第一参考时钟同步执行（权利要求 38），而所述输出存储级中的所有操作均与所述第二参考时钟同步执行。

所述状态指示可以通过例如监视多个（如 16 个）SDH/SONET 数据比特流产生（权利要求 39）。

另一个实施例涵盖通过 VSLI 结构实现输入、中间和输出级（权利要求 40）。

本发明的其它优选实施例和改进可以从从属权利要求中得到。再者，应注意，本发明还涵盖各种修改和变更方案，例如可对说明书和/或权利要求书中单独说明的特征和/或步骤加以组合。

以下将参考本发明的实施例及参照附图所示来说明本发明。

附图简介

在附图中，相同或相似的参考数字表示相同或相似的步骤。附图中：

图 1 显示根据现有技术的状态指示检测装置，它包括输入存储级 ISM 和输出存储级 OSM；

图 2 显示当第一参考时钟 CLK_A 的频率远高于第二参考时钟 CLK_B 的频率时，第一参考时钟 CLK_A 和第二参考时钟 CLK_B 的相位和/或频率关系实例；

图 3 显示根据本发明的状态指示检测 SIDM 装置的一个实施例；

图 4 显示对应于 1 位读指示的情况的图 3 所示部件的详细实施例；

图 5a 显示当第一参考时钟 CLK_A 具有较第二参考时钟 CLK_B 高的频率时，图 3 和图 4 所示信号的关系。

图 5b 显示第一和第二参考时钟 CLK_A、CLK_B 具有相同频率 $f_A = f_B$ 的情况;

图 5c 显示第一参考时钟 CLK_A 的频率较第二参考时钟 CLK_B 的频率低时, 图 3 和图 4 所示信号的关系。

5 图 6 显示图 3 和图 4 中的电路产生信号和传递状态指示的时序图; 以及

图 7 显示在对原始指示计数的情况下, 图 3 所示各单元的更详细的实施例; 以及

图 8 显示图 7 中的电路产生信号和传递状态指示的时序图。

10 尤其应注意, 图 6、图 7 以及图 5a、5b、5c 和图 8 中的标记“STATREG、BRIDGEREG 和 OUTPUT_REG”表示图 3 所示的输入寄存器 INM、中间寄存器 INT 和输出寄存器 ORM 以及图 4 和图 7 的特殊实施例中的相应电路。

15 本发明概述 (1 或 n 位状态指示)

随后将参考图 3、图 5a ($f_A > f_B$ 的情况) 以及图 6 中信号产生和状态指示移位的时序图来说明本发明的原理。即, 将首先针对第一参考时钟 CLK_A 的频率 f_A 远高于第二参考时钟 CLK_B 的频率 f_B 的情况来说明本发明。但是, 同样要考虑于 $f_A = f_B$ 和 $f_A < f_B$ 的情况。再者, 对本发明原理的说明与状态指示是一位还是 n 位状态指示无关。

20 如图 3 所示, 根据本发明的状态指示检测装置 SIDM 在如下方面与图 1 中的装置相似: 它包括同步于第一参考时钟 CLK_A 读入状态指示 IN_STATUS 的输入存储级 INS 和同步于第二参考时钟 CLK_B 输入状态指示 IN_STATUS' 的输出存储级 OSS。第一和第二参考时钟 CLK_A 和 CLK_B 一般具有如图 2 所示的不同的相位和/或频率 $f_A; f_B$ 。

25 与图 1 中的装置的差别之一是, 图 3 的本发明装置在输入存储级 INF 和输出存储级 OSS 之间还包括中间存储级 ISS。所述输入存储级 INS 中的状态指示同步于所述第一参考时钟 CLK_A 移位到中间

存储级 ISS，如第一参考时钟 CLK_A 输入输入存储级 INS 和中间存储级 ISS 所示。

因此，图 3 中也可以区分第一时钟域 A 和第二时钟域 B，第一时钟域 A 中的所有操作和信号传输均同步于第一参考时钟 CLK_A；而第二时钟域 B 中的所有操作和信号传输均同步于第二参考时钟 CLK_B，这类似于图 1，但不同之处在于附加的中间存储级 ISS。读请求信号 RDRQ 从外部输入第二时钟域 B，因此可能具有相对于第二参考时钟 CLK_B 或第一参考时钟 CLK_A 的任意相位关系。但是，读请求信号 RDRQ 最好也同步于第二参考时钟 CLK_B。

如图 3 所示，例如来自 SONET/SDH 应用的状态指示 IN_STATUS（即出错位指示）可能通过例如硬件设备（HW）输出。但是，状态指示通常可能出自另一个源头，不过本发明的上下文与这些状态指示由硬件还是软件产生并不相关。一般来说，状态指示具有比特结构，而且根据所采用的逻辑，它们将根据其电平为“0”或“1”而指示某种状态。

如图 6 所示，状态指示可同步于第一参考时钟 CLK_A 而产生。但是，状态指示 IN_STATUS 不必与第一参考时钟 CLK_A 同步，而且长度不必为第一参考时钟 CLK_A 的一个周期那么长。

例如，IN_STATUS 可以与第一参考时钟 CLK_A 同步，但可能比此第一参考时钟 CLK_A 周期长。在此情况下，可以执行负沿检测（例如类似于图 4 中门 I10、I11 和 I12 的情况，对此下文将作详细解释），以便将此同步化后的状态指示输入到输入存储级中。

另一个实例是，状态指示 IN_STATUS 可与第一参考时钟 CLK_A 异步。在此情况下，可以在该状态指示频率 f_{CLK_IN} 小于第一参考时钟频率 CLK_A 的限制下引入常规同步级（包括图 4 中的至少两个串联的触发器如 I09 和 I10，下文将对此作详细解释）。其结果与前一个实例相同，即将状态指示 IN_STATUS 读入输入存储级，使之在同步于所述第一参考时钟 CLK_A 的输入存储级中可用，如图 5a、5b、5c

和图 6 所示。

状态指示 IN_STATUS 锁存在输入存储装置 INS 中，然后再传送到中间存储级 ISS，然后在读请求信号 RDRQ 输入输出存储级 OSS 时，再传送到输出存储级 OSS。例如，对该状态指示感兴趣的处理装置可以任意定时将这种读请求信号 RDRQ 输出到输出存储级 OSS，虽然如上所述，只同步于第二参考时钟 CLK_B 的输入也是可能的。

如图 6 和图 5a 所示，根据本发明，用特殊控制信号 CLEAR_PULSE、LOCK 和 STROBE 分别来控制输入存储级 INS 的输入寄存器 INM、中间存储装置 ISS 的中间寄存器 INT 以及输出存储级 OSS 的输出寄存器 ORM，使得第一参考时钟 CLK_A 和第二参考时钟 CLK_B 可以具有任意频率和/或相位关系，而仍不会丢失任何状态指示，即，响应发出的读请求信号 RDRQ 而输入到输入存储级 INS 的每个状态指示 IN_STATUS 都将可靠地移位到输出寄存器 ORM。

因此，可以说对于图 3 中的状态指示检测装置 SIDM，两个时钟域 A 和 B 之间的同步是基于功能而非同步级来实现的，且与“读清零”功能紧密地结合在一起（如图 6 所示），从而构造出适用于第一参考时钟 CLK_A 和第二参考时钟 CLK_B 之间存在任意时钟关系的通用设计。

STROBE 读出信号产生

因为信号 CLEAR_PULSE、LOCK 和 STROBE 的时间关系和功能对于理解本发明是相关的，所以随后将参考图 6（其中还显示了图 4 所示实施例的其它信号）解释信号 LOCK 和 STROBE 的关系。

如图 6 所示，在步骤 S0 中，从例如处理装置 PROC 将读请求信号 RDRQ 输入输出存储级 OSS，处理装置 PROC 通常甚至可能处于第二时钟域 B 之外的另一个时钟域 C 中（附图中未显示），即它不一定与第二参考时钟 CLK_B 同步。即读请求信号 RDRQ 可能与第二

参考时钟 CLK_B 的脉冲不对齐，因为一般情况下，它只向输出存储级 OSS 提供希望将状态指示 IN_STATUS'传送到所述输出存储级 OSS 的指示。但是，也可以这样设计，使读请求信号 RDRQ 确实同步于第二参考时钟 CLK_B，如图 6 中可见。

5 如图 5a 中的箭头 RQ (以及图 5b 和 5c 中的箭头 RQ'和 RQ") 所示，读请求信号 RDRQ 可能同步于第二参考时钟 CLK_B，但例如它与第一时钟域 A 的第一参考时钟 CLK_A 不对齐，如箭头 IN 所示。再者，如图 5a 中箭头 RDE (以及图 5b 和 5c 中的 RDE'和 RDE") 所示，读请求信号 RDRQ 的持续时间最好可以为一个第二参考时钟周
10 期。

响应接收到上述配置中的读请求信号 RDRQ，输出存储级 OSS 的控制脉冲生成器 CG 产生读锁定脉冲 RDLCK 和读出信号 STROBE，分别施加于输入存储级 ISS 和输出存储级 OSS 的输出寄存器 ORM，如图 6 中步骤 S1 和 S2 所示。

15 如对应于两个参考时钟 CLK_A 和 CLK_B 之间具有不同频率和相位关系的图 5a、5b 和 5c 所示，读锁定脉冲 RDLCK 具有至少为一个第二参考时钟 CLK_B 周期的脉冲长度 RDLCKL、RDLCKL'和 RDLCKL"，其中 RDE、RDE'和 RDE"同步于读请求信号 RDRQ。但是，如图 3 所示，读锁定脉冲 RDLCK 要从时钟域 B 传送到时钟域
20 A。为了确保时钟域 A 可以可靠地捕获此读锁定脉冲并使之同步地对齐于时钟域 A 中的第一参考时钟 CLK_A，脉冲 RDLCK 的脉冲长度 RDLCKL、RDLCKL'和 RDLCKL"最好应该为至少一个第一参考时钟 CLK_A 的周期长度 Tclk_A。而且它的长度最好为第一参考时钟 CLK_A 的一个周期长度 Tclk_A 加上第一时钟域 A 中接收读锁定信号 RDLCK 的采样触发器 (寄存器) 的建立保持窗口的持续时间，即：
25

$$RDLCKL、RDLCKL'、RDLCKL" \geq Tclk_A + Tsetup_hold \quad (1)$$

因为这允许在这两个时钟域之间相位关系任意的情况下均可捕获到读时钟脉冲。因此，读锁定信号 RDLCK (读锁定) 是同步于第二参

考时钟 CLK_B 从读请求脉冲 RDRQ 派生的。从根本上说，它是脉冲 RDRQ 同步于第二参考时钟 CLK_B 拓宽得到的。

5 读出信号 STROBE 的脉冲长度最好等于第二参考时钟 CLK_B 的一个周期；具体地来说，具有单脉冲周期长度的读出信号 STROBE 同步于读锁定脉冲 RDLCK 的末端。由于不同的频率关系，图 5b 和 5c 清晰地表明 STROBE 信号的单脉冲长度，而在图 5a 中，STROBE 信号长度与 RDLCK 脉冲的长度相同。但是，这通常只针对情况 $f_A > f_B$ 才成立，而对于一般情况，在图 5b 和图 5c 中可以看出 STROBE 信号的长度通常具有同步于 RDLCK 脉冲的末端的单脉冲周期。

10 如图 6 所示，完全与读请求信号 RDRQ 的产生不相干，在步骤 ST1，新的状态指示同步于第一参考时钟 CLK_A 的一个脉冲（如图 5a、5b 和 5c 中箭头 IN、IN'和 IN''所示），在步骤 ST2，随着第一参考时钟 CLK_A 的脉冲连续产生，输入存储级 INS 的输入寄存器 INS 仍然保持设为对应于状态指示的某个值（这可以根据稍后对图 4 的说明来加以理解，状态指示 IN_STATUS 并非真正地“以钟控方式打入”输入寄存器 INM 的寄存器 STATREG 中，因为状态指示线 IN_STATUS 和寄存器 STATREG 的 D 输入之间没有直接的连接；IN_STATUS 上的逻辑 1 只在 STATREG 被读出之后才通过门 I02 和 I01 使寄存器 STATREG 置位）。

20 因为事先既无法知道读请求脉冲 RDRQ 的精确出现时间也无法知道新状态指示 IN_STATUS 的精确出现时间，并且还因为第一参考时钟 CLK_A 和第二参考时钟 CLK_B 具有任意频率和/或相位关系，所以无法确定 RDRQ、RDLCK 和 STROBE 与 IN_STATUS 的任何明确而固定的关系。所能说的就是，响应于读请求信号 RDRQ，在若干个第二参考时钟 CLK_B 周期（在图 5a 中为一个时钟周期；在图 5b 25 中为两个时钟周期；在图 5c 中为八个时钟周期；具体由 RDLCK 的长度来确定）“之后”，产生读出选通信号 STROBE（但是，应该注意，无论读出脉冲 STROBE 何时产生，它均可同步于第二参考时

钟 CLK_B 的脉冲而产生)。

关于“之后”，它意味着读出脉冲 STROBE 必须在读锁定脉冲 RDLCK 期间产生但在其末端结束。如上所述，读锁定脉冲 RDLCK 必须足够长，以便它可以可靠地同步于时钟域 A，以及它可以使数据（通过保持信号 LOCK）保持在中间存储级 ISS 中，直到数据移位到输出寄存器 ORM 为止。即如果要将读出信号 STROBE 完全任意地置于读锁定脉冲 RDLCK 期间，则可能产生如下情况，例如它被置于读锁定信号 RDLCK 的开始位置，即读锁定脉冲 RDLCK 尚未同步于时钟域 A 且因此保持信号 LOCK 尚未产生的时刻。但是，如果未产生保持信号 LOCK，则中间寄存器中自由变化的数据可能在输出寄存器中引起亚稳态，这在频率关系为 $f_A \gg f_B$ 时尤其严重。因此，读出脉冲 STROBE 最好应该在读出脉冲 STROBE 末端之前产生一个第二时钟周期。

再者，虽然图 5a、5b、5c 和图 6 显示读出信号 STROBE 同步于第二参考时钟 CLK_B，但是读出脉冲 STROBE 并非一定同步于第二参考时钟 CLK_B 而产生。重要的仅仅是，读出信号 STROBE 本身的变化以及中间存储级的中间寄存器中的变化均不会破坏输出存储级的输出寄存器的建立 - 保持窗口。例如，可以设想，处理装置 PROC 使用外部时钟 C 来产生读请求信号 RDRQ，而对于 $T_{CLK_B} < T_{CLK_C}$ 且具有已知的最大相位抖动的情况，读出信号 STROBE 由许多分别具有周期 CLK_B 的脉冲组成，并且使这些脉冲设置在输出寄存器的正沿下（正沿触发的），从而使输出寄存器的建立 - 保持窗口保持不受信号变化的约束。因此，读出信号 STROBE 可能不必同步于所述第二参考时钟 CLK_B 脉冲而产生。

锁定中间寄存器 INT 的内容

根据图 3 和图 6 的步骤 S3 可知，读锁定信号 RDLCK 毫无疑问负责确保中间存储级 ISS 的同步级 SS 可以产生保持信号 LOCK，以

便将其施加于中间存储级的中间寄存器 INT，用以在所述中间寄存器 INT 中保持当前状态指示以及阻止新的指示从所述输入 INS 移位到所述中间存储级 ISS。

但是，也可以采用其它机制来产生保持信号 LOCK。要点在于保持信号 LOCK 的持续时间为 LOCKL; LOCKL'; LOCKL" (如图 5a、5b、5c 所示)，其中至少出现一个第二参考时钟脉冲。这对图 5a、5b 和 5c 中的所有情况通常都是正确的。由于不同的频率关系，在图 5a 中，保持信号 LOCK 持续期间只包括一个第二参考时钟脉冲，而在图 5b 中，保持信号 LOCK 的持续时间包括两个脉冲，在图 5c 中，保持信号 LOCK 包括多个第二参考时钟脉冲。

通过查看读锁定脉冲 RDLCK、保持信号 LOCK 本身和读出信号脉冲 STROBE 的时间关系，可以容易地理解保持信号 LOCK 的定时和保持信号 LOCK 的持续时间的产生。最好首先查看 RDLCK 的产生。RDLCK 主要负责产生保持信号 LOCK，用于冻结传送到中间寄存器 INT 的状态指示。读锁定信号 RDLCK 的持续时间主要确定保持信号 LOCK 的持续时间。本质上，保持信号 LOCK 必须足够长，以使来自中间寄存器 INT 的数据可以利用读脉冲 STROBE 移至输出寄存器 ORM。再者，读锁定信号必须足够长，以便可以将其采样到或以钟控方式打入时钟域 A，否则，根本无法产生保持信号 LOCK。更具体地说，读锁定脉冲 RDLCK 的持续时间是可靠地使 RDLCK 同步于第一时钟域 A 所需的时间加上数据从中间寄存器 INT 到输出寄存器 ORM 的传输时间。因此，保持信号 LOCK 的持续时间只取决于读锁定信号 RDLCK 的长度，而不是自动设为第一参考时钟 CLK_A 的 2 个时钟周期那么长（虽然在图 5a、5b、5c 中它刚好是以 2TCLK_A 满足公式 (1) 的这种持续时间）。但是，满足公式 (1) 的保持信号 LOCK 的典型的持续时间是 2TCLK_A。

从图 5a 可以看出，同步级 SS 最好同步于第一参考时钟 CLK_A 产生保持信号 LOCK，因为同步级 SS 接收第一参考时钟 CLK_A。

尽管长度 RDLCKL (RDLCKL'、RDLCKL") 原则上将确定保持信号 LOCK 的持续时间 LOCKL, 但长度 LOCKL 和 RDLCKL 不会完全相同, 因为长度 RDLCKL 根本上是由同步级“映射到”或“同步于”第一参考时钟 CLK_A 的。

- 5 就读出信号 STROBE 而言, 状态指示 ST1、ST2 的出现和移位, 和保持信号 LOCK 的实际出现之间也无明确的时间关系, 至少是因为 LOCK 基于例如 RDLCK, 并因此基于 RDRQ 脉冲的出现。

但是, 重要的是, 在读请求脉冲 RDRQ 出现之后产生长度涵盖至少一个第二参考时钟脉冲的保持信号 LOCK, 且最好同步于第一参考时钟 CLK_A, 因为它的长度至少为传送到第一时钟域 A 的读锁定脉冲 RDLCK 的持续时间, 其持续时间具体如等式 (1) 所述的, 为允许在时钟域 A 中捕获到 RDLCK 所需的时间再加上必需的建立-保持时间。此外, 重要的是, 在保持信号 LOCK 的持续时间内在中间寄存器 INT 中保持当前状态指示 (例如通过将要参照图 4 中的特定实施例来解释的时钟循环过程), 以及在保持信号 LOCK 的持续时间内阻止新指示从输入寄存器 INM 移位到中间寄存器 INT。

10
15

STROBE 和 LOCK 脉冲的时间关系

虽然无法在将新状态指示读入输入寄存器 INM 中 (在步骤 ST1 和 ST2) 和读请求脉冲 RDRQ、读出脉冲 STROBE 以及保持脉冲 LOCK 的出现之间明确定义时间关系, 即涵盖至少一个第二参考时钟周期的保持信号在读请求脉冲 RDRQ 之后的某个时间产生, 但是选通脉冲 STROBE 与保持脉冲 LOCK 之间存在重要的准时间关系。

20

即, 响应接收到读请求信号 RDRQ, 同步于第二参考时钟 CLK_B 在读请求信号 RDRQ 的末端产生持续时间为一个第二时钟脉冲 CLK_B 周期的读出脉冲 STROBE (以避免在基于读请求信号 RDRQ 的读锁定脉冲 RDLCK 已同步于时钟域 A 之前产生读出脉冲 STROBE)。另一方面, 读锁定信号 RDLCK 的持续时间为在时钟域

25

A 实现同步所需的时间再加上建立 - 保持所需时间（根据公式（1））和至少允许数据中间寄存器移位到输出寄存器所需的时间。最后，保持信号 LOCK 的持续时间至少与读锁定信号 RDLCK 相同，即足够长，以允许将数据从中间寄存器传送到输出寄存器。

5 即，如图 5a、5b 和 5c 所示，对于不同的频率关系，读出脉冲 STROBE 可以准确地产生于保持信号 LOCK 持续时间 LOCKL、LOCKL'和 LOCKL"期间。如上所述，通过读锁定脉冲 RDLCK 的中介作用（或通过其它方式），选通脉冲 STROBE 始终同步于第二参考时钟 CLK_B 产生，而且当此选通脉冲 STROBE 产生于持续时间
10 LOCKL、LOCKL'、LOCKL"内时，则有可能同步于第二参考时钟 CLKB 读出保存在中间寄存器 INT 中的任何当前状态指示。如果状态指示已经在步骤 ST1、ST2 和 ST3 于早先的第一参考时钟周期内传送（如图 6 所示），则读出信号 STROBE 将在保持信号 LOCK 期间读出此状态指示，因为从保持信号 LOCK 的锁定开始位置 LS、LS'、LS"起，
15 中间寄存器 INT 中的任何当前状态指示将被保持（通过循环处理），并阻止新的状态指示被移位到中间寄存器 INT 中。

另一方面，在保持信号 LOCK 结束之后（如图 5a、5b、5c 的箭头 LE、LE'和 LE"所示），同步于所述第一参考时钟 CLK_A 将输入寄存器 INM 中存在的任何状态指示移入中间寄存器 INT 中，如图 6
20 的步骤 ST5 所示。

接下来，解释保持信号 LOCK 对中间寄存器 INT 执行的控制和输入存储控制装置 DM 利用清零脉冲 CLEAR_PULSE 对输入寄存器 INM 执行的控制的交互。

从图 3 和图 4 可以看出，保持信号 LOCK 对输入寄存器 INM 没有直接的影响。如果检测到保持信号 LOCK 的负沿（通过门 I12），
25 则产生主清零脉冲 CP。但是如果此主清零脉冲 CP 直接施加到输入寄存器 INM 上，则 CP 会使输入寄存器 INM（更具体地说使图 4 所示的寄存器 STATREG 在保持信号 LOCK 的负沿之后立即采用尚在

输入 IN_STATUS 上的当前值，即便中间寄存器 INT (BRIDGEREG) 尚未接收输入寄存器 (STATREG) 中上次存储的值。必须避免这种情况，否则，输入寄存器中的状态指示可能丢失。因此，门 I13 和 I14 根据主清零脉冲 CP、输入寄存器的当前输出 (STATREG 的 Q 输出) 和中间寄存器的当前输出 (BRIDGEREG 的 Q 输出) 产生清零脉冲 CLEAR_PULSE，从而只允许在 STATREG 和 BRIDGEREG 的内容相同 (STATREG = BRIDGEREG) 之后，即在 STATREG 中的前一个状态指示已经成功传送到中间寄存器 INT 之后，以新的状态指示 IN_STATUS 更改 STATREG 的内容。

因此可以说，仅在保持信号 LOCK 失效之后且当输入寄存器 INM 与中间寄存器 INT 的存储内容一致时才产生允许接收新的状态指示的清零脉冲 CLEAR_PULSE。这就是输入存储控制装置 DM 所执行的步骤 S4 和 S5 的目的所在，下文将参考图 4 的特殊实施例进行详细说明。

如上所述，保持信号 LOCK 的持续时间或脉冲长度 LOCKL、LOCKL'、LOCKL" (在图 5a 中为三个第一参考时钟周期；在图 5b 中为两个第一参考时钟周期；在图 5c 为两个第一参考时钟周期；即为所述第一参考时钟的至少两个周期) 以及此保持信号 LOCK 的实际出现时间都是无关紧要的，只要它的持续时间足够长，以使与第二参考时钟同步的选通脉冲 STROBE 含在保持信号脉冲 LOCKL 之内即可。因为在保持信号持续时间内，可以将新的状态指示读入输入寄存器 INM，并 (通过循环) 保持在输入寄存器 INM 中，而且因为当前状态指示 (通过循环) 保持在中间寄存器 ISS 时阻止新的指示传送到中间寄存器 INT 中，所以一方面不会有新的状态指示丢失的危险 (它将通过循环保持在输入寄存器中)，另一方面，可以同步于第二时钟域 B 的第二参考时钟将最新的状态指示从中间寄存器 INT 读入输出寄存器 ORM (如图 6 中步骤 ST4 所示)。

如上所述，保持信号 LOCK 具有足够长的持续时间，以在产生

读出脉冲 STROBE 时可使数据从中间寄存器 INT 传送到输出寄存器 ORM。因为保持信号 LOCK 的长度也基于读锁定脉冲 RDLCK 的长度（读锁定脉冲 RDLCK 本身的持续时间必须为使其在时钟域 A 实现同步所需时间（外加同步级 SS 中的建立 - 保持时间），所以保持信号 LOCK 的典型长度（在产生读出选通脉冲 STROBE 时也包括至少一个第二参考时钟的脉冲）是第一参考时钟 CLK_A 周期的几倍，例如两倍或三倍。对于图 5a、5b、5c 中的频率关系，这足以允许将数据从中间寄存器传送到输出寄存器，即输出寄存器 ORM 在时钟域 B 中读入已经用时钟域 A 的参考时钟以钟控方式打入中间寄存器 INT 的指示。

因此，使当前状态指示保持在中间存储级并阻止新的状态指示从输入存储级移入的保持信号 LOCK 起到一种“屏蔽时间”的作用，它长度足以补偿两个参考时钟 CLK_A 和 CLK_B 之间的任何频率和/或相位关系，这可从图 5a、5b、5c 容易看出。例如，在图 5c 中，唯一重要的是，读出脉冲 STROBE 确实出现在保持信号 LOCK 的持续时间内，但是，至于采用保持信号持续时间 LOCK'' 内的第二还是第三个脉冲用于读出中间寄存器 INT 则完全无关紧要。但是，读出选通信号 STROBE 是同步于读锁定信号 RDLCK 的末端而产生的，以避免在读锁定脉冲 RDLCK 同步于时钟域 A 产生并因此可以产生保持信号 LOCK 之前发生从中间级到输出寄存器的读出操作。

因此，可以归纳出下列基本步骤：

1. 只要未产生保持信号 LOCK，状态指示就像在移位寄存器中一样从输入寄存器 INM 移入中间寄存器 INT(步骤 ST1、ST2 和 ST3)。
2. 当在步骤 S1 于某个时间产生读请求 RDRQ（可能与第二参考时钟同步）时，一定时间之后（LS、LS'、LS''），产生包含至少一个第二参考时钟脉冲周期的保持信号 LOCK。保持信号 LOCK 的持续时间长得足以使产生读出脉冲 STROBE 时，数据从中间寄存器 INT 传送到输出寄存器 ORM。因为保持信号 LOCK 的长度也基于读

5 锁定脉冲 RDLCK 的长度（读锁定脉冲 RDLCK 本身的持续时间必须为可使其在时钟域 A 实现同步所需的时间（外加同步级 SS 中的建立-保持时间）），所以保持信号 LOCK 的典型长度（在读出选通脉冲 STROBE 产生时至少涵盖了一个第二参考时钟脉冲）是第一参考时钟 CLK_A 周期的两倍。

3. 在保持信号持续时间内且在读锁定脉冲 RDLCK 的末端产生（S6）读出选通脉冲 STROBE，并将中间寄存器 INT 的当前状态读到同步于第二时钟 CLK_B 的输出寄存器 ORM 中（ST4）。

10 4. 在锁定信号 LOCK 产生期间，将当前状态指示保持在中间寄存器 INT 中，且可以同步于第一参考时钟将新的状态指示读入输入寄存器 INM 中。

此过程不受第一参考时钟频率 f_A 和第二参考时钟频率 f_B 之间的任何频率关系（ $f_A > f_B$ ； $f_A < f_B$ ； $f_A = f_B$ ）影响。即，响应处理装置 PROC 输出的（例如来自微控制器（MC）的）读请求信号 RDRQ，
15 最后产生保持信号 LOCK。之所以本发明具有 MC 始终接收“最新”状态指示这一特征，是因为在输出寄存器读取中间寄存器之后，产生清零脉冲 CLEAR_PULSE，以允许更新输入寄存器 INM，即更新 STATEG。

20 因此，在本发明中，设置输入寄存器 INM、中间寄存器 INT（二者均属于时钟域 A）和输出寄存器 ORM（属于时钟域 B）并利用读出信号 STROBE 和保持信号 LOCK 对其实施特殊控制，确保与相位和频率关系无关而又不会丢失新输入状态指示且通过时钟域边界传送最新状态指示。

25 此外，通过上述特征的组合，可以通过功能方式（即通过适当地产生读出脉冲 STROBE）来避免输出寄存器 ORM 中的亚稳态。

延迟从输入寄存器向中间寄存器移位

如图 6 所示，（也可从图 5a、5b、5c 可见），在保持信号 LOCK

中止于 LE、LE'、LE''之后，状态指示在输入存储级寄存器 INM (STATREG) 中保持至少一个以上的第一参考时钟周期（结束于 STE、STE'、STE''）。即，清零脉冲 CLEAR_PULSE 负责控制输入寄存器 INM 的更新。一方面，保持信号 LOCK (LOCK = "0") 的
5 终止控制输入寄存器 INM 的内容向中间寄存器 INT 的传送。另一方面，在输入寄存器 INM 的更新会改变输入寄存器 INM 的内容，而中间寄存器 INT 尚未对输入寄存器 INM 的旧内容采样的情况下要抑制 CLEAR_PULSE。

10 图 5a、5b、5c 中的实例

以上说明了响应于读请求脉冲 RDRQ 的一次出现，信号 STROBE、LOCK 和 CLEAR_PULSE 之间的关系。但是，从图 5a、5b、5c 中可以看到，可以采用周期性读周期，即周期性地输出读请求信号 RDRQ。微控制器 MC（处理装置 PROC）的读操作的频度取决于
15 实际的实现方式。实际的访问周期为大约每 10^6 个 CLK_A 时钟周期一次，图 5a 所示的纯例示性实例显示了一种每逢第 4 个时钟周期进行一次读访问，图 5b 显示的则是每逢第 5 个时钟周期一次，图 5c 显示的则是每逢第 18 个时钟周期一次。

如图 5a、5b 和 5c 所示，无论读取和更新过程有什么相位，都可捕获到状态指示而不会丢失。如果自 RDRQ 有效起开始第 n 次读访问之前状态指示有效，则它将会正好在此第 n 次访问之后在输出寄存器 ORM (OUTPUT_REG) 中可见。
20

但是，如果状态指示在第 n 次读访问期间有效，则它将在第 (n+1) 次读访问之后于输出寄存器 ORM (OUTPUT_REG) 中可见。因此，
25 最大 n+2 个读访问周期（同步于第二参考时钟 CLK_B）就足以从输入寄存器 IRM 将新的状态指示被移位到输出寄存器 ORM。即，两次读访问是必需的，因为可能出现这样的情况：RDRQ 和 IN_STATUS 之间具有不适当的时间关系，以致于必须抑制信号 CLEAR_PULSE

(基本上是从读请求信号 RDRQ 派生出的), 以避免丢失状态指示。在此情况下, 微控制器 MC (处理装置 PROC) 将只能是在第 (n+1) 次读周期才可见到第 n 次读周期中出现的指示。

但是, 此过程完全与相位和/或频率关系无关, 即此过程对图 5a: $f_A > f_B$, 图 5b: $f_A = f_B$ (频率相同且相差固定) 以及图 5c: $f_A < f_B$ 均以相同的方式工作。

以下将参考图 4 解释用于实现输出寄存器 ORM、同步级 SS、中间寄存器 INT、输入存储控制装置 DM 和输入寄存器 INM 的各电路单元的特殊方式。

10

定性的状态指示逻辑门实施方案

图 4 显示一种作为图 3 所示状态指示检测装置 SIDN 的优选实施例的, 使用逻辑门、多路复用器和 D 触发器的更为具体的电路实施方案。如对图 3 所述的一样, 在图 4 中也提供了基于功能而不是通过同步级来实现的同步化, 它独立地与“读取时清零”功能相结合, 以构建适用于任何时钟关系的通用设计。

15

更具体地说, 输出存储级 OSS 包括用于所述输出寄存器 ORM 的输出多路复用器 I06 和输出 D 触发器 I07 (OUTPUT_REG)。对于正逻辑, 输出端 Q 馈送到多路复用器 I06 的“0”输入端, D 触发器 I07 的时钟输入端从外部接收第二参考时钟 CLK_B 输入。多路复用器 I06 的“1”输入端连接到中间存储级 ISS。

20

控制脉冲生成器 CG 通常包括控制装置 CNTRL, 用于接收外部输入的读请求信号 RDRQ 和输出所述的读锁定脉冲 RDLCK 和所述的读出信号 STROBE。当读出信号 STROBE 为高时, 多路复用器 I06 选择“1”端, 而当它为低时, 选择多路复用器的“0”端 (对于正逻辑)。再者, 第二参考时钟 CLK_B 也输入到控制装置 CNTRL。

25

从 Q 输出到多路复用器 I06 的“0”端的反馈可以看出, 在前一个第二参考时钟周期中, 状态指示 IN_STATUS' 已经存储在所述 D

触发器 I07 中（为此，读出信号为高以选择“1”端），当读出信号 STROBE 随后切换为低电平时，则读入 D 触发器的任何状态指示 IN_STATUS'同步于第二参考时钟 CLK_B 通过反馈和多路复用器 I06 保持循环。因此，可以说，在读出信号 STROBE 为低（“0”）期间，
5 将选择“0”端且任何状态指示在 D 触发器 I07 内保持循环，同时因为选择“0”端，阻止任何后续读取状态指示 IN_STATUS'从中间存储级 ISS 传递。即，当产生读出信号 STROBE（为高）时，新的状态指示被输入到输出寄存器 ORM，而当该信号未产生（为低）时，状态指示在输出寄存器 ORM 中保持（循环）。

10 从图 4 可以看出，中间存储级 ISS 的中间寄存器 INT 还包括中间多路复用器 I04 和中间 D 触发器，它们以与输出寄存器 ORM 相同的方式连接。唯一不同的是，中间多路复用器 I04 的“1”和“0”端与输出多路复用器 I06 的相反。即，当产生保持信号 LOCK（为高）时，选择多路复用器 I04 的“1”端，以便利用输入 D 触发器的时钟
15 输入端的第一参考时钟 CLK_A 将任何当前状态指示（通过循环）保持在 n 位寄存器 I05 中。

当未产生保持信号 LOCK（为低）时，选择低的“0”端，从而允许新的状态指示从输入存储级 INS 传递。因此，可以说，在产生保持信号 LOCK 期间，任何当前状态指示通过循环保持在中间寄存器 INT 内，同时阻止从输入存储级 INS 传递新的状态指示。当保持
20 信号 LOCK 未产生时，就可以将新的状态指示读入到 D 触发器 I05（BRIDGEREG）中。

从图 4 可以看出，保持信号 LOCK 由同步级 SS 输出，同步级 SS 通常包括至少两个串联的 D 触发器 I09 和 I10。这两个 D 触发器 I09
25 和 I10 利用第一参考时钟 CLK_A 钟控，第一 D 触发器接收控制脉冲生成器 CG 输出的读锁定脉冲 RDLCK。

如已参照图 5a、5b、5c 所作的说明，同步级 SS 的作用本质上为使长度为 RDLCKL、RDLCKL'、RDLCKL"的读锁定脉冲 RDLCK

(即这样的时间长度, 长得足以允许在第一时钟域 A 中实现同步, 即至少一个第一参考时钟 CLK_A 周期加 D 触发器 I09 中必需的建立-保持时间, 以及长得足以使根据读锁定信号 RDLCK 产生的保持信号 LOCK 足够长, 以使数据可以从中间级传送到输出寄存器, 参见等式 (1)) 同步于时钟域 A 中的第一参考时钟 CLK_A。因此读锁定脉冲 RDLCK 的持续时间也根据第一参考时钟 CLK_A 周期来选择, 具有至少一个第二时钟信号周期的长度 (因为第二参考时钟周期是同步于第二参考时钟 CLK_B 的脉冲可以具有的最短持续时间)。

根据相位和/或频率差, 现在同步于第一参考时钟 CLK_A 的保持信号 LOCK 可能稍微短于读锁定脉冲 RDLCK。保持信号 LOCK 施加到中间多路复用器 I04 上。

同样如图 4 所示, 输入寄存器 INM 包括两个串联的输入多路复用器 I01、I02 和输入 D 触发器 I03 (STATREG)。D 触发器 I03 的 Q 输出与中间多路复用器 I04 的“0”终端相连。再者, D 触发器 I03 的 D 输入与多路复用器 I02 的输出相连, 第一参考时钟 CLK_A 输入 D 触发器 I03 的时钟端。

第一多路复用器 I01 的输出与第二多路复用器 I02 的“0”端相连, 而第二多路复用器 I02 的“1”端与“1”电平永久相连。施加到第二多路复用器 I02 上的选择信号是状态指示 IN_STATUS。即如果接收到“1”状态指示 (对正逻辑而言), 则多路复用器 I02 将选择它的“1”端, 并因此将“1”端的“1”电平转发到 D 触发器 I03 的 D 输入端。否则, 即当没有状态指示时, 将第一多路复用器 I01 的输出施加到输入 D 触发器 I03 上。

第一多路复用器 I01 的“1”端与“0”电平永久相连, 第一多路复用器 I01 的“0”端从 D 触发器 I03 的 Q 输出端接收信号。

因此, 当 CLEAR_PULSE 产生 (对正逻辑为高电平) 时, 将所选“1”端的“0”电平传送到第二多路复用器 I02 的“0”端。当未产生 CLEAR_PULSE (对正逻辑为低电平) 时, 则将 D 触发器的输

出 Q 传送到第二多路复用器 I02 的“0”端。

因此，可以说，当 CLEAR_PULSE 未产生且无任何新状态指示 IN_STATUS 出现时，存储在 D 触发器 I03 的新状态指示在输入寄存器 INM 中保持（以第一参考时钟 CLK_A 循环）。

5 当新的状态指示 IN_STATUS 出现时，则此新的状态指示将通过选择将“1”电平输入第二多路复用器 I02 的“1”端而以钟控方式打入 D 触发器 I03 中，并在一个第一参考时钟周期之后，只要未产生 CLEAR_PULSE，此新状态指示就（通过循环）保持在输入寄存器 INM 内。

10 另一方面，产生清零信号 CLEAR_PULSE 可从第一多路复用器 I01 的“1”端将“0”电平输入到第二多路复用器 I02 的“0”端。因此，第一多路复用器 I01 用于对输入寄存器 INM 中的状态指示复位，而第二多路复用器 I02 用于在输入寄存器 INM 中设置新的状态指示。

15 清零脉冲 CLEAR_PULSE 通过具有如下配置的输入更新控制装置 DM 来产生。输入更新控制装置 DM 包括同步于第一参考时钟 CLK_A 且在其 D 输入端接收 D 触发器 I10 的输出（即保持信号 LOCK）的 D 触发器 I11。D 触发器 I11 的 Q 输出输入到第一“与”门 I12 的第一端。保持信号 LOCK 的反相信号输入到第一“与”门 I12 的第二端，从而实现对保持信号 LOCK 的负沿检测。第一“与”门 I12 的输出是图 5a、5b、5c 和图 6 中所示的 CP 信号。

20 “异或非”门 I13 的第一输入接收中间 D 触发器 I05 的输出，“异或非”门 I13 的第二端接收输入 D 触发器 I03 的输出。“异或非”门 I13 的反相信号提供给第二“与”门 I14 的第一端，CP 信号输入“与”门 I14 的第二端。第二“与”门 I14 的输出是清零脉冲
25 CLEAR_PULSE，它输入到输入寄存器 INM 的第一多路复用器 I01。

因为 D 触发器 I11 和第一“与”门 I12 的电路互连，将如图 6 中步骤 S4 所示那样产生脉冲 CP，且此同步于第一参考时钟 CLK_A 的脉冲 CP 正好在保持信号 LOCK 结束之后的第一参考时钟周期产

生。

亦如图 6 所示，在步骤 S4 产生的脉冲 CP 导致在步骤 S5 中产生 CLEAR_PULSE。CLEAR_PULSE 允许当前状态指示 IN_STATUS 输入寄存器 STATREG。STATREG 中所存储的状态指示真正传送到 BRIDGEREG 是由保持信号 LOCK，即保持信号 LOCK 中止（LOCK = “0”）来控制的，这将选择多路复用器 I04 的 “0” 输入，此多路复用器输入因此将传送到 BRIDGEREG 中。

由于 CLEAR_PULSE 的产生，D 触发器 I03（STATREG）中的新状态指示被移位到中间寄存器 INT（BRIDGEREG），如图 6 中步骤 ST5 所示。

因为最终 CLEAR_PULSE 的产生隐含地取决于输入中间 n 位寄存器 I05（BRIDGEREG）的 Q 输出端的信号，所以可以说输入 n 位寄存器 I03（STATREG）中的任何新状态指示传送到中间存储级 ISS 仅在已经从中间存储级 ISS（更具体地说是从中间 n 位寄存器 I05）读出了当前状态指示时才进行。这样做是必要的，为了在将中间存储级的内容成功读出到输出存储级之前避免从输入存储级 INS 新输入的新状态指示使中间存储级内容发生改变。

以上已对图 4 中各逻辑门和触发器和多路复用器的基本功能和互连作了说明，随后将描述图 4 中电路的操作（同时还图示于图 5a、5b、5c 和图 6 中）。

时钟域 A 的操作

在“正常”的操作过程中，即当清零脉冲 CLEAR_PULSE 和保持信号 LOCK（为 “0”）均未产生时，输入触发器 I03 和中间触发器 I05 作为移位寄存器来工作。即，新状态指示 IN_STATUS 一出现且中间触发器 I05 通过中间多路复用器 I04 对输入触发器 I03 采样，则通过第二输入多路复用器 I02 将输入触发器 I03 设为 “1”。因此，在一个第一参考时钟 CLK_A 周期的延迟后，中间触发器 I05 就会保

存与输入触发器 I03 相同的内容。

一旦输入触发器 I03 已置位,则它通过第一和第二多路复用器 I01 和 I02 将其 Q 输出反馈回到其 D 输入端来保持内容。这样,就在输入寄存器 INM 中捕获到 IN_STATUS 上的一脉冲状态指示,且通过
5 循环在其中保持该脉冲状态指示(除非有新的指示 IN_STATUS 或 CLEAR_PULSE 信号出现)。

如以上对图 3 中配置所作的更详细的说明所述,对于一次读访问,产生读请求信号 RDRQ,并基于此信号产生读锁定脉冲 RDLCK,锁定脉冲 RDLCK 通过同步级 SS(I09、I10)同步于时钟域 A。RDLCK
10 的同步化版本,即保持信号 LOCK 使中间多路复用器 I04 选择将中间 n 位寄存器 I05 的输出反馈到它的输入。只要产生保持信号 LOCK,则中间 n 位寄存器 I05 的内容就不会改变。在此期间,可以将中间 n 位寄存器 I05 的内容可靠地选通输入到输出寄存器 ORM 中,而又不会导致 n 位寄存器 I07 中产生亚稳态。在此上下文中,“可靠地”意
15 味着由于保持信号 LOCK(涵盖至少一个第二参考时钟脉冲)的产生,可以可靠地将中间存储级 ISS 中的当前状态指示读入到输出存储级 OSS 中,因为读出信号 STROBE 是在保持信号 LOCK 持续期间产生的。

在此“可靠的”操作过程中,输入 n 位寄存器不受锁定或保持
20 中间寄存器 INT 内容的影响。因此输入级 INS 仍可以捕获新的状态指示(新的状态指示在输入寄存器 INM 中保持循环),一直到保持信号 LOCK 中止为止。

在时钟域 A 中,需要 n 位寄存器 I11 和第一“与”门 I12 来对保持信号 LOCK 执行负沿检测,以便产生原始的清零脉冲 CP(对于
25 正逻辑)。保持信号 LOCK 从高电平到低电平的改变表示(对于正逻辑)对输入 n 位寄存器 I03 的读访问结束以及更新阶段可能开始。清零脉冲 CLEAR_PULSE 是利用“异或非”门 I13 和第二“与”门 I14 从原始清零脉冲 CP 派生的,实质上是为了在对输入 n 位寄存器 I03

的将更改输入 n 位寄存器 I03, 但是中间 n 位寄存器尚未对输入 n 位寄存器 I03 的内容采样的情况下抑制清零摩擦 CLEAR_PULSE。

在输入 n 位寄存器 I03 的更新会改变输入 n 位寄存器 I03 的内容, 而中间 n 位寄存器尚未对输入 INT 寄存器的旧内容采样的情况下抑制 CLEAR_PULSE。

时钟域 B 中的操作

如上所述, 输入存储级 INS 捕获到的任何新状态指示 IN_STATUS 必须可靠地传送到时钟域 B, 以便进行进一步的处理。因此, 在输入存储级 INS 中捕获到的状态指示的最后目的地是输出寄存器 ORM。当读出信号 STROBE 产生时, 输出寄存器 ORM 的 n 位寄存器 I07 对中间 n 位寄存器 I05 采样。否则, 输出 n 位寄存器 I07 中的状态指示被反馈到输出多路复用器 I06, 并因此不会改变。

如上所述, 控制装置 CNTRL 负责正确地产生读锁定脉冲 RDLCK 和读出信号 STROBE。从图 5a、5b、5c 和图 6 可以看出, 读锁定脉冲 RDLCK 是读请求信号 RDRQ (主读请求脉冲) 的延长版本。因此, 通过控制装置 CNTRL 使读请求脉冲 RDRQ 延长, 使其持续时间为: 读锁定脉冲 RDLCK 可以可靠地对同步级 SS 的第一 n 位寄存器 I09 采样。此持续时间的范围可以从一个第二参考时钟 CLK_B 周期 (图 5a) (如果 $f_A > f_B$) 到多个第二参考时钟 CLK_B 周期 (如果 $f_A < f_B$ (图 5c))。

亦如上所述, 读出信号 STROBE 是始终在保持信号 LOCK 内产生的信号, 具体来说它产生于读锁定脉冲 RDLCK 的最后一个周期内。

应该注意的是, 就图 4 实施例所有达到的目的而言, 控制装置 CNTRL 的实现细节如何无关紧要, 只要它执行适当地产生读锁定脉冲 RDLCK 和读出信号 STROBE 的功能即可。例如, 控制装置 CNTRL 可以包括简单的移位寄存器 (如果所有捕获时钟域都具有相同频

率)；或者更为复杂的可以处理对各种不同时钟域的访问的状态机。

包括计数器的输入存储级

5 因为状态指示 IN_STATUS 出现与读请求信号 RDRQ 出现之间的时间关系通常是不确定的，所以可能会发生下列情况。

假定第一原始状态指示 IN_STATUS (即第一状态比特) 已经输入并存储在输入 n 位寄存器 IO3 中。只要没有新的状态指示输入到输入存储级 INS 中，则当前可用的状态指示保持 (通过循环) 在输入寄存器 INM 内。如上所述，在读请求信号 RDRQ 出现时，将此状态指示可靠地传送到中间存储级，然后在保持信号 LOCK 持续期内从中间存储级可靠地读出到输出寄存器 ORM。

10 但是，这假定了在读请求信号出现之前，没有新的原始状态指示输入到输入存储级 INS。另一方面，如果读请求信号 RDRQ 在很长一段时间内未出现，则有可能另一个新的原始状态指示 IN_STATUS 以钟控方式打入中间 n 位寄存器 IO3 中。这意味着响应读请求信号 RDRQ，只将最新 (即最近) 的新状态指示传送到中间级 IS，然后再传送到输出存储级 OSS。

对状态指示计数的逻辑门实现

20 图 7 显示避免上述问题的状态指示确定装置的 SIDM 的逻辑实现的另一个实施例。提供这种状态指示确定装置 SIDM 针对的是要对两次读访问之间原始状态指示的个数进行计数的情况。在此情况下，在输入存储级 INS 中累计原始状态指示的数量，且输入存储级 INS、中间存储级 INT 和输出存储级 OSS 分别存储包含 n 位的状态指示。n 位的存储和 n 位的传递在各连接上以参考数字 “n” 表示。

25 图 7 所示实例中的原始状态指示是 1 位指示，当然，如果相应地调整输入存储级 INT，也可设想包含 k 位的原始指示。

通过图 7 和图 4 的比较可以看出，图 7 中的输出存储级 OSS 和

中间存储级 ISS 的结构与图 4 中对应的输出存储级 OSS 和中间存储级 ISS 的结构相同。唯一的差异在于，提供了中间寄存器 INT 和输出寄存器 ORM，用于存储和传递 n 位的状态指示，如图 7 中的参考数字“ n ”所示。另一方面，在图 7 和图 4 中，控制脉冲生成器 CG 和同步级 SS 完全一样。

输入存储级 INS 还包括输入寄存器 INM 和输入更新控制装置 DM，它们执行与图 4 中类似的功能，但用于累加、存储和传递 n 位状态指示。因此，输入寄存器 INM 包括 n 位寄存器 I17，它的 Q 输出端连接到中间寄存器 INT 的多路复用器 I04 的“0”输入端。如图 4 所示，第一时钟 CLK_A 输入到 n 位寄存器 I17 的时钟输入端。

输入更新控制装置包括 n 位寄存器 I11 和“与”门 I12，它们具有与图 4 中对应的 n 位寄存器 I11 和“与”门 I12 类似的电路连接。因此，触发器 I11 的 D 输入接收同步级 SS 的第二触发器 I10 的 Q 输出。第一参考时钟 CLK_A 输入到 n 位寄存器 I11 的时钟输入端。与图 4 相反， n 位寄存器 I11 的 Q 输出反相后提供给“与”门 I12。提供给中间寄存器 INT 的多路复用器 I04 的保持信号 LOCK 由 n 位寄存器 I11 的输出 Q 提供。“与”门 I12 的第二输入连接到同步级 SS 的 n 位寄存器 I10 的 Q 输出端。

输入存储器 INS 还包括一个四输入/单输出的多路复用器 I15，它的输出连接到输入寄存器 INM 的 n 位寄存器 I17 的 D 输入端。多路复用器 I15 的第一输入与 n 位寄存器 I17 的输出直接相连。第二输入连接到加法器（递增器）I16 的输出，加法器 I16 将“1”加到寄存器 STATCNT 的当前内容。第三输入接收逻辑“0”，第四输入接收整数“1”。为了将这四个输入之一切换到多路复用器的输出，多路复用器接收作为切换信号的状态指示脉冲 IN_STATUS 和“与”门 I12 的输出 CLEAR_PULSE。如 I15 框图所示，以“00”选择第一输入，以“10”选择第二输入，以“01”选择第三输入，以“11”选择第四输入。

选择是按位进行的。这意味着新的原始状态指示比特无论何时到达，则该比特将与“与”门 I12 的对应逻辑输出电平一起为多路复用器 I15 提供相应的切换信号。从图 7 中的电路连接可以理解，只要没有新的状态指示比特到达 ($IN_STATUS = 0$) 且“与”门 I12 没有输出 $CLEAR_PULSE$ ($CLEAR_PULSE = 0$)，则寄存器 $STATCNT$ 的内容保持不变，因为其输出通过多路复用器 I15 反馈回输入。如果新的状态指示比特到达 ($IN_STATUS = 1$)，则选择第二输入，它使寄存器 $STATCNT$ 增“1”，这是因为加法器 I16 将“1”加到寄存器 $STATCNT$ 的输出 Q 。当“与”门 I12 输出 $CLEAR_PULSE = 1$ 时，如果状态指示比特等于 1，则插入整数“1”；而如果状态指示比特是 0，则输入 0。

n 位寄存器 I11 输出的保持信号 $LOCK$ 与图 5 中的类似，它在一定时间输出，且长度足以允许响应读请求信号而读出存储在中间寄存器 INT 中的状态指示比特。当未产生保持信号 $LOCK (= 0)$ 时，可以将存储在 n 位寄存器 I17 中的 n 个状态指示比特传送到中间寄存器触发器 I05 中。因为该配置适合于 n 位状态指示，所以此 n 位寄存器起计数器的作用，因此在图 7 中以“ $STATCNT$ ”表示。从图 7 可以明白，此计数器 $STATCNT$ 可以对两次读访问之间（即读请求信号 $RDRQ$ 两次出现之间）输入状态指示的个数按 n 位来计数。

虽然图 7 中的实施例显示了具有适于 n 位状态指示并行传输的寄存器及连接的状态指示确定装置 $SIDM$ ，但该状态指示确定装置还可以利用寄存器之间状态指示的串行传输来实现。

图 8 显示与图 5 类似的图 7 中各信号的时序图。图 8 中的此实例显示图 7 中的电路接收 14 个状态指示比特，其中第一部分属于第一读周期。显然，首先读出计数器值 8，然后是计数器值 6。8 和 6 之和是 14，因此不会丢失任何状态指示比特（脉冲）。因此，图 7 中的实施例可以累计 n 个原始状态指示比特，并将读取的状态指示的数量传送到中间寄存器，再从中间寄存器读出到输出寄存器。

以下将详细说明图 8 的信号流程。首先，应记住，图 4 中的电路可以读取单个原始状态指示脉冲（比特），以将读取的指示从时钟域 A 传送到时钟域 B，并在到输出 OUTPUT_REG 的读周期内更新输入寄存器。一旦某个指示 IN_STATUS 已读入到输入寄存器 STATREG 中，则新到达的状态指示不会导致 STATREG 中内容发生改变。读取输出寄存器 OUTPUT_REG 两次可确保检测到状态指示的出现（存在性检查）。但是，图 4 中的电路无法检测出 IN_STATUS 中出现多少个指示脉冲（比特）。

假定在图 4 中，状态指示脉冲 IN_STATUS 显示对期望的消息块的完整性检查已经失败。还假定在包含图 4 中电路的传输系统中，所关心的是计算块误码率（BER）。因此，在此情况下重要的是计算每单位时间指示的数量。在此情况下，微控制器可能希望按预定时间间隔读出输入寄存器 STATREG，以便检查自上次读出操作起已经累计了多少个指示信号。因此必须将图 4 中电路的“读取时更新”功能推广为“在读取时复位到 0/1”的功能。因此，将图 4 中简单地在输入寄存器 STATREG 中“锁存”指示替换为图 7 中涉及输入计数器 STATCNT 的计数过程。

因此，图 7 所示实施例对两次读访问（两次连续出现的读请求信号 RDRQ）之间的指示脉冲的个数进行计数。这些指示脉冲（比特）在输入计数器 STATCNT 中进行计数。在从输出寄存器 OUTPUT_REG 读出计数器值的过程中，STATREG 根据 IN_STATUS 和 CLEAR_PULSE 复位（到 0）或置位（到 1）。

为了理解图 7 所示电路的功能特性，如图 8 所示，可以定义时钟周期的指示 clkcnt_a。此指示 clkcnt_a 对应于时钟域 A 中的时钟周期数，便于理解图 8 中的时间关系。

在图 8 中，信号 clk_a 是用于触发时钟域 A 中的所有触发器的时钟。虽然图 7 可以采用正沿触发的触发器，但是也可以采用负沿触发的触发器。如图 5 所示，信号 IN_STATUS 是来自外部的状态指

示脉冲（比特）。它自然是主要的信息载体，状态指示脉冲相对于时钟脉冲 `clk_a` 的出现是随机的，即状态指示脉冲不一定出现在时钟信号 `clk_a` 的正沿，也就是说不一定同步于 `clk_a`。仅是为了便于理解本实施例，所以状态指示显示为与 `clk_a` 同步。图 8 则显示 14 个状态指示脉冲的连续脉冲序列。

与图 5 类似，信号 `CLEAR_PULSE` 用于复位输入寄存器计数器 `STATCNT`。如果 `CLEAR_PULSE` 与 `IN_STATUS` 重合，则 `STATCNT` 置位为 1，以对此重合事件计数。如果 `CLEAR_PULSE` 与 `IN_STATUS` 不重合，则实际上将输入寄存器计数器 `STATCNT` 的值删除（`STATCNT`→0）。`CLEAR_PULSE` 通过对 `RDLCK` 的同步化版本执行正沿检测来产生（这是通过 `I09-I12` 来完成的）。

输入寄存器计数器 `STATCNT` 存储累计的指示脉冲数量。在一种电路实现方案中，`STATCNT` 是通过多路复用器 `I15` 用加法器 `I16` 构成的计数器的寄存器。

保持信号 `LOCK` 是 `RDLCK` 的同步化版本。它的作用是保持状态指示或允许从输入存储级 `INS` 接收状态指示。因此，如图 4 所示，保持信号 `LOCK` 用于“稳定”中间寄存器 `BRIDGEREG`。

输出寄存器 `OUTPUT_REG` 存储同步于时钟域 B 的输入寄存器计数器 `STATCNT` 的内容的一个副本。虽然读访问对累计的脉冲指示序列进行，但 `OUTPUT_REG` 将正确地指示 $8+6=14$ 个接收到的指示脉冲。如上所述，其它信号和电路与图 4 所示相同。

为了说明图 8 中的功能特征以及各种依赖关系，可以区分出四种不同情况：

- 1) 既没有新到达的状态指示，也没有读访问；
- 2) 有读访问，但没有新的指示脉冲；
- 3) 有新指示脉冲，但没有读请求；
- 4) 既有读访问，也有新的指示脉冲。

在第一种情况中，例如对于 $19 \leq \text{clkcnt_a} \leq 27$ ，则不采取任何动

作。STATCNT、BRIDGEGREG 和 OUTPUT_REG 不改变它们的值。它们执行存储操作。其余所有内部信号在逻辑上均为 0。

在第二种情况中，有读访问，但没有新的状态指示出现。这发生在 $26 \leq \text{CLKCNT_A} \leq 31$ 的时钟周期中。

5 读请求脉冲 RDRQ 使得控制脉冲生成器 CG 产生脉冲 RDLCK，该脉冲的长度至少为一个 CLK_A 周期加触发器 I09 的建立 - 保持 - 窗口宽度（事件 A 和 B）。最好使 RDLCK 的长度为两个 CLK_A 周期。通过触发器 I09 和 I10，RDLCK 同步于时钟 CLK_A。一般情况下，同步级 SS（109/110）可以比两个触发器长。两个触发器是最少的。关于 STROBE 信号（事件 C），以上已经参考图 4 对此信号作了详细解释并且图 7 和图 8 中没有什么更改。触发器 I10 的输出是 RDLCK 的同步化版本，即同步于时钟域 A 的时钟信号。如图 7 所示，此信号以 RDLCK' 表示，其长度至少一个 CLK_A 周期，在本实例中根据 CLK_B 周期为 4 个 CLK_A 周期。另一触发器 I11 使 RDLCK' 15 延迟 1 个时钟周期，并将 $\text{LOCK} = \text{RDLCK}'$ （事件 E）送到输入寄存器 INT 和“与”门 I12。保持信号 LOCK 必须相对于 RDLCK'/CLEAR_PULSE 延迟一个时钟周期，以在第四种情况中允许在 STATCNT 于 $12 \leq \text{CLKCNT_A} \leq 13$ 期间复位之前仍可以接收 STATCNT 的内容。因保持信号 $\text{LOCK} = 1$ ，中间寄存器 BRIDGEGEREG 20 将内容反馈到多路复用器 I04，这在功能上防止 OUTPUT_REG 的输入发生单次变化。RDLCK' 结合 I12 用于检测 RDLCK' 的正沿。如果 RDLCK' 中出现正沿，则使信号 CLEAR_PULSE 置位（事件 D）。如果状态指示 IN_STATUS 没有同时出现，则多路复用器 I15 选择输入“01” = 0 作为 STATCNT 的下一个内容（事件 F）。在时钟域 B 25 的时钟周期 8 中，中间寄存器 BRIDGEGEREG 的值通过多路复用器 I06 读到输出寄存器 OUTPUT_REG 中（事件 G）。

所示的第三种情况对应于 $4 \leq \text{CLKCNT_A} \leq 9$ 。每次出现新的指示脉冲，就选择输入“10”，通过加法器（递增器）I16 的中介作用

使 STATCNT 的内容递增。在第三种情况中，CLEAR_PULSE 始终为 0，因为它因为没有读脉冲 RDLCK 而未置位。在第三种情况中，BRIDGEREG 每个第一时钟 CLK_A 周期从 STATCNT 接收值，因为保持信号 LOCK 未置位。

- 5 对于从 RDRQ 到 CLEAR_PULSE 的信号序列，对第二种情况的考虑完全适用。唯一不同于第二种（和第三种）情况的是，在多路复用器 I15 选择输入 “11” = 1，并因此在时钟周期 13 将 STATCNT 置为 1。逻辑上这对应于利用直接递增过程复位到 0。

10 概括地说，图 7 和图 8 中的实施例允许在输入存储级 INS 中累计一定数量的状态指示，并在读请求信号在时钟域 B 中产生时，将当时有效的状态指示数量传送到中间存储级 INT，然后传送到输出存储级 OSS。此操作在保持信号 LOCK 的产生期间执行。在保持信号 LOCK 的持续时间内，可以在输入存储级 INS 中累积一定数量的状态指示脉冲，然后在保持信号 LOCK 中止时将其传送到中间存储级 INT。因此，可以确定（累积）状态指示的数量，并可以可靠地将其
15 传送到输出存储级 OSS，而不会丢失任何状态指示。

工业适用性

20 如上所述，根据本发明，在输入存储级 INS 与输出存储级 OSS 之间设置中间存储级 ISS。状态指示被移位到中间存储级 ISS，并在用于保持中间存储级 ISS 的内容并阻止从输入存储级 ISS 传递新状态指示的保持信号的产生期间，将中间存储级 ISS 的内容传送到输出存储级 OSS，而同时不会在输出寄存器 ORM 中产生亚稳态。

25 该设计可在第一参考时钟和第二参考时钟之间的任何频率和/或相位关系下工作，且仍然不会丢失任何新的状态指示。此外，总是可以保证输出寄存器的内容是最近的状态指示并通过时钟域边界正确传送。

这种状态指示检测装置和状态指示检测方法对于监控硬件设备

形式的 SONET/SDH 应用特别有用。此外，输入、中间和输出存储级可以通过 ASIC 中的 VLSI 结构来实现。

再者，应注意，本发明可以包括所述本发明范围内的各种其它修改和变化。具体地说，本发明还可以包括由单独描述和/或在说明书中和/或所附权利要求书中要求权利的特征和/或步骤构成的其它
5 实施例。

在权利要求书，参考数字只起标识的作用。

图 1 现有技术

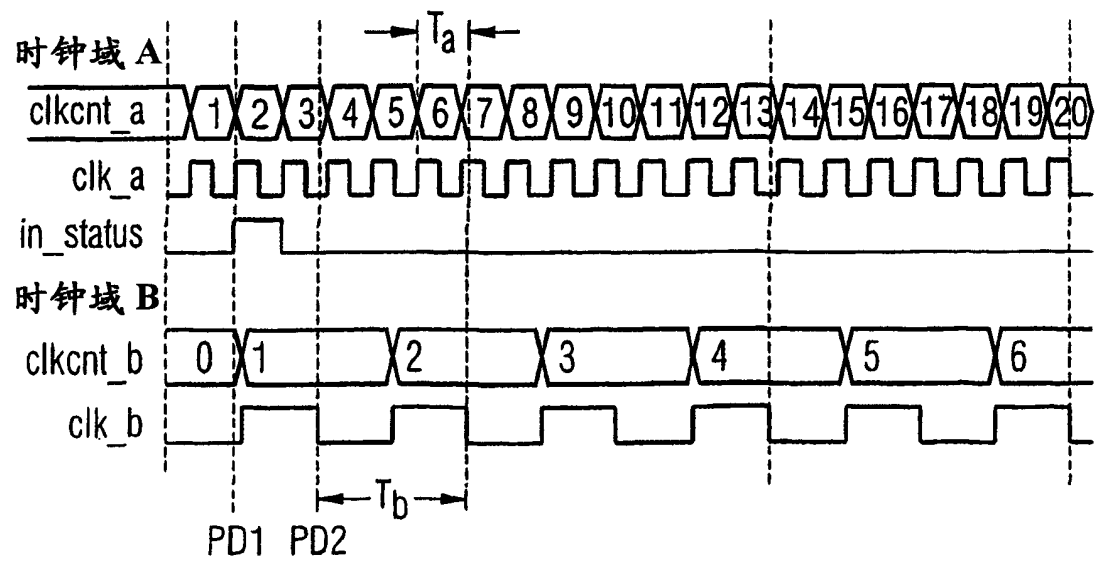
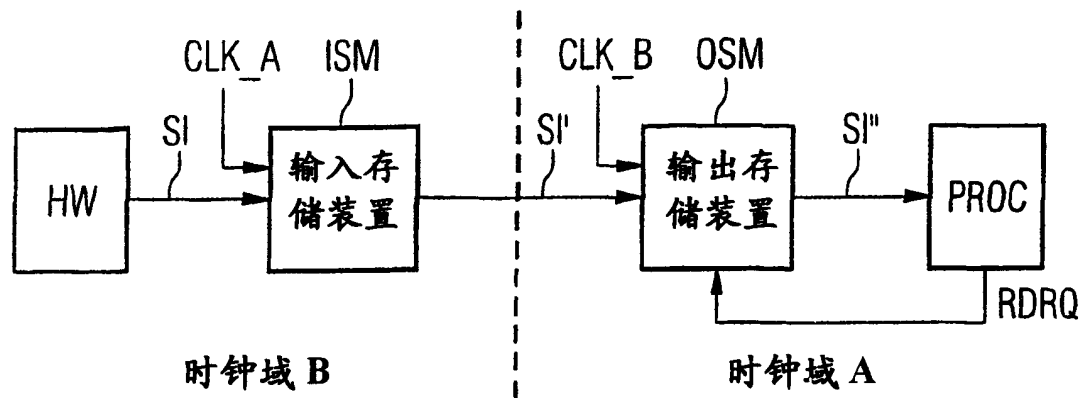


图 2 现有技术

图 3

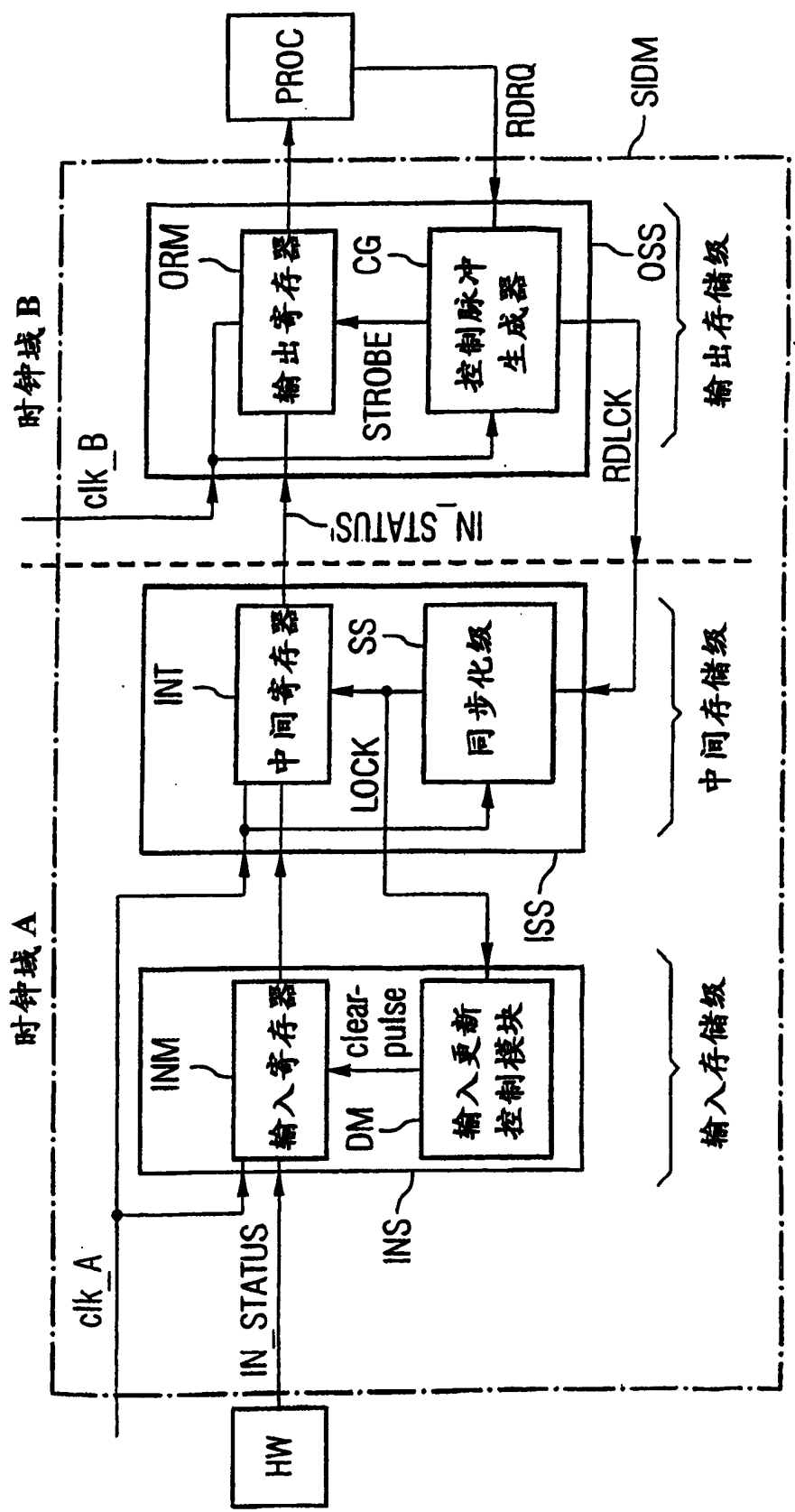
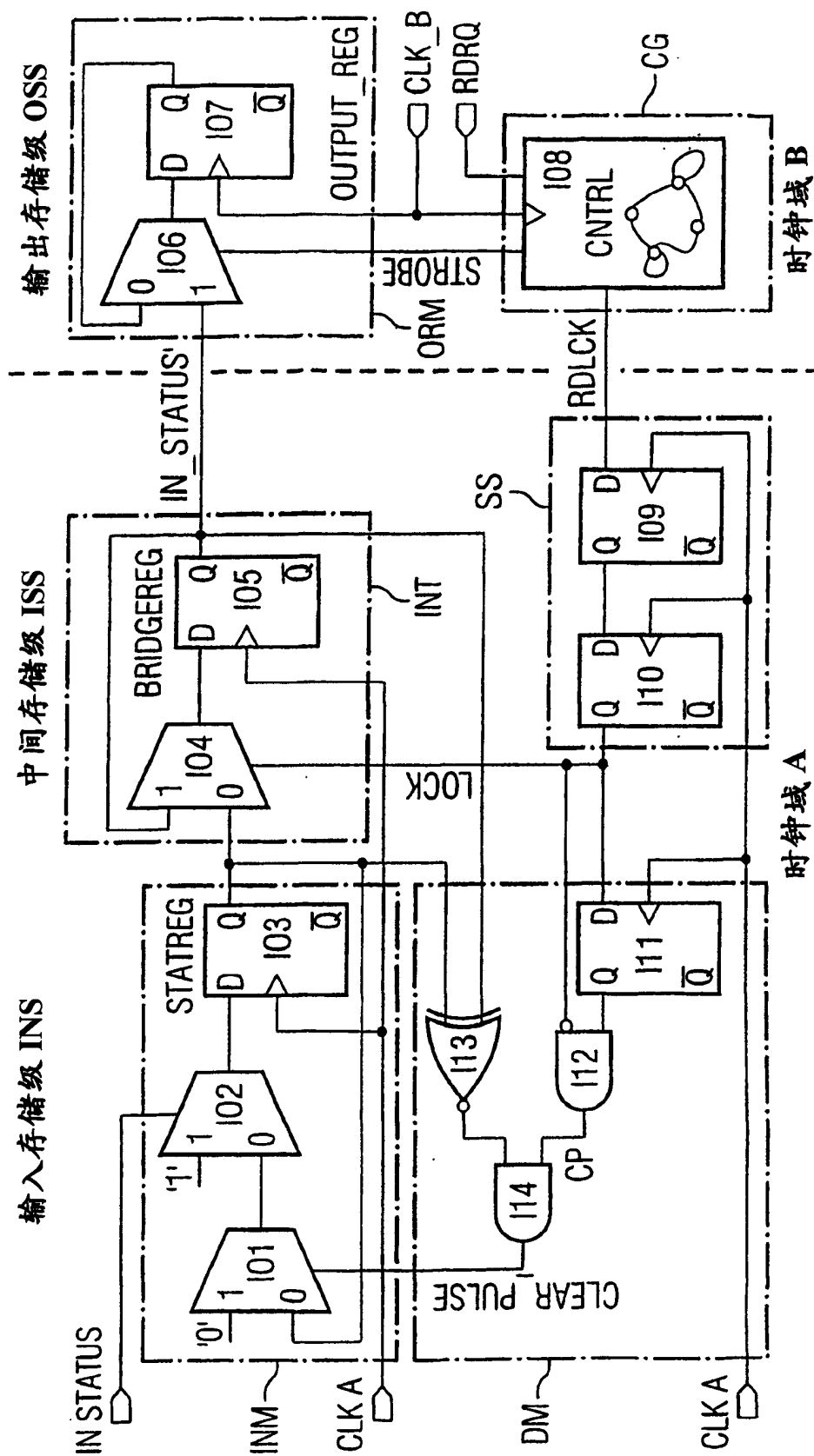


图 4
SIDM



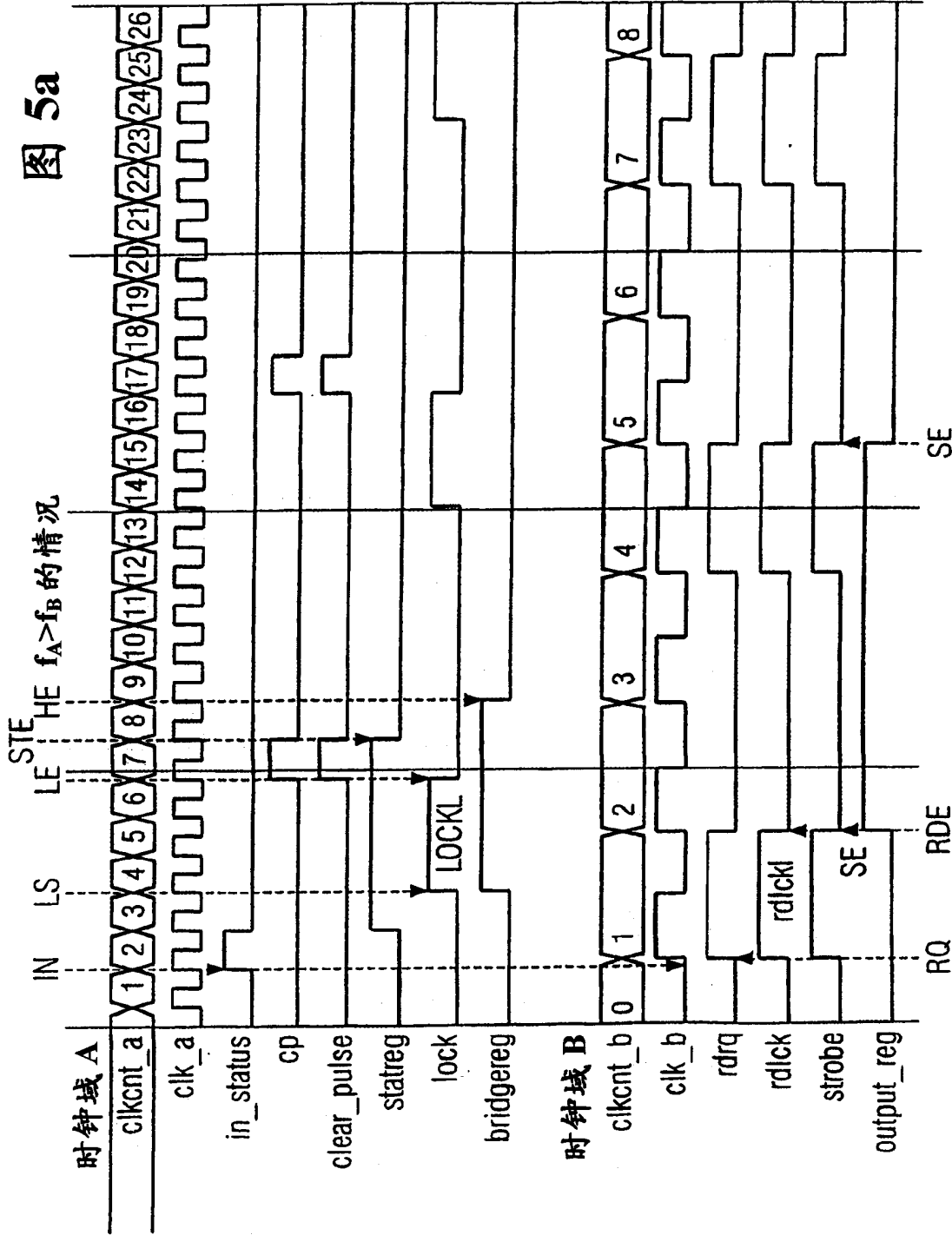


图 5b

