

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7141977号
(P7141977)

(45)発行日 令和4年9月26日(2022.9.26)

(24)登録日 令和4年9月14日(2022.9.14)

(51)国際特許分類		F I			
G 0 6 F	9/48 (2006.01)	G 0 6 F	9/48	3 0 0 H	
G 0 6 F	9/38 (2006.01)	G 0 6 F	9/38	3 7 0 B	
G 0 6 F	9/455(2006.01)	G 0 6 F	9/455	1 5 0	

請求項の数 6 (全8頁)

(21)出願番号	特願2019-68920(P2019-68920)	(73)特許権者	000237592 株式会社デンソーテン
(22)出願日	平成31年3月29日(2019.3.29)		兵庫県神戸市兵庫区御所通 1 丁目 2 番 2 号
(65)公開番号	特開2020-166757(P2020-166757 A)	(74)代理人	110002147弁理士法人酒井国際特許事務所
(43)公開日	令和2年10月8日(2020.10.8)	(72)発明者	奥原 誠 兵庫県神戸市兵庫区御所通 1 丁目 2 番 2 号 株式会社デンソーテン内
審査請求日	令和3年9月30日(2021.9.30)	審査官	坂庭 剛史

最終頁に続く

(54)【発明の名称】 制御装置および制御方法

(57)【特許請求の範囲】

【請求項 1】

所定期間内に類似する演算を大量に行う処理である演算処理に用いられるデータである演算データを記憶する第 1 記憶部と、

前記第 1 記憶部に記憶された前記演算データが転送される第 2 記憶部と、

前記第 1 記憶部に対するアクセスに制限が無い第 1 モードおよび前記制限がある第 2 モードを切り替えながら制御対象の制御に関する処理を行う制御部と、を備え、

前記制御部は、

前記第 1 モードにあるときに、前記第 1 記憶部から前記第 2 記憶部への前記演算データの転送処理を実行し、

前記第 2 モードにあるときに、前記第 2 記憶部に記憶された前記演算データを用いて前記演算処理を実行すること

を特徴とする制御装置。

【請求項 2】

前記演算処理はニューラルネットワークを用いた演算処理であること

を特徴とする請求項 1 に記載の制御装置。

【請求項 3】

前記第 1 記憶部は、

前記制御対象の制御処理の制御データをさらに記憶し、

前記制御部は、

前記第 1 モードにあるときに、前記制御データを用いた前記制御処理を実行することを特徴とする請求項 1 または 2 に記載の制御装置。

【請求項 4】

前記制御部は、
前記制御処理、前記転送処理、前記演算処理の順に高い優先度で処理を実行することを特徴とする請求項 3 に記載の制御装置。

【請求項 5】

前記制御部は、
前記第 2 モードにて、前記第 2 記憶部に記憶された前記演算データを用いた前記演算処理が終了した場合、制御モードを前記第 1 モードに切り替えて、新たな前記演算データを転送する前記転送処理を実行すること
を特徴とする請求項 1 ~ 4 のいずれか 1 つに記載の制御装置。

10

【請求項 6】

所定期間内に類似する演算を大量に行う処理である演算処理に用いられるデータである演算データを第 1 記憶部に記憶する第 1 記憶工程と、

前記第 1 記憶部に記憶された前記演算データが転送されて第 2 記憶部に記憶する第 2 記憶工程と、

前記第 1 記憶部に対するアクセスに制限が無い第 1 モードおよび前記制限がある第 2 モードを切り替えながら制御対象の制御に関する処理を行う制御工程と、を含み、

前記制御工程は、

20

前記第 1 モードにあるときに、前記第 1 記憶部から前記第 2 記憶部への前記演算データの転送処理を実行し、

前記第 2 モードにあるときに、前記第 2 記憶部に記憶された前記演算データを用いて前記演算処理を実行すること

を特徴とする制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、制御装置および制御方法に関する。

【背景技術】

30

【0002】

近年、例えば、車両制御において A I (Artificial Intelligence) 技術が活用されつつある。従来技術には、他の制御処理が行われていない期間に、A I 演算処理を行うものがある (例えば、特許文献 1 参照) 。

【先行技術文献】

【特許文献】

【0003】

【文献】特開 2014 - 182606 号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0004】

ところで、例えば、ニューラルネットワーク等による A I 演算処理では、膨大な量の演算処理が必要となる。しかしながら、従来技術では、車両制御のように、制御処理の周期が比較的短い場合には、A I 演算処理を実現できないおそれがあるため、A I 演算処理の高速化が望まれている。

【0005】

本発明は、上記に鑑みてなされたものであって、演算処理の処理速度を向上させることができる制御装置および制御方法を提供することを目的とする。

【課題を解決するための手段】

【0006】

50

上述した課題を解決し、目的を達成するために、本発明に係る制御装置は、第1記憶部と、第2記憶部と、制御部とを備える。前記第1記憶部は、所定期間内に類似する演算を大量に行う処理である演算処理に用いられるデータである演算データを記憶する。前記第2記憶部は、前記第1記憶部に記憶された前記演算データが転送される。前記制御部は、前記第1記憶部に対するアクセスに制限が無い第1モードおよび前記制限がある第2モードを切り替えながら車両の制御に関する処理を行う。また、前記制御部は、前記第1モードによって、前記第1記憶部から前記第2記憶部への前記演算データの転送処理を実行し、前記第2モードによって、前記第2記憶部に記憶された前記演算データを用いて前記演算処理を実行する。

【発明の効果】

10

【0007】

本発明によれば、演算処理の処理速度を向上させることができる。

【図面の簡単な説明】

【0008】

【図1】図1は、実施形態に係る制御装置の構成を示すブロック図である。

【図2】図2は、制御部の処理を説明するための図である。

【図3】図3は、制御部の処理を説明するための図である。

【図4】図4は、実施形態に係る制御装置が実行する処理の処理手順を示すフローチャートである。

【発明を実施するための形態】

20

【0009】

以下、添付図面を参照して、本願の開示する制御装置および制御方法の実施形態を詳細に説明する。なお、以下に示す実施形態により本発明が限定されるものではない。

【0010】

まず、図1を用いて、実施形態に係る制御方法の概要について説明する。図1は、実施形態に係る制御装置の構成を示すブロック図である。なお、実施形態に係る制御装置1は、実施形態に係る制御方法を実行する。

【0011】

図1に示すように、実施形態に係る制御装置1は、制御部2と、主メモリ3と、高速メモリ4とを備える。実施形態に係る制御装置1は、車両に搭載される制御装置であり、例えば、内燃機関の制御に関する処理を実行する。なお、制御装置1は、車両の制御に関する処理であれば任意の処理を実行可能である。

30

【0012】

ここで、制御装置1は、たとえば、CPU (Central Processing Unit)、ROM (Read Only Memory)、RAM (Random Access Memory)などを有するコンピュータや各種の回路を含む。

【0013】

コンピュータのCPUは、たとえば、主メモリ3であるRAMやROM等に記憶された制御データおよび演算データや、各種プログラムを読み出して実行することによって、制御部2として機能する。なお、主メモリ3は、第1記憶部の一例である。

40

【0014】

制御データには、車両の制御処理を実行するためのコードや、制御処理により生成されたデータ等が含まれる。例えば、制御データには、内燃機関の制御に関する処理を実行するためのデータが含まれる。また、演算データには、後述の演算処理を実行するためのコードや、演算処理により生成されたデータ等が含まれる。例えば、演算データには、ニューラルネットワーク等の各AI (Artificial Intelligence)による演算のパラメータ (入力データや係数データ等)に関する情報が含まれる。

【0015】

なお、制御部2の機能のうち、一部または全部をASIC (Application Specific Integrated Circuit)やFPGA (Field Programmable Gate Array)等のハードウ

50

エアで構成することもできる。

【 0 0 1 6 】

また、高速メモリ 4 は、たとえば、R A M に対応する。R A M は、制御部 2 の作業領域として機能し、制御部 2 が実行する演算処理の演算データや、各種プログラムの情報等を一時的に記憶することができる。なお、高速メモリ 4 は、第 2 記憶部の一例であり、後述の転送処理によって、主メモリ 3 から高速メモリ 4 に演算データが転送される。

【 0 0 1 7 】

ここで、制御部 2 には、仮想化支援機能が実装されている。仮想化支援機能とは、1 つの C P U (もしくはコア) をハードウェア的な仮想化技術によって論理的に二つ以上に分割することで、ユーザからは、あたかも二つの C P U (コア) が動作しているように見える機能である。これにより、1 つの C P U で構成される制御部 2 は、動作モードが異なる複数のモードを切り替えながら車両の制御に関する処理を実行することができる。

10

【 0 0 1 8 】

図 1 に示す例では、制御部 2 は、動作モードとして主メモリ 3 へのアクセス制限の内容が異なるセキュアモード (第 1 モードに相当) と、ノンセキュアモードとを切り替えて処理を行う。セキュアモードは、主メモリ 3 に対するアクセスの制限が無いモードである。ノンセキュアモードは、主メモリ 3 に対するアクセスの制限があるモードである。

【 0 0 1 9 】

また、仮想機縁機能の一般的な用いられ方としては、機能ごとやユーザごとのアプリケーションプログラムをノンセキュアモードに割り当て、全体の監視等の管理プログラムをセキュアモードに割り当てる考え方がある。主メモリが複数の領域に分けられており、ノンセキュアモードでは、自モード用の領域しかアクセスできないように制限があるが、セキュアモードでは全領域 (自モード用の領域と、ノンセキュアモード用の領域の両方) にアクセスできるように設定されている。

20

【 0 0 2 0 】

図 1 に示すように、制御部 2 は、セキュアモードによって、内燃機関やモータ等を制御する制御処理および転送処理を実行し、ノンセキュアモードによってニューラルネットワークを用いた演算処理を実行する。具体的には、制御部 2 は、主メモリ 3 から高速メモリ 4 への演算データの転送処理を実行する。また、制御部 2 は、高速メモリ 4 に記憶された演算データを用いて演算処理を実行する。

30

【 0 0 2 1 】

つまり、制御部 2 は、所定期間内に大量の演算処理を行う必要があるニューラルネットワークを用いた演算処理を高速メモリ 4 にアクセスして行うため、演算処理の処理速度を向上させることができる。

【 0 0 2 2 】

また、制御部 2 は、セキュアモードにあるときに、リアルタイム O S (Operating System) により制御処理を実行する。リアルタイム O S は、例えば、車載ネットワークである C A N (Controller Area Network) の通信ドライバを使用して、リアルタイム性が要求される処理を実行する O S である。

【 0 0 2 3 】

つまり、制御部 2 は、制御処理とは異なるモードで演算処理を行うため、演算処理を制御処理に割り込ませる必要がなくなり、結果、制御処理の処理遅れを生じさせることなく、演算処理を高速化することができる。なお、制御処理は省略されてもよい。

40

【 0 0 2 4 】

さらに、制御部 2 は、ノンセキュアモードでは、演算処理のみを行うため、O S を使用しない。これにより、O S に起因する処理オーバーヘッドが発生しないため、演算処理の処理速度をさらに向上させることができる。

【 0 0 2 5 】

また、ニューラルネットワークの演算処理に、ニューラルネットワークの演算に関係ないデータ (制御処理が使用するデータ等) に自由にアクセスできるように構成することは

50

セキュリティ性に関して問題があるため、通常はアクセス制限をOSの不正アクセス防止機能を用いて実現している。

【0026】

なお、制御部2は、ノンセキュアモードについては、主メモリ3の制御データへのアクセスを禁止する。すなわち、ノンセキュアモードでは、主メモリ3に対するアクセスの制限がある。

【0027】

これにより、ノンセキュアモードがOS非搭載であっても、ノンセキュアモード時における主メモリ3の制御データへの不正アクセス防止を担保できる。すなわち、アクセス制限を、仮想支援化機能(ノンセキュアモードのアクセス制限)を用いて実現している。

10

【0028】

なお、制御部2は、転送処理および演算処理よりも、制御処理を優先して実行する。かかる点について、図2および図3を用いて説明する。

【0029】

図2および図3は、制御部2の処理を説明するための図である。なお、図2に示す最先の演算処理(図2の2つの演算処理のうち、左側のバー)の演算データは転送が既に完了しているものとする。

【0030】

図2に示すように、制御部2は、制御処理の割り込みがあった場合、制御処理を実行する。そして、制御部2は、制御処理が終了した場合、セキュアモードからノンセキュアモードに切り替えて演算処理を実行する。

20

【0031】

すなわち、制御部2は、制御処理が実行されていない期間に、演算処理を実行する。これにより、制御処理の処理遅れを生じさせることなく、演算処理を高速化することができる。

【0032】

そして、時刻 t_2 において、制御部2は、高速メモリ4に記憶された演算データを用いた演算処理が終了した場合、制御モードを第1モードに切り替えて、新たな演算データを転送する転送処理を実行する。具体的には、図3に示すように、制御部2は、高速メモリ4の演算データが無くなった直後のソースコード箇所に転送処理を要求する処理を記述しておく。

30

【0033】

これにより、制御部2は、高速メモリ4の演算データによる演算処理が終了した直後に、次の演算処理の演算データを転送できるため、古い演算データを用いて誤った演算処理を行ってしまうことを防止できる。

【0034】

図2に戻って制御部2の処理の説明を続ける。制御部2は、時刻 t_2 において転送処理の要求があった場合、ノンセキュアモードからセキュアモードに切り替えて転送処理を実行する。かかる転送処理では、次の演算処理に用いる演算データのみを高速メモリ4に転送する。

40

【0035】

そして、時刻 t_3 において、制御部2は、転送処理を実行中に、制御処理の割り込みがあった場合、実行中の当該転送処理を中断して制御処理を実行する。なお、制御部2は、演算処理を実行中に、制御処理の割り込みがあった場合も同様に、実行中の当該演算処理を中断して制御処理を実行する。そして、制御部2は、制御処理を終了した後、中断していた転送処理を再開する。

【0036】

これにより、転送処理や演算処理の処理完了まで待機することによる制御処理の処理遅れの発生を無くすことができる。

【0037】

50

つづいて、制御部 2 は、時刻 t_4 において、転送処理を終了した後、セキュアモードからノンセキュアモードに切り替えて演算処理を実行する。つまり、制御部 2 は、制御処理、転送処理、演算処理の順に高い優先度で処理を実行する。

【0038】

このように、制御部 2 は、転送処理および演算処理よりも、制御処理を優先して実行することで、制御処理を処理遅れなく実行できるとともに、演算処理を高速に行うことができる。

【0039】

次に、図 4 を用いて、実施形態に係る制御装置 1 が実行する処理の処理手順について説明する。図 4 は、実施形態に係る制御装置 1 が実行する処理の処理手順を示すフローチャートである。なお、図 4 では、制御処理の割り込みを省略している。制御処理の割り込みがあった場合には、転送処理および演算処理が中断され、制御処理終了後に再開される。

10

【0040】

図 4 に示すように、まず、制御装置 1 の制御部 2 は、転送処理を実行する (S101)。

【0041】

つづいて、制御部 2 は、転送処理が終了したか否かを判定する (S102)。

【0042】

制御部 2 は、転送処理が終了していない場合 (S102: No)、ステップ S101 を実行し、転送処理が終了した場合 (S102: Yes)、演算処理を開始する (S103)。

20

【0043】

つづいて、制御部 2 は、演算処理が終了したか否かを判定する (S104)。

【0044】

制御部 2 は、演算処理が終了していない場合 (S104: No)、ステップ S103 を実行し、演算処理が終了した場合 (S104: Yes)、転送処理要求があるか否かを判定する (S105)。

【0045】

制御部 2 は、転送処理要求が無い場合 (S105: No)、処理を終了し、転送処理要求がある場合 (S105: Yes)、ステップ S101 を実行する。

【0046】

上述してきたように、実施形態に係る制御装置 1 は、主メモリ 3 (第 1 記憶部) と、高速メモリ 4 (第 2 記憶部) と、制御部 2 とを備える。主メモリ 3 は、所定期間内に類似する演算を大量に行う処理である演算処理に用いられるデータである演算データを記憶する。高速メモリ 4 は、主メモリ 3 に記憶された演算データが転送される。制御部 2 は、主メモリ 3 に対するアクセスに制限が無いセキュアモードおよび制限があるノンセキュアモードを切り替えながら車両の制御に関する処理を行う。また、制御部 2 は、セキュアモードにあるときに、主メモリ 3 から高速メモリ 4 への演算データの転送処理を実行し、ノンセキュアモードにあるときに、高速メモリ 4 に記憶された演算データを用いた演算処理を実行する。これにより、演算処理の処理速度を向上させることができる。

30

【0047】

さらなる効果や変形例は、当業者によって容易に導き出すことができる。このため、本発明のより広範な態様は、以上のように表しかつ記述した特定の詳細および代表的な実施形態に限定されるものではない。したがって、添付の特許請求の範囲およびその均等物によって定義される総括的な発明の概念の精神または範囲から逸脱することなく、様々な変更が可能である。

40

【符号の説明】

【0048】

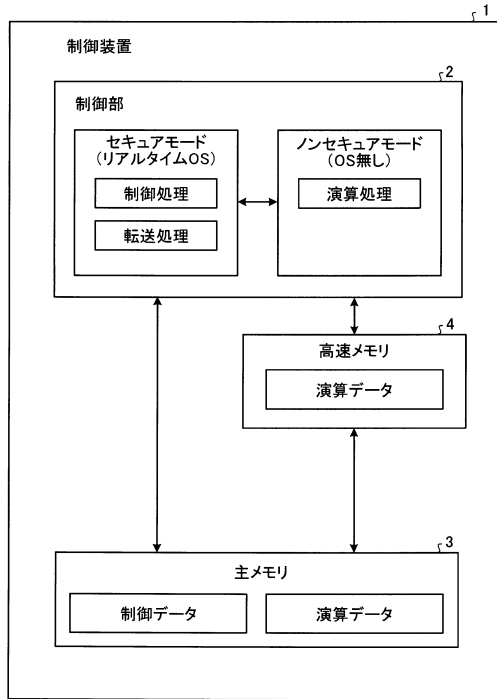
- 1 制御装置
- 2 制御部
- 3 主メモリ

50

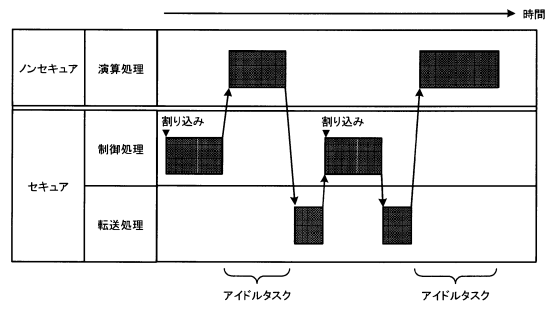
4 高速メモリ

【図面】

【図 1】



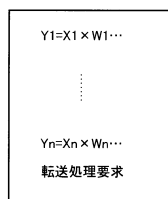
【図 2】



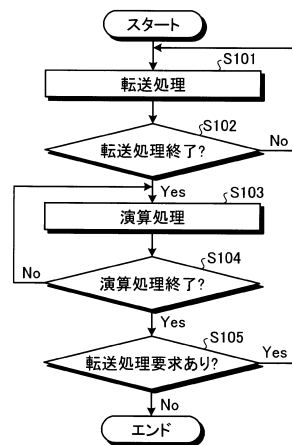
10

20

【図 3】



【図 4】



30

40

50

フロントページの続き

- (56)参考文献 特開2009-026218(JP,A)
特開2014-191509(JP,A)
特開2014-116008(JP,A)
特開2014-182606(JP,A)
特開2018-085063(JP,A)
国際公開第2017/034008(WO,A1)
- (58)調査した分野 (Int.Cl., DB名)
G06F 9/48
G06F 9/38
G06F 9/455