



(10) **DE 10 2006 060 768 B4** 2013.11.28

(12) **Patentschrift**

(21) Aktenzeichen: **10 2006 060 768.6**  
(22) Anmeldetag: **21.12.2006**  
(43) Offenlegungstag: **26.07.2007**  
(45) Veröffentlichungstag  
der Patenterteilung: **28.11.2013**

(51) Int Cl.: **H01L 23/488** (2006.01)  
**H01L 23/15** (2013.01)  
**H01L 23/34** (2006.01)  
**H01L 25/07** (2013.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:

|                   |                   |           |
|-------------------|-------------------|-----------|
| <b>60/753,353</b> | <b>21.12.2005</b> | <b>US</b> |
| <b>60/756,984</b> | <b>06.01.2006</b> | <b>US</b> |
| <b>60/761,722</b> | <b>24.01.2006</b> | <b>US</b> |
| <b>11/641,270</b> | <b>19.12.2006</b> | <b>US</b> |

(73) Patentinhaber:

**International Rectifier Corp., El Segundo, Calif.,  
US**

(74) Vertreter:

**Dr. Weitzel & Partner, 89522, Heidenheim, DE**

(72) Erfinder:

**Hauenstein, Henning M., Redondo Beach, Calif.,  
US**

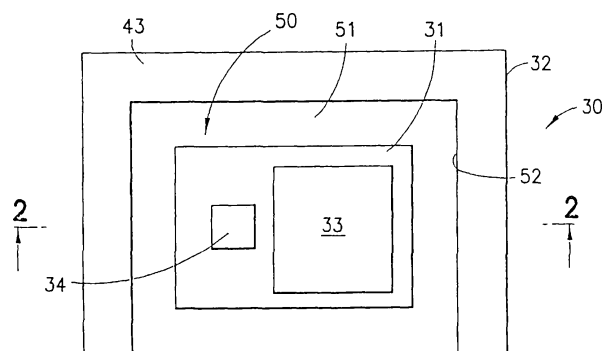
(56) Für die Beurteilung der Patentfähigkeit in Betracht  
gezogene Druckschriften:

|           |                         |           |
|-----------|-------------------------|-----------|
| <b>DE</b> | <b>34 32 449</b>        | <b>A1</b> |
| <b>DE</b> | <b>101 56 626</b>       | <b>A1</b> |
| <b>DE</b> | <b>102 95 972</b>       | <b>T5</b> |
| <b>FR</b> | <b>2 822 591</b>        | <b>A1</b> |
| <b>US</b> | <b>6 624 522</b>        | <b>B2</b> |
| <b>US</b> | <b>2001 / 0 049 116</b> | <b>A1</b> |
| <b>US</b> | <b>6 072 240</b>        | <b>A</b>  |

(54) Bezeichnung: **Gehäusebaugruppe, DBC-Plantine im Wafermaßstab und Vorrichtung mit einer Gehäusebaugruppe für Geräte mit hoher Leistungsdichte**

(57) Hauptanspruch: Halbleitergeräte-Gehäusebaugruppe (30), umfassend einen Leistungs-Halbleiterchip (31), der erste und zweite ebene parallele Flächen und eine erste Elektrode (33, 34) auf der ersten Fläche sowie eine zweite Elektrode (35) auf der zweiten Fläche und eine Trägerbehausung (32) zum Tragen des Leistungs-Halbleiterchips aufweist, wobei die Trägerbehausung ein DBC-Substrat oder ein IMS-Substrat mit einem dünnen Isolationskörper (41) umfasst, der obere und untere parallele Flächen und eine obere Leitschicht (43) auf der oberen Fläche sowie eine untere Leitschicht (40) auf der unteren Fläche aufweist, wobei die Leitschichten aus einem Metall mit hoher Leitfähigkeit sind; wobei die obere Leitschicht (43) eine darin gebildete Vertiefung (51) aufweist, die eine ebene untere Bahnfläche und einen aufstehenden Rand (52) definiert, der sich um einen Umfang der ebenen unteren Bahnfläche herum erstreckt; sodass die obere Leitschicht (43) im Bereich der unteren Bahnfläche dünner ist als im Bereich des Rands (52), wobei der Leistungs-Halbleiterchip (31) in der Vertiefung (51) angeordnet ist, wobei die zweite Elektrode (35) auf der zweiten Fläche mechanisch und elektrisch an der ebenen unteren Bahnfläche fixiert ist; wobei die erste Fläche des Leistungs-Halbleiterchips (31) mindestens näherungsweise mit der oberen freien Fläche des Rands (52) koplanar ist, und

wobei der Rand (52) eine allgemeine U-Form aufweist, oder der Rand (52) die untere Bahnfläche vollständig umschließt, wobei der Rand (52) an seinen gegenüberliegenden Enden offen ist.



**Beschreibung**

## GEBIET DER ERFINDUNG

**[0001]** Diese Erfindung betrifft Halbleitergeräte-Gehäusebaugruppen und Prozesse für deren Herstellung.

## Stand der Technik

## ALLGEMEINER STAND DER TECHNIK

**[0002]** Die Leistungs- und Stromtragfähigkeiten von Leistungsschaltern wie z. B. MOSFETs und IGBTs sind üblicherweise durch deren Gehäusebaugruppe begrenzt. So bringt die Gehäusebaugruppe einen thermischen und einen elektrischen Widerstand ein, der Leistungsverlust und entsprechende Erwärmung des Halbleiterchips über die vorgegebenen Grenzwerte hinaus verursachen kann.

**[0003]** Neben den thermischen Problemen ist beim Schalten hoher Ströme auch die Gehäusebaugruppeninduktivität ein wichtiger begrenzender Faktor. Eine parasitäre Gehäusebaugruppeninduktivität verursacht induktive Überspannung, die den Chip zerstören kann. Ein derartiger Chip kann ein Silizium- oder ein GaN-basierter Chip sein. Dies gilt insbesondere für Gehäusebaugruppen-Technologien nach dem Stand der Technik, die Bonddrähte für die elektrische Verbindung der Oberseitenmetalle des Chips mit einem Stanzgitter (lead frame) oder anderen externen Metallanschlüssen verwenden. Um die induktive Überspannung zu berücksichtigen, muss der verwendete Chip oft eine viel höhere Durchbruchsspannung aufweisen, als es die Anwendung selbst erfordern würde.

**[0004]** Daher versuchen Gehäusebaugruppen-Technologien, eine niedrige Induktivität und eine bessere thermische Verbindung zu einem Kühlkörper durch bonddrahtfreie Verbindungstechniken für die Leistungsgeräte zu erreichen. Ein Beispiel eines derartigen Ansatzes ist die DirectFET-Technologie, die beispielsweise in der US 6 624 522 B2 gezeigt ist. Durch Verbinden der Oberseite des Leistungschips, insbesondere des Source- oder des Emitterkontakts eines MOSgate-Gerätes, mit einer größeren Metallfläche gewinnt die Gehäusebaugruppe gleichzeitig eine höhere Stromtragfähigkeit, bessere thermische Eigenschaften und eine niedrigere Induktivität. (Die obere Leistungselektrode wird nachstehend häufig sowohl für MOSFETs als auch für IGBTs als Source bezeichnet.) Andere Techniken verwenden Flip-Chip-Löten des Geräts oder es werden große Metallstreifen oben auf den Chip (Source- oder Emitterkontakt) gelötet, um das thermische und elektrische Verhalten des Geräts (der Vorrichtung) zu verbessern.

**[0005]** Ein hauptsächliches Problem größerer Metallkontakte oder Kupferstreifen ist die mechanische Spannung auf dem Chip aufgrund des höheren Wärmeausdehnungs-Koeffizienten von Metall verglichen mit jenem des Chips, wie z. B. eines Siliziumbasierten Chips. Dies mag in Anwendungen mit relativ mäßiger Leistung akzeptabel sein, wie in der Unterhaltungs- und Haushaltselektronik, schafft aber ein schwerwiegendes Zuverlässigkeitsproblem bei Hochleistungs-Anwendungen in rauer Umgebung wie jenen der Kraftfahrzeugelektronik. In derart extremen Anwendungen kann die Wirkung mechanischer Spannungen an den empfindlichen oberen Metallschichten des Chips aufgrund der darunter befindlichen aktiven Schichten größeren Schaden verursachen.

**[0006]** Neben den auf dem Chip eingebrachten mechanischen Spannungen können große Metallkontakte wie z. B. jene, die in einem Kupferstreifengerät oder im Gehäusemetall eines DirectFET-Geräts verwendet werden, einen anderen Nachteil beim Langzeitverhalten der Gehäusebaugruppe aufweisen. So neigt die Lötverbindung zwischen dem Chip und dem Metallkontakt dazu, sich schnell zu verschlechtern, wenn größere Temperaturänderungen und -zyklen angewendet werden. Dieser Ausfallmechanismus wird außerdem durch die thermische Nichtübereinstimmung und die unterschiedliche Wärmeausdehnung des Metallkontakts gegenüber dem Chipwerkstoff getrieben. Dies führt zu Mikrorissen und sogar Delamination des Kontakts, was einen Anstieg des thermischen und des elektrischen Widerstands innerhalb der Lötverbindung verursacht. Folglich wird die Leistungseigenschaft der Gehäusebaugruppe beeinträchtigt.

**[0007]** Daher verwendet die Metallbehausung des DirectFET-Geräts eine Haftmittelschicht statt eines Lötmittels für die Chipbefestigung der Rückseite des Chips am Inneren der Metallbehausung, um die Wärmeausdehnungs-Ungleichheit zwischen Chip und Metallbehausung zu kompensieren. Haftmittel können besser mit von mechanischen Spannungen induzierten Kräften umgehen und verfallen aufgrund ihrer höheren Flexibilität nicht wie Lötmittel. Jedoch weist eine Haftmittel- oder Klebstoffschicht verglichen mit Lötmittel eine begrenzte Stromtragfähigkeit und einen höheren thermischen Widerstand auf.

**[0008]** Aufgrund der oben beschriebenen thermischen Ungleichheitsprobleme verwenden Gehäusebaugruppen für hohe Leistung üblicherweise Substrate wie direkt gebondetes Kupfer (Direct-Bonded-Copper, DBC), das eine bessere Übereinstimmung des Wärmeausdehnungs-Koeffizienten mit Chipsubstraten wie z. B. Silizium bietet. Ein DBC-Substrat umfasst im Allgemeinen eine mittige Isolationschicht, häufig eine keramische, die auf ihren oberen und unteren Flächen obere und untere Leitschichten aufweist. Diese sind häufig aus Kupfer. Die obe-

re Schicht kann wie gewünscht ausgeformt sein. Diese Technologie wird normalerweise verwendet, indem eine Seite eines Chips mit der oberen Leitschicht des DBC verlötet wird, während der Kontakt der anderen Seite über herkömmliche Drahtbond-Verbindungen hergestellt wird. Was die Kühlung betrifft, ist nur eine Seite des Chips gekühlt, während die andere Seite unter dem thermischen Engpass der Drahtbond-Verbindungen leidet. Ferner ist die Induktivität aufgrund der Drahtbond-Verbindungen relativ hoch. Daher löst die DBC-Substratechnologie auf nur einer Chipseite zwar das Zuverlässigkeitsproblem, bietet jedoch nicht die besten thermischen und Niedriginduktivitäts-Leistungseigenschaften.

**[0009]** Es ist bekannt, zwei DBC-Substrate zu verwenden, die ein Sandwich aus einem oberen und einem unteren DBC-Substrat und einem mittigen Chip bilden. Die DBC-Substrate sind relativ groß, da sie auch die gesamte Schaltung für die Leistungsmodule wie z. B. Halbbrücken-, H-Brücken- oder Vollbrücken-Konfigurationen bereitstellen. Unisolierte Chips werden zwischen dem oberen und unteren DBC verlötet. Die bonddrahtfreie Chipbefestigung, die niedrige Induktivität und die beidseitige Kühlung sind somit angesprochen. Der Hauptnachteil dieser Strukturen sind die hohen Kosten des Verwendens zweier in hohem Masse angepasster DBC-Substrate (da sie die Schaltung bereitstellen), die extrem genau und eben sein müssen, da mehrere unisolierte Chips einer Dicke von 100–300 µm zwischen den Substraten kontaktiert werden müssen. Dies erfordert extreme Genauigkeit, was für die Produktion eine größere Herausforderung darstellt. Daher sind die hohen Kosten und die Fertigungsschwierigkeiten bei einer derartigen DBC-Sandwichttechnologie größere Hindernisse für diese Technik.

**[0010]** Ein weiterer Nachteil der oben beschriebenen Gehäusebaugruppen nach dem Stand der Technik ist die Schwierigkeit, der Gehäusebaugruppe Stromerfassungs- und Überstromerfassungs-Funktionen hinzuzufügen. So ist es bekannt, Strommessensensoren in die Anwendung derartiger Gehäusebaugruppen zu implementieren. Diese Sensoren erlauben es einer Schutzschaltung, gefährliche Stromgrenzwerte zu detektieren und Gegenmaßnahmen einzuleiten, wie z. B. Abschalten eines Systems, Begrenzen des Stroms, Ausführen der Anwendung mit geringerer Leistung durch Herabsetzen von Strom oder Spannung und dergleichen. Diese Stromsensoren sind normalerweise Widerstände, die in einem Stromweg der Anwendung angebracht sind. Derartige Stromsensoren bringen zusätzliche Kosten ein und benötigen Platz für die Anbringung. Stromerfassungsfähigkeiten können auch dem Leistungsgerät selbst hinzugefügt werden. So sind Stromsensoren bekannte MOSFETs, in denen ein kleiner Teil der Strom tragenden Fläche des Chips verwendet wird, um den Stromfluss zu messen und über Kalibrierungstechni-

ken, die gut bekannt sind, den entsprechenden vollen Strom durch die volle aktive Fläche des Geräts (der Vorrichtung) zu ermitteln. Die Nachteile dieses Verfahrens sind:

- es benötigt zusätzlichen Platz auf dem Chip;
- es ist relativ ungenau und insbesondere
- erfordert es ein spezielles Chipdesign/-layout.

**[0011]** Ein anderer Nachteil hinsichtlich von Gehäusebaugruppen derartiger Strom erfassender Leistungsgeräte ist es, dass die Stromerfassungsfunktion mindestens zwei Kontaktanschlussflächen mehr benötigt, die ein Spannungssignal liefern, das dem Hauptstromfluss proportional ist. Diese Kontakte sind normalerweise kleine Niedrigleistungs-Kontaktflecken, die über Bonddraht-Verbindungen mit der externen Schaltung verbunden sind. Jene Kontaktanschlussflächen verringern die verfügbare Chipfläche weiter. So wird die bonddrahtfreie Leistungsgehäusebaugruppe viel komplexer, da zwei kleine Kontakte mehr kontaktiert werden müssen und auch das Versehen des Chips mit Löthügeln komplizierter wird.

**[0012]** Ein anderer weiterer Nachteil ist die Schwierigkeit des Testens/Untersuchens von Chips mit integrierten Stromerfassungsfunktionen. Die Stromerfassungsoption fügt eine Testzeit hinzu und kann die Ausbeute des Wafers aufgrund von Fehlern der Stromerfassungszellen verringern.

**[0013]** Jedoch müssen Motorantriebe, Wechselrichter oder Umrichter, die Leistungsschalter in einer Halb-, Voll- oder H-Brücken-Konfiguration verwenden, den Strom sehr präzise messen und steuern. Wichtig ist, dass die entsprechenden Steuereinheiten eine präzise Rückmeldung des Hauptstroms erhalten (z. B. der Phasenströme in einer Anwendung eines Motorantriebs). Für diese Zwecke werden Sensoren mit relativ hoher Genauigkeit (oft über einen großen Dynamikbereich) benötigt. Deshalb werden hochpräzise Nebenschlusswiderstände, Hall-Sensoren, magnetoresistive Sensoren und dergleichen für diese Art von Stromerfassung verwendet.

**[0014]** Die DE 3432449 A1 betrifft ein hermetisch verschlossenes Leistungschipgehäuse. Das Gehäuse hat einen oberen und einen unteren Gehäuseabschnitt, zwischen denen ein Leistungschip angeordnet ist. Der obere Gehäuseabschnitt hat eine dielektrische Platte mit einem Wärmeausdehnungskoeffizient, der dem des Leistungschips nahekommt. Der Leistungschip ist mit dem unteren Gehäuseabschnitt in elektrischen Kontakt bringbar. Der untere Gehäuseabschnitt ist mit einer nach oben weisenden, konkaven Vertiefung zum Aufnehmen des Leistungschips versehen, wenn das hermetisch verschlossene Leistungschipgehäuse zusammengebaut wird. Es kann eine weitere dielektrische Platte vorgesehen sein, die mit der Unterseite der Kollektorelektrode des Leistungschipgehäuses verbunden wird.

**[0015]** Die US 6 072 240 A betrifft ein Halbleiterchip-Gehäuse. Es wird ein IGBT-Modul mit sechs IGBT-Chips beschrieben, die sandwichartig zwischen zwei thermisch hochleitfähigen Isoliersubstraten eingebracht sind. Es sind Elektrodenstrukturen zur Kontaktierung vorgesehen. Es kann ein hervorstehendes Bauteil auf einem Teil der Elektroden vorgesehen sein, um Elektroden zweier verschiedener Substrate miteinander zu verbinden.

#### KURZDARSTELLUNG DER ERFINDUNG

**[0016]** Gemäß der Erfindung ist eine neuartige Hochstrom-Gehäusebaugruppe gemäß Anspruch 1 gebildet, in der eine Vertiefung, die in der oberen Kupferschicht gebildet ist, ein "Fach" zur Aufnahme eines verdünnten Halbleiterchips wie z. B. eines MOSFETs oder eines IGBTs oder dergleichen bildet. Der Drain-Kontakt (Drain- und Kollektorelektroden werden hierin austauschbar verwendet) ist mit der Fläche der Vertiefung verlötet, und die obere Fläche des Chips ist näherungsweise mit dem Rand der Vertiefung koplanar. Lötfähige Source- (oder Emitter-) und Gate-Kontaktflecken oder entsprechende Löthügel ragen oberhalb der Ebene am Rand hervor. Der Chip kann auch umgedreht und mit der Source-(Emitter-)Elektrode an den Vertiefungsboden gelötet werden. Der Rand um die Vertiefung kann als Hufeisen (oder U-förmig) geformt sein oder kann eine Form mit einem oder ohne einen unterbrochenen Rand aufweisen.

**[0017]** Ein oder mehrere derartige Gehäusebaugruppen können auf einer Wärmesenke angebracht sein, und mehrere Gehäusebaugruppen können eine gemeinsame mittige Isolationsschicht gemeinsam nutzen. Die Gehäusebaugruppen können auf der DBC-Platinenebene gebildet sein und einzeln oder in einstückigen Gruppen von Gehäusebaugruppen vereinzelt werden.

**[0018]** Eine obere Wärmesenke kann mit der oberen Kupferschicht einer oder mehrerer Gehäusebaugruppen verbunden sein, um Oberseiten- und somit doppelseitige Kühlung bereitzustellen.

**[0019]** Durch die DBC-Isolationsschicht hindurch können ein oder mehrere leitfähige Durchkontaktierungen gebildet sein, um eine Verbindung von oberen Chipelektroden zur unteren DBC-Kupferschicht zu gestatten, um als ein ohmscher Strom-Nebenschlusswiderstand zu wirken. Eine integrierte Schaltungssteuerungsstruktur kann mit der Oberseite derartiger Gehäusebaugruppen zur Steuerung der Geräte in den Schaltungen, die sie enthalten, verbunden sein.

**[0020]** Die Erfindung bietet die folgenden Vorteile:

- a) verbesserte mechanische Eigenschaften:
  - i) beidseitig gekühlte Halbleitergeräte-Gehäusebaugruppe mit reduzierter mechanischer Spannung
  - ii) Werkstoffauswahl mit thermisch zum Siliziumchip passenden Ausdehnungskoeffizienten
  - iii) gesteigerte Zuverlässigkeit aufgrund zueinander passender Wärmeausdehnungs-Koeffizienten
- b) verbesserte elektrische und thermische Eigenschaften:
  - i) niedrige Induktivität durch Bereitstellen einer großen Kontaktfläche für Source und Drain (oder Emitter/Kollektor) des Chips
  - ii) hervorragende Stromleistungsfähigkeit aufgrund niedrigen elektrischen und thermischen Widerstands, wobei Chipbefestigung mit Lötten und große Kontaktflächen verwendet werden
  - iii) elektrische Isolierung (notwendig bei Hochspannungs- und Fahrzeug- und anderen Anwendungen)
- c) verbesserte Fertigungs- und Handhabungseigenschaften
  - i) vormontierte diskrete Bauteilgehäusebaugruppe, geeignet zur leichten Handhabung und Integration in Leistungsmodule
  - ii) weniger schwerwiegende Genauigkeitsanforderungen für das DBC
- d) niedrige Fertigungs- und Testkosten aufgrund:
  - i) einer Produktion mit hohen Stückzahlen ohne anwendungsspezifische Anpassung, die durch den Endkunden erfolgen kann
  - ii) Chipbefestigung an der DBC-Behausungsvertiefung kann auf einer DBC-Platine erfolgen statt der Handhabung und der Montage diskreter Chips
  - iii) elektrische/parametrische Endprüfungen nach oder während der Montage können auf der DBC-Platinenebene vor dem Aufteilen der zu Gehäusebaugruppen gebildeten Teile in diskrete Geräte erfolgen
  - iv) Transport zum Endkunden kann unter Verwendung einer DBC-Platinenbaugruppe als Ganzes erfolgen, was ohne die Notwendigkeit eines hoch entwickelten zusätzlichen Transportgehäuses Schutz bietet
- e) einzigartige Vorteile für den Kunden:
  - i) die vormontierte diskrete Bauteilgehäusebaugruppe passt zum Wärmeausdehnungs-Koeffizienten bekannter Leistungssubstrate und ist daher für eine große Vielzahl von Anwendungen attraktiv
  - ii) Anwendungsflexibilität der zu Gehäusebaugruppen gebildeten diskreten Geräte, die durch den Endkunden leicht zu anwendungsspezifischen Schaltungen kombiniert werden können
  - iii) Anwendungsflexibilität aufgrund verschiedener Chipbefestigungsmöglichkeiten innerhalb der DBC-Behausung wie z. B. auf dem Kopf oder von unten nach oben, die optimale Low- und High-Side-Treiber- oder Halb-/Vollbrückenkonfigurationen nur durch Kombinieren mehrerer mit DBC-Be-

hausung versehener Chips auf einem Leistungs- substrat oder in einem Leistungsmodul bereitstellen

iv) Auswahl eines kostengünstigen Werkstoffs durch Anpassen des Keramiktyps der DBC-Behausung an die Anwendungsanforderungen (z. B. Al<sub>2</sub>O<sub>3</sub>; AlN; SiN und andere Keramiken)

f) einzigartig leichte Implementierung optionaler Merkmale:

i) eine zusätzliche EMB-Abschirmungsfunktion ist durch Verwendung der oberen Cu-Schicht der DBC-Behausung verfügbar

ii) ein zusätzlicher Wärmeverteiler kann oben auf der DBC-Behausung angebracht werden, während die Unterseite des Chips mit dem gekühlten Leistungssubstrat der Anwendung verlötet ist, wodurch eine hochwirksame doppelseitige Kühlung für höchste Leistungsdichten gegeben ist

iii) einfache Kontaktierung zu oder leichte Integration von "intelligenten Geräten (Vorrichtungen)" wie z. B. einem Gate-Treiber-IC direkt oben auf der Chipgehäusebaugruppe

iv) leichte Implementierung von Kontaktanschlüssen für externe elektrische Schnittstellen wie z. B. Leistungs- und Signal-Stanzgitter (lead frame)

g) Anwendungsvorteile:

i) Aufgrund der oben beschriebenen hohen Flexibilität der Verwendung und aufgrund unterschiedlicher verfügbarer Optionen kann die Erfindung eine große Bandbreite von Anwendungen im Leistungsmanagement-Markt abdecken.

ii) Das Hauptanwendungsgebiet liegt bei Hochleistungsschaltungen und -modulen, die hohe Ströme oder hohe Spannungen schalten und niedrige Induktivität und EMB-Abschirmung erfordern. Besonders relevant sind Anwendungen mit hoher Leistungsdichte, die MOSFETs und IGBTs verwenden, und Anwendungen unter rauen Umgebungsbedingungen oder schwierigen Temperaturzyklus-Anforderungen wie Kraftfahrzeugfunktionen oder sicherheitskritische Funktionen mit hohen Zuverlässigkeitsanforderungen.

#### KURZBESCHREIBUNG DER ZEICHNUNGEN

[0021] [Fig. 1](#) ist eine Draufsicht einer Gehäusebaugruppe der Erfindung.

[0022] [Fig. 2](#) ist ein Schnitt durch [Fig. 1](#) entlang der Schnittlinie 2-2 in [Fig. 1](#).

[0023] [Fig. 3](#) ist eine perspektivische Explosionsdarstellung der [Fig. 1](#) und [Fig. 2](#) und zeigt alternative Ausrichtungen für den Halbleiterchip der Gehäusebaugruppe.

[0024] [Fig. 4](#) und [Fig. 4A](#) sind Draufsichten einer alternativen Struktur für die Gehäusebaugruppe der Erfindung.

[0025] [Fig. 5](#) ist eine Draufsicht einer weiteren Alternative der Gehäusebaugruppe nach den [Fig. 1](#), [Fig. 2](#) und [Fig. 3](#), wobei der Chip umgekehrt ist.

[0026] [Fig. 6](#) ist eine perspektivische Explosionsdarstellung der Ausführungsform nach [Fig. 5](#).

[0027] [Fig. 7](#) ist eine Draufsicht einer weiteren Ausführungsform der Erfindung, bei welcher im DBC-Substrat eine ohmsche Nebenschlusswiderstands-Durchkontaktierung gebildet ist.

[0028] [Fig. 8](#) ist ein Schnitt durch [Fig. 7](#) entlang der Schnittlinie 8-8 in [Fig. 7](#) und zeigt ferner einen MOSFET-Chip in der Vertiefung in der oberen Kupferschicht des DBC-Wafers.

[0029] [Fig. 9](#) ist ein Schnitt durch die Gehäusebaugruppe der Erfindung wie jene nach [Fig. 2](#), die aber ferner Lötstopptiefungen enthält, um den Chip während des Lötmittelaufschmelzens zu positionieren.

[0030] [Fig. 10](#) ist eine Draufsicht der [Fig. 9](#).

[0031] [Fig. 11](#) ist eine perspektivische Explosionsdarstellung der Gehäusebaugruppe nach [Fig. 9](#) mit mehreren ohmschen Nebenschlusswiderstands-Durchkontaktierungen im DBC-Wafer.

[0032] [Fig. 12](#) zeigt eine DBC-Platine, bei welcher die Gehäusebaugruppen der Erfindung im Wafermaßstab verarbeitet und einzeln oder in ausgewählten Gruppen vereinzelt werden können.

[0033] [Fig. 13](#) zeigt eine Anordnung mehrerer Gehäusebaugruppen auf einer gemeinsamen Wärmesenke mit ebenfalls einer oberen Wärmesenke.

[0034] [Fig. 14](#) zeigt eine Baugruppe wie jene nach [Fig. 13](#), wobei benachbarte Gehäusebaugruppen sich eine gemeinsame mittige Isolationsschicht des DBC teilen.

[0035] [Fig. 15](#) zeigt eine Aufstellung von mindestens zwei Gehäusebaugruppen mit ohmschen Durchkontaktierungs-Nebenschlusswiderständen und mit Metall-Schnittstellen-Anschlüssen für die Gehäusebaugruppe.

[0036] [Fig. 16](#) zeigt eine Baugruppe ähnlich jener nach [Fig. 13](#), wobei eine EMB-Abschirmungsplatte oben auf der Gehäusebaugruppe ist und eine Vorrichtung einen ohmschen Nebenschlusswiderstand aufweist.

[0037] [Fig. 17](#) zeigt eine Baugruppe wie jene nach [Fig. 16](#), wobei integrierte Steuerungsschaltungen (Steuerungs-ICs) oben auf den einzelnen Geräten angebracht sind.

[0038] **Fig. 18** zeigt eine Baugruppe mit zu Gehäusebaugruppen gebildeten ICs, die an den Oberseiten der Leistungsgeräte befestigt sind.

[0039] **Fig. 19** zeigt eine noch weitere Baugruppe der neuartigen Gehäusebaugruppe der Erfindung mit einem IC, der den beiden Vorrichtungen gemein ist.

[0040] **Fig. 20** zeigt eine weitere Baugruppe, wobei ein IC sowohl die oberen als auch die unteren Kontakte eines Leistungsgeräts mit einem ohmschen Durchkontaktierungs-Nebenschlusswiderstand zusammenzieht.

[0041] **Fig. 21** zeigt eine neuartige Baugruppe der Erfindung, wobei eine Platine oben auf den Leistungsgeräten angebracht und mit diesen verbunden ist.

[0042] **Fig. 22** zeigt eine neuartige Baugruppe gemäß der Erfindung mit einer EMB-Abschirmung, einer "intelligenten" Platine und einem aus Kunststoff ausgeformten Körper.

#### Ausführungsbeispiel

#### DETAILLIERTE BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGSFORMEN

[0043] **Fig. 1**, **Fig. 2** und **Fig. 3** zeigen eine erste Ausführungsform des Halbleitergeräts **30** der Erfindung. Das Halbleitergerät **30** umfasst einen Halbleiterchip **31** und ein Gehäuse **32**.

[0044] Der Halbleiterchip **31** kann ein Silizium-basierter Vertikalleitungs-Leistungs-MOSFET sein, der auf einer Fläche eine Source-Elektrode, die einen Löthügel **33** aufnimmt, und eine Gate-Elektrode aufweist, die einen Löthügel **34** aufnimmt, und auf seiner gegenüberliegenden Fläche eine Drain-Elektrode, die eine Löttablette **35** aufnimmt. Es ist anzumerken, dass anstelle der Löthügel lötfähige Metallkontaktflecken verwendet werden können und anstelle der Löttablette eine Lötpaste verwendet werden kann. Während der Chip **31** als Siliziumchip gezeigt ist, kann er aus jeder Art von Halbleiterwerkstoff bestehen, einschliesslich Galliumnitrid-basierter Vorrichtungen, Siliziumcarbid-Vorrichtungen und dergleichen. Ferner kann der Chip **31**, während er als Leistungs-MOSFET beschrieben ist, jede Art von Halbleitervorrichtung sein, einschliesslich eines Bipolartransistorchips, eines IGBT-Chips, eines Breakover-Gerätechips, eines Diodenchips und dergleichen. Der Begriff MOSgate-Gerät ist dafür gedacht, jedwede Art von Halbleiterschaltvorrichtung mit Leistungselektroden auf mindestens einer Fläche derselben und einem Gate zum Schalten der Vorrichtung zwischen Ein- und Aus-Zuständen zu bezeichnen. Die Begriffe Source-Elektrode oder Source-Kontakt sind dafür gedacht, die Source eines MOSFETs oder

den Emitter eines IGBTs zu identifizieren. In ähnlicher Weise sind die Begriffe Drain-Elektrode oder -Kontakt und Kollektorelektrode oder -kontakt dafür gedacht, austauschbar verwendet zu werden.

[0045] Das Gehäuse **32**, das mit der Erfindung verwendet wird, kann ein Wafer sein, der aus einer unteren Leitschicht **40**, die an ihrer unteren Fläche an eine Isolationsschicht **41** gebondet ist, und einer oberen Leitschicht **43** besteht, die an die Isolationsschicht an ihrer Oberseite gebondet ist. Diese Art von Struktur wird als "DBC" bezeichnet. Gemäß der Erfindung ist die Leitschicht **43** ausgeformt, eine Vertiefung **50** aufzuweisen, die darin geätzt oder anderweitig gebildet ist und eine ebene untere Fläche **51** aufweist, die mindestens teilweise von einem Rand **52** umgeben ist. Die Flächen der Vertiefung **51** und des Rands **52** können beschichtet, beispielsweise vernickelt, sein, um die Lötmittelbenetzung zu optimieren und die Behausung gegen Oxidation zu passivieren und um die Zuverlässigkeit durch Ändern der intermetallischen Verbindung zwischen Lötmittel und dem Kupfer und dem Silizium oder anderen Werkstoffen des Chips zu ändern, der mit Fläche **51** zu verlöten ist.

[0046] Die leitfähigen Werkstoffe, die für die Leitschichten **40** und **43** verwendet werden, können aus jedem Metall mit hoher Leitfähigkeit bestehen, wie z. B. und vorzugsweise Kupfer, obgleich andere Metalle verwendet werden können. Die Mittelschicht **41** kann aus jeder guten elektrischen Isolation bestehen, um die Schichten **40** und **43** voneinander zu isolieren, und könnte eine Keramik sein, vorzugsweise Al<sub>2</sub>O<sub>3</sub>. Als weitere Beispiele können auch AlN und SiN verwendet werden. Die Schichten **40** und **43** können irgendeine gewünschte Dicke aufweisen, typischerweise 300 µm, können aber auch irgendeine andere gewünschte Dicke haben, typischerweise zwischen 300 und 600 µm. Derartige DBC-Werkstoffe sind handelsüblich und werden üblicherweise in Halbleitergerätemodulen verwendet, wo die Kupferschichten **40** und **43** elektrisch zu isolieren sind, aber in thermischer Verbindung zu stehen haben, damit Wärme, die in einer Schicht erzeugt wird, durch die Isolationsperre **41** hindurch zu der anderen Leitschicht fließen kann.

[0047] Gemäß der Erfindung weist die Vertiefung **51** eine ausreichende Tiefe auf, um Lötmasse **35**, die typischerweise weniger als etwa 100 µm dick sein kann, und den Chip **31** aufzunehmen, der typischerweise auf weniger als etwa 100 µm verdünnt sein kann. In dem Beispiel der **Fig. 1** ist der Chip 70 µm dick und das Lötmittel **35** etwa 100 µm dick, wobei eine 130 µm dicke Kupferbahn zwischen der Fläche **51** und der oberen Fläche der Isolationsschicht **41** verbleibt.

[0048] Der Chip **31** ist zweckentsprechend mit der Fläche **50** der Vertiefung **50** verlötet, wobei die obere



Fläche des Chips **31** mindestens näherungsweise mit der Oberseite des Rands **52** koplanar ist. Löthügel **33** und **34** ragen oberhalb dieser Ebene hervor, so dass die Gehäusebaugruppe umgedreht werden kann und die Kontakthügel mit Leiterbahnen auf einer Platine verlötet werden können, ohne dass Drahtbond-Verbindungen notwendig sind. Alternativ können anstelle der Löthügel lötfähige Kontaktflecken zur späteren Lötbefestigung verwendet werden. Wärme, die bei Chip **31** während seines Betriebs erzeugt wird, wird durch Keramik **41** hindurch zur Kupferschicht **40** geleitet, die Wärme aus der Gehäusebaugruppe abführen kann und insbesondere thermisch mit einer Wärmesenke verbunden sein kann, die elektrisch gegenüber dem Drain **35** und der Leitschicht **40** isoliert wird.

**[0049]** Während eine relativ große Lücke zwischen dem äußeren Umfang des Chips **31** und der Innenfläche des Rands **52** gezeigt ist, kann dieser Zwischenraum auf das kleinste Maß verringert werden, das mit leichter Fertigung und Bequemlichkeit im Einklang steht. Ferner kann die verbleibende Lücke mit einem Isolationswulst gefüllt werden.

**[0050]** **Fig. 3** zeigt an Stellen **3A** und **3B** schematisch zwei andere mögliche Ausrichtungen für den Chip **31**.

**[0051]** Der Rand **52** der Kupferschicht **43** ist in **Fig. 1**, **Fig. 2** und **Fig. 3** als Hufeisen- oder U-Form gezeigt. Andere Konfigurationen können verwendet werden. Beispielsweise ist in **Fig. 4**, worin Bauteile ähnlich jenen nach **Fig. 1**, **Fig. 2** und **Fig. 3** dieselben Bezugszeichen aufweisen, die Vertiefung **51** in der Schicht **43** vollständig durch einen Rand **52** umschlossen. **Fig. 4A** zeigt eine andere Ausführungsform, in welcher beide Enden des Randes **43** entfernt oder geöffnet sind, um den Kontakt zu den Gate- und Source-Kontakten **34** bzw. **33** zu vereinfachen. Ferner tritt in der Ausführungsform nach **Fig. 4A** während des Ausformens oder der Gelbefüllung ein Luftabschluss weniger wahrscheinlich auf.

**[0052]** Die **Fig. 5** und **Fig. 6** zeigen eine andere Ausführungsform der Erfindung, und wie dies nachstehend bei allen Zeichnungen der Fall sein wird, identifiziert dasselbe Bezugszeichen ähnliche Bauteile. Die **Fig. 5** und **Fig. 6** zeigen den Chip **31** nach den **Fig. 1** bis **Fig. 4** umgedreht, so dass die Source- und Gate-Hügel (oder die äquivalenten Hügel eines IGBTs oder dergleichen) der vertieften ebenen Fläche **51** gegenüberliegen. So ist in den **Fig. 5** und **Fig. 6** die obere Kupferschicht **43** nach den **Fig. 1** bis **Fig. 4** in Segmente **43a** und **43b**, mit jeweiligen Randsegmenten **52a** und **52b** und ebenen Vertiefungs-Bodenabschnitten **51a** und **51b** getrennt. Eine kurze Zunge **65** erstreckt sich von dem Vertiefungskörper **51b**. Der umgedrehte Chip **31** kann dann verlötet werden, wobei der Source-Hügel **33** mit der Fläche **51a** verlötet ist und der Gate-Hügel **34** mit der Fläche **51b** verlötet

und gegenüber Source-Hügel **33** durch die Lücke **66** in der oberen Leitschicht **43a–43b** isoliert ist.

**[0053]** Die **Fig. 7** und **Fig. 8** zeigen eine weitere Ausführungsform der Erfindung, bei welcher mindestens ein ohmscher Strom-Nebenschlusswiderstand in einer Gehäusebaugruppe **70** (**Fig. 8**) gebildet ist. So weist die Isolationsschicht **41** in **Fig. 7** eine Durchgangsöffnung **71** auf, die gebohrt oder anderweitig gebildet ist, bevor die Kupferschichten **40** und **43** daran gebondet werden. Die Durchgangsöffnung **71** kann auch gebildet werden, nachdem die Schichten **40** und **43** an die Isolierung **41** gebondet sind. Ein geeigneter elektrisch leitfähiger Werkstoff **72** (**Fig. 8**) füllt dann die Öffnung **71**, um die Schichten **40** und **43** zu verbinden und einen Nebenschlusswiderstand zu bilden.

**[0054]** Der erforderliche Nebenschlusswiderstand hängt von der Anwendung ab und kann größer als gewünschte  $0,1 \text{ m}\Omega$  dimensioniert sein, obgleich jeder Widerstandswert geschaffen werden kann. Der Wert des Nebenschlusswiderstands wird ein Kompromiss zwischen dem akzeptablen Leistungsverlust innerhalb des Nebenschlusswiderstands und dem Spannungsabfall **73** über dem Nebenschlusswiderstand **72** sein. Man beachte, dass der Nebenschlusswiderstand **72** in den Wärmeweg der Gehäusebaugruppe **70** integriert ist und automatisch durch die Wärmesenke oder andere Wärmemanagementkühlung für den Chip **31** gekühlt wird.

**[0055]** Der Widerstand des Nebenschlusswiderstands **72** wird von der Geometrie und der Länge des Durchgangslochs **71** und dem spezifischen Widerstand des Werkstoffs des Nebenschlusswiderstands **72** abhängen. Das Loch **71** ist mit einem kreisförmigen Querschnitt gezeigt, es könnte aber jede andere Form aufweisen. Seine Länge wird jene der Isolationsschicht sein, die bei einer Keramik, wie z. B.  $\text{Al}_2\text{O}_3$ , von  $300 \mu\text{m}$  bis  $600 \mu\text{m}$  beträgt.

**[0056]** Der für Nebenschlusswiderstand verwendete Werkstoff **72** kann irgendein gewünschter Leiter sein, beispielsweise Kupfer oder Lötmedium, oder kann aus Werkstoffen wie z. B. Manganin sein, die einen relativ niedrigeren Wärmekoeffizienten des Widerstandes aufweisen. Auch können mehrere parallele Nebenschlusswiderstände verwendet werden, die gleichmäßig oder symmetrisch über die Fläche der Isolationsschicht **21** verteilt sind, in **Fig. 7** durch gepunktete Kreise **72a**, **72b**, **72c** gezeigt, die unter der relevanten Chipelektrode liegen. Dies bietet den Vorteil niedrigerer Induktivität, höheren Nebenschlussstroms und gleichmäßigerer Verteilung des Nebenschlussstroms.

**[0057]** Als Nächstes bezugnehmend auf **Fig. 9**, **Fig. 10** und **Fig. 11** ist dort eine Lötstopfstruktur gezeigt, die den Chip **31** während der Chipbefestigung

sicher auf der Fläche **51** des Geräts oder der Gehäusebaugruppe **70** nach [Fig. 8](#) anordnet und den Chiprand davon abhält, den Rahmen **52** zu kontaktieren. So sind mehrere Vertiefungen **80** um den gewünschten Ort von Chip **31** herum gebildet, um den Chip während des Chipbefestigungs-Aufschmelzprozesses selbsttätig auszurichten. Die Vertiefungen **80** weisen vorzugsweise die abgerundete Unterseitenform auf, die bis auf die Keramik **41** herunterreicht.

**[0058]** Es ist auch möglich, einen Isolierlack oder sonstiges Lötstopfmittel innerhalb des Rahmens **52** zu verwenden. Es kann ein "sanfter Lötprozess" verwendet werden, wobei die Tablette **35** wie gezeigt statt einer Lötpaste mit Flussmittel verwendet wird, die ebenfalls verwendet werden kann. Bei Verwendung der Löttablette **35** kann der Lötprozess durch Bildung einer Gas-Atmosphäre vonstatten gehen, um starke Bewegung des Chips innerhalb der DBC-Behausung während des Lötprozesses zu vermeiden. Jedoch wirken die Vertiefungen **80** als Lötstopp und stellen außerdem einen Abbau mechanischer Spannung innerhalb der Behausung für die Bondkraft zwischen dem Kupfer und der Keramik während Temperaturzyklen bereit.

**[0059]** Um die Kosten der Gehäusebaugruppe zu minimieren, können die einzelnen Gehäusebaugruppen **70** nach [Fig. 8](#) (oder **30** nach [Fig. 1](#)) gleichzeitig auf einer DBC-Platine gebildet und dann von der Platine vereinzelt werden. So ist eine DBC-Platine **90** in [Fig. 12](#) gezeigt. Derartige Platinen werden in Größen wie z. B. 5" x 7" oder 4" x 6" produziert und weisen eine durchgehende mittige Keramikschicht **41** mit oberen und unteren Kupferschichten auf. Diese Schichten können gleichzeitig maskiert und geätzt werden, um die einzelnen Gehäusebaugruppen **70** (oder **30**) mit den Vertiefungen **52** in der oberen Schicht wie in den vorherigen Figuren und mit anderen Merkmalen zu definieren, wie z. B. den Nebenschlusswiderständen **72** und Vertiefungen **80** ([Fig. 9](#) und [Fig. 10](#)). Nach dem Ausformen der Gehäusebaugruppen und der Straßen **95** zwischen den Gehäusebaugruppen können verschiedene Chips **31** in die Gehäusebaugruppenorte geladen werden. Man beachte, dass die Nebenschlusswiderstände getestet werden können, bevor die Chips **31** montiert und an Ort und Stelle verlötet werden, und jede Gehäusebaugruppe vor Vereinzelung der Gehäusebaugruppen getestet werden kann. Ferner können die Chips, die in die Gehäusebaugruppen geladen werden, unterschiedliche Chips sein wie z. B. Kombinationen von MOSFETs, IGBTs, Dioden und dergleichen.

**[0060]** Um Ausbeutenverlust zu verringern, ist es sehr wünschenswert, die Werte der Nebenschlusswiderstände **72** zu testen, bevor irgendein Silizium- oder sonstiger Chip in der jeweiligen Gehäusebaugruppe angebracht wird. Nachdem Tests auf Waferlevel durchgeführt sind, können die DBC-Behausun-

gen durch Sägen, Stanzen oder physikalisches Brechen an den Straßen **95** vereinzelt werden.

**[0061]** Man beachte, dass die Gehäusebaugruppen in Gruppen von zwei oder mehr Gehäusebaugruppen vereinzelt werden können. Zwei-Gehäusebaugruppen-Gruppen sind in der rechten Hälfte der [Fig. 12](#) gezeigt und können so montiert werden, wie es in Verbindung mit [Fig. 14](#) beschrieben wird.

**[0062]** Man beachte auch, dass die Durchkontaktierungen an ausgewählten Stellen der Gehäusebaugruppen auf der Platine **90** und an ausgewählten Stellen einer Gruppe von Gehäusebaugruppen entfallen können.

**[0063]** Die Bildung der Gehäusebaugruppen auf der Platine **90** weist Vorteile in Verbindung mit dem Versand von Gehäusebaugruppen an einen Kunden auf. So können die Platinen an einen Kunden intakt versendet und durch den Benutzer am Standort des Benutzers vereinzelt werden. Die Platinen können für den Versand durch eine geeignete Folie geschützt werden und für ein leichtes Abbrechen oder Vereinzeln durch den Endbenutzer vorgeritzt werden.

**[0064]** [Fig. 13](#), [Fig. 14](#), [Fig. 15](#), [Fig. 16](#), [Fig. 17](#), [Fig. 18](#), [Fig. 19](#), [Fig. 20](#), [Fig. 21](#) und [Fig. 22](#) zeigen verschiedene Anwendungen von Gehäusebaugruppen **30** und **70** in Mehrgeräte-Gehäusebaugruppen, wobei dort die Einbeziehung integrierter Schaltungen zur Stromsteuerung eingeschlossen ist.

**[0065]** Zuerst bezugnehmend auf [Fig. 13](#), ist dort ein unteres DBC-Substrat **110** gezeigt, das eine obere ausgeformte Leitschicht **111**, eine untere Leitschicht **112** und eine thermisch leitfähige Keramik-Isolationsschicht **113** aufweist. Die untere Leitschicht **112** des DBC-Trägers **110** kann mit einer massiven Wärmesenke **120**, die ein wassergekühlter massiver Kupferblock sein kann, durch Lötmittel **121** verlötet oder anderweitig adhäsiv verbunden sein. Die Keramikschicht **113** isoliert die ausgeformte Leitschicht **111** elektrisch von der Wärmesenke **120**. Man beachte, dass DBC **110** durch eine IMS(isoliertes Metallsubstrat)-Struktur ersetzt werden kann.

**[0066]** Das Leitermuster **111** auf DBC **110** nimmt die Gehäusebaugruppen **30** wie gezeigt auf. Die Leiter **43** werden durch Lötsschichten **130** mit dem Muster **111** verlötet, und Source-Hügel **33** werden mit dem Muster, wie gezeigt, verlötet. Die Gate-Hügel werden mit isolierten ausgeformten Anschlussflächen auf das Muster **111** an Stellen verlötet, die in [Fig. 13](#) nicht zu sehen sind. Das Muster **111** verbindet dann die beiden Gehäusebaugruppen **30** wie gewünscht miteinander, um die gewünschte Schaltung zu definieren, wie z. B. eine Halbbrücke oder dergleichen.



[0067] Eine weitere leitfähige Wärmesenke oder Platte **131** kann durch Lötmittel oder einen leitfähigen adhäsiven Klebstoff an den leitfähigen Segmenten der Vorrichtungen **30** befestigt werden, um eine zusätzliche doppelseitige Kühlung für Geräte **30** bereitzustellen. Die leitfähige Platte **131** ist durch die Isolationsschichten **31** elektrisch gegenüber den Vorrichtungen **30** isoliert.

[0068] Die [Fig. 14](#) zeigt eine Baugruppe wie jene nach [Fig. 13](#), wobei jedoch eine Gruppe **140** von zwei Vorrichtungen **30** mit einer gemeinsamen Keramikschicht **141** auf einem ausgeformtem Leiter **111** angebracht ist. Die Gruppe **140** kann jene sein, die beispielsweise in [Fig. 12](#) unten rechts in der Figur gezeigt ist, mit oder ohne die Nebenschlusswiderstände **72**.

[0069] Die [Fig. 15](#) zeigt die Baugruppe von Vorrichtungen **70** nach [Fig. 8](#), wobei Nebenschlusswiderstände **72** in der Art und Weise nach [Fig. 13](#) für die Vorrichtungen **30** angebracht sind. Die [Fig. 15](#) zeigt die Verwendung einer externen Anschlussschiene oder eines Anschlussstanzgitters mit Anschlüssen **150** und **151**, die mit der Kupferschicht **40** der linken Vorrichtung **70** bzw. mit dem ausgeformten Leiter **111** verbunden sind. Die Anschlüsse **150** und **151** können Anschlüsse zur Verbindung mit externen Schaltungen bereitstellen, und Anschluss **150** kann eine zweite Ebene der Schaltung zur Anbringung von DC-Bus-Kondensatoren oder anderen Bauteilen bilden, die für Schaltanwendungen wie z. B. Wechselrichter und dergleichen notwendig sind. Die Anschlüsse **150** und **151** können wie gewünscht angewinkelt sein oder gerade Leiter sein und erstrecken sich über die Grenzen des DBC **110** hinaus. Es können ebenfalls kleinere Signalverbinder zum Verbinden der Gates von Geräten **31** mit einem Treiber-IC, oder um Verbindungen mit Sensoren wie z. B. Temperatur-, Spannungs- und Stromsensoren auf dem ausgeformten Leiter **111** zu schaffen, bereitgestellt werden.

[0070] Die [Fig. 16](#) zeigt eine Baugruppe wie jene nach [Fig. 13](#) und [Fig. 15](#), wobei die Vorrichtungen **70** und **30** auf dem DBC **110** angebracht sind. Die [Fig. 16](#) zeigt auch einen hinzugefügten Kupferkontakt **150** und eine Metallplatte **151** mit einer Lötsschicht **152**, um die Platte **151** mit den Leitern **40** und **150** und somit mit dem ausgeformten Leiter **111** zu verlöten. Die Platte **151** wirkt als EMB-Abschirmungsplatte, die den Bedarf eines zusätzlichen EMB-Filternetzes verringert, was in Krafftfahrzeug-Anwendungen wichtig ist. Die Platte **151** wirkt außerdem als eine obere Wärmesenke für die Gehäusebaugruppen **30** und **70**.

[0071] Die [Fig. 17](#) zeigt die Gehäusebaugruppe nach [Fig. 16](#), wobei ein schematisch gezeigter IC-Chip **160** oben auf der Vorrichtung **70** durch Lötmittel **161** angebracht ist und mit dem Chip **31** in der Vorrichtung **70** durch Drahtbond-Verbindungen **162**, **163**

über (nicht gezeigte) Leiterbahnen verbunden ist. Ein anderer Steuer-IC-Chip **170**, der Perlenkontakte **171** aufweist, ist oben auf der Vorrichtung **30** angebracht und ist mit dem Chip **131** durch Bahnen verbunden, die wiederum nicht gezeigt sind. Die ICs **160** und **170** können von jedweder gewünschten Art sein, wie z. B. Gate-Treiber, Motortreiber, Bewegungssteuerungs-ICs, E/A-Kommunikations-ICs und dergleichen bis hin zu Mikrocontroller-Funktionen. Die Bahnverbindungen können mittels Durchkontaktierungen durch die Isolationsschichten **41** hindurch gebildet sein. Insbesondere ist der IC-Chip **160** auf der Rückseite mit dem Leiter **40** durch Lötmittel **161** verlötet und dann über Drahtbond-Verbindungen mit dem Chip **31** verbunden. Der unisolierte IC **170** ist durch Flip-Chip-Löten mit der Oberseite der Vorrichtung **30** verbunden, die ein geeignetes strukturiertes Muster aufweisen wird, um zur Perlenrastranordnung des IC **170** zu passen.

[0072] Die [Fig. 18](#) zeigt eine Baugruppe wie jene nach [Fig. 17](#) mit zwei Vorrichtungen **30**, wobei im Voraus als Gehäusebaugruppe gebildete ICs **180** und **181** statt der unisolierten Chips **160** bzw. **170** in [Fig. 17](#) verwendet werden. Nicht gezeigte Durchkontaktierungs-Durchführungen können verwendet werden, um Verbindungen von den ICs **180** und **181** zum Chip **31** herzustellen.

[0073] Die [Fig. 19](#) zeigt die Baugruppe nach [Fig. 14](#), wobei ein als Gehäusebaugruppe gebildeter IC **190** mit den zwei DBC-Behausungen in der Zusammenstellung **140** verlötet ist. Die Flächen der Kupferschichten **40** werden in geeigneter Weise ausgeformt sein, um zu den mehreren IC-Anschlüssen **191**, **192** (nur zwei gezeigt) zu passen und diese aufzunehmen.

[0074] Die [Fig. 20](#) zeigt eine Gerätebaugruppe für eine einzelne Vorrichtung **72**, wobei ein IC **200** mit der ausgeformten Oberseite der Leitschicht **40** und mit einem Leiter **201** verbunden ist, der mit dem Leitermuster **111** verbunden ist. Ein externer Schnittstellenanschluss **202** ist durch Lötmittel **203** mit der Schicht **40** verlötet und kann andere externe Elemente aufnehmen. Diese Anordnung gestattet, dass der IC **200** den Spannungsabfall an dem Nebenschlusswiderstand **72** misst und eine geeignete prädiktive Schaltung (nicht gezeigt) versorgt und steuert.

[0075] Die [Fig. 21](#) zeigt die Struktur nach [Fig. 17](#), wobei eine Schaltungsplatine **210**, die aktive und passive Bauteile zur Steuerung der Leistungsgeräte **31** enthält, oben auf den Leitern **40** durch ein Lötmittel oder einen adhäsiven Klebstoff **211** fixiert und elektrisch mit (nicht gezeigten) Kontaktflecken auf den Schichten **40** verbunden ist, um die Ströme und Spannungen in Chip **31** zu analysieren und geeignete Steuerfunktionen auszulösen. Ein Kontakt **212**, der

mit dem Muster **111** verlötet ist, ist ebenfalls mit der intelligenten Platine **210** verbunden.

**[0076]** Die **Fig. 22** zeigt eine Baugruppe wie jene nach **Fig. 21**, wobei eine EMB-Abschirmungsplatte **220** wie gezeigt hinzugefügt ist, und externe Leistungsanschlüsse **221**, **222** ebenfalls hinzugefügt sind.

**[0077]** Bezeichnenderweise ist eine Formmasse **230** hinzugefügt, um die Gehäusebaugruppe zu kapseln. Eine ähnliche Formmasse kann auf die anderen Baugruppen angewendet werden, die vorher beschrieben sind.

### Patentansprüche

1. Halbleitergeräte-Gehäusebaugruppe (**30**), umfassend einen Leistungs-Halbleiterchip (**31**), der erste und zweite ebene parallele Flächen und eine erste Elektrode (**33, 34**) auf der ersten Fläche sowie eine zweite Elektrode (**35**) auf der zweiten Fläche und eine Trägerbehaltung (**32**) zum Tragen des Leistungs-Halbleiterchips aufweist, wobei die Trägerbehaltung ein DBC-Substrat oder ein IMS-Substrat mit einem dünnen Isolationskörper (**41**) umfasst, der obere und untere parallele Flächen und eine obere Leitschicht (**43**) auf den oberen Fläche sowie eine untere Leitschicht (**40**) auf der unteren Fläche aufweist, wobei die Leitschichten aus einem Metall mit hoher Leitfähigkeit sind; wobei die obere Leitschicht (**43**) eine darin gebildete Vertiefung (**51**) aufweist, die eine ebene untere Bahnfläche und einen aufstehenden Rand (**52**) definiert, der sich um einen Umfang der ebenen unteren Bahnfläche herum erstreckt; sodass die obere Leitschicht (**43**) im Bereich der unteren Bahnfläche dünner ist als im Bereich des Rands (**52**), wobei der Leistungs-Halbleiterchip (**31**) in der Vertiefung (**51**) angeordnet ist, wobei die zweite Elektrode (**35**) auf der zweiten Fläche mechanisch und elektrisch an der ebenen unteren Bahnfläche fixiert ist; wobei die erste Fläche des Leistungs-Halbleiterchips (**31**) mindestens näherungsweise mit der oberen freien Fläche des Rands (**52**) koplanar ist, und wobei der Rand (**52**) eine allgemeine U-Form aufweist, oder der Rand (**52**) die untere Bahnfläche vollständig umschließt, wobei der Rand (**52**) an seinen gegenüberliegenden Enden offen ist.

2. Gehäusebaugruppe nach Anspruch 1, bei welcher der Leistungs-Halbleiterchip (**31**) einer eines Silicium-MOSgate-Gerätes oder eines IGBTs ist und bei welcher die Elektroden (**33, 34, 35**) Source- und Drain-Elektroden sind.

3. Gehäusebaugruppe nach Anspruch 2, bei welcher die erste Elektrode (**33, 34**) ein Hügelkontakt ist, der sich über die Ebene des Rands (**52**) hinaus erstreckt.

4. Gehäusebaugruppe nach Anspruch 2, bei welcher die erste Elektrode (**33, 34**) ein lötfähiger Kontaktfleck ist.

5. Gehäusebaugruppe nach Anspruch 1, bei welcher die Trägerbehaltung (**32**) ein DBC-Wafer ist und bei welcher der Isolationskörper (**41**) aus Keramik ist und bei welcher die oberen und unteren Leitschichten (**40, 43**) aus Kupfer sind.

6. Gehäusebaugruppe nach Anspruch 1, bei welcher die untere Leitschicht (**40**) aus Kupfer ist, das eine Dicke von etwa 300 µm aufweist, und die Vertiefung (**51**) eine Tiefe gleich der Dicke des Leistungs-Halbleiterchips (**31**) plus der Dicke der zweiten Elektrode (**35**) auf der zweiten Fläche des Leistungs-Halbleiterchips (**31**) aufweist.

7. Gehäusebaugruppe nach Anspruch 5, bei welcher der Isolationskörper (**41**) etwa 600 µm dick ist und die oberen und unteren Leitschichten jeweils etwa 300 µm dick sind.

8. Gehäusebaugruppe nach Anspruch 1, bei welcher die zweite Elektrode (**35**) auf der zweiten Fläche des Leistungs-Halbleiterchips (**31**) mit der Fläche der Vertiefung (**51**) verlötet ist.

9. Gehäusebaugruppe nach Anspruch 3, bei welcher die Trägerbehaltung (**32**) ein DBC-Wafer ist und bei welcher der Isolationskörper (**41**) aus Keramik ist und bei welcher die oberen und unteren Leitschichten (**40, 43**) aus Kupfer sind.

10. Gehäusebaugruppe nach Anspruch 3, bei welcher die untere Leitschicht (**40**) aus Kupfer ist, das eine Dicke von etwa 300 µm aufweist, und die Vertiefung (**51**) eine Tiefe gleich der Dicke des Leistungs-Halbleiterchips (**31**) plus der Dicke der zweiten Elektrode auf der zweiten Fläche des Leistungs-Halbleiterchips (**31**) aufweist.

11. Gehäusebaugruppe nach Anspruch 5, bei welcher die zweite Elektrode auf der zweiten Fläche des Leistungs-Halbleiterchips (**31**) mit der Fläche der Vertiefung (**51**) verlötet ist.

12. DBC-Platine im Wafermaßstab, umfassend eine Vielzahl mehrerer identischer seitlich mit Abstand angeordneter Halbleitergehäusebaugruppen (**30**), die durch Trennstrassen (**95**) getrennt sind; wobei jede der Gehäusebaugruppen (**30**) einen Leistungs-Halbleiterchip (**31**) umfasst, der erste und zweite ebene parallele Flächen und eine erste Elektrode (**33, 34**) auf der ersten Fläche sowie eine zweite Elek-

trode (35) auf der zweiten Fläche und eine Trägerbehausung (32) zum Tragen des Leistungs-Halbleiterchips (31) aufweist;

wobei die Trägerbehausung (32) ein DBC-Substrat oder ein IMS-Substrat mit einem dünnen Isolationskörper (41) umfasst, der obere und untere parallele Flächen und eine obere Leitschicht (43) auf den oberen Fläche sowie eine untere Leitschicht (40) auf der unteren Fläche aufweist, wobei die Leitschichten aus einem Metall mit hoher Leitfähigkeit sind;

wobei die obere Leitschicht eine darin gebildete Vertiefung (51) aufweist, die eine ebene untere Bahnfläche und einen aufstehenden Rand (52) definiert, der sich um einen Umfang der ebenen unteren Bahnfläche herum erstreckt;

wobei der Leistungs-Halbleiterchip (31) in der Vertiefung (51) angeordnet ist, wobei die zweite Elektrode (35) auf der zweiten Fläche mechanisch und elektrisch an der ebenen unteren Bahnfläche fixiert ist;

wobei die erste Fläche des Leistungs-Halbleiterchips (31) mindestens näherungsweise mit der oberen freien Fläche des Rands (52) koplanar ist;

wobei der Isolationskörper (41) über die vollständige Fläche der Platine durchgehend ist, wobei der Isolationskörper (41) im Bereich der Straßen (95) trennbar ist, um die Gehäusebaugruppen (30) voneinander zu trennen; und

wobei der Rand (52) eine allgemeine U-Form aufweist, oder

der Rand (52) die untere Bahnfläche vollständig umschließt, wobei der Rand (52) an seinen gegenüberliegenden Enden offen ist.

13. DBC-Platine im Wafermaßstab nach Anspruch 12, bei welcher der Leistungs-Halbleiterchip (31) bei jeder der Gehäusebaugruppen (30) ein Silicium-MOSgate-Gerät ist und bei welcher die Elektroden (33, 34, 35) jeweils Source- und Drain-Elektroden sind und bei welcher die erste Elektrode (33, 34) ein Hügelkontakt ist, der sich über die Ebene des Rands (52) hinaus erstreckt.

14. DBC-Platine im Wafermaßstab nach Anspruch 13, bei welcher bei jeder der Gehäusebaugruppen (30) die untere Leitschicht (40) aus Kupfer ist, das eine Dicke von etwa 300 µm aufweist, und die Vertiefung (51) eine Tiefe gleich der Dicke des Leistungs-Halbleiterchips (31) plus der Dicke der Elektrode (35) auf der zweiten Fläche des Leistungs-Halbleiterchips (31) aufweist.

15. DBC-Platine im Wafermaßstab nach Anspruch 13, bei welcher bei jeder der Gehäusebaugruppen (30) die zweite Elektrode (35) auf der zweiten Fläche mit der Fläche der Vertiefung (51) verlötet ist.

16. Gehäusebaugruppe nach Anspruch 1, die ferner eine Leistungs-Halbleiterchippositionsstruktur auf der Bahnfläche beinhaltet, die den Leistungs-Halbleiterchip (31) umgibt und den Leis-

tungs-Halbleiterchip (31) in einer vorgegebenen Position auf der ebenen unteren Bahnfläche anordnet.

17. Gehäusebaugruppe nach Anspruch 16, bei welcher die die Leistungs-Halbleiterchipposition anordnende Struktur mehrere beabstandete Vertiefungen in der Bahnfläche umfasst.

18. Gehäusebaugruppe nach Anspruch 16, bei welcher die zweite Elektrode (35) auf der zweiten Fläche des Leistungs-Halbleiterchips (31) mit der Fläche der Vertiefung (51) verlötet ist.

19. Gehäusebaugruppe nach Anspruch 17, bei welcher die zweite Elektrode (35) auf der zweiten Fläche des Leistungs-Halbleiterchips (31) mit der Fläche der Vertiefung (51) verlötet ist.

20. Gehäusebaugruppe nach Anspruch 1, die ferner mindestens eine Durchkontaktierung im Isolationskörper (41) und einen ohmschen Nebenschlusswiderstands-Werkstoff in der Durchkontaktierung beinhaltet, der elektrisch verbunden zwischen der zweiten Elektrode (35) auf der zweiten Fläche und der unteren Leitschicht (40) angeordnet ist.

21. Gehäusebaugruppe nach Anspruch 2, die ferner mindestens eine Durchkontaktierung im Isolationskörper (40) und einen ohmschen Nebenschlusswiderstands-Werkstoff in der Durchkontaktierung beinhaltet, der elektrisch verbunden zwischen der zweiten Elektrode (35) auf der zweiten Fläche und der unteren Leitschicht (41) angeordnet ist.

22. Gehäusebaugruppe nach Anspruch 5, die ferner mindestens eine Durchkontaktierung im Isolationskörper (40) und einen ohmschen Nebenschlusswiderstands-Werkstoff in der Durchkontaktierung beinhaltet, der elektrisch verbunden zwischen der zweiten Elektrode (35) auf der zweiten Fläche und der unteren Leitschicht (41) angeordnet ist.

23. Gehäusebaugruppe nach Anspruch 8, die ferner mindestens eine Durchkontaktierung im Isolationskörper (40) und einen ohmschen Nebenschlusswiderstands-Werkstoff in der Durchkontaktierung beinhaltet, der elektrisch verbunden zwischen der zweiten Elektrode (35) auf der zweiten Fläche und der unteren Leitschicht (41) angeordnet ist.

24. DBC-Platine nach Anspruch 12, bei welcher der Isolationskörper bei mindestens einer der Gehäusebaugruppen mindestens eine Durchkontaktierung im Isolationskörper (41) und einen ohmschen Nebenschlusswiderstands-Werkstoff in der Durchkontaktierung und elektrisch in verbundener Weise zwischen der zweiten Elektrode (35) auf der zweiten Fläche und der unteren Leitschicht (40) angeordnet aufweist.

25. DBC-Platine im Wafermaßstab nach Anspruch 24, bei welcher bei jeder der Gehäusebaugruppen (30) die zweite Elektrode auf der zweiten Fläche mit der Fläche der Vertiefung (51) verlötet ist.

26. Gehäusebaugruppe nach Anspruch 1, die ferner einen Wärmesenkenkörper beinhaltet, der eine ebene Fläche aufweist; wobei die untere Leitschicht (40) auf der unteren Fläche der Trägerbehaltung (32) elektrisch und mechanisch an der ebenen Fläche der Wärmesenke fixiert ist.

27. Gehäusebaugruppe nach Anspruch 26, die ferner Fluidkühlmittelkanäle in der Wärmesenke beinhaltet.

28. Gehäusebaugruppe nach Anspruch 26, bei welcher der Leistungs-Halbleiterchip (31) ein Silicium-MOSgate-Gerät ist und bei welcher die Elektroden (33, 34, 35) jeweils Source- und Drain-Elektroden sind.

29. Gehäusebaugruppe nach Anspruch 26, bei welcher die Trägerbehaltung (32) ein DBC-Wafer ist und bei welcher der Isolationskörper (41) aus Keramik ist und bei welcher die oberen und unteren Leitschichten (40, 43) aus Kupfer sind.

30. Gehäusebaugruppe nach Anspruch 26, bei welcher die zweite Elektrode (35) auf der zweiten Fläche des Leistungs-Halbleiterchips (31) mit der Fläche der Vertiefung (51) verlötet ist.

31. Gehäusebaugruppe nach Anspruch 26, die ferner mindestens eine Durchkontaktierung im Isolationskörper (41) und einen ohmschen Nebenschlusswiderstands-Werkstoff beinhaltet, der in der Durchkontaktierung und elektrisch verbunden zwischen der zweiten Elektrode (35) auf der zweiten Fläche und der unteren Leitschicht (40) angeordnet ist.

32. Gehäusebaugruppe nach Anspruch 26, die ferner eine zweite Gehäusebaugruppe beinhaltet, die mit der ersten Gehäusebaugruppe identisch ist, die an der ebenen Fläche der Wärmesenke fixiert und seitlich mit Abstand von der anderen Gehäusebaugruppe angeordnet ist, wobei die oberen und die unteren Elektroden (33, 34, 35) jeder der Gehäusebaugruppen mit Abstand voneinander angeordnet sind.

33. Gehäusebaugruppe nach Anspruch 32, bei welcher der Isolationskörper (41) bei jeder der Gehäusebaugruppen aus einer durchgehenden Schicht besteht, die jedem der Körper gemein ist.

34. Gehäusebaugruppe nach Anspruch 32, die ferner eine gemeinsame ebene leitfähige Wärmesenke beinhaltet, die auf den Oberseiten der oberen Leitschichten (43) jeder der Gehäusebaugruppen, fixiert ist und diese elektrisch verbindet.

35. Gehäusebaugruppe nach Anspruch 33, die ferner eine gemeinsame ebene leitfähige Wärmesenke beinhaltet, die auf den Oberseiten der oberen Leitschichten (41) jeder der Gehäusebaugruppen fixiert ist und diese elektrisch verbindet.

36. Gehäusebaugruppe nach Anspruch 32, die ferner mindestens eine Durchkontaktierung im Isolationskörper (41) und einen ohmschen Nebenschlusswiderstands-Werkstoff in der Durchkontaktierung beinhaltet, der elektrisch verbunden zwischen der zweiten Elektrode auf der zweiten Fläche und der unteren Leitschicht (40) angeordnet ist.

37. Gehäusebaugruppe nach Anspruch 36, bei welcher der Isolationskörper (41) bei jeder der Gehäusebaugruppen aus einer durchgehenden Schicht besteht, die jedem der Körper gemein ist.

38. Gehäusebaugruppe nach Anspruch 36, die ferner eine gemeinsame ebene leitfähige Wärmesenke beinhaltet, die auf den Oberseiten der oberen Leitschichten (43) jeder der Gehäusebaugruppen fixiert ist und diese verbindet.

39. Vorrichtung mit einer Gehäusebaugruppe (30) nach Anspruch 1, die ferner ein integriertes Schaltungsgerät beinhaltet, das mindestens einen Anschluss aufweist, der mit der ersten Elektrode (33, 34) auf der oberen Fläche des Leistungs-Halbleiterchips verbunden ist.

40. Vorrichtung mit einer Gehäusebaugruppe (30) nach Anspruch 11, das ferner ein integriertes Schaltungsgerät beinhaltet, das mindestens einen Anschluss aufweist, der mit der ersten Elektrode auf der ersten Fläche des Leistungs-Halbleiterchips verbunden ist.

41. Vorrichtung mit einer Gehäusebaugruppe (30) nach Anspruch 20, das ferner ein integriertes Schaltungsgerät beinhaltet, das mindestens einen Anschluss aufweist, der mit der ersten Elektrode auf der ersten Fläche des Leistungs-Halbleiterchips verbunden ist.

42. Vorrichtung mit einer Gehäusebaugruppe (30) nach Anspruch 25, das ferner ein integriertes Schaltungsgerät beinhaltet, das mindestens einen Anschluss aufweist, der mit der ersten Elektrode auf der ersten Fläche des Leistungs-Halbleiterchips verbunden ist.

43. Vorrichtung mit einer Gehäusebaugruppe (30) nach Anspruch 26, das ferner ein integriertes Schaltungsgerät beinhaltet, das mindestens einen Anschluss aufweist, der mit der ersten Elektrode auf der ersten Fläche des Leistungs-Halbleiterchips verbunden ist.

44. Vorrichtung mit einer Gehäusebaugruppe (**30**) nach Anspruch 32, das ferner ein integriertes Schaltungsgerät beinhaltet, das oben auf einer der Gehäusebaugruppen angebracht ist und einen Anschluss aufweist, der mit der ersten Elektrode der einen der Gehäusebaugruppen verbunden ist.

Es folgen 21 Blatt Zeichnungen



Anhängende Zeichnungen

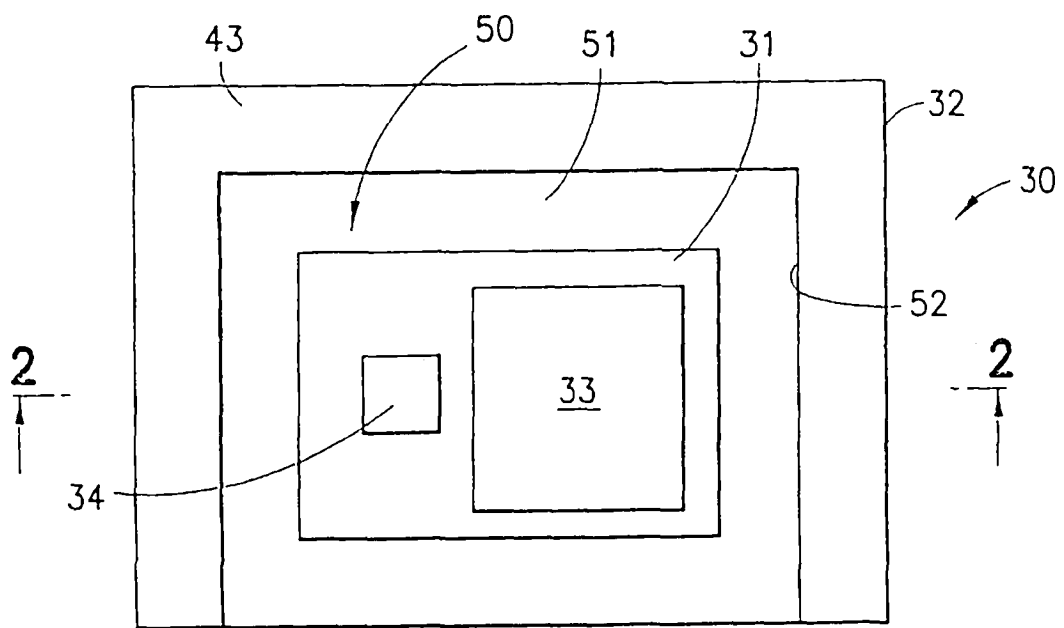


FIG. 1

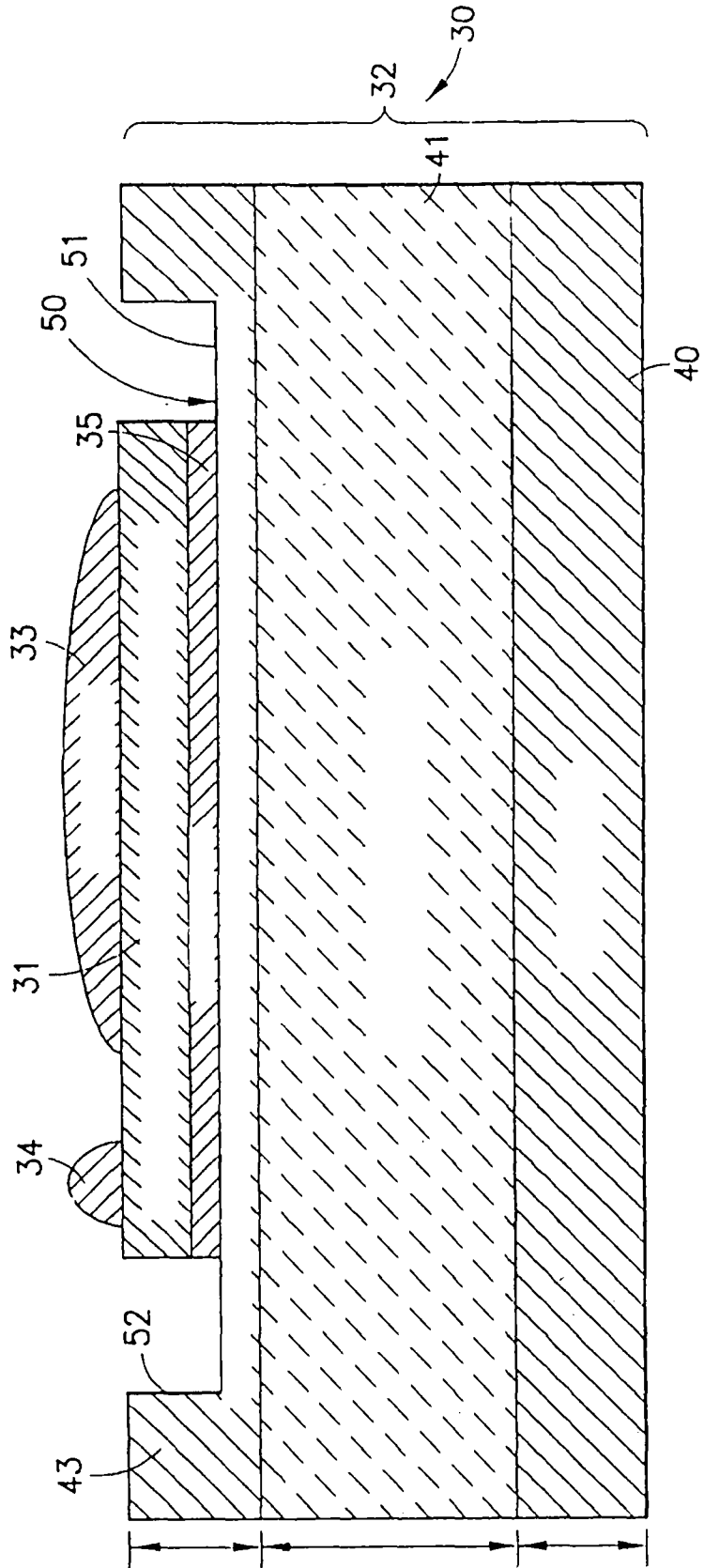


FIG.2

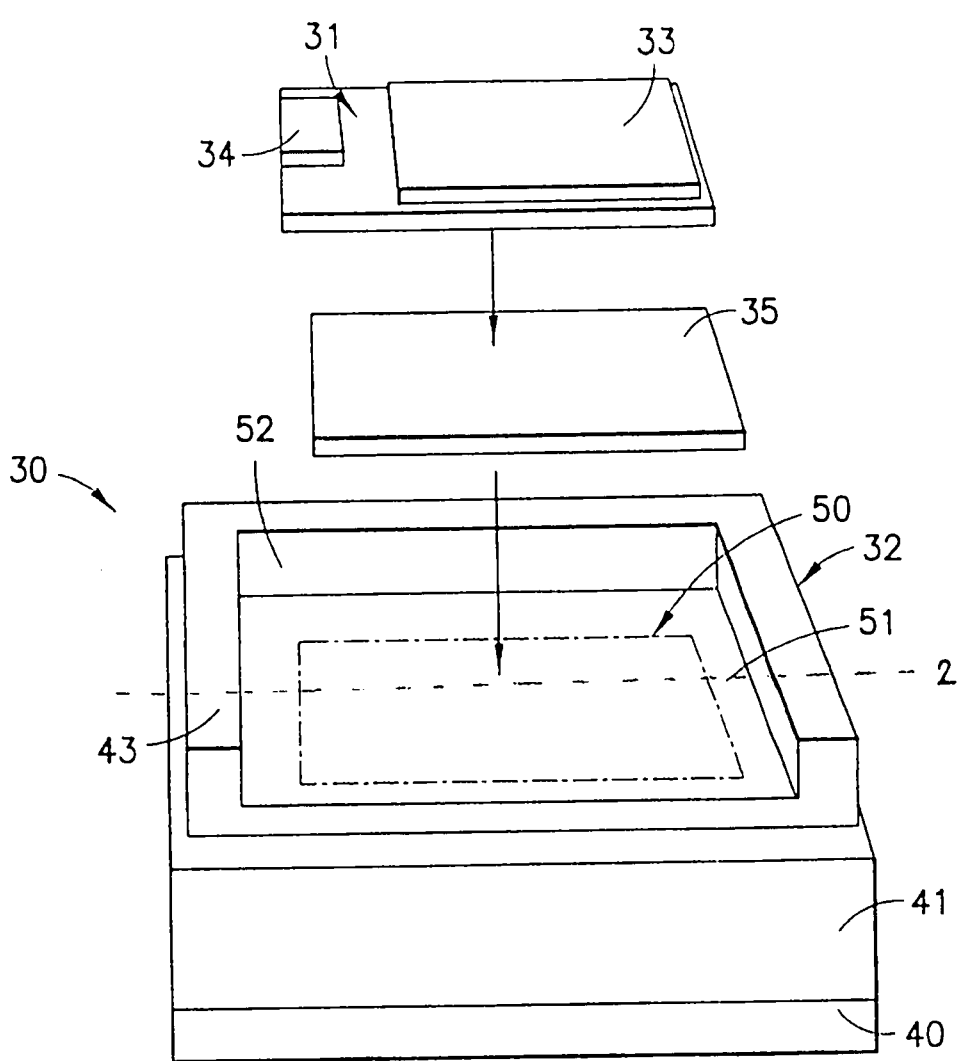
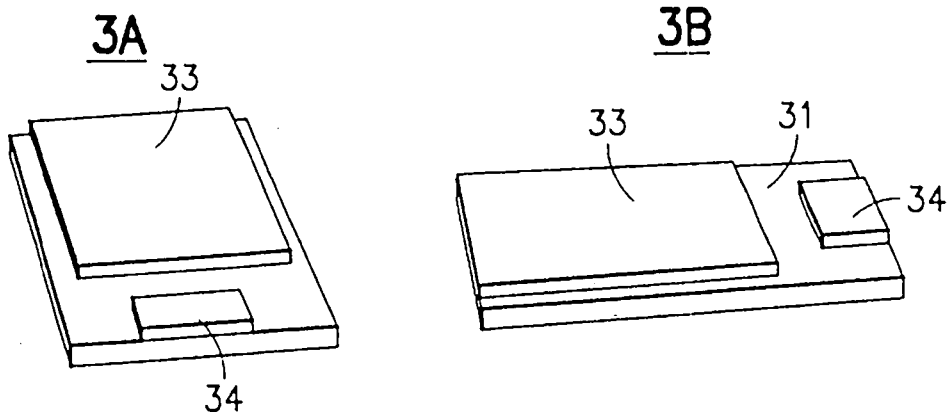


FIG. 3



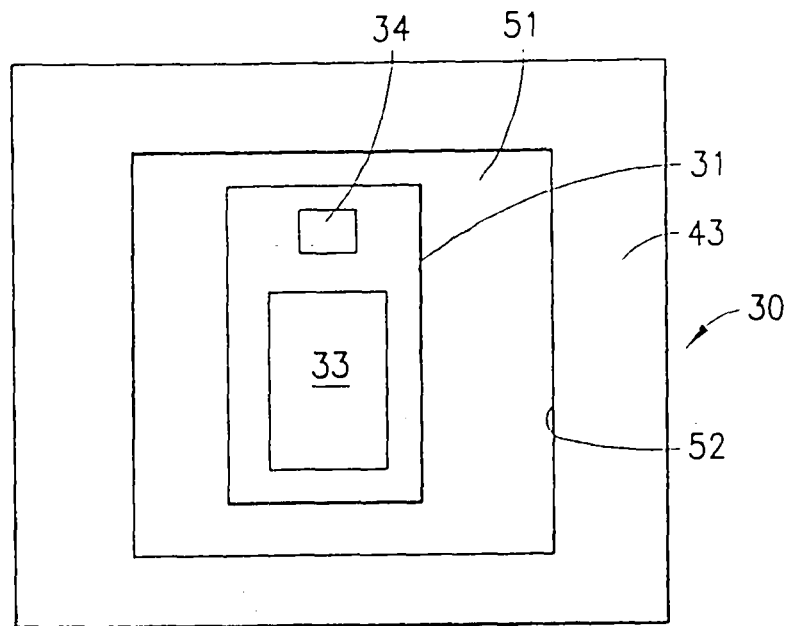


FIG. 4

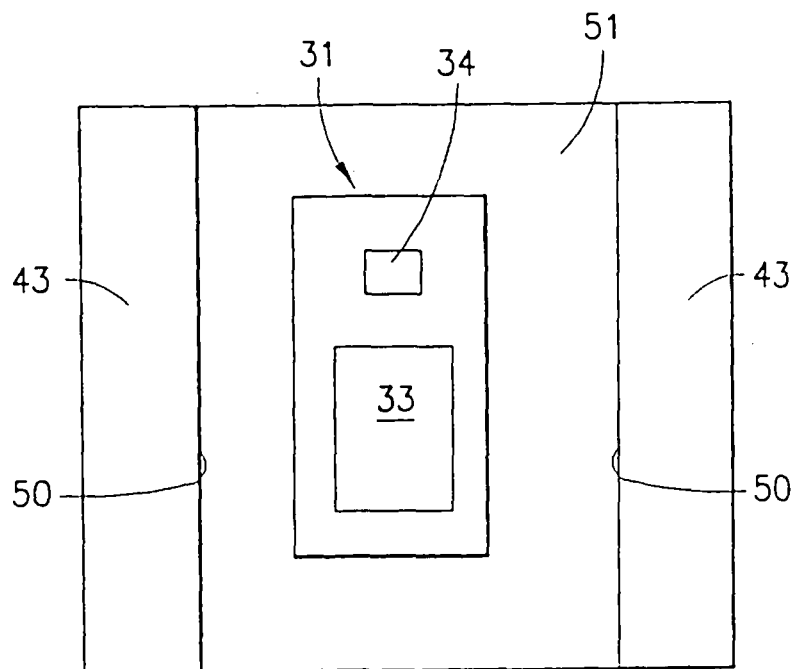


FIG. 4a

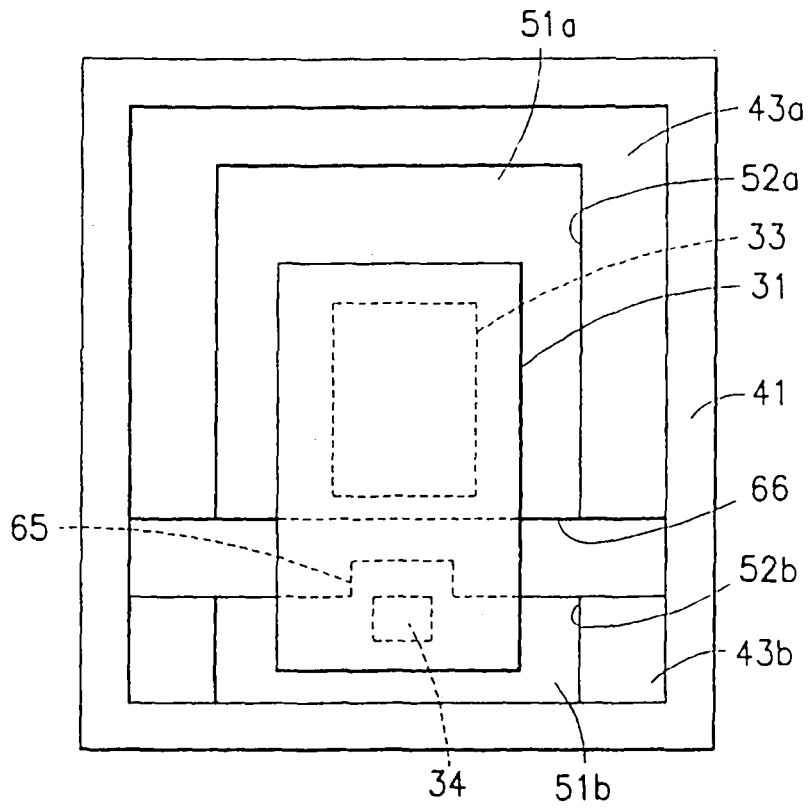


FIG. 5

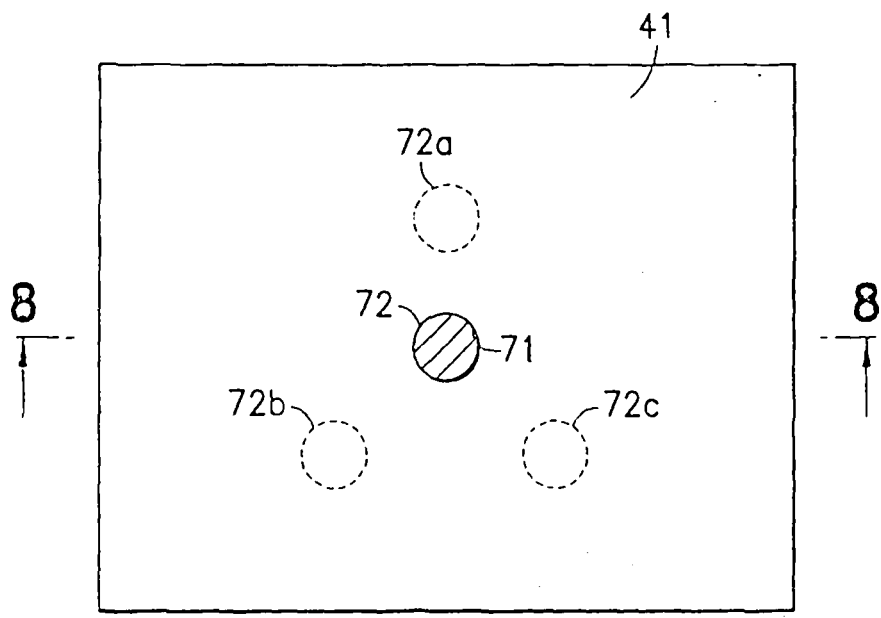


FIG. 7



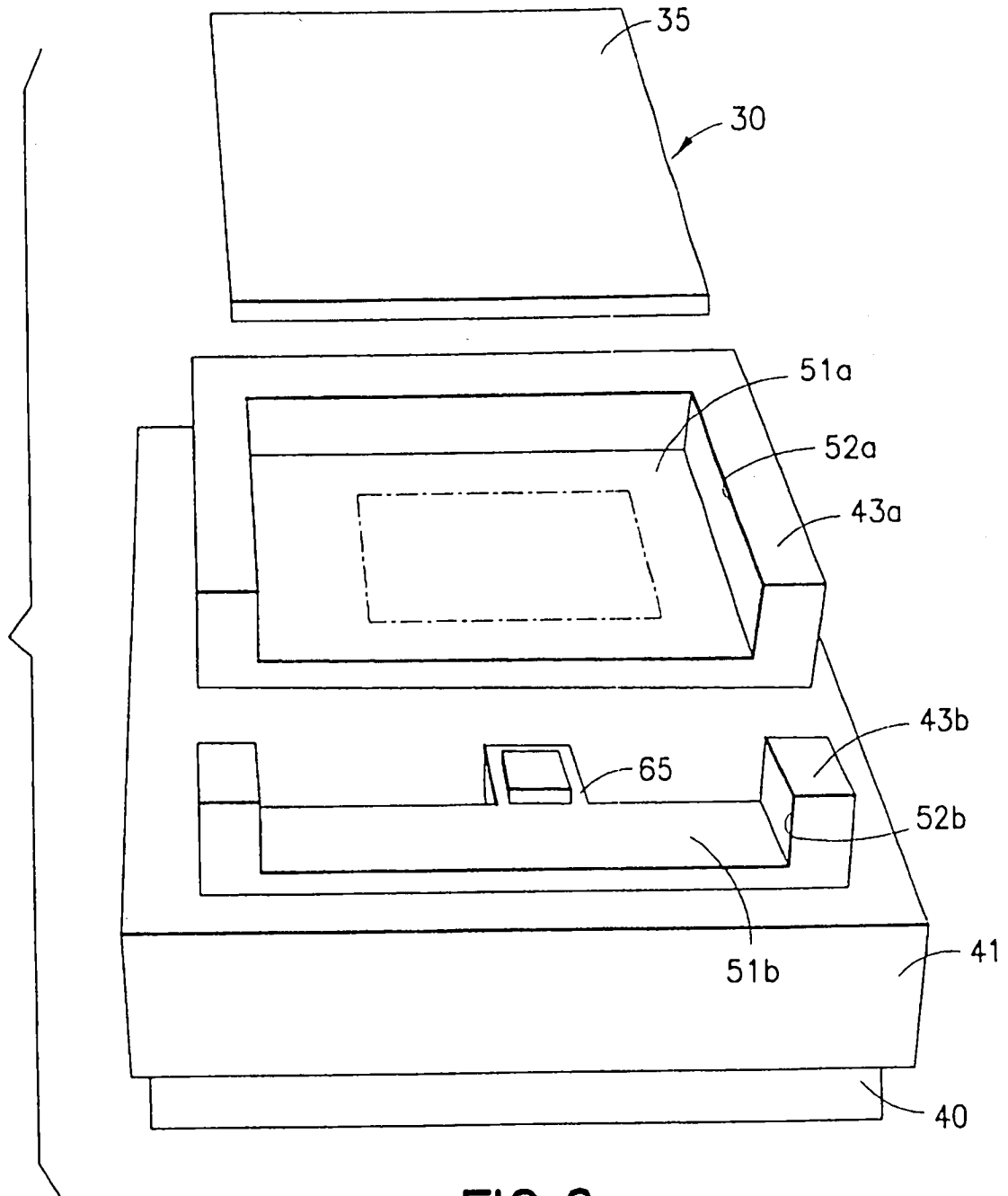


FIG. 6

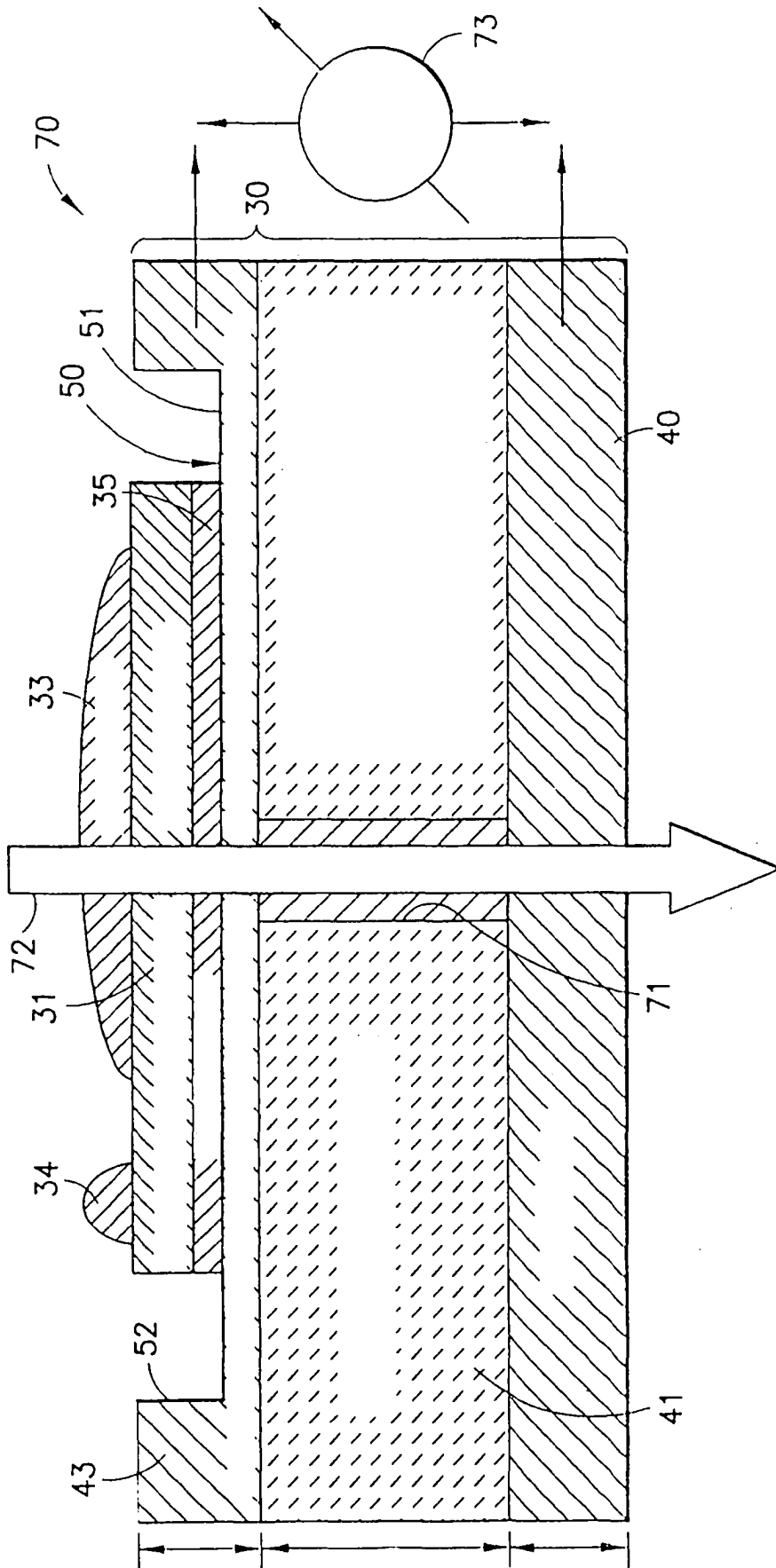


FIG. 8

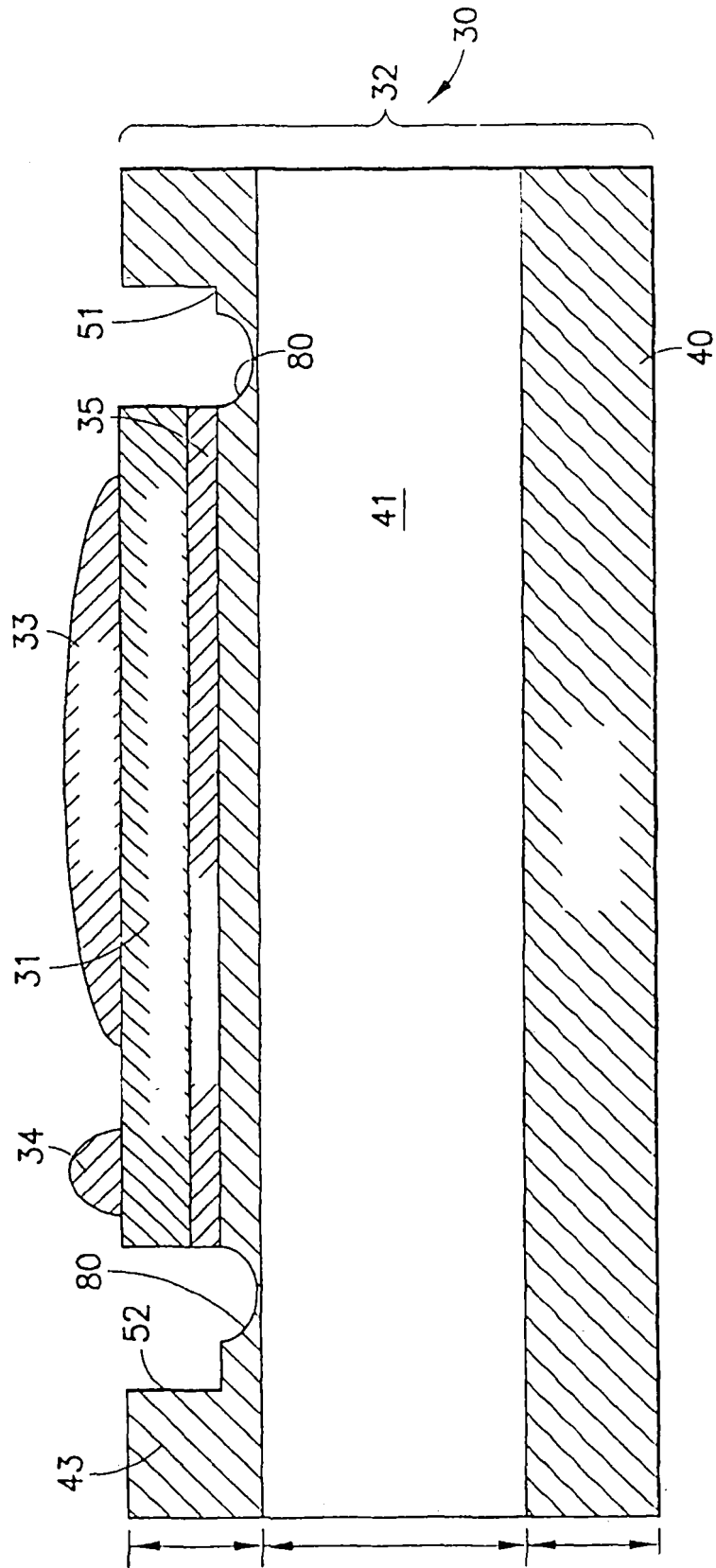


FIG.9

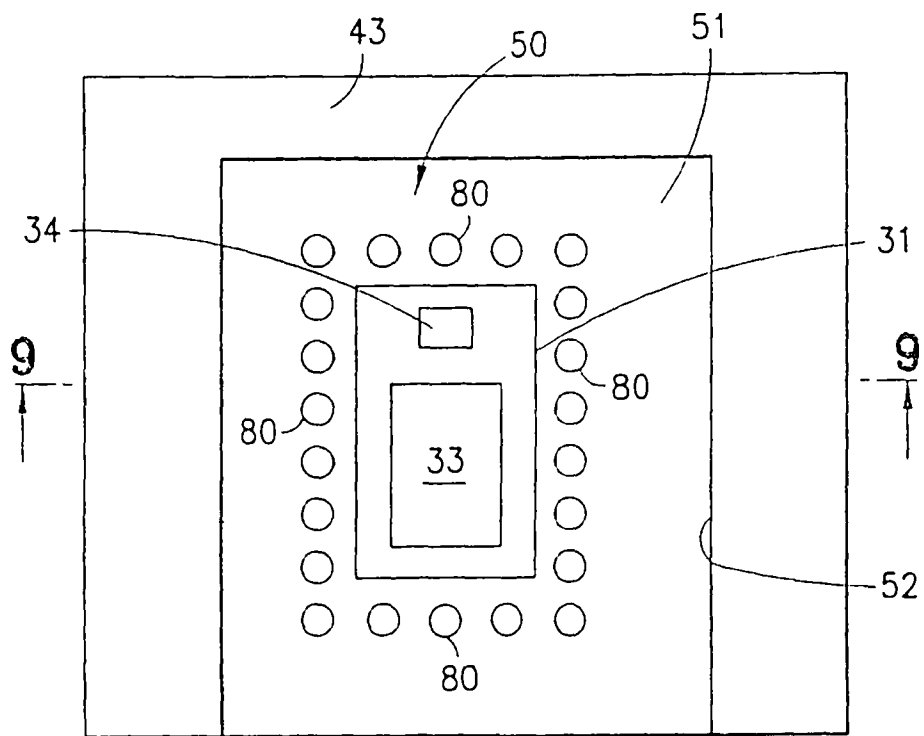


FIG. 10

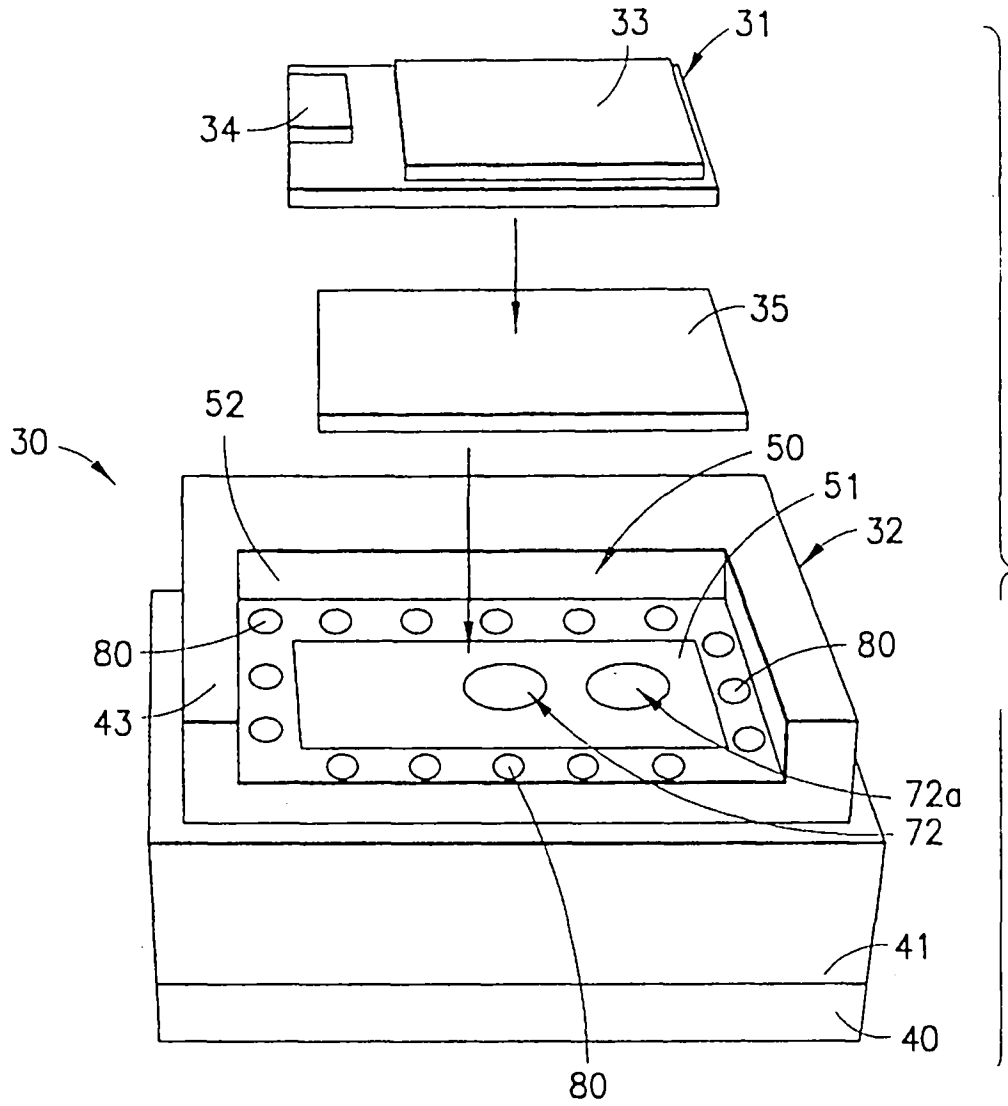


FIG. 11



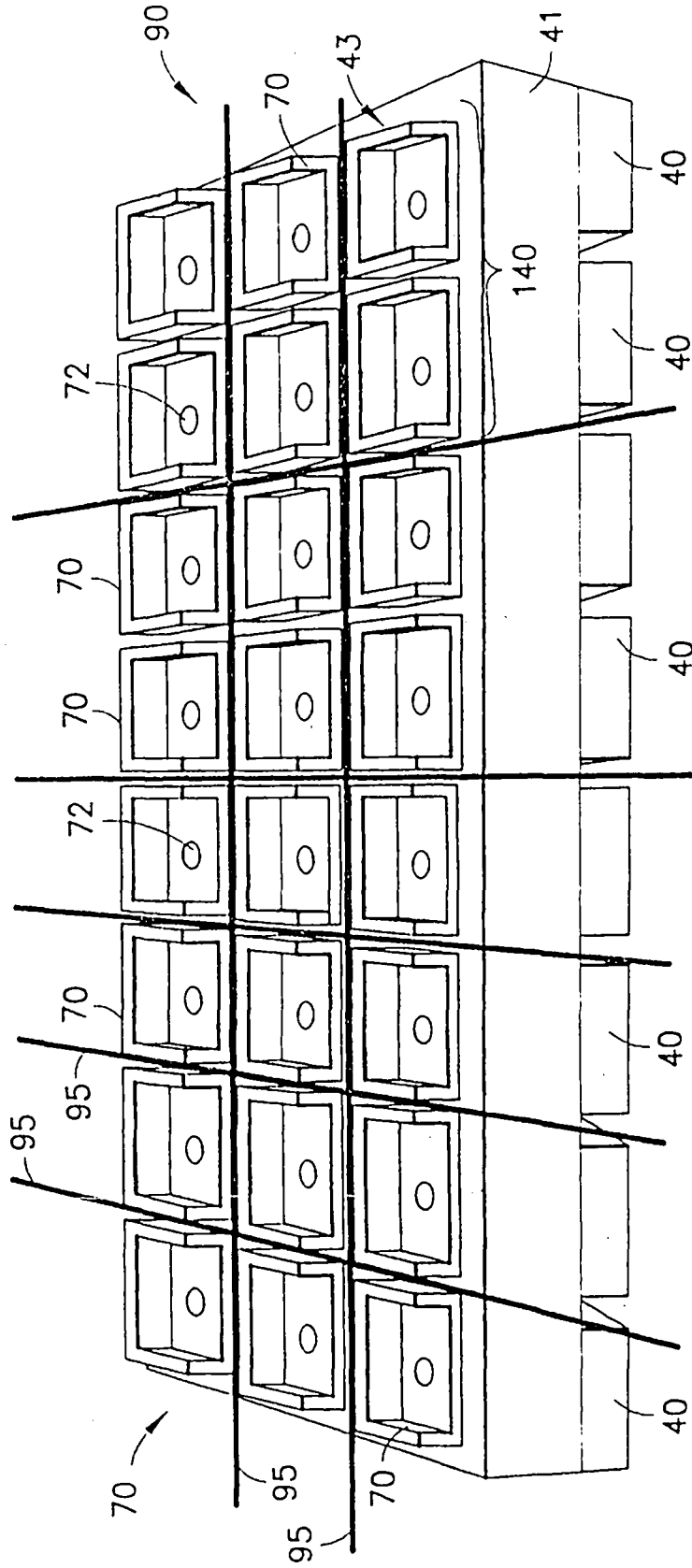


FIG. 12

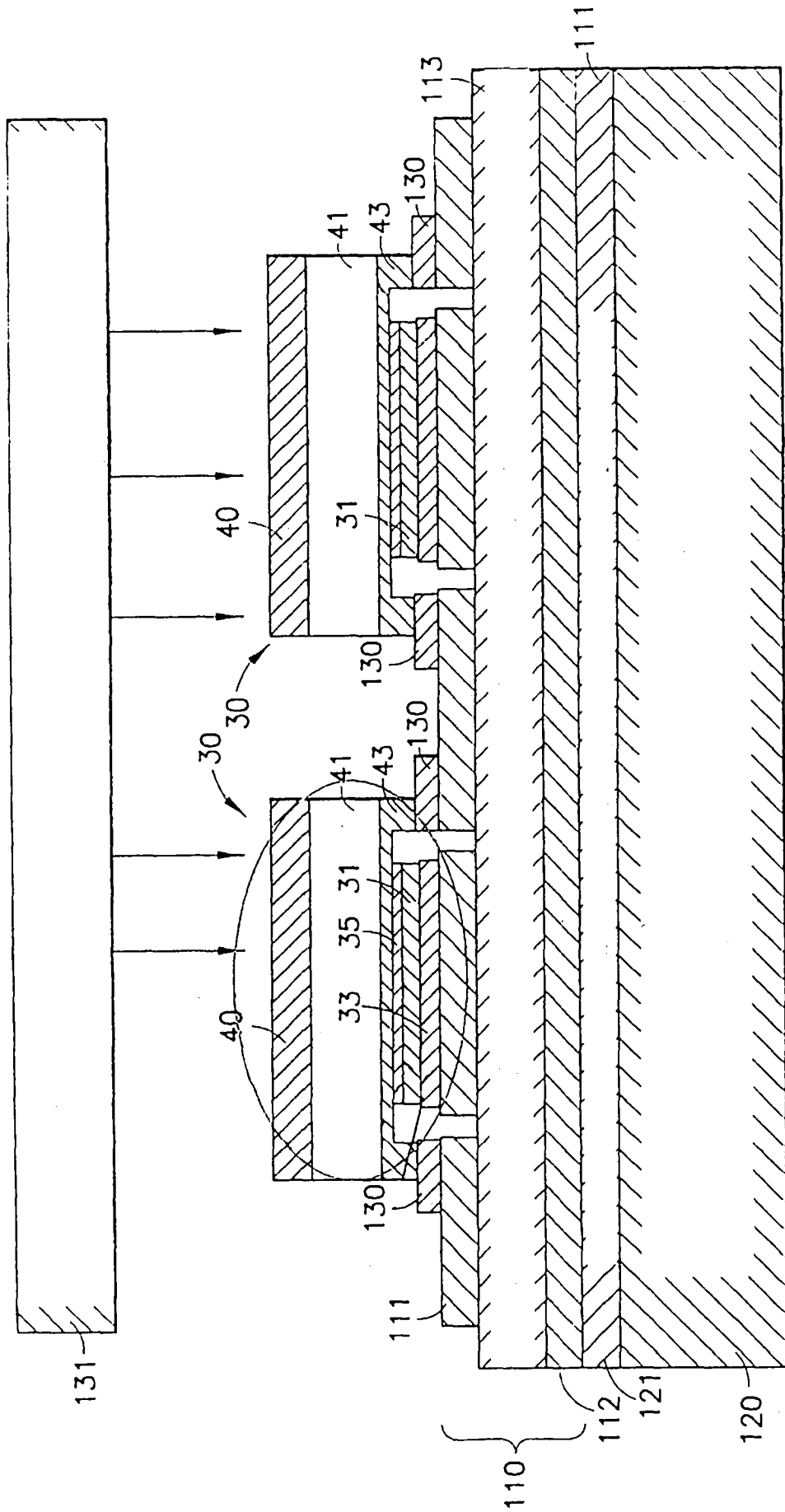


FIG.13

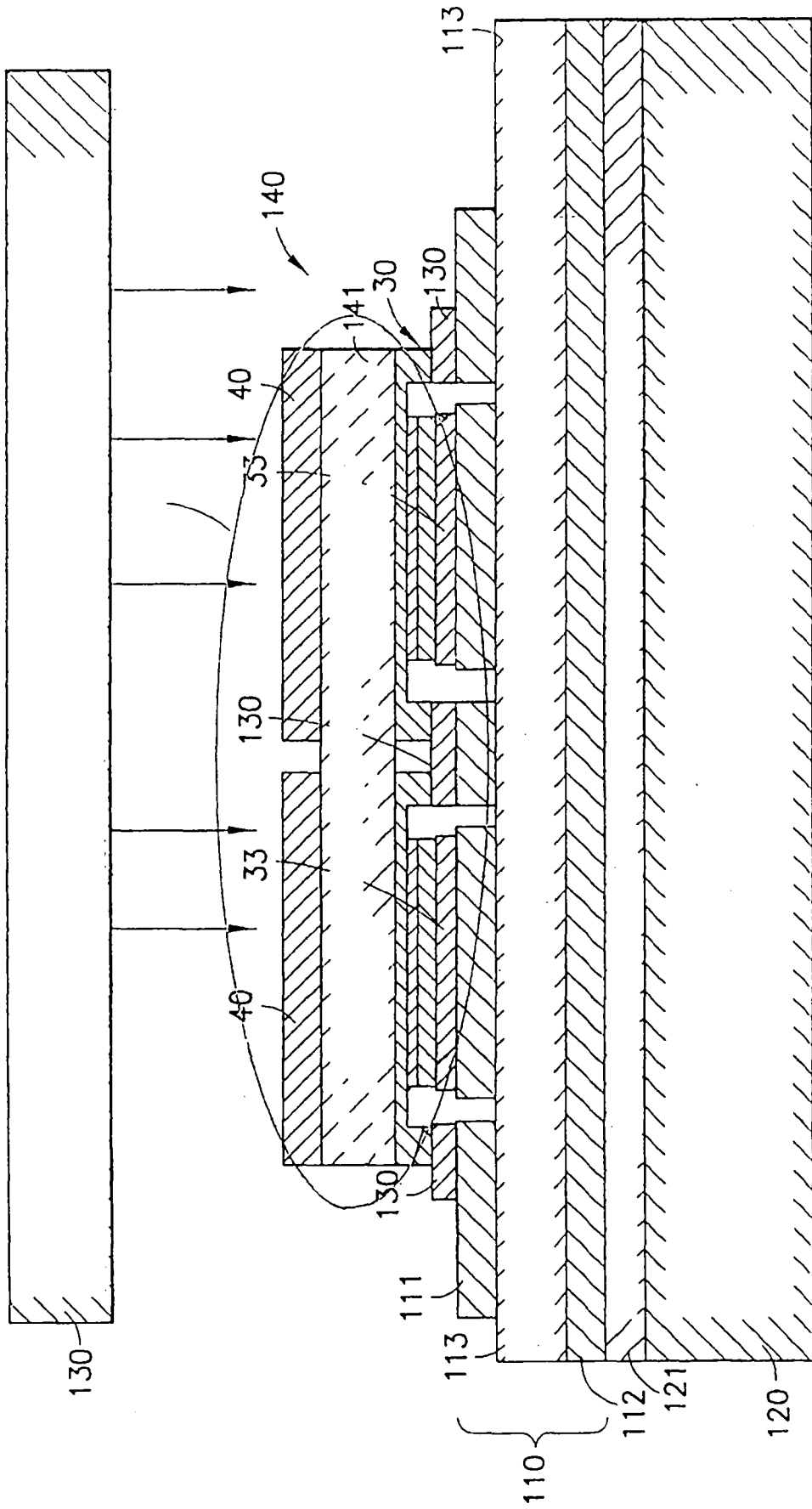


FIG.14

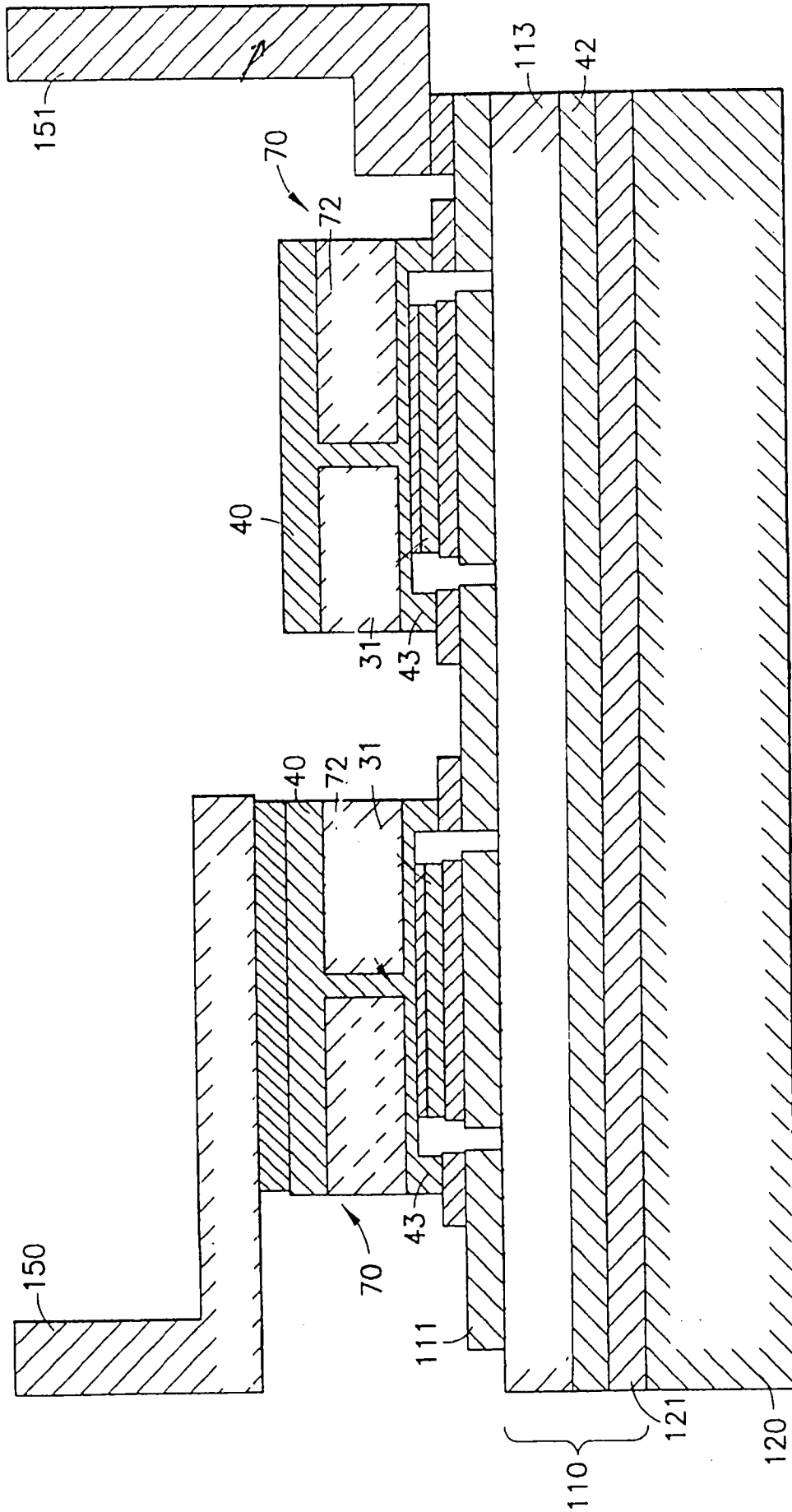


FIG.15

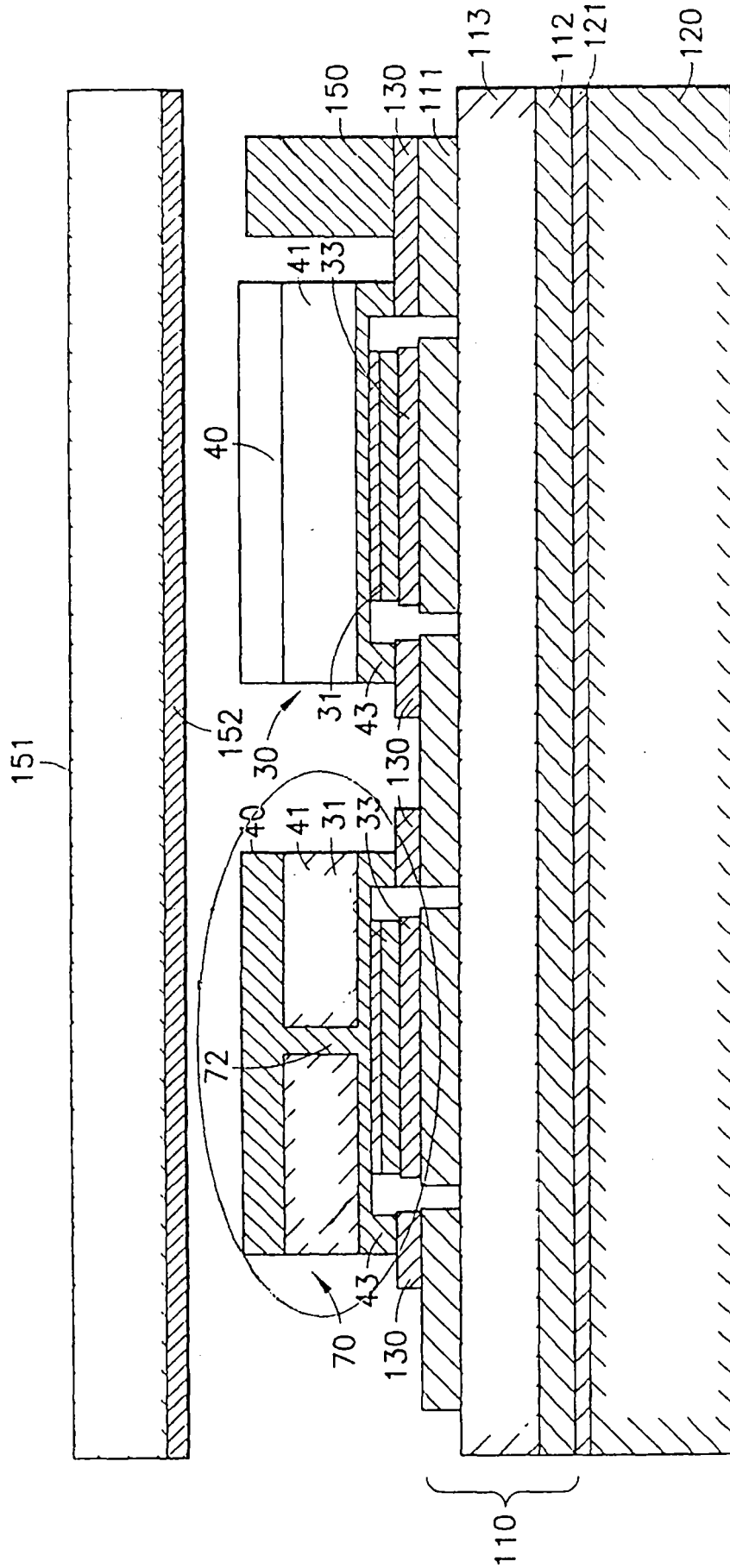


FIG.16

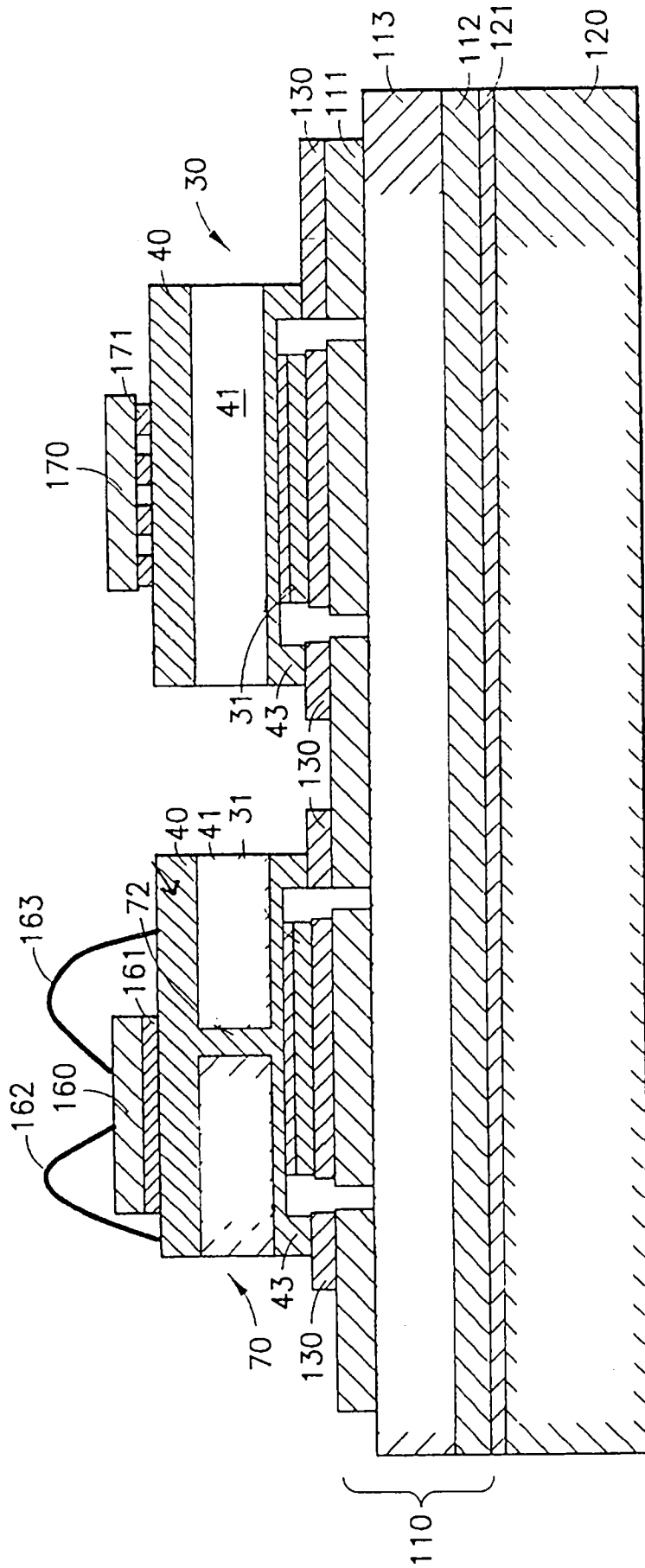


FIG.17

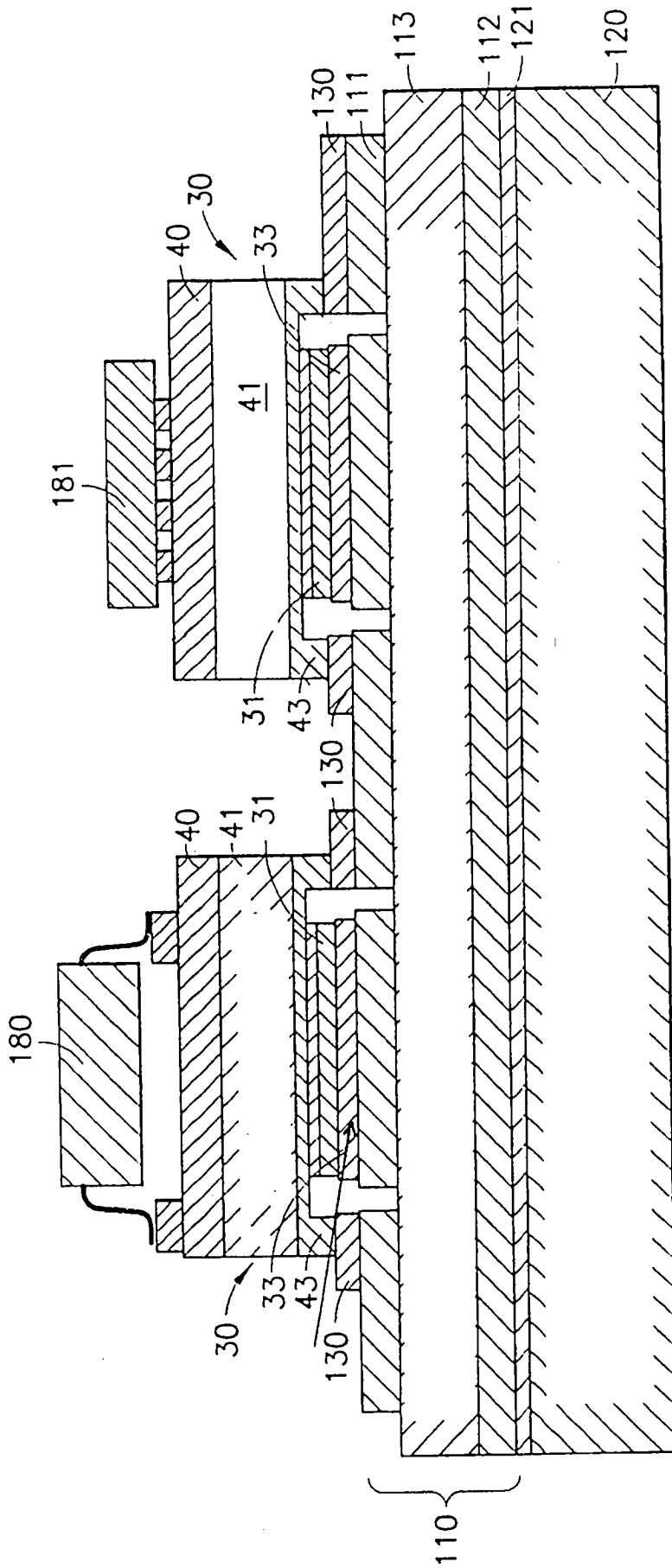


FIG.18

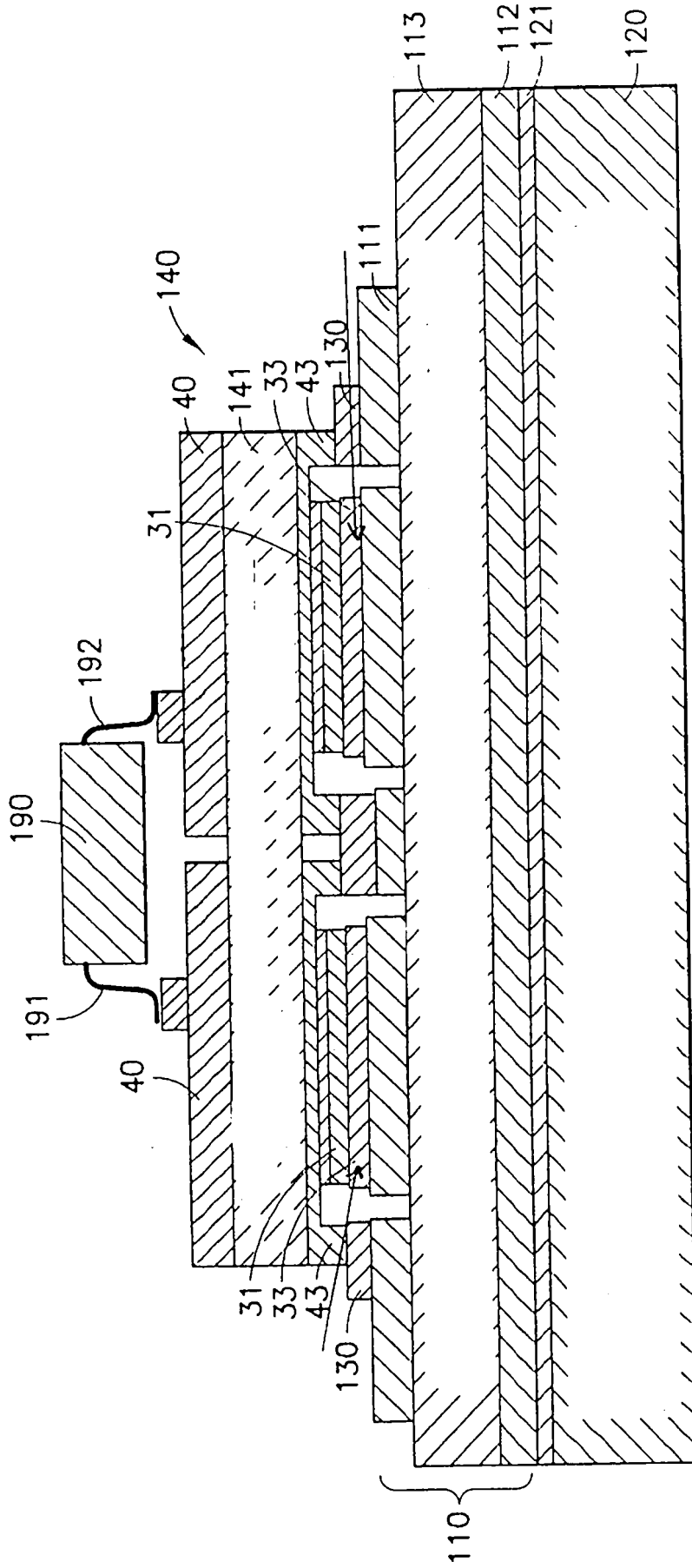


FIG.19



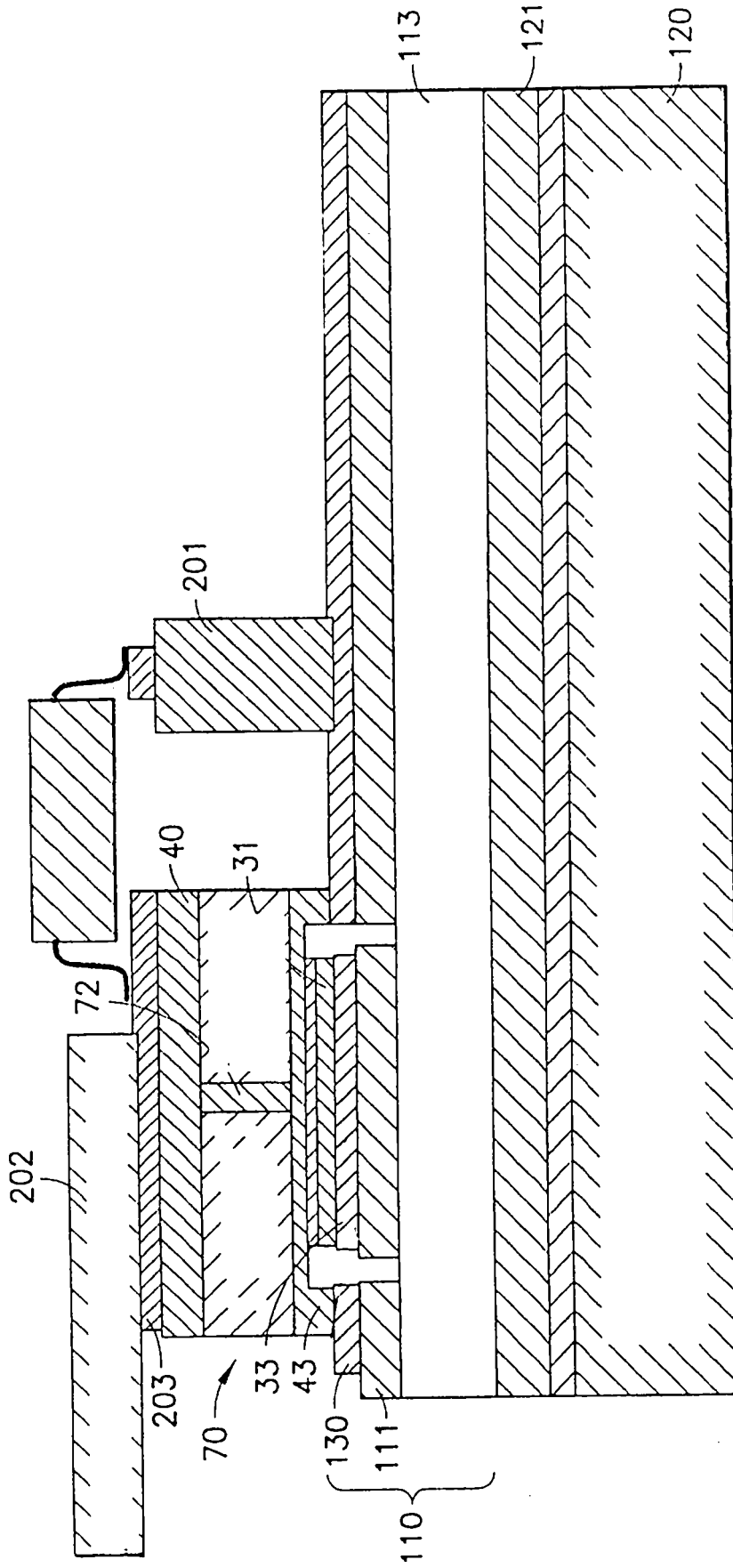


FIG.20

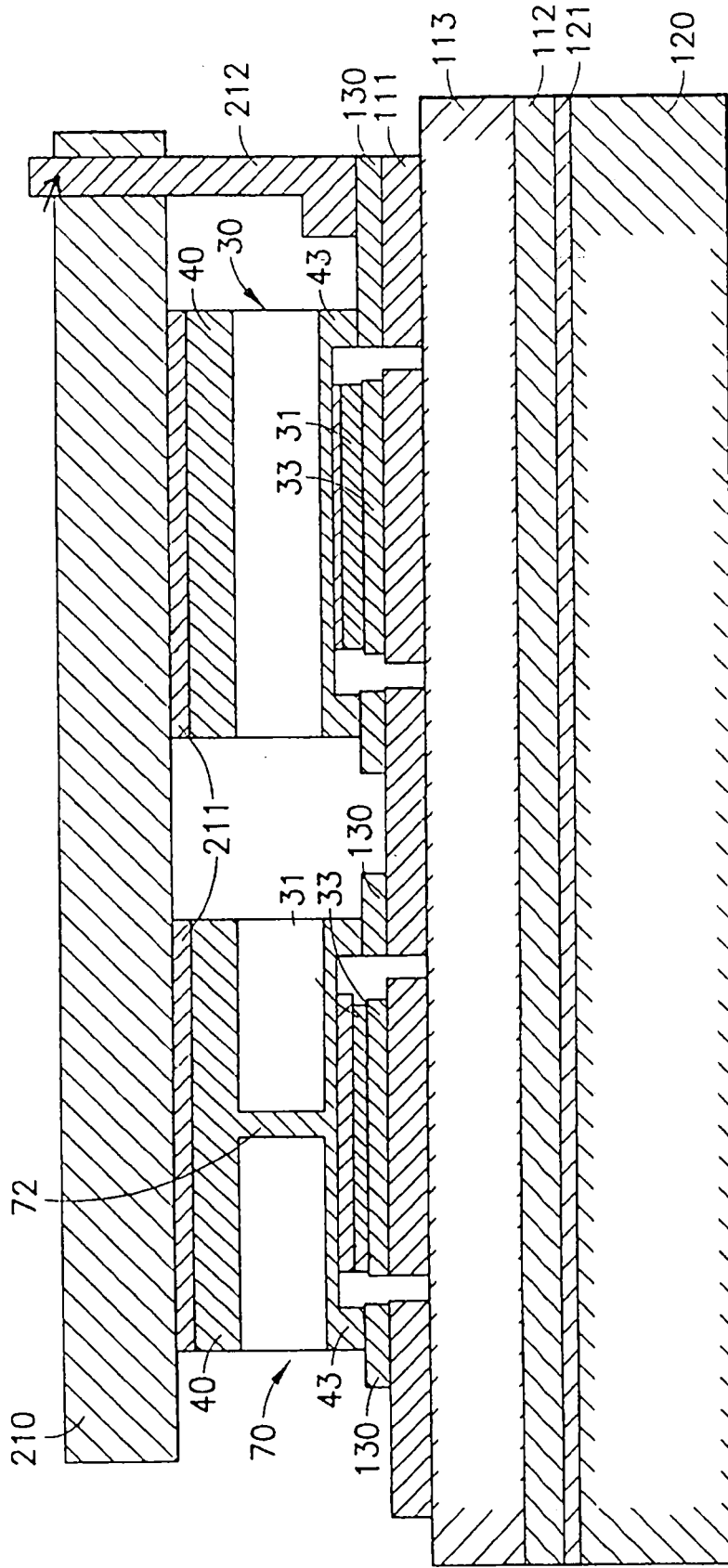


FIG.21

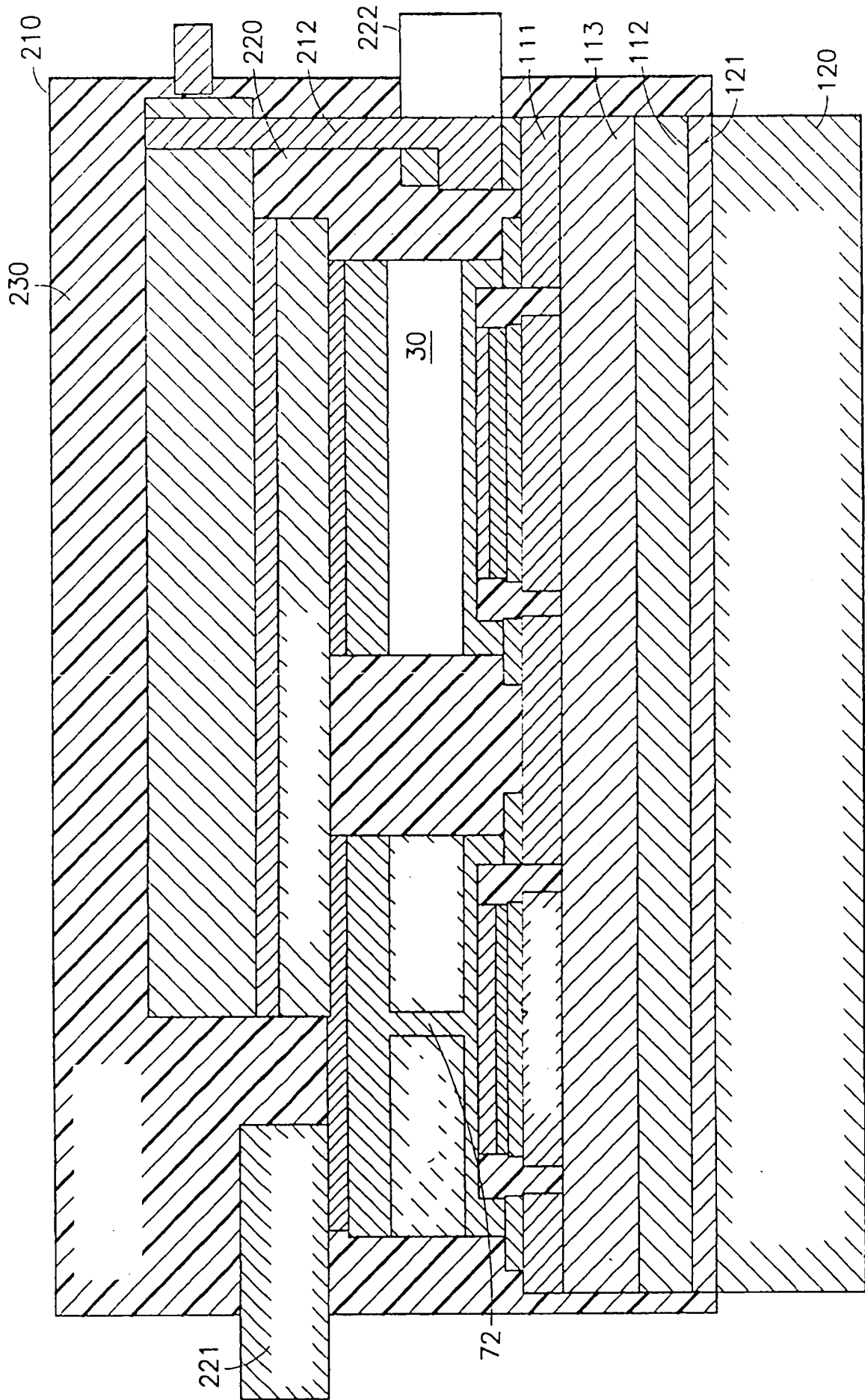


FIG.22