

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号  
特開2010-3391  
(P2010-3391A)

(43) 公開日 平成22年1月7日(2010.1.7)

(51) Int.Cl.

F I

テーマコード (参考)

G 1 1 C 11/15 (2006.01)

G 1 1 C 11/15 1 5 0

G 1 1 C 13/00 (2006.01)

G 1 1 C 13/00 A

審査請求 未請求 請求項の数 5 O L (全 16 頁)

(21) 出願番号	特願2008-163770 (P2008-163770)	(71) 出願人	000003078
(22) 出願日	平成20年6月23日 (2008. 6. 23)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100058479
			弁理士 鈴江 武彦
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 抵抗変化型メモリ

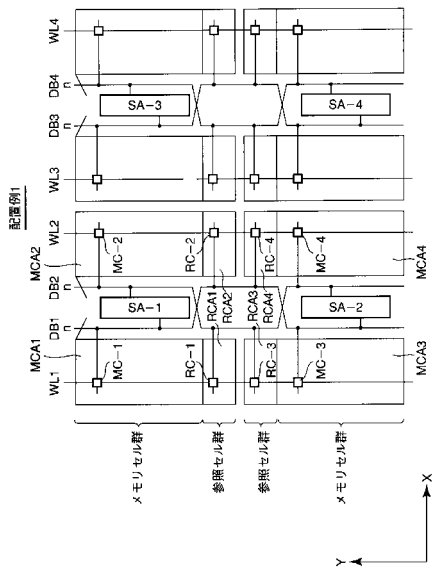
(57) 【要約】

【課題】チップサイズに占めるデータバス領域を減少させる。

【解決手段】抵抗変化型メモリは、複数のメモリセルがマトリクス状に配置され、第1の方向に互いに隣り合う第1及び第2のメモリセルアレイMCA1、MCA2と、第1のメモリセルアレイと対になって配置された第1の参照セルアレイRCA1と、第2のメモリセルアレイと対になって配置された第2の参照セルアレイRCA2と、第1及び第2のメモリセルアレイで共有化され、第1及び第2のメモリセルアレイの間に配置された第1のセンスアンプSA-1と、第1のメモリセルアレイ内の第1の読み出しセルMC-1のデータを第1のセンスアンプへ転送する第1のデータバスDB1と、第1の参照セルアレイ内の第1の読み出しセルと対となる第1の参照セルRC-1のデータを第1のセンスアンプへ転送する第2のデータバスDB2とを具備し、第1及び第2のデータバスは、第1のセンスアンプの両側を第2の方向に延在し、第1のセンスアンプを挟んで交差する。

【選択図】 図2

図2



**【特許請求の範囲】****【請求項 1】**

抵抗変化型素子と選択トランジスタとをそれぞれ有する複数のメモリセルがマトリクス状に配置され、第 1 の方向に互いに隣り合う第 1 及び第 2 のメモリセルアレイと、

前記第 1 のメモリセルアレイと対になって配置された第 1 の参照セルアレイと、

前記第 2 のメモリセルアレイと対になって配置された第 2 の参照セルアレイと、

前記第 1 及び第 2 のメモリセルアレイで共有化され、前記第 1 及び第 2 のメモリセルアレイの間に配置された第 1 のセンスアンプと、

前記第 1 のメモリセルアレイ内の第 1 の読み出しセルのデータを前記第 1 のセンスアンプへ転送する第 1 のデータバスと、

前記第 1 の参照セルアレイ内の前記第 1 の読み出しセルと対となる第 1 の参照セルのデータを前記第 1 のセンスアンプへ転送する第 2 のデータバスと

を具備し、

前記第 1 及び第 2 のデータバスは、前記第 1 のセンスアンプの両側を前記第 1 の方向に対して垂直な第 2 の方向に延在し、前記第 1 のセンスアンプを挟んで交差することを特徴とする抵抗変化型メモリ。

10

**【請求項 2】**

前記第 1 及び第 2 のデータバスが交差する領域は、前記第 1 のメモリセルアレイと前記第 1 の参照セルアレイとの境界領域及び前記第 2 のメモリセルアレイと前記第 2 の参照セルアレイとの境界領域であることを特徴とする請求項 1 に記載の抵抗変化型メモリ。

20

**【請求項 3】**

前記第 1 の読み出しセル及び前記第 1 の参照セルが接続されるワード線は異なることを特徴とする請求項 1 に記載の抵抗変化型メモリ。

**【請求項 4】**

前記第 1 のメモリセルアレイに対して前記第 1 のセンスアンプと反対側に配置された第 2 のセンスアンプと、

前記第 1 のメモリセルアレイ内の第 2 の読み出しセルのデータを前記第 2 のセンスアンプへ転送する第 3 のデータバスと、

前記第 1 の参照セルアレイ内の前記第 2 の読み出しセルと対となる第 2 の参照セルのデータを前記第 2 のセンスアンプへ転送する第 4 のデータバスと

をさらに具備し、

前記第 3 及び第 4 のデータバスは、前記第 2 のセンスアンプの両側を前記第 2 の方向に延在し、前記第 2 のセンスアンプを挟んで交差し、

前記第 1 及び第 2 の読み出しセルが読み出される場合、前記第 1 の読み出しセルの前記データと前記第 2 の読み出しセルの前記データとは、異なる前記第 1 及び第 2 のセンスアンプに読み出されることを特徴とする請求項 3 に記載の抵抗変化型メモリ。

30

**【請求項 5】**

前記抵抗変化型素子は、MTJ 素子であることを特徴とする請求項 1 に記載の抵抗変化型メモリ。

**【発明の詳細な説明】**

40

**【技術分野】****【0001】**

本発明は、セルアレイとセンスアンプとを接続するデータバスを交差させた抵抗変化型メモリに関する。

**【背景技術】****【0002】**

従来、磁気ランダムアクセスメモリの読み出し系回路では、隣り合うメモリセル群の間にセンスアンプが配置され、このセンスアンプはメモリセル群が排他的に動作することで 2 つのメモリセル群で共有化されている。このように 2 つのメモリセル群の中央のセンスアンプを共有化するため、データバスはセンスアンプの左右に配置され、それぞれのデー

50

タバスは左右のアレイ専用として機能する。

【 0 0 0 3 】

このような読み出し系回路では、読み出し動作時にメモリセルが選択された場合、参照セルが同時に選択され、データバスを介してセンスアンプへメモリセルデータと参照セルデータが転送される。ここで、一度に読み出されるビット数を  $n$  とした場合、 $n$  本のメモリセル用データバスと  $n$  本の参照セル用データバスとが必要となるため、センスアンプの左右にはそれぞれ  $2n$  本のデータバスが必要となる。このため、チップサイズに占めるデータバス領域が増大してしまう。

【非特許文献 1】2004 Symposium on VLSI Circuits Digest of Technical Paper p.454-457 「16Mb MRAM Featuring Bootstrap Write Driver」

10

【特許文献 1】米国特許第5,695,864号明細書

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 4 】

本発明は、チップサイズに占めるデータバス領域を減少させることが可能な抵抗変化型メモリを提供する。

【課題を解決するための手段】

【 0 0 0 5 】

本発明の一態様による抵抗変化型メモリは、抵抗変化型素子と選択トランジスタとをそれぞれ有する複数のメモリセルがマトリクス状に配置され、第 1 の方向に互いに隣り合う第 1 及び第 2 のメモリセルアレイと、前記第 1 のメモリセルアレイと対になって配置された第 1 の参照セルアレイと、前記第 2 のメモリセルアレイと対になって配置された第 2 の参照セルアレイと、前記第 1 及び第 2 のメモリセルアレイで共有化され、前記第 1 及び第 2 のメモリセルアレイの間に配置された第 1 のセンスアンプと、前記第 1 のメモリセルアレイ内の第 1 の読み出しセルのデータを前記第 1 のセンスアンプへ転送する第 1 のデータバスと、前記第 1 の参照セルアレイ内の前記第 1 の読み出しセルと対となる第 1 の参照セルのデータを前記第 1 のセンスアンプへ転送する第 2 のデータバスとを具備し、前記第 1 及び第 2 のデータバスは、前記第 1 のセンスアンプの両側を前記第 1 の方向に対して垂直な第 2 の方向に延在し、前記第 1 のセンスアンプを挟んで交差する。

20

【発明の効果】

30

【 0 0 0 6 】

本発明によれば、チップサイズに占めるデータバス領域を減少させることが可能な抵抗変化型メモリを提供できる。

【発明を実施するための最良の形態】

【 0 0 0 7 】

以下に、抵抗変化型メモリとして磁気ランダムアクセスメモリ (MRAM: Magnetoresistive Random Access Memory) を例に挙げ、本発明の実施の形態を説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【 0 0 0 8 】

[ 1 ] 第 1 の実施形態

40

第 1 の実施形態は、アクセス対象となるメモリセル群と参照セル群との間の境界領域で、センスアンプの左右に配置されたデータバスを交差配設させる。

【 0 0 0 9 】

[ 1 - 1 ] 読み出し系回路

図 1 は、本発明の第 1 の実施形態に係る磁気ランダムアクセスメモリの読み出し系回路の概略的な回路図を示す。以下に、第 1 の実施形態に係る読み出し系回路の概略的な回路構成について説明する。

【 0 0 1 0 】

図 1 に示すように、磁気ランダムアクセスメモリは、メモリセルアレイ MCA1、MCA2、参照セルアレイ RCA1、RCA2、データバス群 DBG1、DBG2、センスア

50

ンプ S A を備えている。

【 0 0 1 1 】

メモリセルアレイ M C A 1、M C A 2 内には、複数のメモリセル M C n ( n = 1 , 2 , 3 , ... ) がマトリクス状に配置されている。メモリセルアレイ M C A 1、M C A 2 は、X 方向において互いに隣り合っている。

【 0 0 1 2 】

参照セルアレイ R C A 1、R C A 2 は、メモリセルアレイ M C A 1、M C A 2 と Y 方向においてそれぞれ隣接して配置されている。参照セルアレイ R C A 1、R C A 2 内には、複数の参照セル R C n ( n = 1 , 2 , 3 , ... ) がマトリクス状に配置されている。参照セルアレイ R C A 1 は、メモリセルアレイ M C A 1 と同じセルアレイで構成され、読み出し時にメモリセルアレイ M C A 1 と対になっている。同様に、参照セルアレイ R C A 2 は、メモリセルアレイ M C A 2 と同じセルアレイで構成され、読み出し時にメモリセルアレイ M C A 2 と対になっている。

【 0 0 1 3 】

複数のセンスアンプ S A は、メモリセルアレイ M C A 1、M C A 2 間、参照セルアレイ R C A 1、R C A 2 間に配置されている。メモリセルアレイ M C A 1、M C A 2 間のセンスアンプ S A は、2 つのメモリセルアレイ M C A 1、M C A 2 が排他的に動作することで、メモリセルアレイ M C A 1、M C A 2 で共有化されている。同様に、参照セルアレイ R C A 1、R C A 2 間のセンスアンプ S A は、2 つの参照セルアレイ R C A 1、R C A 2 が排他的に動作することで、参照セルアレイ R C A 1、R C A 2 で共有化されている。

【 0 0 1 4 】

データバス群 D B G 1、D B G 2 は、センスアンプ S A の両側にそれぞれ設けられている。各データバス群 D B G 1、D B G 2 は、複数のデータバスで構成される。各データバス群 D B G 1、D B G 2 のデータバスの本数は、一度に読み出されるセル数に対応しており、本例では 4 本の場合を示している。データバス群 D B G 1、D B G 2 は、センスアンプ S A の両側を Y 方向にそれぞれ延在し、センスアンプ S A を挟んで交差している。このデータバス群 D B G 1、D B G 2 が交差する領域は、メモリセルアレイ M C A 1、M C A 2 と参照セルアレイ R C A 1、R C A 2 との間の領域である。尚、データバス群 D B G 1、D B G 2 の上述する交差は、物理的に交差させてもよいし、論理的に交差させてもよい。

【 0 0 1 5 】

ここで、メモリセル M C 1 に着目した場合、メモリセル M C 1 は、ビット線 B L、ワード線 W L \_\_ L 0、ソース線 S L にそれぞれ接続されている。ビット線 B L はカラムゲート C G a に接続され、このカラムゲート C G a はデータバス群 D B G 1 中の 1 本のデータバスに接続されている。ワード線 W L \_\_ L 0 は、同一列の複数のセル M C n、R C n で共通して用いられる。ソース線 S L はカラムゲート C G b に接続され、このカラムゲート C G b は接地端子 V S S に接続されている。

【 0 0 1 6 】

[ 1 - 2 ] 読み出し動作

図 1 を用いて、本実施形態に係る読み出し動作について説明する。ここでは、メモリセルアレイ M C A 1 内のワード線 W L \_\_ L 0 とカラム選択線 C L \_\_ L 0 がアクセス対象番地に相当する場合を例に挙げる。

【 0 0 1 7 】

この場合、読み出し対象の選択セルとしてはメモリセル M C 1 ~ 4 の 4 ビットが同時選択され、データバス群 D B G 1 の 4 本のデータバスを経由して 4 つのセンスアンプ S A へ読み出しセルデータが転送される。この時、センスアンプ S A へ入力すべき参照セル R C 1 ~ 4 を同時活性することから、参照カラム選択線 R C L \_\_ L 0 が同時活性され、参照セル R C 1 ~ 4 が選択される。

【 0 0 1 8 】

ここで、データバス上で、読み出しセルデータと参照セルデータとが衝突することを防

10

20

30

40

50

が必要がある。このため、参照セルデータは、読み出しセルデータの転送されるデータバスと異なる4本の参照セル専用のデータバスを経由して、センスアンプS Aへ転送する必要がある。これを実現するため、参照セル群が配置された領域とメモリセル群が配置された領域の境界部分で、センスアンプS Aを中心にデータバス群D B G 1、D B G 2を交差配設させる領域が設けられている。これにより、参照セルデータは、読み出しセルデータが読み出されるデータバス群D B G 1と異なるデータバス群D B G 2を介してセンスアンプS Aに入力され、データバス上での読み出しセルデータと参照セルデータの衝突を回避することができる。

#### 【0019】

尚、メモリセルアレイM C A 1内のワード線W L \_\_ L 0とカラム選択線C L \_\_ L 1がアクセス対象番地に相当する場合は、参照カラム選択線R C L \_\_ L 0の代わりに参照カラム選択線R C L \_\_ L 1（図示せず）が選択されることで、センスアンプS Aから見た場合のビット選択の整合性を保持することができる。また、メモリセルアレイM C A 2内のワード線W L \_\_ R 0とカラム選択線C L \_\_ R 0がアクセス対象番地に相当する場合も、選択アレイ近傍のデータバスに読み出しデータが読み出され、非選択アレイ近傍のデータバスに参照データが読み出されるので、センスアンプS Aから見た場合のビット選択の整合性を保持することができる。

#### 【0020】

##### [ 1 - 3 ] 配置例 1

図2は、本発明の第1の実施形態に係る読み出し系回路の配置例1の模式図を示す。以下に、第1の実施形態に係る読み出し系回路、特にメモリセルアレイ、参照セルアレイ、データバス、センスアンプの模式的な配置例について説明する。

#### 【0021】

図2に示すように、セル群は、メモリセル群と参照セル群とで構成される。メモリセル群はメモリセルアレイM C A 1、M C A 2、M C A 3、M C A 4を有し、参照セル群は参照セルアレイR C A 1、R C A 2、R C A 3、R C A 4を有している。

#### 【0022】

メモリセルアレイM C A 1、M C A 2、M C A 3、M C A 4は、メモリセルM C - 1、M C - 2、M C - 3、M C - 4をそれぞれ有している。メモリセルアレイM C A 1、M C A 2はX方向に互いに隣り合い、メモリセルアレイM C A 3、M C A 4はX方向に互いに隣り合い、メモリセルアレイM C A 1、M C A 3はY方向に互いに隣り合い、メモリセルアレイM C A 2、M C A 4はY方向に互いに隣り合っている。

#### 【0023】

参照セルアレイR C A 1、R C A 2、R C A 3、R C A 4は参照セルR C - 1、R C - 2、R C - 3、R C - 4をそれぞれ有している。参照セルアレイR C A 1は、メモリセルアレイM C A 1と対になり、メモリセルアレイM C A 1のメモリセルアレイM C A 3側の一端に隣接して配置されている。参照セルアレイR C A 2は、メモリセルアレイM C A 2と対になり、メモリセルアレイM C A 2のメモリセルアレイM C A 4側の一端に隣接して配置されている。参照セルアレイR C A 3は、メモリセルアレイM C A 3と対になり、メモリセルアレイM C A 3のメモリセルアレイM C A 1側の一端に隣接して配置されている。参照セルアレイR C A 4は、メモリセルアレイM C A 4と対になり、メモリセルアレイM C A 4のメモリセルアレイM C A 2側の一端に隣接して配置されている。

#### 【0024】

センスアンプS A - 1は、メモリセルアレイM C A 1、M C A 2間に配置されている。このセンスアンプS A - 1は、メモリセルアレイM C A 1、M C A 2で互いに共有化され、参照セルアレイR C A 1、R C A 2で互いに共有化されている。一方、センスアンプS A - 2は、メモリセルアレイM C A 3、M C A 4間に配置されている。このセンスアンプS A - 2は、メモリセルアレイM C A 3、M C A 4で互いに共有化され、参照セルアレイR C A 3、R C A 4で互いに共有化されている。

#### 【0025】

10

20

30

40

50

データバスDB1は、例えば、メモリセルMC-1、参照セルRC-2のデータをセンスアンプSA-1へ転送したり、メモリセルMC-3、参照セルRC-4のデータをセンスアンプSA-2へ転送したりする。一方、データバスDB2は、例えば、メモリセルMC-2、参照セルRC-1のデータをセンスアンプSA-1へ転送したり、メモリセルMC-4、参照セルRC-3のデータをセンスアンプSA-2へ転送したりする。

#### 【0026】

ここで、データバスDB1は、メモリセルアレイMCA1とセンスアンプSA-1との間を延在し、参照セルアレイRCA2、RCA4の近隣を延在し、さらに、メモリセルアレイMCA3とセンスアンプSA-2との間を延在している。一方、データバスDB2は、メモリセルアレイMCA2とセンスアンプSA-1との間を延在し、参照セルアレイRCA1、RCA3の近隣を延在し、さらに、メモリセルアレイMCA4とセンスアンプSA-2との間を延在している。

#### 【0027】

つまり、データバスDB1、DB2は、センスアンプSA-1の両側を延在し、センスアンプSA-1の端部で一旦交差して、さらにSA-2の端部で交差し、センスアンプSA-2の両側を延在している。従って、センスアンプSA-1、SA-2間において、データバスDB1、DB2は2度交差している。本図の場合、データバスDB1、DB2が交差する1つ目の領域は、メモリセルアレイMCA1と参照セルアレイRCA1との境界領域及びメモリセルアレイMCA2と参照セルアレイRCA2との境界領域である。データバスDB1、DB2が交差する2つ目の領域は、メモリセルアレイMCA3と参照セルアレイRCA3との境界領域及びメモリセルアレイMCA4と参照セルアレイRCA4との境界領域である。

#### 【0028】

以上のような配置例1において、メモリセルMC-1が選択された場合は、参照セルRC-1が同時選択され、データバスDB1、DB2を介してセンスアンプSA-1へメモリセルデータと参照セルデータが転送される。この時、上述したように一度に読み出されるビット数をnとした場合、センスアンプSA-1の左右にはそれぞれn本のデータバスDB1、DB2が存在することで、矛盾なく読み出し動作が行える。同様に、メモリセルMC-2、MC-3、MC-4が選択された場合には、それぞれ参照セルRC-2、RC-3、RC-4が同時選択され、センスアンプSA-1、SA-2へ読み出されるが、何れの場合もセンスアンプSA-1、SA-2の左右にはn本のデータバスを設けるだけで十分である。

#### 【0029】

##### [1-4]メモリセル

図3を用いて、本実施形態に係るメモリセルの構成について説明する。

#### 【0030】

本実施形態では、抵抗変化型メモリとして磁気ランダムアクセスメモリを例に挙げているため、メモリセルMCは、TMR (Tunneling Magneto Resistive) 効果を有するMTJ (Magnetic tunnel Junction) 素子と選択トランジスタとを有する。MTJ素子と選択トランジスタとは、互いに直列接続されている。MTJ素子の一端はビット線BLに接続され、MTJ素子の他端は選択トランジスタの電流経路の一端に接続されている。選択トランジスタの電流経路の他端は接地端子に接続され、選択トランジスタのゲートはワード線WLに接続されている。

#### 【0031】

このようなメモリセルMCを複数個マトリクス状に配置させてメモリセルアレイを構成し、このメモリセルアレイの周辺部にデコーダ回路及びセンス回路等の制御回路群を設けることで、任意のビットへのランダムアクセスによる読み出し動作及び書き込み動作が実現する。

#### 【0032】

ここで、MTJ素子は、2枚の強磁性層である金属に挟まれた絶縁膜からなる積層構造

を持ち、スピン偏極トンネル効果による磁気抵抗の変化を示す。

【0033】

M T J 素子は、具体的には、次のような抵抗値を有する。まず、上下の強磁性層のスピン  
の向きが互いに平行な場合は、トンネル絶縁膜を介した2枚の磁性層間のトンネル確率  
が最大となるため、抵抗値が最小となる。一方、上下の強磁性層のスピン  
の向きが互いに反平行な場合は、トンネル確率が最小となるため、抵抗値が最大となる。このような2つ  
のスピン状態を実現するために、通常、上記2枚の磁性層のうち何れか一方の磁性層は、  
その磁化の向きが固定されており外部磁化の影響を受けないように設定されている。一般  
的に、この層はピン層（固定層）と呼ばれている。他方の磁性層は、印加される磁界の向  
きにより磁化の向きはピン層と平行又は反平行にプログラム可能となっている。この層は  
、一般的に、フリー層（記録層）と呼ばれており、情報を蓄える役割を担っている。M T  
J 素子の場合、抵抗変化率（M R 比）は、現在では50%を超えるものも得られている。

10

【0034】

ところで、M T J 素子を用いた磁気ランダムアクセスメモリの読み出しは、次の方法で  
行われる。選択されたM T J 素子の一端に繋がるビット線をセンスアンプに接続し、M T  
J 素子の他端を接地電位に固定することで、メモリセルM C に電流Iを流し、M T J 素子  
の抵抗変化をセンスアンプで検知・増幅する。ここで、選択されたビット線B L に対応す  
るM T J 素子の2枚の磁性層間に電圧を印加し、このM T J 素子を流れる電流Iから抵抗  
値を読み取る方法や、選択されたM T J 素子に定電流Iを流し、これにより発生する2枚  
の磁性層間の電圧を読み出す方法等がある。

20

【0035】

一方、M T J 素子を用いた磁気ランダムアクセスメモリの書き込みは、次の方法で行わ  
れる。合成磁場書き込み方式では、M T J 素子のフリー層の磁化の向きを反転させるため  
、ビット線B L 及びワード線W L に一定以上の電流Iを流し、この電流Iが発生する合成  
磁界の大きさによりフリー層の磁化の向きを書き換える（例えば、非特許文献1参照）。  
一方、スピン注入書き込み方式では、スピン偏極した電子の作用により直接的に磁化を反  
転させることで書き込みを行う（例えば、特許文献1参照）。ここで、フリー層の磁化の  
向きは、電子を流す方向、換言すれば電流Iの向きにより制御される。スピン注入方式に  
おいては、素子に流す電流密度がある閾値以上流れると書き込みが可能となるため、素子  
の微細化に伴い書き込みに必要な電流Iは素子サイズ縮小率の二乗に比例して小さくする  
ことが可能である。これは、スケーリング則に合致し、合成磁場書き込み方式よりも素子  
の微細化に対し優れた特性を有する。

30

【0036】

[1-5] 効果

上記第1の実施形態によれば、隣接する2つのメモリセルアレイM C A 1、M C A 2 間  
にこのメモリセルアレイM C A 1、M C A 2 で共有されるセンスアンプ群S A が配置され  
、このセンスアンプ群S A の両側に読み出し用のデータバス群D B G 1、D B G 2 が配置  
されている。この構造において、読み出し対象セルが接続されるデータバス群D B G 1 と  
参照セルが読み出されるデータバス群D B G 2 がセンスアンプS A を中心に交差配設され  
る。この交差領域を、アクセス対象セル群が配置された領域と参照セル群が配置された領  
域との境界部分にレイアウトしている。ここで、一つのアクセスサイクルで同時に読み出  
されるビット数をnとすると、センスアンプS A の両側にn本のデータバス群D B G を配  
設することが可能となり、従来では未使用であった、センスアンプS A を挟んで選択セル  
アレイと反対側のデータバス群D B G の利用が可能となる。従って、従来よりもデータバ  
スD B の本数を半減化できたため、チップサイズに占めるデータバス領域を減少させること  
が可能となるので、チップサイズの縮小を図ることができる。

40

【0037】

また、例えば、図1に示すメモリセルアレイM C A 1 内のワード線W L \_\_ L 0 とカラム  
選択線C L \_\_ L 0 がアクセス対象番地に相当する場合、4ビットのメモリセルM C 1 ~ 4  
が同時選択され、左側アレイ専用のデータバス群D B G 1 の4本を経由してセンスアンプ

50

S Aへ読み出しデータが転送される。この時、センスアンプS Aへ入力すべき参照セルを同時活性する必要があることから、参照カラム選択線R C L<sub>0</sub>が同時活性され、参照セルR C 1～4が選択される。さらに、データバス上で参照セルデータと読み出しデータとが衝突することを防ぐため、これらの参照セルデータはデータバス群D B G 1と異なる4本の参照セル専用のデータバス群D B G 2を経由してセンスアンプS Aへ転送する。これにより、センスアンプS Aから見た場合のビット選択の整合性を保持することができる。このような読み出し方式は、全てのデータバスD Bに、参照セルを含め、同一数のカラムゲート数が接続されることから、寄生容量や寄生抵抗が全てのデータバスD Bで同一となる。これにより、センスアンプS Aから見た場合のC R時定数がいかなるセルを選択した場合にも完全にバランス化させることが可能で、読み出しマージンの劣化を引き起こさない。

10

#### 【0038】

以上のように、本実施形態によれば、センスアンプS Aから見たデータバスペア間の寄生容量や寄生抵抗を完全にバランス化させた状態で、データバスD Bを交差配置させることより、必要となるデータバスD Bの本数を半減でき、チップサイズの縮小を図れる。これにより、読み出しの安定性を保持したまま、より大容量な抵抗変化型メモリを低コストで実現できる。

#### 【0039】

尚、本実施形態では、参照セル群をメモリセル群の端部に配置したが、参照セル群はメモリセル群の中央部を含め、メモリセル群中のいかなる部分に配置されてもよい。

20

#### 【0040】

##### [2] 第2の実施形態

上記第1の実施形態では、センスアンプの左右(X方向)のセルアレイが排他的に動作した。これに対し、第2の実施形態では、これに加え、上下(Y方向)のセルアレイも排他的に動作する。従って、第2の実施形態は、データバスが上下のセルアレイで共有化される。尚、第2の実施形態では、上記第1の実施形態と同様の構成については説明を省略する。

#### 【0041】

##### [2-1] 配置例2-1

第2の実施形態の配置例2-1は、参照セルが選択セルと同一アレイ内に構成された場合である。

30

#### 【0042】

図4は、本発明の第2の実施形態に係る読み出し系回路の配置例2-1の模式図を示す。以下に、第2の実施形態に係る読み出し系回路、特にメモリセルアレイ、参照セルアレイ、データバス、センスアンプの模式的な配置例について説明する。

#### 【0043】

図4に示すように、配置例2-1において、上記第1の実施形態と異なる点は、互いに隣接する4つのメモリセルアレイM C A 1、M C A 2、M C A 3、M C A 4が排他的に動作する点である。

#### 【0044】

具体的には、メモリセルアレイM C A 1、M C A 2、M C A 3、M C A 4は、センスアンプS A - 1、データバスD B 1、D B 2を共有する。センスアンプS A - 1は参照セルR C A 1、R C A 2、R C A 3、R C A 4に隣接して配置され、データバスD B 1、D B 2はセンスアンプS A - 1の両端部で交差している。従って、センスアンプS A - 1は、データバスD B 1、D B 2の2つの交差領域間に配置されている。

40

#### 【0045】

以上のような配置において、メモリセルM C - 1が選択された場合は、このメモリセルM C - 1と同一のセルアレイR C A 1中の参照セルR C - 1が同時選択され、データバスD B 1、D B 2を介してセンスアンプS A - 1へメモリセルデータと参照セルデータが転送される。この時、上述したように一度に読み出されるビット数をnとした場合、センス

50

アンプ S A - 1 の左右にはそれぞれ n 本のデータバス D B 1、D B 2 が存在することで、矛盾なく読み出し動作が行える。

【 0 0 4 6 】

[ 2 - 2 ] 配置例 2 - 2

第 2 の実施形態の配置例 2 - 2 は、参照セルが選択セルと異なるアレイ内に構成された場合である。

【 0 0 4 7 】

図 5 は、本発明の第 2 の実施形態に係る読み出し系回路の配置例 2 - 2 の模式図を示す。以下に、第 2 の実施形態に係る読み出し系回路、特にメモリセルアレイ、参照セルアレイ、データバス、センスアンプの模式的な配置例について説明する。

10

【 0 0 4 8 】

図 5 に示すように、配置例 2 - 2 において、上記第 1 の実施形態と異なる点は、互いに隣接する 4 つのメモリセルアレイ M C A 1、M C A 2、M C A 3、M C A 4 が排他的に動作し、データバス D B 1、D B 2 の交差領域を 2 つから 1 つに半減させている点である。このような構成を実現するには、参照セルを選択セルと異なる上下方向のアレイから選択し、参照セルデータをセンスアンプ S A - 1 へ入力させる。

【 0 0 4 9 】

例えば、センスアンプ S A - 1 の左上部のメモリセルアレイ M C A 1 内に配置されたメモリセル M C - 1 が選択された場合、センスアンプ S A - 1 の左下部の参照セルアレイ R C A 3 内に配置した参照セル R C - 1 が同時に選択される。一方、センスアンプ S A - 1 の右下部のメモリセルアレイ M C A 4 内に配置されたメモリセル M C - 2 が選択された場合、センスアンプ S A - 1 の右上部の参照セルアレイ R C A 2 内に配置した参照セル R C - 2 が同時に選択される。

20

【 0 0 5 0 】

[ 2 - 3 ] 効果

上記第 2 の実施形態の配置例 2 - 1 及び配置例 2 - 2 によれば、第 1 の実施形態と同様の効果を得ることができ、さらに、排他的動作のセルアレイ数を増加させることでセンスアンプの数を減らすことができる。このため、センスアンプの数の減少に伴ってチップサイズを縮小することができる。

【 0 0 5 1 】

30

さらに、配置例 2 - 2 によれば、参照セルを選択セルと異なる上下方向のアレイから選択し、参照セルデータをセンスアンプ S A - 1 へ入力させる。これにより、データバス D B 1、D B 2 の交差領域を、上下アレイ境界部分の 1 箇所に低減できる。このため、データバス D B 1、D B 2 を交差させるための領域を縮小でき、さらにチップサイズの縮小が実現可能となる。

【 0 0 5 2 】

尚、本実施形態では、参照セル群をメモリセル群の端部に配置したが、参照セル群はメモリセル群の中央部を含め、メモリセル群中のいかなる部分に配置されてもよい。

【 0 0 5 3 】

[ 3 ] 第 3 の実施形態

40

第 3 の実施形態は、同一セルアレイ内の複数の選択セルのデータが、アレイの一方向でなく、アレイの二方向に読み出される。

【 0 0 5 4 】

[ 3 - 1 ] 配置例 3 - 1

第 3 の実施形態の配置例 3 - 1 は、上述した配置例 2 - 1 に対応し、データバスの交差領域の数が 2 つである。尚、配置例 3 - 1 において、配置例 2 - 1 と同様の構成については説明を省略する。

【 0 0 5 5 】

図 6 は、本発明の第 3 の実施形態に係る読み出し系回路の配置例 3 - 1 の模式図を示す。以下に、第 3 の実施形態に係る読み出し系回路、特にメモリセルアレイ、参照セルアレイ

50

イ、データバス、センスアンプの模式的な配置例について説明する。

【 0 0 5 6 】

図 6 に示すように、メモリセルアレイ M C A 1 内のメモリセル M C - 1、M C - 2 が選択される場合、メモリセル M C - 1 のデータはメモリセルアレイ M C A 1 の左側のデータバス D B 2 に読み出され、メモリセル M C - 2 のデータはメモリセルアレイ M C A 1 の右側のデータバス D B 3 に読み出される。つまり、同一のメモリセルアレイ M C A 1 内のメモリセル M C - 1、M C - 2 のデータは、メモリセルアレイ M C A 1 の二方向にそれぞれ読み出される。

【 0 0 5 7 】

ここで、メモリセルアレイ M C A 1 内のメモリセル M C - 1 が選択された場合、参照セルアレイ R C A 1 内の参照セル R C - 1 が同時に選択される。そして、メモリセル M C - 1 のデータがデータバス D B 2 を介してセンスアンプ S A - 1 に読み出され、参照セル R C - 1 のデータがデータバス D B 1 を介してセンスアンプ S A - 1 に読み出される。

10

【 0 0 5 8 】

一方、メモリセルアレイ M C A 1 内のメモリセル M C - 2 が選択された場合、参照セルアレイ R C A 1 内の参照セル R C - 2 が同時に選択される。そして、メモリセル M C - 2 のデータがデータバス D B 3 を介してセンスアンプ S A - 2, 3 に読み出され、参照セル R C - 2 のデータがデータバス D B 4 を介してセンスアンプ S A - 2, 3 に読み出される。

【 0 0 5 9 】

20

[ 3 - 2 ] 配置例 3 - 2

第 3 の実施形態の配置例 3 - 2 は、上述した配置例 2 - 2 に対応し、データバスの交差領域の数が 1 つである。尚、配置例 3 - 2 において、配置例 2 - 2 と同様の構成については説明を省略する。

【 0 0 6 0 】

図 7 は、本発明の第 3 の実施形態に係る読み出し系回路の配置例 3 - 2 の模式図を示す。以下に、第 3 の実施形態に係る読み出し系回路、特にメモリセルアレイ、参照セルアレイ、データバス、センスアンプの模式的な配置例について説明する。

【 0 0 6 1 】

図 7 に示すように、配置例 3 - 2 は、上述した配置例 3 - 1 と同様、同一のメモリセルアレイ M C A 1 内のメモリセル M C - 1、M C - 2 のデータは、メモリセルアレイ M C A 1 の二方向のデータバス D B 2、D B 3 にそれぞれ読み出される。

30

【 0 0 6 2 】

配置例 3 - 2 において、上述した配置例 3 - 1 と異なる点は、参照セルを選択セルと異なる上下方向のアレイから選択し、参照セルデータをセンスアンプ S A - 1 へ入力させている点である。

【 0 0 6 3 】

具体的には、上部のメモリセルアレイ M C A 1 内に配置されたメモリセル M C 1、M C 2 が選択された場合は、下部の参照セルアレイ R C A 3 内に配置した参照セル R C - 1、R C - 2 が同時に選択される。一方、下部のメモリセルアレイ M C A 4 内に配置されたメモリセル M C 3、M C 4 が選択された場合は、上部の参照セルアレイ R C A 2 内に配置した参照セル R C - 3、R C - 4 が同時に選択される。

40

【 0 0 6 4 】

[ 3 - 5 ] 効果

上記第 3 の実施形態の配置例 3 - 1 及び配置例 3 - 2 によれば、第 1 及び第 2 の実施形態と同様の効果を得ることができ、さらに、同一セルアレイ内の複数の選択セルのデータを左右の二方向に読み出す。この場合、参照セルの読み出しもアレイの左右 2 方向に設定することで、矛盾なく読み出し動作を行うことが可能である。

【 0 0 6 5 】

尚、本実施形態では、参照セル群をメモリセル群の端部に配置したが、参照セル群はメ

50

メモリセル群の中央部を含め、メモリセル群中のいかなる部分に配置されてもよい。

【0066】

[4] 第4の実施形態

上記第1乃至第3の実施形態では、選択セルと参照セルが接続されるワード線は共通していた。これに対し、第4の実施形態では、選択セルと参照セルが接続されるワード線が異なっている。

【0067】

[4-1] 配置例4-1

第4の実施形態の配置例4-1は、同一セルアレイ内の複数の選択セルのデータがアレイの一方向に読み出される。

【0068】

図8は、本発明の第4の実施形態に係る読み出し系回路の配置例4-1の模式図を示す。以下に、第4の実施形態に係る読み出し系回路、特にメモリセルアレイ、参照セルアレイ、データバス、センスアンプの模式的な配置例について説明する。

【0069】

図8に示すように、配置例4-1では、参照セル群がメモリセル群のデータバス側（センスアンプ側）の端部に配置され、選択セルと参照セルが異なるワード線に接続されている。

【0070】

具体的には、ワード線WL1が活性化されてメモリセルアレイMCA1内のメモリセルMC-1が選択された場合は、参照セル専用の参照ワード線RWL1が活性化され、参照セルアレイRCA3内の参照セルRC-1が選択される。この場合も、上下のメモリセルアレイMCA1、MCA3の境界近傍でデータバスDB1、DB2を交差配設させることで、データバスの本数を抑制できる。

【0071】

[4-2] 配置例4-2

第4の実施形態の配置例4-2は、第3の実施形態と同様、同一セルアレイ内の複数の選択セルのデータが、アレイの一方向でなく、アレイの二方向に読み出される。尚、配置例4-2において、配置例4-1と同様の構成については説明を省略する。

【0072】

図9は、本発明の第4の実施形態に係る読み出し系回路の配置例4-2の模式図を示す。以下に、第4の実施形態に係る読み出し系回路、特にメモリセルアレイ、参照セルアレイ、データバス、センスアンプの模式的な配置例について説明する。

【0073】

図9に示すように、配置例4-2では、参照セル群がメモリセル群の中央部に配置され、選択セルと参照セルが異なるワード線に接続されている。

【0074】

そして、メモリセルアレイMCA1内のメモリセルMC-1、MC-2が選択される場合、メモリセルMC-1のデータはメモリセルアレイMCA1の左側のデータバスDB2に読み出され、メモリセルMC-2のデータはメモリセルアレイMCA1の右側のデータバスDB3に読み出される。つまり、同一のメモリセルアレイMCA1内のメモリセルMC-1、MC-2のデータは、メモリセルアレイMCA1の二方向にそれぞれ読み出される。

【0075】

ここで、ワード線WL1が活性化されてメモリセルアレイMCA1内のメモリセルMC-1、MC-2が選択された場合、参照セル専用の参照ワード線RWL1が活性化され、参照セルアレイRCA3内の参照セルRC-1、RC-2がそれぞれ選択される。この場合も、異なる上下2つのセルアレイから、それぞれ選択セルと参照セルを活性化し、センスアンプへ入力することでデータバスの本数を抑制できる。

【0076】

10

20

30

40

50

[ 4 - 5 ] 効果

上記第 4 の実施形態によれば、配置例 4 - 1 は第 1 及び第 2 の実施形態と同様の効果を得ることができ、配置例 4 - 2 は第 1 及び第 3 の実施形態と同様の効果を得ることができる。

【 0 0 7 7 】

尚、本実施形態では、参照セル群をメモリセル群の中央部に配置したが、参照セル用ワード線 R W L はメモリセル群の端を含め、メモリセル群中のいかなる部分に配置されてもよい。

【 0 0 7 8 】

その他、本発明は、上記各実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で、種々に変形することが可能である。例えば、上記各実施形態では、抵抗変化型メモリとして磁気ランダムアクセスメモリを例に挙げたが、これに限定されず、カルコゲナイドガラスを用いた P R A M (Phase-change Random Access Memory)、強相関電子系材料などを用いた R e R A M (Resistance Random Access Memory) にも適用可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

10

【図面の簡単な説明】

20

【 0 0 7 9 】

【図 1】本発明の第 1 の実施形態に係る磁気ランダムアクセスメモリの読み出し系回路の概略的な回路図。

【図 2】本発明の第 1 の実施形態に係る読み出し系回路の配置例 1 の模式図。

【図 3】本発明の第 1 の実施形態に係るメモリセルの構成を示す回路図。

【図 4】本発明の第 2 の実施形態に係る読み出し系回路の配置例 2 - 1 の模式図。

【図 5】本発明の第 2 の実施形態に係る読み出し系回路の配置例 2 - 2 の模式図。

【図 6】本発明の第 3 の実施形態に係る読み出し系回路の配置例 3 - 1 の模式図。

【図 7】本発明の第 3 の実施形態に係る読み出し系回路の配置例 3 - 2 の模式図。

【図 8】本発明の第 4 の実施形態に係る読み出し系回路の配置例 4 - 1 の模式図。

30

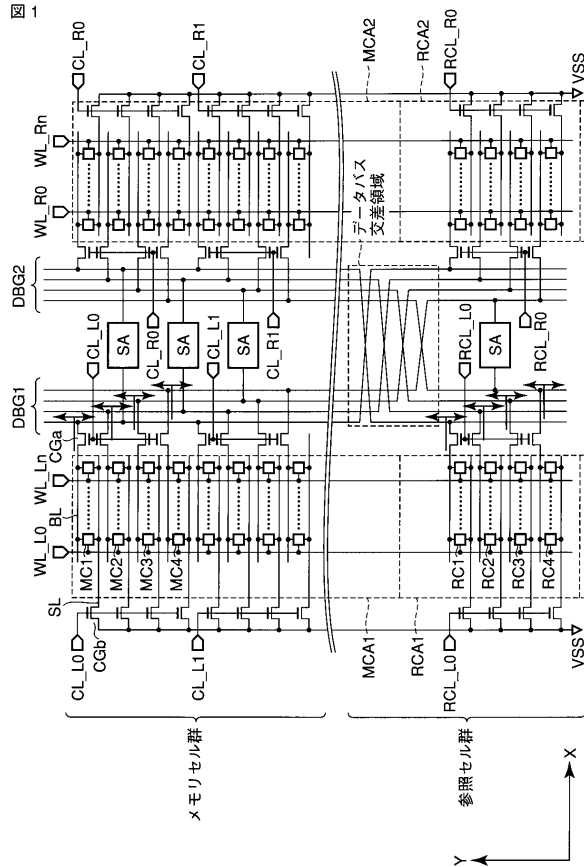
【図 9】本発明の第 4 の実施形態に係る読み出し系回路の配置例 4 - 2 の模式図。

【符号の説明】

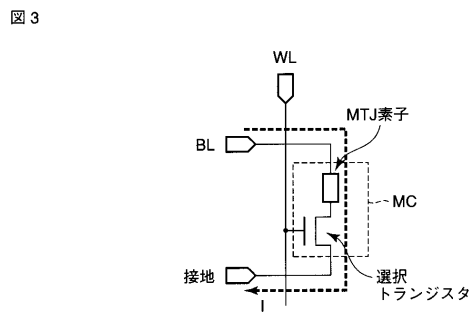
【 0 0 8 0 】

M C A ... メモリセルアレイ、M C ... メモリセル、R C A ... 参照セルアレイ、R C ... 参照セル、S A ... センスアンプ、D B G ... データバス群、D B ... データバス、B L ... ビット線、W L、R W L ... ワード線、S L ... ソース線、C L、R C L ... カラム選択線。

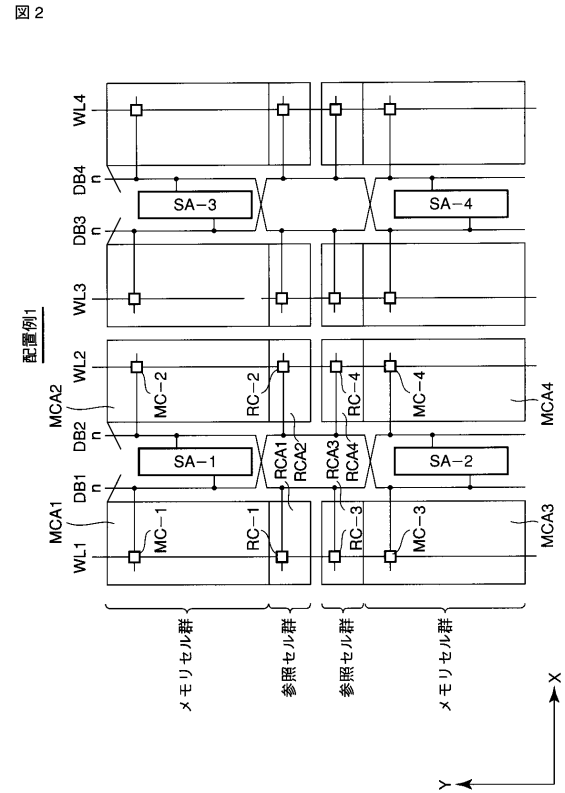
【図 1】



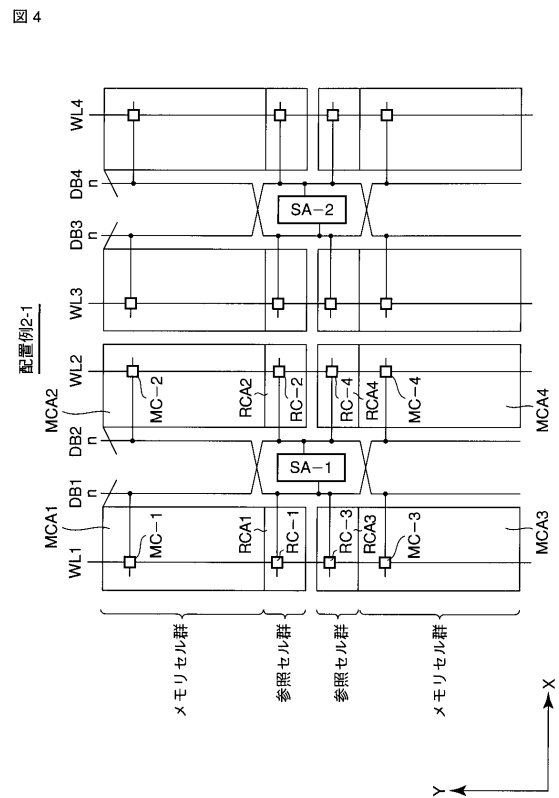
【図 3】



【図 2】

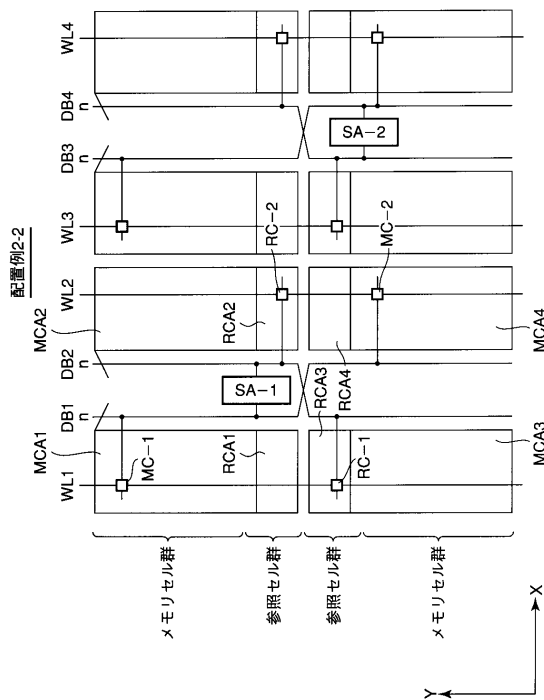


【図 4】



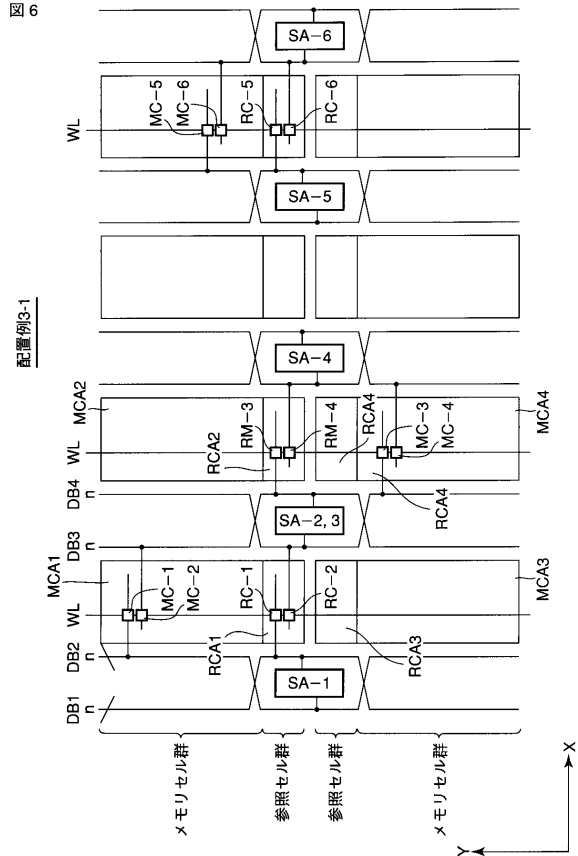
【図 5】

図 5



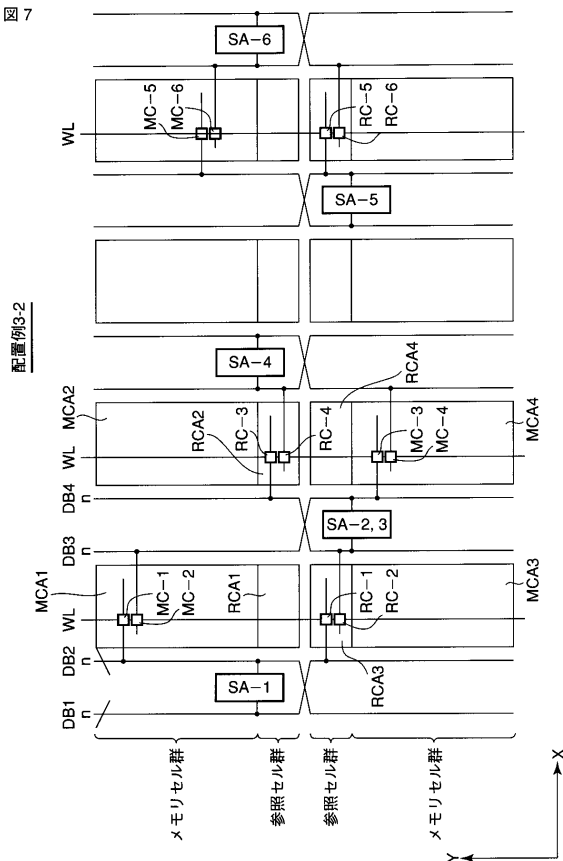
【図 6】

図 6



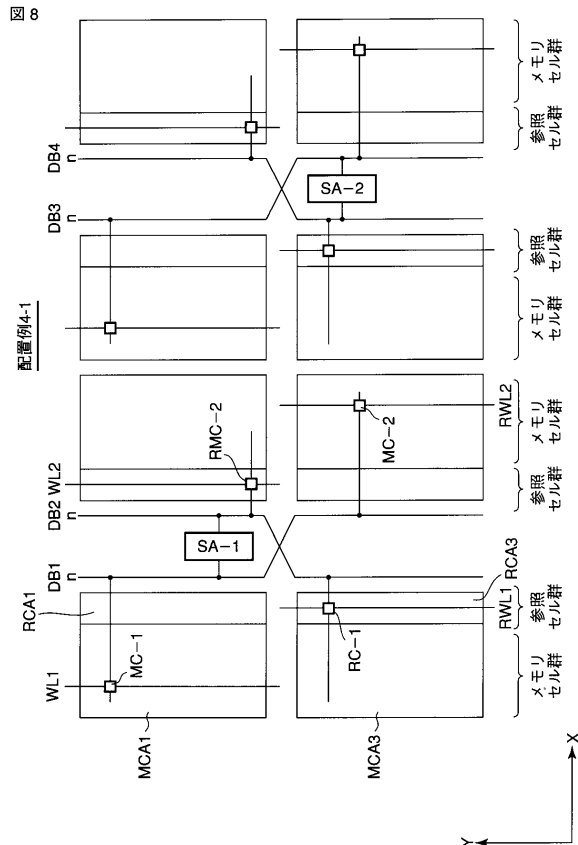
【図 7】

図 7



【図 8】

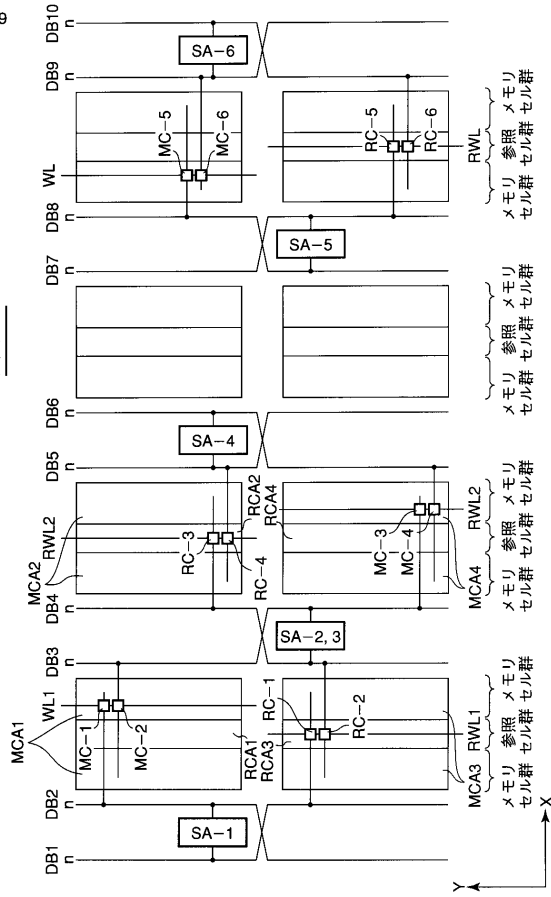
図 8



## 【図 9】

図 9

配置例4-2



---

フロントページの続き

- (74)代理人 100095441  
弁理士 白根 俊郎
- (74)代理人 100084618  
弁理士 村松 貞男
- (74)代理人 100103034  
弁理士 野河 信久
- (74)代理人 100119976  
弁理士 幸長 保次郎
- (74)代理人 100153051  
弁理士 河野 直樹
- (74)代理人 100140176  
弁理士 砂川 克
- (74)代理人 100100952  
弁理士 風間 鉄也
- (74)代理人 100101812  
弁理士 勝村 紘
- (74)代理人 100070437  
弁理士 河井 将次
- (74)代理人 100124394  
弁理士 佐藤 立志
- (74)代理人 100112807  
弁理士 岡田 貴志
- (74)代理人 100111073  
弁理士 堀内 美保子
- (74)代理人 100134290  
弁理士 竹内 将訓
- (74)代理人 100127144  
弁理士 市原 卓三
- (74)代理人 100141933  
弁理士 山下 元
- (72)発明者 土田 賢二  
東京都港区芝浦一丁目1番1号 株式会社東芝内