

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
23. August 2018 (23.08.2018)



(10) Internationale Veröffentlichungsnummer
WO 2018/149575 A1

- (51) Internationale Patentklassifikation:
H05K 1/18 (2006.01) H05K 3/34 (2006.01)
H05K 3/28 (2006.01)
- (21) Internationales Aktenzeichen: PCT/EP2018/050832
- (22) Internationales Anmeldedatum:
15. Januar 2018 (15.01.2018)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität:
10 2017 102 999.0
15. Februar 2017 (15.02.2017) DE
- (71) Anmelder: ENDRESS+HAUSER SE+CO. KG [DE/DE];
Hauptstr. 1, 79689 Maulburg (DE).
- (72) Erfinder: BIRGEL, Dietmar; Blumenweg 10, 79650 Schopfheim (DE). BANNWARTH, Alexander; Hauptstr. 46, 79739 Schwörstadt (DE). BURGER, Paul; Hans-Vetter-Straße 167, 79650 Schopfheim (DE).
- (74) Anwalt: ANDRES, Angelika; Colmarer Str. 6, Endress+Hauser (Deutschland) AG+Co. KG, 79576 Weil am Rhein (DE).
- (81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW,

(54) Title: PRINTED CIRCUIT BOARD WITH STACKED COMPONENTS AND METHOD FOR THE PRODUCTION THEREOF

(54) Bezeichnung: LEITERPLATTE MIT GESTAPELTEN BAUELEMENTEN UND VERFAHREN ZUR DEREN HERSTELLUNG

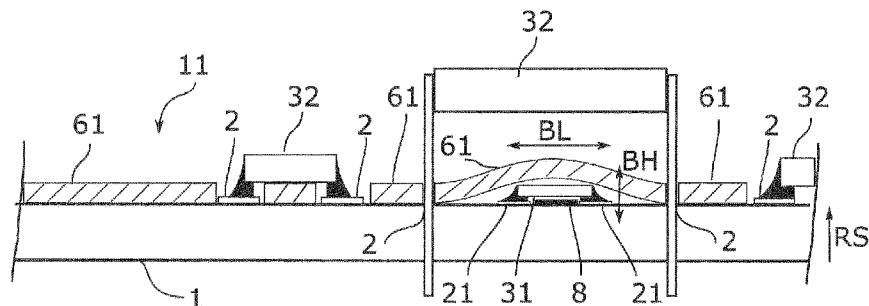


Fig. 1

(57) Abstract: The invention relates to a printed circuit board (1), wherein solder contacts (2) with components (31, 32,...) soldered thereon, conductor tracks (4) and areas (5) isolating the solder contacts (2) and/or the conductor tracks (4) from each other are provided on at least one surface (11) of the printed circuit board (1). A first film (61) acting as a solder stop layer is applied to at least one first portion of the isolating areas (5), preferably the major part of the isolating areas (5). At least one of the components (31) is arranged in a direction (RS) which is substantially perpendicular to the surface (11) of the printed circuit board (1) between the printed circuit board (1) and the first film and is at least partially, particularly completely, covered by the first film (4).

(57) Zusammenfassung: Die Erfindung betrifft eine Leiterplatte (1), wobei auf zumindest einer Oberfläche (11) der Leiterplatte (1) Lötkontakte (2) mit darauf aufgelöteten Bauelementen (31,32,...), Leiterbahnen (4) sowie die Lötkontakte (2) und/oder die Leiterbahnen (4) gegeneinander isolierende Bereiche (5) vorgesehen sind. Auf zumindest einem ersten Anteil der isolierenden Bereiche (5), vorzugsweise einem Großteil der isolierenden Bereiche (5), ist eine als Lötstoppschicht dienende erste Folie (61) aufgebracht. Zumindest eines der Bauelemente (31) ist in einer zu der Oberfläche (11) der Leiterplatte (1) im Wesentlichen senkrechten Richtung (RS) zwischen der Leiterplatte (1) und der ersten Folie angeordnet und zumindest teilweise, insbesondere vollständig, durch die erste Folie (4) abgedeckt.

WO 2018/149575 A1

SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM,
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) Bestimmungsstaaten** (*soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart*): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

- mit internationalem Recherchenbericht (Artikel 21 Absatz 3)

Die Erfindung betrifft eine Leiterplatte, wobei auf zumindest einer Oberfläche der
Leiterplatte Lötkontakte mit darauf aufgelöteten Bauelementen, Leiterbahnen sowie die
5 Lötkontakte und/oder die Leiterbahnen gegeneinander isolierende Bereiche vorgesehen
sind. Auf zumindest einem ersten Anteil der isolierenden Bereiche, vorzugsweise einem
Großteil der isolierenden Bereiche, ist eine als Lötstoppschicht dienende erste Folie
aufgebracht. Ferner betrifft die Erfindung ein Verfahren zur Herstellung der
erfindungsgemäßen Leiterplatte.

10

Eine Vielzahl der elektronischen Bauelemente ist dabei als oberflächen-montierbare
Bauelemente, so genannte 'Surface Mounted Devices' bzw. SMD-Bauelemente erhältlich.
SMD-Bauelemente benötigen keine Leiterplatten-löcher zur Montage, sondern werden mit
ihren Kontakten direkt an vorgesehenen Anschlüsse aufgelötet. SMD-Bauelemente
15 werden mit Bestückungsautomaten maschinell auf mit Lotpaste versehene
Kontaktflächen auf der Leiterplatte platziert und gemeinsam in einem einzigen Reflow-
Prozess aufgelötet. Neben den SMD Bauelementen gibt es noch eine Vielzahl von
speziellen Bauelementen, die bedingt durch ihre Funktion größere Abmessungen
aufweisen. Diese Bauelemente sind bevorzugt als Through Hole Technology- bzw. THT-
20 Bauelemente ausgebildet. THT-Bauelemente weisen stiftförmige Anschlussdrähte auf, die
durch metallisierte Anschlussbohrungen oder Durchkontaktierungen in der Leiterplatte
hindurch gesteckt werden. THT Bauelemente werden typischerweise in einem Selektiv-
oder Wellenlötverfahren verlötet.

25

Die Lötstoppschicht dient dabei zunächst dem Schutz der Leiterbahnen vor dem flüssigen
Lot während dem Löten der Lötkontakte der Bauelemente auf die Oberfläche der
Leiterplatte. Im Rahmen dieser Anmeldung werden sowohl die Kontaktflächen der SMD-
Bauelemente, als auch die Durchkontaktierungen der THT-Bauelemente als
„Lötkontakte“ bezeichnet. Die Lötstoppschicht verhindert dabei das Benetzen der mit ihr
30 überzogenen Bereiche der Oberfläche der Leiterplatte. Dadurch wird erreicht, dass das
flüssige Lot keine Brücken auf den isolierenden Bereichen ausbilden kann. Die
Lötstoppschicht wird im Stand der Technik im Rahmen des Herstellungsprozesses der
Leiterplatte auf die unbestückte Leiterplatte aufgebracht.

35

Im Stand der Technik sind zwei Arten von Leiterplatten mit jeweils einer einheitlichen
Lötstoppschicht bekannt. Entweder handelt es sich um eine als Lötstopplack
aufgebrachte einheitliche Lötstoppschicht oder um eine als Folie aufgebrachte
einheitliche Lötstoppschicht. Da die Lötstoppschicht nur in den der elektrischen Isolation
dienenden Bereichen (kurz: isolierenden Bereichen) der Oberfläche der Leiterplatte
40 vorhanden ist, muss sie selektiv aufgebracht werden. Für eine als Lötstopplack
ausgebildete Lötstoppschicht wird zunächst vollflächig nicht-ausgehärteter Lötstopplack

auf die gesamte Oberfläche der Leiterplatte aufgebracht. Dieser wird anschließend in dem isolierenden Bereich selektiv ausgehärtet, beispielsweise mittels phototechnischer Methoden. Anschließend wird der nicht-ausgehärtete Lötstopplack aus dem nicht-isolierenden und damit freizustellenden Bereich (beispielsweise dem Bereich der Lötkontakte) von der Oberfläche der Leiterplatte entfernt. Eine als Folie ausgebildete Lötstoppschicht wird dagegen aufgebracht, indem die Folie, gegebenenfalls mittels eines Fügmittels, auf die Oberfläche der Leiterplatte gepresst wird. Die Folie weist dabei ein Negativ des freizustellenden Bereichs auf der Leiterplatte auf. Durch die anschließende Entfernung des Negativs, beispielsweise durch Ätzen, wird die in den isolierenden Bereichen selektiv aufgebraute und als Folie ausgebildete Lötstoppschicht erhalten.

Die Lötstoppschicht bestimmt auch den elektrischen Widerstand des damit beschichteten isolierenden Bereichs, kurz: den Isolationswiderstand. Bei vorgegebener Geometrie der Lötkontakte und/oder Leiterbahnen wird der Isolationswiderstand im Wesentlichen durch die Materialeigenschaften der Lötstoppschicht bestimmt. Die als Folie ausgebildete Lötstoppschicht weist in der Regel eine wesentliche größere Lötstoppschicht-Dicke auf (ca. 80-150 Mikrometer), als die Lötstoppschicht-Dicke der als Lötstopplack aufgebrauten Lötstoppschicht (ca. 5-40 Mikrometer). Aufgrund der größeren Lötstoppschicht-Dicke lassen sich mit der Folie daher oftmals höhere Isolationswiderstände erreichen.

Ein hoher, durch die Lötstoppschicht mitbestimmter Isolationswiderstand ist insbesondere dann erforderlich, wenn die Leiterplatte Teil eines Feldgeräts der Automatisierungstechnik ist, welches in explosionsgefährdeten Bereichen betrieben werden soll. Der Explosionsschutz wird hier dadurch erzielt, dass der Isolationswiderstand oberhalb eines in entsprechenden Normen geforderten Mindestwiderstands liegt. Dadurch ist ein Kurzschluss auch im Fehlerfall ausgeschlossen. HF-Bauelemente erfordern dabei einen besonders hohen Isolationswiderstand zwischen ihren Lötkontakten. HF ist Abkürzung für „Hochfrequenz“, wobei als HF-Bauelemente die für Hochfrequenz-Technik verwendeten Komponenten wie beispielsweise Kabel, Stecker, Antennen, Transistoren oder andere Komponenten bezeichnet werden.

Oftmals ist der Platz zur Anordnung der Bauelemente auf einer Leiterplatte stark begrenzt. Dies ist zum Einen dadurch bedingt, dass zum Beispiel aufgrund von vielfältigen Funktionalitäten des Feldgerätes eine Vielzahl von unterschiedlichen Bauelementen auf der Leiterplatte platziert werden soll. Zum anderen wird der verfügbare Platz auf der Oberfläche der Leiterplatte weiter eingeschränkt, falls der Explosionsschutz die oben erwähnten Mindestabstände zwischen Bauelementen, Leiterbahnen und/oder Lötkontakten erforderlich macht.

40

Der Erfindung liegt daher die Aufgabe zugrunde, eine Leiterplatte mit einer platzsparenden Anordnung der Bauelemente anzugeben. Ferner liegt der Erfindung die Aufgabe zugrunde, ein Verfahren zur Herstellung der erfindungsgemäßen Leiterplatte anzugeben.

5

Die Aufgabe wird gelöst durch eine Leiterplatte, wobei auf zumindest einer Oberfläche der Leiterplatte Lötkontakte mit darauf aufgelöteten Bauelementen, Leiterbahnen sowie die Lötkontakte und/oder die Leiterbahnen gegeneinander isolierende Bereiche vorgesehen sind. Auf zumindest einem ersten Anteil der isolierenden Bereiche, vorzugsweise einem Großteil der isolierenden Bereiche, ist eine als Lötstoppschicht dienende erste Folie aufgebracht. Zumindest eines der Bauelemente ist in einer zu der Oberfläche der Leiterplatte im Wesentlichen senkrechten Richtung zwischen der Leiterplatte und der ersten Folie angeordnet und zumindest teilweise, insbesondere vollständig, durch die erste Folie abgedeckt.

10

15

Die erfindungsgemäße Leiterplatte nutzt vorteilhaft die als Lötstoppschicht dienende Folie gleichzeitig zur Abdeckung zumindest eines Bauelements, wodurch eine platzsparende Anordnung der Bauelemente unter gleichzeitiger Einhaltung des erforderlichen, durch die erste Folie mitbestimmten, Isolationswiderstands erreicht wird. Für den Fall, dass das Bauelement z.B. vollständig durch die erste Folie abgedeckt ist, wird von dem abgedeckten Bauelement dadurch im Wesentlichen kein Platz auf der Oberfläche der Leiterplatte beansprucht.

20

25

In einer Ausgestaltung weist die Leiterplatte unbedeckte, insbesondere THT- oder SMD-aufgelötete Bauelemente auf, an deren Lötkontakte jeweils die als Lötstoppschicht dienende erste Folie angrenzt. Die Folie dient in dieser Ausgestaltung als Lötstoppschicht, die an die Lötkontakte angrenzt, z.B. indem sie zwischen den Lötkontakten der THT- oder SMD-aufgelöteten Bauelemente angeordnet ist.

30

In einer weiteren Ausgestaltung ist das durch die erste Folie abgedeckte Bauelement oder zumindest eines der durch die erste Folie abgedeckten Bauelemente in einer in der Leiterplatte eingebrachten Kavität angeordnet.

35

Bevorzugt ist die Kavität derart bemessen, dass das durch die erste Folie abgedeckte Bauelement im Wesentlichen vollständig innerhalb der Kavität angeordnet ist. Dadurch liegt die Folie im Wesentlichen vollkommen eben auf der Leiterplatte und dem abgedeckten Bauelement auf.

40

In einer Weiterbildung ist auf einem zweiten Anteil der isolierenden Bereiche ein als Lötstoppschicht dienender Lötstopplack aufgebracht. Alternativ oder zusätzlich ist auf

einem drittem Anteil der isolierenden Bereiche eine als Lötstoppschicht dienende zweite Folie aufgebracht. Der Lötstopplack und/oder die zweite Folie weisen eine Lötstoppschicht-Dicke auf, die von der Lötstoppschicht-Dicke der das zumindest eine Bauelement abdeckenden ersten Folie verschieden ist. In dieser Weiterbildung werden
5 also auf der Oberfläche der Leiterplatte Lötstoppschichten unterschiedlicher Lötstoppschicht-Dicke sowie gegebenenfalls verschiedenartige Lötstoppschichten (d.h. Lötstopplack und Folie) eingesetzt. Dies ermöglicht es, z.B. die an die Lötkontakte eines Bauelements angrenzende Lötstoppschicht auf das spezielle Bauelement abzustimmen. Dadurch kann zum Beispiel ein lokal hoher Isolationswiderstand für die eingangs
10 erwähnten HF-Bauelemente über die Lötstoppschicht-Dicke eingestellt werden.

Bei dem abgedeckten Bauelement handelt es sich bevorzugt um ein verhältnismäßig kleines Bauelement. In einer bevorzugten Ausgestaltung weist daher das durch die erste Folie abgedeckte Bauelement oder zumindest eines der durch die erste Folie
15 abgedeckten Bauelemente in einer zu der Oberfläche der Leiterplatte im Wesentlichen parallelen Richtung oder in zwei zu der Oberfläche der Leiterplatte im Wesentlichen parallelen Richtungen eine Bauelement-Kantenlänge auf, die kleiner als 5mm ist. Insbesondere ist die Bauelement-Kantenlänge kleiner als 1mm und vorzugsweise kleiner als 0,5mm. In einer zu der Oberfläche der Leiterplatte im Wesentlichen senkrechten
20 Richtung weist das Bauelement eine Bauelement-Höhe auf, die kleiner als 1mm ist. Insbesondere ist die Bauelement-Höhe kleiner als 0,5 mm und vorzugsweise kleiner als 0,3 mm.

In einer Ausgestaltung ist/sind das oder die durch die erste Folie abgedeckte/n
25 Bauelement/e SMD-gelötet. Alternativ ist es z.B. möglich, das oder die durch die Folie abgedeckte/n Bauelemente/n mittels Leitkleber auf der Oberfläche der Leiterplatte zu befestigen.

In einer besonders vorteilhaften Weiterbildung ist eines der unbedeckten Bauelemente
30 derart auf der dem abgedeckten Bauelement abgewandten Seite der ersten Folie angeordnet ist, dass sich in der zu der Oberfläche der Leiterplatte im Wesentlichen senkrechten Richtung die folgende Anordnung ergibt: Leiterplatte, abgedecktes Bauelement, erste Folie, unbedecktes Bauelement. Als „Seite der Folie“ ist hierbei jeweils
35 derjenige Bereich bezeichnet, welcher sich in Richtung der Oberflächennormale auf einer der beiden Oberflächen der Folie erstreckt. In dieser Weiterbildung sind das abgedeckte und das unbedeckte Bauelement in Bezug zu der zu der Oberfläche im Wesentlichen senkrechten Richtung direkt übereinander angeordnet. Dadurch lässt sich derjenige Platz, welcher durch das Abdecken des abgedeckten Bauelements geschaffen wird, von dem
40 direkt darüber angeordneten, unbedeckten Bauelement optimal nutzen.

In einer bevorzugten Ausgestaltung dieser Weiterbildung weist das unbedeckte Bauelement ein optisches Empfangselement und das abgedeckte Bauelement ein optisches Sendeelement auf. Alternativ weist das unbedeckte Bauelement ein optisches Sendeelement und das abgedeckte Bauelement ein optisches Empfangselement auf. Die Anordnung bzw. Ausgestaltung von Sende- und Empfangselement ist derart, dass das Sendeelement optische elektromagnetische Wellen in Richtung des Empfangselements aussendet und dass das Empfangselement aus Richtung des Sendeelements kommende optische elektromagnetische Wellen empfängt. Das abgedeckte Bauelement, die erste Folie und das unbedeckte Bauelement bilden einen der galvanischen Trennung dienenden Optokoppler. Aus dem Stand der Technik bekannte Optokoppler finden entweder als ein diskretes Bauelement mit einem relativ hohem Platzbedarf Anwendung, oder können als zwei separate Bauelementen mit einem relativ hohem Platzbedarf ausgebildet werden. Daher wird für den Fall, dass eine galvanische Trennung erforderlich ist, in dieser Ausgestaltung der Platzbedarf weiterhin erheblich reduziert. Eine derartige galvanische Trennung wird oftmals auch in den eingangs erwähnten Maßnahmen zum Explosionsschutz gefordert.

Bezüglich des Verfahrens wird die Aufgabe gelöst durch ein Verfahren zur Herstellung einer erfindungsgemäßen Leiterplatte, das zumindest folgende Verfahrensschritte umfasst: Vorfertigung der unbestückten Leiterplatte und gegebenenfalls Einbringen von Kavitäten; Anordnen, insbesondere SMD-Auflöten, des zumindest einen abzudeckenden Bauelements auf der Oberfläche der Leiterplatte; Nachfolgendes Aufbringen der als Lötstoppschicht dienenden ersten Folie auf zumindest einem erstem Anteil, vorzugsweise einem Großteil der isolierenden Bereiche, wobei das zumindest eine abzudeckende Bauelement durch die erste Folie zumindest teilweise, insbesondere vollständig, abgedeckt wird; und Anordnung und Auflöten von unbedeckten SMD- und/oder THT-Bauelementen auf der Oberfläche der Leiterplatte, wobei die erste Folie als Lötstoppschicht bei dem Auflöten der SMD- und/oder THT-Bauelemente dient.

Die Verfahrensschritte der Vorfertigung der Leiterplatte, des Anordnens, insbesondere SMD-Auflöten, des zumindest einen abzudeckenden Bauelements und des nachfolgenden Aufbringens der als Lötstoppschicht dienenden ersten Folie können dabei bevorzugt beim Hersteller der Leiterplatte vorgenommen werden. Anschließend werden im Zuge der Weiterverarbeitung der Leiterplatte, beispielsweise bei einem Hersteller von Feldgeräten, in welchen die Leiterplatte zum Einsatz kommen, die unbedeckten SMD- und/oder THT-Bauelemente auf der Oberfläche angeordnet und aufgelötet. Die erste Folie dient dabei als Lötstoppschicht bei dem Auflöten der Bauelemente. Beispielsweise handelt es sich bei den abgedeckten Bauelementen um standardisierte Bauelemente, die z.B. in einer Vielzahl von unterschiedlichen Feldgeräten zum Einsatz kommen. Dadurch wird ein hoher Modularisierungsgrad in der gesamten Fertigungskette erreicht.

Gegebenenfalls kann auch für das Auflöten des abzudeckenden Bauelements eine Lötstoppschicht erforderlich sein, welche zwischen den Lötkontakten des abzudeckenden Bauelements angeordnet ist. In einer Ausgestaltung des Verfahrens wird daher vor dem Anordnen, insbesondere vor dem Auflöten, des zumindest einen abzudeckenden Bauelements auf der Oberfläche der Leiterplatte eine Lötstoppschicht zwischen den Lötkontakten des abzudeckenden Bauelementes, insbesondere eine als Lötstopplack oder Folie ausgebildete Lötstoppschicht, aufgebracht.

In einer weiteren Ausgestaltung des Verfahrens wird vor dem Anordnen und Auflöten der unbedeckten Bauelemente auf einem zweiten Anteil der isolierenden Bereiche der als Lötstoppschicht dienende Lötstopplack aufgebracht und/oder auf einem dritten Anteil der isolierenden Bereiche wird die als Lötstoppschicht dienende zweite Folie aufgebracht. Die Erfindung wird anhand der nachfolgenden, nicht maßstabsgetreuen Figuren näher erläutert, wobei gleiche Bezugszeichen gleiche Merkmale bezeichnen. Wenn es die Übersichtlichkeit erfordert oder es anderweitig sinnvoll erscheint, wird auf bereits erwähnte Bezugszeichen in nachfolgenden Figuren verzichtet. Es zeigt:

Fig. 1: Eine Schnittansicht einer Ausgestaltung einer erfindungsgemäßen Leiterplatte;

Fig. 2: Eine Schnittansicht einer weiteren Ausgestaltung einer erfindungsgemäßen Leiterplatte;

Fig. 3: Eine Aufsicht auf eine Ausgestaltung einer erfindungsgemäßen Leiterplatte.

In Fig. 1 ist eine Schnittansicht eines Ausschnitts einer Ausgestaltung einer erfindungsgemäßen Leiterplatte 1 dargestellt, wobei auf einer Oberfläche 11 der Leiterplatte 1 vier Bauelemente 31,32,... auf ihre jeweiligen Lötkontakte 21,2, ... aufgelötet sind. Dabei handelt es sich um drei SMD-Bauelemente 31,32,... und ein THT-Bauelement 32. Die erste Folie 61 ist dabei auf einem Großteil der isolierenden Bereiche (hier nicht gezeigt) dient als eine Lötstoppschicht zum Auflöten der unbedeckten Bauelemente 32. Als erste Folie 61 eignet sich z.B. die von unter dem Handelsnamen Vacrel® in unterschiedlichen Schichtdicken von ca. 50-150 Mikrometer vertriebene Folie.

Erfindungsgemäß ist auf der Oberfläche 11 der Leiterplatte 1 zumindest ein durch die erste Folie 61 abgedecktes Bauelement 31 angeordnet. Das abgedeckte Bauelement 31 ist wird dabei vor dem Aufbringen der ersten Folie 61 auf der Oberfläche 11 der Leiterplatte 1 angeordnet und befestigt. Dies geschieht bevorzugt bei dem Leiterplattenhersteller, welcher die erste Folie 61 im Rahmen des Herstellungsprozesses der Leiterplatte 1 aufbringt. In diesem Ausführungsbeispiel handelt es sich bei dem abgedeckten Bauelement 31 um ein SMD-gelötetes Bauelement 31.

Zwischen den Lötkontakten 21 des ersten Bauelements 31 ist ferner lokal eine Lötstoppschicht aufgebracht, hier ein Lötstopplack 8, je nach Art den Bauelement und/oder Ausgestaltung der Lötkontakte 21 kann diese Lötstoppschicht gegebenenfalls auch weggelassen werden. Selbstverständlich kann das abgedeckte Bauelement 31 auch
5 z.B. mit Leiterplattenkleber auf die Oberfläche 11 der Leiterplatte 1 geklebt sein. Das abgedeckte Bauelement 31 ist ein Chip des Baugröße Codes 0201 nach dem EIA-Standard, und hat damit eine Bauelement-Kantenlängen BL von 0,6 bzw. 0,3 mm. Die Bauelement-Höhe BH beträgt 0,5 mm.

10 Bei dem unbedeckten Bauelement 32 handelt es sich hier um ein THT-Bauelement. Dadurch, dass das abgedeckte Bauelement 31 durch die erste Folie 61 abgedeckt ist, ermöglicht dies, das unbedeckte Bauelement 32 unmittelbar oberhalb des abgedeckten Bauelements 31 d.h auf der dem abgedeckten Bauelement 31 abgewandten Seite der ersten Folie 61 anzuordnen, in Bezug zur der zu der Oberfläche 11 der Leiterplatte im
15 Wesentlichen senkrechten Richtung RS. Die hier dargestellte leichte Wölbung der ersten Folie 61 ist dabei nicht als kritisch in Bezug zu bewerten, solange sichergestellt ist, dass die Anhaftungseigenschaften der ersten Folie 61 auf der Oberfläche 11 der Leiterplatte 1 noch als hinreichend gut sind; dies kann beispielsweise durch experimentelle Untersuchungen bewertet werden.

20 In Fig. 2 ist eine Schnittansicht eines Ausschnitts einer weiteren Ausgestaltung einer erfindungsgemäßen Leiterplatte 1 dargestellt, wobei hier nur das abgedeckte Bauelement 31 und ein unmittelbar oberhalb des abgedeckten Bauelements 31 angeordnetes unbedecktes Bauelement 32 gezeigt ist. Bei beiden Bauelementen 31,32 sind SMD-gelötet. Das abgedeckte Bauelement ist hierbei im Wesentlichen vollständig in einer
25 Kavität 7 angeordnet; das Merkmal der Kavität 7 kann selbstverständlich auch dem in Fig. 1 gezeigten Ausführungsbeispiel hinzugefügt werden. Anhand der Kavität 7 wird eine im Wesentlichen ebene Ausrichtung der ersten Folie ermöglicht, welche hier eine Schichtdicke ds von 120 Mikrometer aufweist.

30 In dieser bevorzugten Ausgestaltung weist zusätzlich das abgedeckte Bauelement 31 eine Empfangsdiode auf, die als Empfangselement ED für optische elektromagnetische Wellen dient. Das unbedeckte Bauelement 32 weist eine Sendediode auf, die als Sendeelement SD für optische elektromagnetische Wellen dient d.h. das Sende- SD bzw.
35 Empfangselement ED sind zum Senden bzw. zum Empfang optischer elektromagnetischer Wellen ausgestaltet. Bei der Diode als Sendeelement SD handelt es sich um eine Leuchtdiode und bei der Diode als Empfangselements ED und eine Fotodiode. Die Anordnung der Dioden ist derart, dass das Sendeelement SD optische elektromagnetische Wellen in Richtung des Empfangselements ED aussendet und dass
40 das Empfangselement ED aus Richtung des Sendeelements SD kommende optische

elektromagnetische Wellen empfängt. Die erste Folie 61 ist gerade für optische elektromagnetische Wellen aus demjenigen Frequenzbereich durchlässig, in welchem die von der Leuchtdiode ausgesendeten optischen elektromagnetischen Wellen liegen. In dieser Ausgestaltung bilden das Sendelement SD, das Empfangselement ED, sowie die

5 erste Folie 61 einen der galvanischen Trennung dienenden Optokoppler.

In Fig. 3 ist eine Aufsicht auf einen Ausschnitt einer Ausgestaltung einer erfindungsgemäßen Leiterplatte gezeigt, wobei hier das durch die erste Folie 61 vollständig abgedeckte Bauelement 31 nicht sichtbar ist. Auf einem Großteil der

10 isolierenden Bereiche 5 ist die als Lötstoppschicht dienende erste Folie 61 aufgebracht. Für eines der beiden unbedeckten Bauelemente 32,.. ist eine weitere Lötstoppschicht vorgesehen welche an die Lötkontakte 22 des unbedeckten Bauelements 32 angrenzt. Bei der Lötstoppschicht handelt es sich hier um eine zweite Folie 62, deren

15 Lötstoppschicht-Dicke größer als die Lötstoppschicht-Dicke ds der ersten Folie 61 ist. Für das zweite unbedeckte Bauelement 32 bzw. dessen Lötkontakte 22 wird die das abgedeckte Bauelement 31 abdeckende erste Folie 61 als Lötstoppschicht verwendet. Dadurch werden in diesem Ausführungsbeispiel zumindest zwei Folien 61, 62

20 verschiedener Schichtdicken verwendet, gegebenenfalls kann aber auch zusätzlich oder alternativ ein Lötstopplack eingesetzt werden.

Bezugszeichen und Symbole

	1	Leiterplatte
	11	Oberfläche der Leiterplatte
5	2	Lötkontakte
	21	Lötkontakte des abgedeckten Bauelements
	31,32,..	Bauelemente
	31	abgedecktes Bauelement
	32	unbedecktes Bauelement
10	4	Leiterbahnen
	5	isolierende Bereiche
	61	erste Folie
	62	zweite Folie
	7	Kavität
15	8	Lötstopplack
	ds	Schichtdicke der ersten Folie
	RS	senkrechte Richtung
	BL	Bauelement-Kantenlänge
20	BH	Bauelement-Höhe
	SD	Sendeelement
	ED	Empfangselement

Patentansprüche

1. Leiterplatte (1), wobei auf zumindest einer Oberfläche (11) der Leiterplatte (1) Lötkontakte (2) mit darauf aufgelöteten Bauelementen (31,32,...), Leiterbahnen (4) sowie die Lötkontakte (2) und/oder die Leiterbahnen (4) gegeneinander isolierende Bereiche (5) vorgesehen sind,
5 wobei auf zumindest einem ersten Anteil der isolierenden Bereiche (5), vorzugsweise einem Großteil der isolierenden Bereiche (5), eine als Lötstoppschicht dienende erste Folie (61) aufgebracht ist,
10 und wobei zumindest eines der Bauelemente (31) in einer zu der Oberfläche (11) der Leiterplatte (1) im Wesentlichen senkrechten Richtung (RS) zwischen der Leiterplatte (1) und der ersten Folie (61) angeordnet ist und zumindest teilweise, insbesondere vollständig, durch die erste Folie (61) abgedeckt ist.
- 15 2. Leiterplatte (1) nach Anspruch 1,
wobei die Leiterplatte unbedeckte, insbesondere THT- oder SMD-aufgelötete Bauelemente (3) aufweist, an deren Lötkontakte (2) jeweils die als Lötstoppschicht dienende erste Folie (61) angrenzt.
- 20 3. Leiterplatte (1) nach Anspruch 1 oder 2,
wobei das durch die erste Folie (61) abgedeckte Bauelement (31) oder zumindest eines der durch die erste Folie (61) abgedeckten Bauelemente (31;...) in einer in der Leiterplatte (1) eingebrachten Kavität (7) angeordnet ist.
- 25 4. Leiterplatte (1) nach zumindest einem der vorherigen Ansprüche,
wobei die Kavität (7) derart bemessen ist, dass das durch die erste Folie (61) abgedeckte Bauelement (31) im Wesentlichen vollständig innerhalb der Kavität (7) angeordnet ist .
- 30 5. Leiterplatte (1) nach zumindest einem der vorherigen Ansprüche,
wobei auf einem zweiten Anteil der isolierenden Bereiche (5) ein als Lötstoppschicht dienender Lötstopplack (8) aufgebracht ist,
und/oder
wobei auf einem drittem Anteil der isolierenden Bereiche (5) eine als Lötstoppschicht dienende zweite Folie (62) aufgebracht ist,
35 und wobei der Lötstopplack (8) und/oder die zweite Folie (62) eine Lötstoppschicht-Dicke aufweisen, die von der Lötstoppschicht-Dicke (ds) der das zumindest eine Bauelement (31) abdeckenden ersten Folie (61) verschieden ist.
6. Leiterplatte (1) nach zumindest einem der vorherigen Ansprüche,

wobei das durch die erste Folie (61) abgedeckte Bauelement (31) oder zumindest eines der durch die erste Folie (61) abgedeckten Bauelemente (31;..)

- 5 - in zumindest einer zu der Oberfläche (11) der Leiterplatte (1) im Wesentlichen parallelen Richtung eine Bauelement-Kantenlänge aufweist (BL), die kleiner als 5mm, insbesondere kleiner als 1mm und vorzugsweise kleiner als 0,7mm ist; und
- in einer zu der Oberfläche (11) der Leiterplatte (1) im Wesentlichen senkrechten Richtung (RS) eine Bauelement-Höhe (BH) aufweist, die kleiner als 1mm, insbesondere kleiner als 0,5 mm und vorzugsweise kleiner als 0,3 mm ist.

10 7. Leiterplatte (1) nach zumindest einem der vorherigen Ansprüche, wobei das/die durch die erste Folie (61) abgedeckte/n Bauelement/e (31;...) SMD-gelötet ist/sind.

15 8. Leiterplatte (1) nach zumindest einem der vorherigen Ansprüche, wobei eines der unbedeckten Bauelemente (32) derart auf der dem abgedeckten Bauelement (31) abgewandten Seite der ersten Folie (61) angeordnet ist, dass sich in der zu der Oberfläche (11) der Leiterplatte (1) im Wesentlichen senkrechten Richtung (RS) die folgende Anordnung ergibt:

- 20 - Leiterplatte (1), abgedecktes Bauelement (31), erste Folie (61), unbedecktes Bauelement (32).

9. Leiterplatte (1) nach zumindest einem der vorherigen Ansprüche, wobei das unbedeckte Bauelement (32) ein optisches Empfangselement (ED) und das abgedeckte Bauelement (31) ein optisches Sendeelement (SD) aufweist,

25 oder

wobei das unbedeckte Bauelement (32) ein optisches Sendeelement (SD) und das abgedeckte Bauelement (31) ein optisches Empfangselement (ED) aufweist, wobei die Anordnung von Sende- (SD) und Empfangselement (ED) derart ist,

- 30 - dass das Sendeelement (SD) optische elektromagnetische Wellen in Richtung des Empfangselements (ED) aussendet und
- dass das Empfangselement (ED) aus Richtung des Sendeelements (SD) kommende optische elektromagnetische Wellen empfängt,

und wobei das abgedeckte Bauelement (31), die erste Folie (61) und das unbedeckte Bauelement (32) einen der galvanischen Trennung dienenden Optokoppler bilden.

35 10. Verfahren zur Herstellung einer Leiterplatte (1) nach zumindest einem der Ansprüche 1 bis 9,

wobei das Verfahren zumindest folgende Verfahrensschritte umfasst,

- 40 - Vorfertigung der unbestückten Leiterplatte (1) und gegebenenfalls Einbringen von Kavitäten;

- Anordnen, insbesondere SMD-Auflöten, des zumindest einen abzudeckenden Bauelements (31) auf der Oberfläche (11) der Leiterplatte (1);
- Nachfolgendes Aufbringen der als Lötstoppschicht dienenden ersten Folie (61) auf zumindest einem erstem Anteil, vorzugsweise einem Großteil der isolierenden Bereiche (5), wobei das zumindest eine abzudeckende Bauelement (31) durch die erste Folie (61) zumindest teilweise, insbesondere vollständig, abgedeckt wird; und
- Anordnung und Auflöten von unbedeckten SMD- und/oder THT-Bauelementen (32, ...) auf der Oberfläche (11) der Leiterplatte (1), wobei die erste Folie (61) als Lötstoppschicht bei dem Auflöten dient.

11. Verfahren nach Anspruch 10,

wobei vor dem Anordnen, insbesondere vor dem Auflöten, des zumindest einen abzudeckenden Bauelements (31) auf der Oberfläche (11) der Leiterplatte (1) eine Lötstoppschicht zwischen den Lötkontakten (21) des abzudeckenden Bauelementes (31), insbesondere eine als Lötstopplack oder Folie ausgebildete Lötstoppschicht, aufgebracht wird.

12. Verfahren nach zumindest einem der Ansprüche 10 oder 11 ,

wobei vor dem Anordnen und Auflöten der unbedeckten Bauelemente (32,...)

- auf einem zweiten Anteil der isolierenden Bereiche (5) der als Lötstoppschicht dienende Lötstopplack (8) aufgebracht wird und/oder
- auf einem dritten Anteil der isolierenden Bereiche (5) die als Lötstoppschicht dienende zweite Folie (62) aufgebracht wird.

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2018/050832

A. CLASSIFICATION OF SUBJECT MATTER
 INV. H05K1/18 H05K3/28
 ADD. H05K3/34

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
 Minimum documentation searched (classification system followed by classification symbols)
 H05K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)
 EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	EP 0 727 819 A2 (MITSUBISHI ELECTRIC CORP [JP]) 21 August 1996 (1996-08-21) the whole document	1-12
Y	WO 98/20713 A1 (GORE & ASS [US]) 14 May 1998 (1998-05-14) page 15, line 12 - page 16, line 25; figures 2A-2C	1-12
A	DE 10 2007 010731 A1 (WUERTH ELEKTRONIK GMBH & CO KG [DE]) 28 August 2008 (2008-08-28) the whole document	1-12
A	US 2016/163613 A1 (UCHIBORI SHINYA [JP] ET AL) 9 June 2016 (2016-06-09) the whole document	1-12

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search 13 April 2018	Date of mailing of the international search report 23/04/2018
--	--

Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer Zimmer, René
--	--

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No PCT/EP2018/050832

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0727819 A2	21-08-1996	EP 0727819 A2	21-08-1996
		JP H08222689 A	30-08-1996

WO 9820713 A1	14-05-1998	AU 5083998 A	29-05-1998
		WO 9820713 A1	14-05-1998

DE 102007010731 A1	28-08-2008	DE 102007010731 A1	28-08-2008
		WO 2008104324 A1	04-09-2008

US 2016163613 A1	09-06-2016	JP 2015029055 A	12-02-2015
		US 2016163613 A1	09-06-2016
		WO 2014208080 A1	31-12-2014

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
 INV. H05K1/18 H05K3/28
 ADD. H05K3/34

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTER GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
 H05K

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	EP 0 727 819 A2 (MITSUBISHI ELECTRIC CORP [JP]) 21. August 1996 (1996-08-21) das ganze Dokument	1-12
Y	WO 98/20713 A1 (GORE & ASS [US]) 14. Mai 1998 (1998-05-14) Seite 15, Zeile 12 - Seite 16, Zeile 25; Abbildungen 2A-2C	1-12
A	DE 10 2007 010731 A1 (WUERTH ELEKTRONIK GMBH & CO KG [DE]) 28. August 2008 (2008-08-28) das ganze Dokument	1-12
A	US 2016/163613 A1 (UCHIBORI SHINYA [JP] ET AL) 9. Juni 2016 (2016-06-09) das ganze Dokument	1-12



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

13. April 2018

Absendedatum des internationalen Recherchenberichts

23/04/2018

Name und Postanschrift der Internationalen Recherchenbehörde
 Europäisches Patentamt, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040,
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Zimmer, René

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2018/050832

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP 0727819 A2	21-08-1996	EP 0727819 A2	21-08-1996
		JP H08222689 A	30-08-1996

WO 9820713 A1	14-05-1998	AU 5083998 A	29-05-1998
		WO 9820713 A1	14-05-1998

DE 102007010731 A1	28-08-2008	DE 102007010731 A1	28-08-2008
		WO 2008104324 A1	04-09-2008

US 2016163613 A1	09-06-2016	JP 2015029055 A	12-02-2015
		US 2016163613 A1	09-06-2016
		WO 2014208080 A1	31-12-2014
