

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5987723号
(P5987723)

(45) 発行日 平成28年9月7日(2016.9.7)

(24) 登録日 平成28年8月19日(2016.8.19)

(51) Int.Cl.

F I

G06F 11/07 (2006.01)

G06F 11/07 160
G06F 11/07 151
G06F 11/07 140E
G06F 11/07 140N
G06F 11/07 140T

請求項の数 8 (全 12 頁)

(21) 出願番号 特願2013-29034 (P2013-29034)
(22) 出願日 平成25年2月18日 (2013.2.18)
(65) 公開番号 特開2014-157554 (P2014-157554A)
(43) 公開日 平成26年8月28日 (2014.8.28)
審査請求日 平成27年4月17日 (2015.4.17)

(73) 特許権者 000004260
株式会社デンソー
愛知県刈谷市昭和町1丁目1番地
(74) 代理人 110000567
特許業務法人 サトー国際特許事務所
(72) 発明者 山田 健二
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内
(72) 発明者 松尾 洋孝
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

審査官 多賀 実

最終頁に続く

(54) 【発明の名称】 通信用スレーブ

(57) 【特許請求の範囲】

【請求項1】

通信バスを介して接続されるマスタとの間で非同期式通信を行う通信用スレーブ(21)であって、

システム上の重要度が最高に設定されていると共に、実行間隔が一定となる最重要タスクを含む、複数のタスクを時分割並行的に実施可能であるCPU(2A)と、

このCPUが前記最重要タスクを実行している期間に、タスク実行信号を出力する信号出力部(7)と、

前記最重要タスクのプログラムが格納されているメモリ領域(3)の開始アドレス、終了アドレスの設定値と、前記CPUが実行中のアドレスとを比較することで、前記最重要タスクのプログラム領域であるか否かを判定するプログラム領域判定部(13)と、

前記最重要タスクのデータが格納されているメモリ領域の開始アドレス、終了アドレスの設定値と、前記CPUが実行中のアドレスとを比較することで、前記最重要タスクのデータ領域であるか否かを判定するデータ領域判定部(45)と、

前記プログラム領域判定部による判定結果と前記タスク実行信号の出力状態とを参照して、双方が不一致である場合に暴走を検知し、また、前記データ領域判定部による判定結果と前記タスク実行信号の出力状態とを参照して、双方が不一致である場合に暴走を検知する暴走検知部(42)と、

前記CPUにクロック信号を供給する発振回路(24)と、

前記マスタが周期的に送信する同期信号の受信間隔を、前記クロック信号に基づくカウ

ント動作により計測する計測カウンタ(33)と、

前記同期信号を受信したタイミングで、前記計測カウンタの計測値が格納されるモニタ用レジスタ(50)とを備え、

前記複数のタスクの何れか1つ(発振異常監視タスクと称す)は、前記モニタ用レジスタに格納された計測値を読み出して、当該計測値が正常範囲を超えると、前記発振回路の異常を検知することを特徴とする通信用スレーブ。

【請求項2】

前記同期信号を受信してから前記マスタとの通信を開始するまでの待機時間を計時するための待機時間カウンタを備え、

前記計測カウンタに、前記待機時間カウンタを使用することを特徴とする請求項1記載の通信用スレーブ。

10

【請求項3】

前記同期信号を受信すると検出フラグがセットされるフラグセット部(39, 51, 52)を備え、

前記発振異常監視タスクは、前記検出フラグがセットされると、前記モニタ用レジスタに格納された計測値を読み出すことを特徴とする請求項1又は2記載の通信用スレーブ。

【請求項4】

前記同期信号の受信伝達経路を遮断することで、前記発振異常監視タスクによる前記発振回路の異常検知処理を禁止する禁止手段(36, 37)を備えたことを特徴とする請求項1から3の何れか一項に記載の通信用スレーブ。

20

【請求項5】

前記発振異常監視タスクは、前記計測値が前記正常範囲を超えると異常検知カウンタをインクリメントし、

前記計測値が前記正常範囲内であれば、前記異常検知カウンタをクリアして、

前記異常検知カウンタのカウント値が所定値に達すると、前記発振回路の異常を検知することを特徴とする請求項1から4の何れか一項に記載の通信用スレーブ。

【請求項6】

前記発振異常監視タスクは、前記計測値が前記正常範囲を超えると異常検知カウンタをインクリメントし、

前記計測値が前記正常範囲内であれば、前記異常検知カウンタをデクリメントして、

前記異常検知カウンタのカウント値が所定値に達すると、前記発振回路の異常を検知することを特徴とする請求項1から4の何れか一項に記載の通信用スレーブ。

30

【請求項7】

前記発振異常監視タスクは、前記マスタにより送信される周期設定コマンドを受信すると、前記コマンドに含まれている同期信号の出力周期データに基づいて前記正常範囲を設定することを特徴とする請求項1から6の何れか一項に記載の通信用スレーブ。

【請求項8】

前記発振異常監視タスクは、前記モニタ用レジスタに格納された計測値を最初に読み出した値に基づいて、前記正常範囲を設定することを特徴とする請求項1から6の何れか一項に記載の通信用スレーブ。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、通信バスを介して接続されるマスタとの間で非同期式通信を行う通信用スレーブに関する。

【背景技術】

【0002】

CPU, 或いはマイクロコンピュータの暴走対策として用いられるウォッチドッグタイマについては、プログラムによるクリア間隔に比較してタイムアップ時間が長めに設定されるのが一般的である。そのため、実際にCPUが暴走した場合、その暴走が検知される

50

までの時間が長くなり、マイクロコンピュータを使用したシステムに及ぶ影響が大きくなるおそれがある。近年は、システムの安全性の向上を図るため、異常を短時間で検知できる機能が要求されている。

例えば特許文献 1 には、複数のタスクを時分割並行的に実施可能なマイクロコンピュータシステムにおいて、周期的に実行される最重要タスクにウォッチドッグタイマに類似した機能を持たせることで、暴走を短時間に検知する技術が開示されている。

【 0 0 0 3 】

ところで、マスタ - スレーブ間で通信を行うシステムでは、通信のタイミングを管理するためクロック信号の周波数が安定していることが必要となる。例えば、特許文献 2 には、同期式通信に使用されるクロック供給装置について、入力クロックの周波数と出力クロックの周波数との差を検出して異常を監視する構成が開示されている。

10

【先行技術文献】

【特許文献】

【 0 0 0 4 】

【特許文献 1】特許第 4 8 9 3 4 2 7 公報

【特許文献 2】特開平 6 - 1 1 2 9 2 9 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 5 】

しかしながら、例えば D S I (Distributed System Interface ; 登録商標) や P S I 5 (Peripheral Sensor Interface 5) 等の非同期式通信では、各スレーブが個別に備える発振回路の動作が安定していることが必要になる。一般に、スレーブには安価な C R 発振回路等が搭載されることが多く、その発振動作を監視することが望ましいが、特許文献 1 には、 C P U 等に供給されるクロック信号の発振周波数が適正な範囲にあるか否かを監視する機能はない。

20

【 0 0 0 6 】

本発明は上記事情に鑑みてなされたものであり、その目的は、非同期式通信に使用されるものにおいて、発振回路の動作を監視する機能を備えた通信用スレーブを提供することにある。

【課題を解決するための手段】

30

【 0 0 0 7 】

請求項 1 記載の通信用スレーブによれば、暴走検知部は、プログラム領域判定部による判定結果とタスク実行信号の出力状態とを参照して、双方が不一致である場合に暴走を検知し、また、データ領域判定部による判定結果とタスク実行信号の出力状態とを参照して、双方が不一致である場合に暴走を検知する。

そして、計測カウンタにより、マスタが周期的に送信する同期信号の受信間隔を、発振回路が出力するクロック信号に基づくカウント動作により計測し、複数のタスクの何れか 1 つである発振異常監視タスクは、モニタ用レジスタに格納されている計測カウンタの計測値を読み出して、当該計測値が正常範囲を超えると発振回路の異常を検知する。したがって、マスタとの間で非同期式通信を行う構成においても、同期信号の受信間隔を発振回路が出力するクロック信号に基づき計測することで、発振回路の異常を検知できる。

40

【 0 0 0 8 】

尚、「同期式通信」とは、ここではマスタより供給される同期用クロック信号をスレーブ側が受信し、スレーブが、前記クロック信号を用いて受信、返信処理等を行う通信形態を意味する。したがって、「非同期式通信」とは、マスタが上記のように同期用クロック信号を送信することなく、スレーブ側で同期処理を行うために使用される同期信号のみを送信するような通信形態を言う。

【 0 0 0 9 】

請求項 2 記載の通信用スレーブによれば、計測カウンタに、同期信号を受信してからマスタとの通信を開始するまでの待機時間を計測するための、待機時間カウンタを使用する

50

。すなわち、上述のように、マスタが周期的に同期信号を送信しながらスレーブと非同期式通信を行う際には、例えばDSIでは、スレーブは、同期信号を受信した時点から待機時間の経過待ちをした上でマスタに対する通信を開始する。したがって、待機時間を計時するためのカウンタを計測カウンタにも利用すれば、新規な回路部品要素の追加を抑制できる。

【図面の簡単な説明】

【0010】

【図1】第1実施形態であり、通信用スレーブの構成を概略的に示す機能ブロック図

【図2】通信回路の構成を、要部のみ示す機能ブロック図

【図3】通信回路の動作を示すタイミングチャート

10

【図4】マスタと複数のスレーブとが通信を行う際の、各スレーブの送信タイミングを示す図

【図5】初期設定処理を示すフローチャート

【図6】発振異常監視処理を示すフローチャート

【図7】特許文献1の図1相当図

【図8】第2実施形態を示す図6相当図

【図9】第3実施形態を示す図5相当図

【図10】第4実施形態であり、正常範囲設定処理を示すフローチャート

【発明を実施するための形態】

【0011】

20

(第1実施形態)

以下、第1実施形態について説明する。本実施形態の通信用スレーブは、特許文献1に開示されているマイクロコンピュータ41に通信機能等を追加したもので構成されている。図7は、特許文献1の図7相当図である。マイコン(マイクロコンピュータシステム)41は、CPU2A、内蔵メモリ3、暴走検知部42などから構成されており、これらは、アドレスバス5、データバス6を介して互いに接続されている。

【0012】

CPU2Aは、制御部(信号出力部)7、デコード部8、演算部9、レジスタ部10などを内蔵しており、制御部7は、R/W(リード/ライト)などの制御信号を出力してバス5及び6に対するアクセスを行い、CPU外部とのデータ転送を制御する。内蔵メモリ3にはCPU2Aの制御プログラムが記憶されており、CPU2Aが前記プログラムの命令や、内蔵メモリ3に記憶されているデータを読み込むとそれらはレジスタ部10に格納され、デコード部8によりデコードされる。すると、演算部9がその読み込み結果に基づいて演算処理を実行し、演算結果のデータは、必要に応じてレジスタ部10内のデータレジスタ18や内蔵メモリ3に書き込まれる。

30

【0013】

制御部7は、CPU2Aが実行しているアクセスサイクルが「命令フェッチ」であるか、それ以外の「データアクセス」等であるのかを示す命令フェッチ信号を出力する。また制御部7は、自身が現在実行中であるタスクが、2つのうち何れかを示すタスク情報信号(タスク実行信号)も出力する。各タスクのプログラムは、内蔵メモリ3に記憶されている。

40

【0014】

2つのタスクの一方は、マイコン1におけるシステムの基層的な部分を管理するため、重要度がより高いタスク(最重要タスク、以下、タスクSと称す)として設定されている。即ち、他方のタスク(以下、タスクXと称す)の暴走を監視するためのルーチンや、フェイルセーフ用のバックアップシーケンスなどを実行する。そして、タスクSは、固定ループ動作することでソフトウェアタイマとしても機能するため、分岐命令などのコーディングは予め禁止されており、基本的にループ周回周期毎に実行が必要な処理を行う。

また、他方のタスクXは、数値演算処理などを行なうのに適したタスクであり、分岐命令の実行も許可されている。そして、タスクXは、タスクSのループ周回数によって計

50

時される時間を利用した処理も行なう。

【 0 0 1 5 】

暴走検知部 4 2 は、タスク S 領域 (2) 上限レジスタ 1 1 A , タスク S 領域 (2) 下限レジスタ 1 2 A , プログラム領域判定部 1 3 , 3 入力 AND ゲート 1 5 及び 4 6 , タスク S 領域 (1) 上限レジスタ 4 3 , タスク S 領域 (1) 下限レジスタ 4 4 及びデータ領域判定部 4 5 などを備えている。上限レジスタ 1 1 A , 下限レジスタ 1 2 A には、CPU 2 A が起動した場合の初期処理で、内蔵メモリ 3 におけるタスク S のプログラムアドレスの上限値 (終了アドレス) , 下限値 (開始アドレス) が夫々書き込まれる。また、上限レジスタ 4 3 には、データ領域の上限値が設定され、下限レジスタ 4 4 には、データ領域の下限値が設定される。

10

【 0 0 1 6 】

プログラム領域判定部 1 3 は、アドレスバス 5 に出力されるアドレスと、上記レジスタ 1 2 , 1 3 に設定保持されるアドレスとを比較して、前者のアドレスがタスク S のプログラム領域内 (上限 , 下限の間) であるか否かを判定する。そして、タスク S のプログラム領域内であれば、その状態を示す領域判定信号をアクティブ (ハイ) にする。領域判定信号は、NOT ゲート 1 6 を介して AND ゲート 1 5 の入力端子に与えられている。また、CPU 2 A の制御部 7 が出力するタスク情報信号が、AND ゲート 1 5 の入力端子に与えられている。

【 0 0 1 7 】

AND ゲート 1 5 の残る 1 つの入力端子には、制御部 7 により出力される命令フェッチ信号が与えられている。命令フェッチ信号は、CPU 2 A が命令リードサイクルを実行する場合にハイレベルを示す。AND ゲート 1 5 , 4 6 の出力端子は、具体的には図示しないが、CPU 2 A に対し例外処理を実行させるための割り込み信号として出力される。

20

【 0 0 1 8 】

データ領域判定部 4 5 は、プログラム領域判定部 1 3 と同様に、アドレスバス 3 に出力されるアドレスと、上記レジスタ 4 3 , 4 4 に設定保持されるアドレスとを比較して、前者のアドレスがタスク S のデータ領域内 (上限 , 下限の間) であるか否かを判定する。そして、タスク S のデータ領域内である場合は、その状態を示す領域判定信号をアクティブ (ハイ) にする。領域判定信号は、AND ゲート 4 6 の入力端子に与えられている。

【 0 0 1 9 】

AND ゲート 4 6 の他の入力端子の 1 つには、CPU 2 の制御部 7 によって出力される制御信号 R / W (リード / ライト) が与えられており、残る 1 つの入力端子には、タスク情報信号が NOT ゲート 4 7 を介して与えられている。制御信号 R / W は、CPU 2 がリードサイクルを実行する場合にロウレベルを、ライトサイクルを実行する場合にハイレベルを示すように出力される。

30

【 0 0 2 0 】

また、AND ゲート 1 5 , 4 6 の出力端子は、OR ゲート 4 8 の各入力端子に夫々接続されており、OR ゲート 4 8 の出力端子は、レジスタ 1 1 A , 1 2 A , 4 3 , 4 4 のクリア端子に接続されており、AND ゲート 1 5 , 4 6 の何れの出力レベルがハイになると、各レジスタはクリアされるようになっている。但し、レジスタ 1 1 A , 4 3 についてはデータ値が変化しないため、クリア端子を削除しても良い。

40

【 0 0 2 1 】

図 1 に示すように、通信用スレーブ 2 1 は、図 5 に示すマイコン 4 1 を用いて構成されている。バス 5 及び 6 には通信回路 2 2 が接続されている。通信回路 2 2 は、通信端子 2 3 に通信バスが接続され、マスタ (何れも図示せず) と通信を行う機能を有する。発振回路 2 4 は、例えば CR 発振回路等で構成されており、CPU 2 A を含む通信用スレーブ 2 1 の各部にメインクロックを供給する。

【 0 0 2 2 】

図 2 に示すように、通信回路 2 2 は、受信検出回路 2 5 , 送信待ち制御回路 2 6 , 送信回路 2 7 , 周期検出回路 2 8 , バス I / F 2 9 等を備えて構成されている。受信検出回路

50

25は、受信端子23Rを介してマスタより送信された信号を受信し、その信号が同期信号である場合のみ出力端子のレベルをハイに変化させて同期検出信号をアクティブにするが、その他の場合はローに維持する。

【0023】

送信待ち制御回路26は、加算器30、マルチプレクサ31及び通信カウンタレジスタ32で構成されるサイクルカウンタ33(計測カウンタ、待機時間カウンタ)を備えている。加算器30は、通信カウンタレジスタ32の出力データに「1」を加算した値を、マルチプレクサ31の入力端子の一方に出力する。マルチプレクサ31の入力端子の他方にはデータ値「0」が与えられている。マルチプレクサ31の切り換え制御は同期検出信号によって行われ、当該信号がローであれば加算器30側を選択し、ハイであればデータ値「0」側を選択する。

10

【0024】

通信カウンタレジスタ32は、発振回路24より供給されるメインクロックパルスが入力される毎にレジスタ値を更新する。したがって、同期検出信号がローレベルを示す期間は通信カウンタレジスタ32の値はメインクロックパルスが入力される毎にインクリメントされ続け、同期検出信号がハイレベルを示すとゼロクリアされる。尚、メインクロックは、以降に説明する「レジスタ」の全てに供給されており、各レジスタは、メインクロックパルスの入力タイミングでレジスタ値を更新する。

【0025】

比較器34は、通信カウンタレジスタ32のレジスタ値と、送信待ち時間レジスタ35のレジスタ値とを比較する。送信待ち時間レジスタ35には、バスI/F29を介してCPU2Aより送信待ち時間相当値が書き込み設定される。そして、比較器34は、双方のレジスタ値が一致すると、送信回路27に送信要求トリガを出力する。上記メインクロックパルスは、送信回路27にも入力されている。

20

【0026】

同期検出信号は、同期検出回路28のANDゲート36(禁止手段)の一方の入力端子に与えられている。また、ANDゲート36の他方の入力端子には、モニタ許可レジスタ37(禁止手段)のレジスタ値が与えられている。モニタ許可レジスタ37は、送信待ち時間レジスタ35と同様に、バスI/F29を介してCPU2Aより、許可/禁止に応じて1/0のデータ値が書き込み設定される。ANDゲート36の出力信号は、マルチプレクサ38、39の切り換えを制御する。

30

【0027】

マルチプレクサ38の出力端子は、モニタ用サイクル数レジスタ50の入力端子に接続されており、マルチプレクサ38の入力端子の一方は、モニタ用サイクル数レジスタ50の出力端子に接続されている。また、マルチプレクサ38の入力端子の一方には、通信カウンタレジスタ32のレジスタ値が与えられている。マルチプレクサ38は、ANDゲート36の出力信号がハイレベルであれば通信カウンタレジスタ32側を選択し、ローレベルであればモニタ用サイクル数レジスタ50側を選択する。

【0028】

したがって、モニタ用サイクル数レジスタ50のレジスタ値は、上記信号がハイレベルであれば通信カウンタレジスタ32のレジスタ値で更新され、ローレベルであればその時点のレジスタ値を維持する。そして、モニタ用サイクル数レジスタ50のレジスタ値は、バスI/F29を介してデータバス6に出力可能となっている。

40

【0029】

マルチプレクサ39(フラグセット部)の出力端子は、もう1つのマルチプレクサ51(フラグセット部)を介して検出フラグレジスタ52(フラグセット部)の入力端子に接続されている。マルチプレクサ39の入力端子の一方は、検出フラグレジスタ52の出力端子に接続されており、入力端子の他方にはデータ値「1」が与えられている。また、マルチプレクサ51の入力端子の他方にはデータ値「0」が与えられている。マルチプレクサ51の切り換え制御は「ソフトクリア要求」によって行われる。

50

【 0 0 3 0 】

ここで「ソフトクリア要求」とは、CPU 2 Aのプログラム動作により検出フラグレジスタ5 2をクリアすることを意味し、例えば図示しないクリア要のレジスタにCPU 2 Aが書き込みを行うことで、所定期間だけデータ値「1」が出力されてマルチプレクサ5 1を切り替える。

【 0 0 3 1 】

したがって、検出フラグレジスタ5 2のレジスタ値は、ソフトクリア要求が発生しない限りその時点のレジスタ値を維持し、ソフトクリア要求が発生するとゼロクリアされる。そして、検出フラグレジスタ5 2のレジスタ値は、ANDゲート3 6の出力信号がハイレベルになるとマルチプレクサ3 9及び5 1を介してデータ値「1」が格納される。この検出フラグレジスタ5 2のレジスタ値も、バスI / F 2 9を介してデータバス6に出力可能となっている。

10

【 0 0 3 2 】

次に、本実施形態の作用について図3及び図4を参照して説明する。尚、暴走検知部4 2によるCPU 2 Aの暴走検知処理については特許文献1と同様であるから、説明を省略する。図4に示すように、マスタは周期的に（例えば数100 μ s程度）、通信バス上に同期信号を出力する。そして、各スレーブ（1～3）は、同期信号をトリガとして各スレーブに設定される待機時間（待ち（1）～（3））の経過待ちをした後に、マスタに対してデータを送信する。

【 0 0 3 3 】

マスタに搭載される発振回路は例えば水晶発振子を用いたもので、同期信号の出力周期は高精度のクロック信号に基づいて決定されている。一方、スレーブについては、一般に1つの通信ネットワークに数多く接続されるノードであるため、コストの制約から高価な水晶発振子を用いることはなく、安価なCR発振回路等が用いられている。そこで、本実施形態の通信用スレーブ2 1は、図3に示すように、同期信号の出力間隔を、発振回路2 4が出力するメインクロックを用いてカウントする（（a）～（c）参照）。そして、そのカウント値をモニタすることで、発振回路2 4の発振動作が正常か否かを監視する。

20

【 0 0 3 4 】

尚、通信バス上に、同期信号以外の通信用データも伝送される場合は、受信検出回路2 5において両者を弁別すれば良い。また、例えばDSI等のプロトコルでは、マスタが送信するデータはバス上の電圧を変化させ、スレーブが送信するデータはバス上の電流を変化させて伝送するので、受信検出回路2 5では電圧の変化を捉えるようにすれば同期信号を検出できる。

30

【 0 0 3 5 】

図5に示す初期設定処理では、先ず自身のスレーブIDを取得するが（S 1）、その取得方法については特に限定しない。例えば、マスタより送信されるコマンドより取得しても良い。それから、送信待ち時間指示レジスタ3 5に送信待ち時間を書き込んで設定する（S 2）。送信待ち時間は、各スレーブ毎に異なる時間を設定するが（図4参照）、例えば上記スレーブIDの値に基づいて設定しても良い。そして、モニタ許可レジスタ3 7にデータ「1」を書き込んで、同期信号の間隔検出（モニタ）を許可すると（S 3）処理を終了する。

40

【 0 0 3 6 】

図6に示す発振異常監視処理は、複数のタスクの何れか1つ（発振異常監視タスク）により実行される。この処理は、例えば最重要タスクが行うようにしても良い。先ず、検出フラグレジスタ5 2を参照して、検出フラグがセットされているか否かを判断する（S 1 1）。図3（e）に示すように、検出フラグがセットされていれば（YES）、モニタ用サイクル数レジスタ5 0のレジスタ値を読み出す（S 1 2）。そして、前記レジスタ値が正常範囲内か否かを判断する（S 1 3）。

【 0 0 3 7 】

ここで、「正常範囲」とは、例えばシステム仕様で定められている同期信号の出力周期

50

に相当するメインクロックによるカウント値に、所定の許容値を加減したものに設定する。モニタ用サイクル数レジスタ50の値が正常範囲内であれば(Y E S)、異常検知カウンタをクリアする(S 1 4)。「異常検知カウンタ」は、発振異常監視処理内のソフトウェアカウンタである。それから、検出フラグをクリアすると(S 1 5)処理を終了する。

【0038】

一方、ステップS 1 3においてモニタ用サイクル数レジスタ50の値が正常範囲外であれば(N O)異常検知カウンタをインクリメントして(S 1 6)、当該カウンタの値が所定値(例えば「3」)に達したか否かを判断する(S 1 7)。所定値に達していなければ(N O)ステップS 1 5に移行し、所定値に達していれば(Y E S)異常検知処理を行う(S 1 8)。例えば、表示器等の報知手段により発振回路24が異常であることを報知する。ステップS 1 3において「N O」と判断するのは、図3(b),(c)に示すように、周波数が正常範囲を超えて上昇した場合と、正常範囲を下回るように低下した場合となる。

10

【0039】

以上のように本実施形態によれば、通信用スレーブ21を構成するCPU2Aの制御部7は、CPU2AがタスクSを実行している期間にタスク情報信号をアクティブにする。暴走検知部42のプログラム領域判定部13は、タスクSのプログラムが格納されている内蔵メモリ3の上限アドレス、下限アドレスが設定されているレジスタ11,12のレジスタ値とCPU2Aが実行中のプログラムアドレスとを比較して、後者がタスクSの実行領域を示すか否かを判定する。また、データ領域判定部45は、最重要タスクSのデータが格納されているメモリ領域の開始アドレス、終了アドレスが設定されているレジスタ値とCPU2Aが実行中のアドレスとを比較して、最重要タスクSのデータ領域であるか否かを判定する。

20

【0040】

そして、暴走検知部42は、プログラム領域判定部13による判定結果とタスク実行信号の出力状態とが不一致である場合に、又はデータ領域判定部45による判定結果とタスク実行信号の出力状態とが不一致である場合に暴走を検知する。従って、最重要タスクSのプログラム領域、データ領域に対して不正なアクセスが行われた場合に、ロジック回路により迅速に暴走を検知できる。

30

【0041】

そして、通信回路22では、サイクルカウンタ33により、マスタが周期的に送信する同期信号の受信間隔を、発振回路24が出力するメインクロックに基づくカウント動作により計測し、発振異常監視タスクは、モニタ用サイクル数レジスタ50に格納されているサイクルカウンタ33の計測値を読み出して、当該計測値が正常範囲を超えると発振回路24の異常を検知する。したがって、マスタとの間で非同期式通信を行う通信用スレーブ21においても、同期信号の受信間隔を発振回路24が出力するメインクロックに基づき計測することで、発振回路24の異常を検知できる。

【0042】

また、サイクルカウンタ33には、同期信号を受信してからマスタとの通信を開始するまでの待機時間を計測するための待機時間カウンタを利用するので、新規な回路部品要素の追加を抑制できる。また、同期信号を受信すると検出フラグがセットされる検出フラグレジスタ52を備え、発振異常監視タスクは、検出フラグがセットされるとモニタ用サイクル数レジスタ50格納された計測値を読み出すので、レジスタ50への不要なアクセスを抑制できる。

40

【0043】

更に、モニタ許可レジスタ37に書き込みを行うことで同期信号の受信伝達経路を遮断して、発振異常監視タスクによる発振回路24の異常検知処理を禁止可能としたので、必要に応じて発振回路24の異常検知を行うことができる。加えて、発振異常監視タスクは、計測値が正常範囲を超えると異常検知カウンタをインクリメントし、計測値が正常範囲

50

内であれば異常検知カウンタをクリアして、異常検知カウンタの値が所定値に達すると発振回路 24 の異常を検知する。したがって、発振回路 24 の異常を確実に検知することができる。

【 0 0 4 4 】

(第 2 実施形態)

以下、第 1 実施形態と同一部分には同一符号を付して説明を省略し、異なる部分について説明する。図 8 に示すように、第 2 実施形態は、図 6 に示すフローチャートのステップ S 14 を S 14' に置き換えたもので、モニタ用サイクル数レジスタ 50 のレジスタ値が正常範囲内であれば、異常検知カウンタをデクリメントする（尚、カウンタ値が「0」であれば「0」を維持する）。異常検知カウンタは、正常範囲外であればステップ S 16 でインクリメントされるので、そのように増減を行った結果としてカウンタ値が所定値に達すれば、ステップ S 18 で異常検知処理が行われる。この様な第 2 実施形態による場合も、第 1 実施形態と同様の効果が得られる。

10

【 0 0 4 5 】

(第 3 実施形態)

図 9 に示すように、第 3 実施形態は、図 5 に示す初期設定処理にステップ S 4, S 5 を追加したものである。すなわち、初期設定処理の最初はコマンドモードとなり、マスタより周期設定コマンドが送信される（S 4）。周期設定コマンドには、同期信号の出力周期を示すデータが含まれている。各スレーブは上記コマンドを受信して周期データを取得すると、それに許容範囲を加減することで判定用の「正常範囲」を設定する（S 5）。

20

【 0 0 4 6 】

以上のように第 3 実施形態によれば、発振異常監視タスクは、マスタにより送信される周期設定コマンドを受信すると、そのコマンドに含まれている出力周期データに基づいて正常範囲を設定するので、同期信号の出力間隔がダイナミックに変更設定されるシステム仕様についても対応することができる。

【 0 0 4 7 】

(第 4 実施形態)

第 4 実施形態は、図 10 に示す正常範囲設定処理を実行する。すなわち、最初に検出フラグがセットされて（S 21: YES）、モニタ用サイクル数レジスタ 50 のレジスタ値を取得すると（S 22）、そのレジスタ値（初期サイクル数）に基づいて正常範囲を設定する（S 23）。すなわち、実際の同期信号の出力間隔を最初に計測した値に基づいて正常範囲を設定する。このような第 4 実施形態による場合も、第 3 実施形態と同様の効果が得られる。

30

【 0 0 4 8 】

本発明は上記した、又は図面に記載した実施例にのみ限定されるものではなく、以下のような変形又は拡張が可能である。

同期信号の出力周期については、個別の設計に応じて適宜設定すれば良い。

検出フラグがセットされると CPU 2A に割り込みを発生させて、その割り込みにより発振異常監視処理を行うようにしても良い。

計測カウンタと待機時間カウンタとを別個に設けても良い。

40

AND ゲート 36 及びモニタ許可レジスタ 37 は、必要に応じて設ければ良い。

マスタとスレーブとの通信は、1対1で行っても良い。

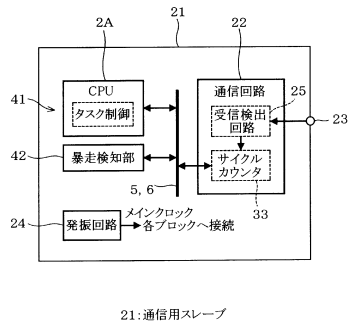
【 符号の説明 】

【 0 0 4 9 】

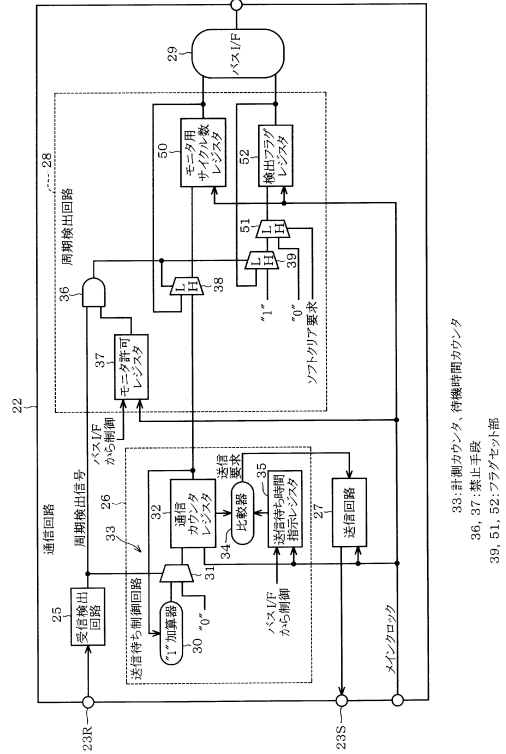
図面中、2A は CPU、3 は内蔵メモリ、4 は暴走検知部、7 は制御部（信号出力部）、11 はタスク S 領域上限レジスタ、12 はタスク S 領域下限レジスタ、13 はプログラム領域判定部、21 は通信用スレーブ、24 は発振回路、33 はサイクルカウンタ（計測カウンタ、待機時間カウンタ）、41 はマイクロコンピュータ（マイクロコンピュータシステム）、45 はデータ領域判定部、50 はモニタ用サイクル数レジスタ、52 は検出フラグレジスタ（フラグセット部）を示す。

50

【図1】

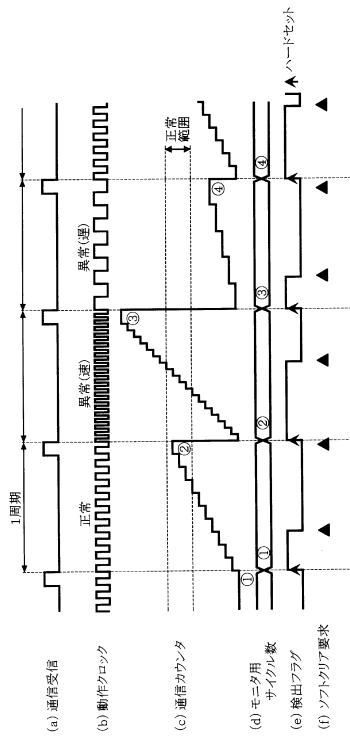


【図2】

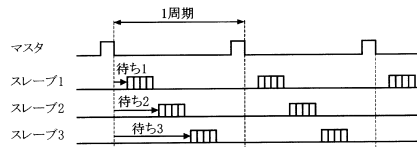


33: 計測カウンタ、待機時間カウンタ
 36, 37: 暴走手段
 39, 51, 52: フラグセット部

【図3】



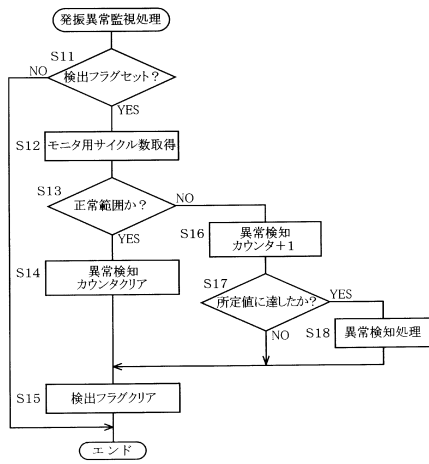
【図4】



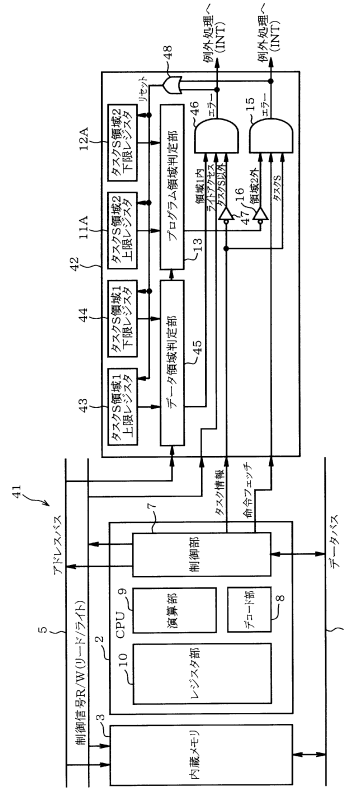
【図5】



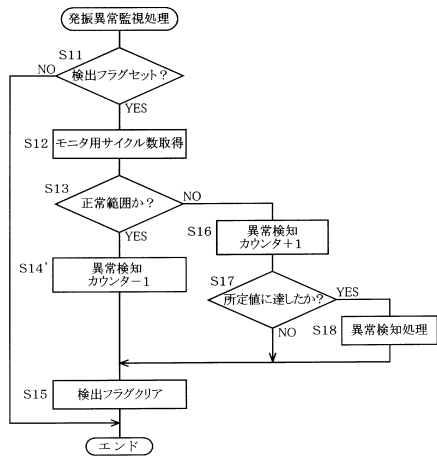
【図6】



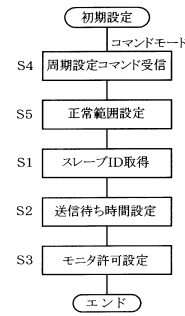
【図7】



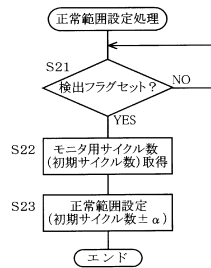
【図8】



【図9】



【図10】



フロントページの続き

(56)参考文献 特開2008-033890(JP,A)
特開平10-247121(JP,A)
特開2009-017130(JP,A)
特開2011-150310(JP,A)
特開2004-029992(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F11/07
G06F11/28-11/36
G06F13/00
G06F13/42