

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7192599号
(P7192599)

(45)発行日 令和4年12月20日(2022.12.20)

(24)登録日 令和4年12月12日(2022.12.12)

(51)国際特許分類 F I
G 0 6 F 5/06 (2006.01) G 0 6 F 5/06
G 0 6 F 13/38 (2006.01) G 0 6 F 13/38 3 1 0 F

請求項の数 7 (全11頁)

(21)出願番号	特願2019-52717(P2019-52717)	(73)特許権者	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成31年3月20日(2019.3.20)	(74)代理人	100103894 弁理士 家入 健
(65)公開番号	特開2020-154738(P2020-154738 A)	(72)発明者	神田 高志 東京都港区芝五丁目7番1号 日本電気 株式会社内
(43)公開日	令和2年9月24日(2020.9.24)	審査官	征矢 崇
審査請求日	令和4年2月3日(2022.2.3)		

最終頁に続く

(54)【発明の名称】 クロック乗せ換え回路、方法及びプログラム

(57)【特許請求の範囲】

【請求項1】

複数のデータを含む第1列データを所定のビット数毎に第1メモリと第3メモリに交互に書き込むことと並行して、複数の別のデータを含む第2列データを前記所定のビット数毎に第2メモリと第4メモリに交互に書き込む書込制御部と、

前記第1メモリ、前記第2メモリ、前記第3メモリ、及び前記第4メモリのそれぞれから、前記所定のビット数を読み出す読出制御部と、

前記第1メモリ、前記第2メモリ、前記第3メモリ、前記第4メモリの順番で、前記読み出したデータを出力する出力切替部と、

を備え、

前記所定のビット数を読み出す読出速度は、前記所定のビット数を書き込む書込速度と、列データの数と、を乗じて得た速度である、

クロック乗せ換え回路。

【請求項2】

前記書込制御部は、

前記第1列データの最初の前記所定のビット数のデータを前記第1メモリに書き込み、前記第1列データの次の前記所定のビット数のデータを前記第3メモリに書き込み、

前記第2列データの最初の前記所定のビット数のデータを前記第2メモリに書き込み、前記第2列データの次の前記所定のビット数のデータを前記第4メモリに書き込む、

請求項1に記載のクロック乗せ換え回路。

【請求項 3】

前記第 1 メモリ、前記第 2 メモリ、前記第 3 メモリ、及び前記第 4 メモリのそれぞれは、2 ポート R A M (Random Access Memory) である、
請求項 1 又は 2 に記載のクロック乗せ換え回路。

【請求項 4】

前記書込速度は 1 0 0 メガヘルツであり、前記読出速度は 2 0 0 メガヘルツである、
請求項 1 乃至 3 のいずれか 1 つに記載のクロック乗せ換え回路。

【請求項 5】

複数のデータを含む第 1 列データを所定のビット数毎に第 1 メモリと第 3 メモリに交互に書き込むことと並行して、複数の別のデータを含む第 2 列データを前記所定のビット数毎に第 2 メモリと第 4 メモリに交互に書き込む書込制御部と、

10

前記第 1 メモリ、前記第 2 メモリ、前記第 3 メモリ、及び前記第 4 メモリのそれぞれから、前記所定のビット数を読み出す読出制御部と、

前記第 1 メモリ、前記第 2 メモリ、前記第 3 メモリ、前記第 4 メモリの順番で、前記読み出したデータを出力する出力切替部と、

を備え、

前記所定のビット数を読み出す読出速度は、前記所定のビット数を書き込む書込速度と、全ての列データの前記所定のビット数のうちの有効なビット数の割合と、を乗じて得た速度である、

クロック乗せ換え回路。

20

【請求項 6】

複数のデータを含む第 1 列データを所定のビット数毎に第 1 メモリと第 3 メモリに交互に書き込むことと並行して、複数の別のデータを含む第 2 列データを前記所定のビット数毎に第 2 メモリと第 4 メモリに交互に書き込むことと、

前記第 1 メモリ、前記第 2 メモリ、前記第 3 メモリ、及び前記第 4 メモリのそれぞれから、前記所定のビット数を読み出すことと、

前記第 1 メモリ、前記第 2 メモリ、前記第 3 メモリ、前記第 4 メモリの順番で、前記読み出したデータを出力することと、

前記所定のビット数を読み出す読出速度を、前記所定のビット数を書き込む書込速度と、列データの数と、を乗じて得た速度に設定することと、

30

を備える方法。

【請求項 7】

複数のデータを含む第 1 列データを所定のビット数毎に第 1 メモリと第 3 メモリに交互に書き込むことと並行して、複数の別のデータを含む第 2 列データを前記所定のビット数毎に第 2 メモリと第 4 メモリに交互に書き込むことと、

前記第 1 メモリ、前記第 2 メモリ、前記第 3 メモリ、及び前記第 4 メモリのそれぞれから、前記所定のビット数を読み出すことと、

前記第 1 メモリ、前記第 2 メモリ、前記第 3 メモリ、前記第 4 メモリの順番で、前記読み出したデータを出力することと、

前記所定のビット数を読み出す読出速度を、前記所定のビット数を書き込む書込速度と、列データの数と、を乗じて得た速度に設定することと、

40

をコンピュータに実行させるプログラム。

【発明の詳細な説明】**【技術分野】****【0001】**

本開示は、クロック乗せ換え回路、方法及びプログラムに関するものであり、特に、回路規模を削減することが可能なクロック乗せ換え回路、方法及びプログラムに関する。

【背景技術】**【0002】**

クロック乗せ換え方法の一つとして 2 ポート R A M (Random Access Memory) にデ

50

ータを格納することで書き込み処理と読み出し処理の時間を分け、処理の競合による読み出しデータ誤りを回避する回路が知られている。また、複数のデータをまとめたフレーム単位で並び替える方法の一つとして2ポートRAMを2面構成で用い、書き込み側がアクセスしているRAMと、読み出し側がアクセスしているRAMと、を分けることにより書き込み及び読み出しを競合させずにアドレス制御を独立に行う回路が知られている。

【0003】

特許文献1には、2ポートRAMにおいて、入力データが書き込まれる書き込みアドレスを制御する書き込みアドレス制御部と、書き込みアドレスにおいて、入力データが書き込まれないブランクアドレスを検出するブランクアドレス検出部と、2ポートRAMにおいて、ブランクアドレス以外の書き込みアドレスを、出力データが読み出される読み出しアドレスに変換する読み出しアドレス変換部と、を備えた2ポートRAMが開示されている。

10

【先行技術文献】

【特許文献】

【0004】

【文献】特開2012-238992号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

上述のようなクロック乗せ換え回路においては、例えば、特許文献1に示すように、アドレス変換部が必要であり、回路規模を削減することが難しいという課題があった。

20

【0006】

本開示の目的は、上述した課題を解決するクロック乗せ換え回路、方法及びプログラムを提供することにある。

【課題を解決するための手段】

【0007】

本開示に係るクロック乗せ換え回路は、

複数のデータを含む第1列データを所定のビット数毎に第1メモリと第3メモリに交互に書き込むことと並行して、複数の別のデータを含む第2列データを前記所定のビット数毎に第2メモリと第4メモリに交互に書き込む書込制御部と、

30

前記第1メモリ、前記第2メモリ、前記第3メモリ、及び前記第4メモリのそれぞれから、前記所定のビット数を読み出す読出制御部と、

前記第1メモリ、前記第2メモリ、前記第3メモリ、前記第4メモリの順番で、前記読み出したデータを出力する出力切替部と、

を備え、

前記所定のビット数を読み出す読出速度は、前記所定のビット数を書き込む書込速度と、列データの数と、を乗じて得た速度である。

【0008】

本開示に係るクロック乗せ換え回路は、

複数のデータを含む第1列データを所定のビット数毎に第1メモリと第3メモリに交互に書き込むことと並行して、複数の別のデータを含む第2列データを前記所定のビット数毎に第2メモリと第4メモリに交互に書き込む書込制御部と、

40

前記第1メモリ、前記第2メモリ、前記第3メモリ、及び前記第4メモリのそれぞれから、前記所定のビット数を読み出す読出制御部と、

前記第1メモリ、前記第2メモリ、前記第3メモリ、前記第4メモリの順番で、前記読み出したデータを出力する出力切替部と、

を備え、

前記所定のビット数を読み出す読出速度は、前記所定のビット数を書き込む書込速度と、全ての列データの前記所定のビット数のうちの有効なビット数の割合と、を乗じて得た速度である。

50

【 0 0 0 9 】

本開示に係る方法は、

複数のデータを含む第 1 列データを所定のビット数毎に第 1 メモリと第 3 メモリに交互に書き込むことと並行して、複数の別のデータを含む第 2 列データを前記所定のビット数毎に第 2 メモリと第 4 メモリに交互に書き込むことと、

前記第 1 メモリ、前記第 2 メモリ、前記第 3 メモリ、及び前記第 4 メモリのそれぞれから、前記所定のビット数を読み出すことと、

前記第 1 メモリ、前記第 2 メモリ、前記第 3 メモリ、前記第 4 メモリの順番で、前記読み出したデータを出力することと、

前記所定のビット数を読み出す読出速度を、前記所定のビット数を書き込む書込速度と、列データの数と、を乗じて得た速度に設定することと、

を備える。

10

【 0 0 1 0 】

本開示に係るプログラムは、

複数のデータを含む第 1 列データを所定のビット数毎に第 1 メモリと第 3 メモリに交互に書き込むことと並行して、複数の別のデータを含む第 2 列データを前記所定のビット数毎に第 2 メモリと第 4 メモリに交互に書き込むことと、

前記第 1 メモリ、前記第 2 メモリ、前記第 3 メモリ、及び前記第 4 メモリのそれぞれから、前記所定のビット数を読み出すことと、

前記第 1 メモリ、前記第 2 メモリ、前記第 3 メモリ、前記第 4 メモリの順番で、前記読み出したデータを出力することと、

前記所定のビット数を読み出す読出速度を、前記所定のビット数を書き込む書込速度と、列データの数と、を乗じて得た速度に設定することと、

をコンピュータに実行させる。

20

【 発明の効果 】

【 0 0 1 1 】

本開示によれば、回路規模を削減することが可能なクロック乗せ換え回路、方法及びプログラムを提供することができる。

【 図面の簡単な説明 】

【 0 0 1 2 】

【 図 1 】 実施の形態に係るクロック乗せ換え回路を例示するブロック図である。

【 図 2 】 実施の形態に係るクロック乗せ換え回路を例示するブロック図である。

【 図 3 】 実施の形態に係るクロック乗せ換え回路の書込動作を例示するタイミングチャートである。

【 図 4 】 実施の形態に係るクロック乗せ換え回路の読出動作を例示するタイミングチャートである。

【 図 5 】 実施の形態に係るクロック乗せ換え回路の位相調整処理を例示するタイミングチャートである。

【 発明を実施するための形態 】

【 0 0 1 3 】

以下、図面を参照して本発明の実施の形態について説明する。各図面において、同一又は対応する要素には同一の符号が付されており、説明の明確化のため、必要に応じて重複説明を省略する。

【 0 0 1 4 】

〔 実施の形態 〕

先ず、実施の形態に係るクロック乗せ換え回路の概要を説明する。

図 1 は、実施の形態に係るクロック乗せ換え回路を例示するブロック図である。

【 0 0 1 5 】

図 1 に示すように、クロック乗せ換え回路 1 1 は、記憶部 1 1 1 と、書込制御部 1 1 2 と、読出制御部 1 1 3 と、出力切替部 1 1 4 と、を備える。記憶部 1 1 1 は、第 1 メモリ

40

50

1 1 1 1 と第 2 メモリ 1 1 1 2 と第 3 メモリ 1 1 1 3 と第 4 メモリ 1 1 1 4 とを有する。

【 0 0 1 6 】

書込制御部 1 1 2 は、複数のデータを含む第 1 列データを所定のビット数毎に第 1 メモリ 1 1 1 1 と第 3 メモリ 1 1 1 3 に交互に書き込む。書込制御部 1 1 2 は、これと並行して、複数の別のデータを含む第 2 列データを所定のビット数毎に第 2 メモリ 1 1 1 2 と第 4 メモリ 1 1 1 4 に交互に書き込む。

【 0 0 1 7 】

具体的には、書込制御部 1 1 2 は、第 1 列データの最初の所定のビット数のデータを第 1 メモリ 1 1 1 1 に書き込み、第 1 列データの次の所定のビット数のデータを第 3 メモリ 1 1 1 3 に書き込む。書込制御部 1 1 2 は、これと並行して、第 2 列データの最初の所定のビット数のデータを第 2 メモリ 1 1 1 2 に書き込み、第 2 列データの次の所定のビット数のデータを第 4 メモリ 1 1 1 4 に書き込む。

【 0 0 1 8 】

尚、所定のビット数のデータの時間的な幅をフレームと称する。よって、書込制御部 1 1 2 は、第 1 列データをフレーム毎（フレーム単位）に第 1 メモリ 1 1 1 1 と第 3 メモリ 1 1 1 3 に交互に書き込む。

【 0 0 1 9 】

読出制御部 1 1 3 は、第 1 メモリ 1 1 1 1、第 2 メモリ 1 1 1 2、第 3 メモリ 1 1 1 3、及び第 4 メモリ 1 1 1 4 のそれぞれから、所定のビット数を読み出す。

【 0 0 2 0 】

出力切替部 1 1 4 は、第 1 メモリ 1 1 1 1、第 2 メモリ 1 1 1 2、第 3 メモリ 1 1 1 3、第 4 メモリ 1 1 1 4 の順番で、読出制御部 1 1 3 が読み出したデータを出力データとして出力する。このとき、読出制御部 1 1 3 が所定のビット数を読み出す読出速度は、書込制御部 1 1 2 が所定のビット数を書き込む書込速度と、列データの数と、を乗じて得た速度である。

【 0 0 2 1 】

例えば、書込速度は 1 0 0 メガヘルツの場合、読出速度は 2 0 0 メガヘルツである、

【 0 0 2 2 】

次に、実施の形態に係るクロック乗せ換え回路の詳細を説明する。

図 2 は、実施の形態に係るクロック乗せ換え回路を例示するブロック図である。

【 0 0 2 3 】

図 2 に示すように、クロック乗せ換え回路 1 1 は、パルスタイミング比較部 1 1 5 と位相信号生成部 1 1 6 と位相信号検出部 1 1 7 と位相比較部 1 1 8 とを備える。また、書込イネーブル生成部 1 1 2 1 と書込アドレスカウンタ 1 1 2 2 は、書込制御部 1 1 2 に含まれる。また、読出アドレスカウンタ 1 1 3 1 は、読出制御部 1 1 3 に含まれる。

【 0 0 2 4 】

クロック乗せ換え回路 1 1 は、第 1 列データ及び第 2 列データという 2 列で入力される列データを、第 1 メモリ 1 1 1 1 から第 4 メモリ 1 1 1 4 を用いて書込クロックから読出クロックに乗せ換える。

【 0 0 2 5 】

尚、第 1 メモリ 1 1 1 1、第 2 メモリ 1 1 1 2、第 3 メモリ 1 1 1 3、及び第 4 メモリ 1 1 1 4 のそれぞれは、例えば、2 ポート R A M（Random Access Memory）を使用する。

【 0 0 2 6 】

また、クロック乗せ換え回路 1 1 は、動作中に書込処理と読出処理において、2 ポート R A M のアドレスが重ならない範囲に初期位相を設定する。

【 0 0 2 7 】

書込アドレスカウンタ 1 1 2 2 は、（2 ポート R A M の深さ）の 2 倍の値を生成し、最上位ビットを除いた信号を書込アドレス信号 W A として第 1 メモリ 1 1 1 1 から第 4 メモリ 1 1 1 4 に出力する。

10

20

30

40

50

【 0 0 2 8 】

最上位ビットの信号により、第 1 メモリ 1 1 1 1 と第 2 メモリ 1 1 1 2、又は、第 3 メモリ 1 1 1 3 と第 4 メモリ 1 1 1 4 の書込イネーブル信号 (W E 1 から W E 4) を切り替える。

【 0 0 2 9 】

書込イネーブル生成部 1 1 2 1 は、書込アドレスカウンタ 1 1 2 2 の値から、各メモリの書込イネーブル信号 W E 1 から書込イネーブル信号 W E 4 を生成する。

【 0 0 3 0 】

読出アドレスカウンタ 1 1 3 1 は、(2 p o r t R A M の深さ) の 4 倍の値を生成し、上位 2 ビットを除く信号を読出アドレス信号 R A として第 1 メモリ 1 1 1 1 から第 4 メモリ 1 1 1 4 に接続する。

10

【 0 0 3 1 】

出力切替部 1 1 4 は、読出アドレスカウンタ 1 1 3 1 の値に基づいて第 1 経路から第 4 経路を切り替えて出力する。

【 0 0 3 2 】

パルスタイミング比較部 1 1 5 は、入力フレームパルスの位相と書込アドレスカウンタ 1 1 2 2 の位相とを比較し、書込アドレスカウンタ 1 1 2 2 と読出アドレスカウンタ 1 1 3 1 を初期化するための初期化信号 S 1 を生成する。

【 0 0 3 3 】

書込アドレスカウンタ 1 1 2 2 の値は、位相信号生成部 1 1 6 及び位相信号検出部 1 1 7 において同期クロックを書込クロックから読出クロックに寄せ換えた後、位相比較部 1 1 8 に位相信号の情報 S 2 として出力される。

20

【 0 0 3 4 】

位相比較部 1 1 8 は、書込アドレス信号 W A と読出アドレス信号 R A の位相関係を監視する。位相比較部 1 1 8 は、位相関係が許容範囲を超えた場合、初期化信号 S 3 を出力する。

【 0 0 3 5 】

次に、実施の形態に係るクロック寄せ換え回路の動作を説明する。

この例では、複数ビットである K 個のデータを、1 フレームで 2 列 (第 1 列データと第 2 列データ) 入力し、クロック寄せ換えにより第 1 列データと第 2 列データを 1 フレームで出力することを説明する。ただし、K は自然数とする。この例では、書込クロック (書込速度) は 1 0 0 メガヘルツとなり、読出クロック (読出速度) は 2 0 0 メガヘルツとなる。

30

【 0 0 3 6 】

図 3 は、実施の形態に係るクロック寄せ換え回路の書込動作を例示するタイミングチャートである。図 3 は、入力側 (書込み側) のデータ処理を示す。

図 4 は、実施の形態に係るクロック寄せ換え回路の読出動作を例示するタイミングチャートである。図 4 は、出力側 (読出し側) のデータ処理を示す。

図 5 は、実施の形態に係るクロック寄せ換え回路の位相調整処理を例示するタイミングチャートである。

40

【 0 0 3 7 】

図 3 及び図 5 に示すように、パルスタイミング比較部 1 1 5 は、起動後、最初の入力フレームパルスを検出した場合、書込アドレスカウンタ 1 1 2 2 及び読出アドレスカウンタ 1 1 3 1 を初期化するための初期化信号 S 1 を出力する。読出アドレスカウンタ 1 1 3 1 は、書込アドレスカウンタ 1 1 2 2 の位相信号の情報 S 2 に基づいて初期化される。

【 0 0 3 8 】

位相比較部 1 1 8 は、書込アドレスカウンタ 1 1 2 2 の値と読出アドレスカウンタ 1 1 3 1 の値とを比較し、設定された範囲を超えた場合、読出アドレスカウンタ 1 1 3 1 を初期化する初期化信号 S 3 を生成し、読出アドレスカウンタ 1 1 3 1 に出力する。

【 0 0 3 9 】

50

書込イネーブル生成部 1 1 2 1 は、書込アドレスカウンタ 1 1 2 2 の最上位ビットが「0」の時、書込イネーブル信号 WE 1 と書込イネーブル信号 WE 3 をアサートする。そして、クロック乗せ換え回路 1 1 は、第 1 列データを第 1 メモリ 1 1 1 1 と第 3 メモリ 1 1 1 3 に書き込む。

【 0 0 4 0 】

書込イネーブル生成部 1 1 2 1 は、書込アドレスカウンタ 1 1 2 2 の最上位ビットが「1」の時、書込イネーブル信号 WE 2 と書込イネーブル信号 WE 4 をアサートする。そして、クロック乗せ換え回路 1 1 は、第 2 列データを第 2 メモリ 1 1 1 2 と第 4 メモリ 1 1 1 4 に書き込む。

【 0 0 4 1 】

クロック乗せ換え回路 1 1 は、起動後、最初の入力フレームパルスを検出してから第 1 列データと第 2 列データの書き込みを開始する。

【 0 0 4 2 】

図 4 及び図 5 に示すように、出力切替部 1 1 4 は、読出アドレスカウンタ 1 1 3 1 の上位 2 ビットの値から、第 1 メモリ 1 1 1 1 から第 4 メモリ 1 1 1 4 のうちのいずれかを選択する選択信号を生成する。出力切替部 1 1 4 は、第 1 メモリ 1 1 1 1、第 2 メモリ 1 1 1 2、第 3 メモリ 1 1 1 3 及び第 4 メモリ 1 1 1 4 から読み出したデータを選択信号に基づいて選択し、出力データとして出力する。

【 0 0 4 3 】

実施の形態に係るクロック乗せ換え回路 1 1 は、複数の入力データをフレーム単位（フレーム毎）で並び替えてメモリに書き込むと共に、クロック乗せ換え処理を行い乗せ換え後の速度でデータを読み出して出力する。これにより、クロック乗せ換え回路 1 1 の回路規模を削減することができる。

【 0 0 4 4 】

また、クロック乗せ換え回路 1 1 の回路規模が削減され処理時間が短縮されるので、処理遅延を低減することができる。

【 0 0 4 5 】

尚、実施の形態では、入力する列データの数を 2 列として説明したが、これには限定されない。実施の形態は、入力する列データの数を 3 列以上としてもよい。

【 0 0 4 6 】

また、クロック乗せ換え前後のクロック周波数の比率は、1 対 2 に限定されない。クロック乗せ換え回路 1 1 が所定のビット数を読み出す読出速度を、所定のビット数を書き込む書込速度と、全ての列データの所定ビット数のうちの有効なビット数の割合と、を乗じて得た速度としてもよい。

【 0 0 4 7 】

具体的には、図 2 に示す第 1 列データの N 個と、第 2 列データの前半の (N / 2) 個を有効なデータとする場合、書込クロックの周波数を 1 0 0 メガヘルツとし、読出クロックの周波数を 1 5 0 メガヘルツとして有効なデータのみを乗せ換えてもよい。ただし、N は 2 の倍数とする。

【 0 0 4 8 】

なお、上記の実施の形態では、本発明をハードウェアの構成として説明したが、本発明はこれに限定されるものではない。本発明は、各構成要素の処理を、CPU (Central Processing Unit) にコンピュータプログラムを実行させることにより実現することも可能である。

【 0 0 4 9 】

上記の実施の形態において、プログラムは、様々なタイプの非一時的なコンピュータ可読媒体 (non-transitory computer readable medium) を用いて格納され、コンピュータに供給することができる。非一時的なコンピュータ可読媒体は、様々なタイプの実態のある記録媒体 (tangible storage medium) を含む。非一時的なコンピュータ可読媒体の例は、磁気記録媒体 (具体的にはフレキシブルディスク、磁気テープ、ハードディスク

10

20

30

40

50

ドライブ)、光磁気記録媒体(具体的には光磁気ディスク)、CD-ROM(Read Only Memory)、CD-R、CD-R/W、半導体メモリ(具体的には、マスクROM、PROM(Programmable ROM)、EPROM(Erasable PROM))、フラッシュROM、RAM(Random Access Memory)を含む。また、プログラムは、様々なタイプの一時的なコンピュータ可読媒体(transitory computer readable medium)によってコンピュータに供給されてもよい。一時的なコンピュータ可読媒体の例は、電気信号、光信号、及び電磁波を含む。一時的なコンピュータ可読媒体は、電線及び光ファイバ等の有線通信路、又は無線通信路を介して、プログラムをコンピュータに供給できる。

【0050】

なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しない範囲で適宜変更することが可能である。

10

【符号の説明】

【0051】

11...クロック乗せ換え回路

111...記憶部

1111...第1メモリ

1112...第2メモリ

1113...第3メモリ

1114...第4メモリ

112...書込制御部

1121...書込イネーブル生成部

1122...書込アドレスカウンタ

113...読出制御部

1131...読出アドレスカウンタ

114...出力切替部

115...パルスタイミング比較部

116...位相信号生成部

117...位相信号検出部

118...位相比較部

WA...書込アドレス信号

WE1、WE2、WE3、WE4...書込イネーブル信号

RA...読出アドレス信号

S1、S3...初期化信号

S2...位相信号の情報

20

30

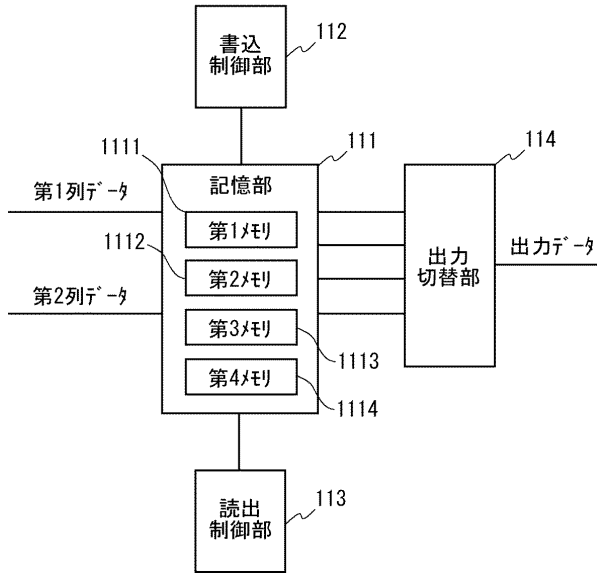
40

50

【図面】

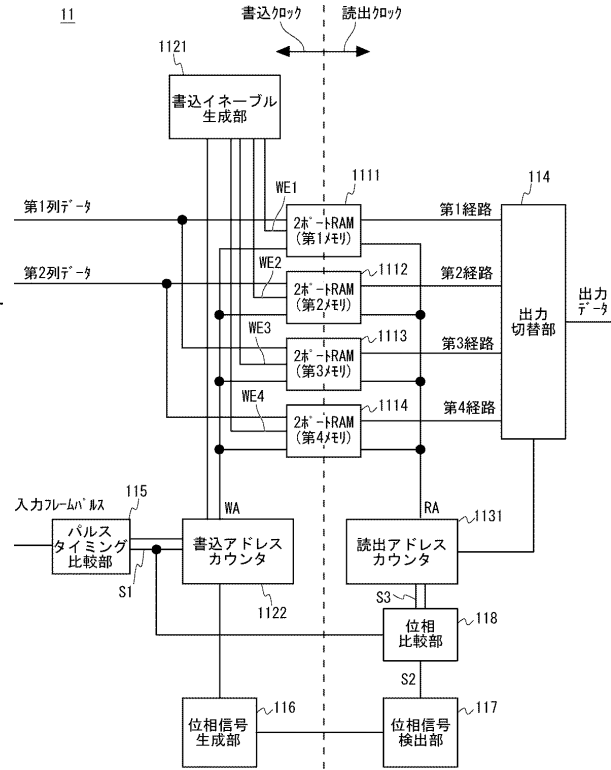
【図1】

11

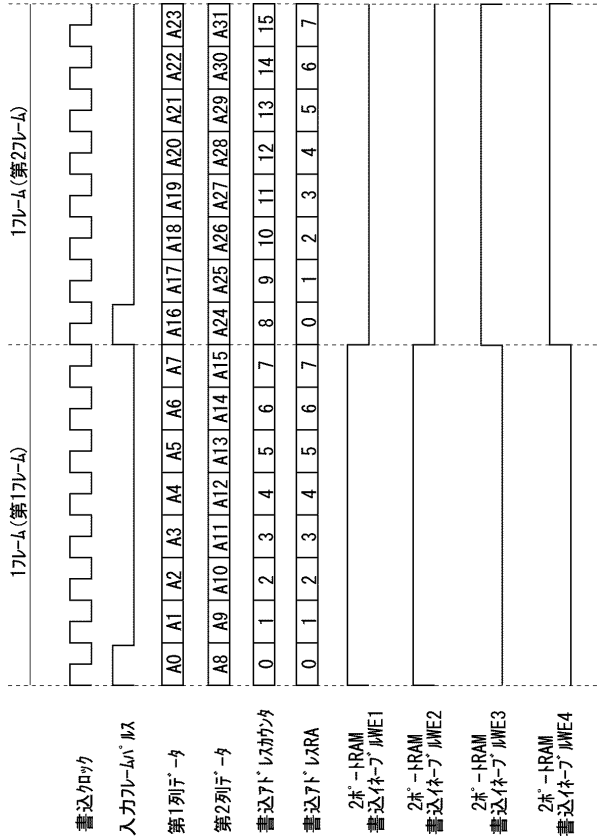


【図2】

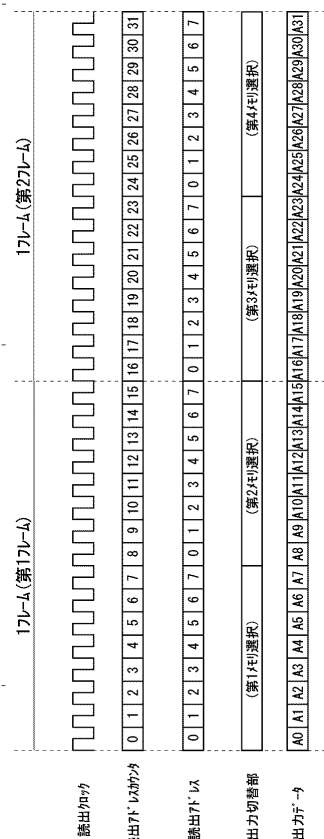
11



【図3】



【図4】



10

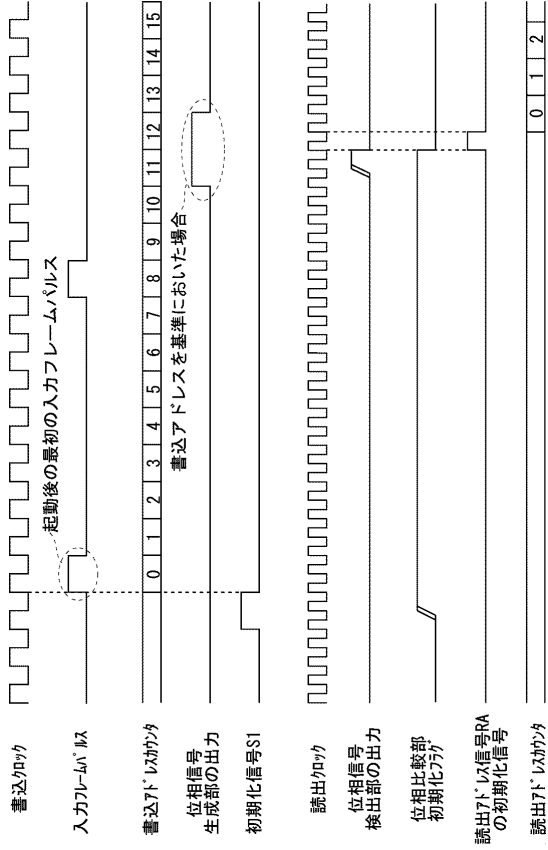
20

30

40

50

【図 5】



10

20

30

40

50

フロントページの続き

- (56)参考文献 特開 2 0 1 5 - 1 9 8 6 (J P , A)
特開 2 0 0 1 - 3 0 8 8 3 2 (J P , A)
- (58)調査した分野 (Int.Cl. , D B 名)
- G 0 6 F 5 / 0 6
 - G 0 6 F 1 3 / 3 8
 - G 1 1 C 7 / 0 0