



(12) 发明专利

(10) 授权公告号 CN 101567392 B

(45) 授权公告日 2011.07.20

(21) 申请号 200910141769.4

(56) 对比文件

(22) 申请日 2005.04.25

CN 1081022 A, 1994.01.19,

(30) 优先权数据

CN 1081022 A, 1994.01.19,

2004-127777 2004.04.23 JP

JP 7162009 A, 1995.06.23,

(62) 分案原申请数据

US 6249021 B1, 2001.06.19,

200580000956.0 2005.04.25

审查员 宋霖

(73) 专利权人 株式会社爱发科

地址 日本神奈川

(72) 发明人 若松贞次 菊池亨 桥本征典

仓田敬臣 浅利伸 斋藤一也

(74) 专利代理机构 中国国际贸易促进委员会专
利商标事务所 11038

代理人 郭放

(51) Int. Cl.

H01L 29/786 (2006.01)

H01L 29/51 (2006.01)

H01L 29/04 (2006.01)

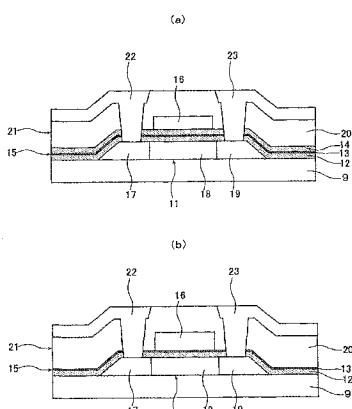
权利要求书 1 页 说明书 8 页 附图 10 页

(54) 发明名称

薄膜晶体管

(57) 摘要

本发明提供一种在确保良好的生产性同时又具有优良特性和高可靠性的栅绝缘层的薄膜晶体管。本发明提供的薄膜晶体管，包括：在基板(9)上含有源区(17)、沟道区(18)、漏区(19)的有源层(11)，栅电极层(16)，以及在有源层(11)和栅电极层(16)之间所形成的栅绝缘层(15)的薄膜晶体管，栅绝缘层(15)由在有源层(11)一侧形成的第1氧化硅膜(12)、在栅电极层(16)一侧形成的第2氧化硅膜(14)，和在第1氧化硅膜(12)与第2氧化硅膜(14)之间形成的氮化硅膜(13)而形成。



1. 一种薄膜晶体管，在基板上具有包括源区、漏区、沟道区的有源层、栅电极层以及在上述有源层和栅电极层之间所形成的栅绝缘层，其特征在于：

上述栅绝缘层包括与上述有源层相接触而形成的第1氧化硅膜和在该第1氧化硅膜与上述栅电极层之间、与上述第1氧化硅膜相接触地形成的氮化硅膜，上述第1氧化硅膜的膜厚为大于等于40nm、小于50nm，

上述氮化硅膜的膜厚为大于等于10nm、小于等于20nm。

2. 根据权利要求1所述的薄膜晶体管，其特征在于：

在上述氮化硅膜和上述栅电极层之间具有第2氧化硅膜，上述第2氧化硅膜的膜厚为大于等于40nm、小于50nm。

3. 根据权利要求1或2所述的薄膜晶体管，其特征在于：

上述有源层是由多晶硅形成的。

4. 根据权利要求1所述的薄膜晶体管，其特征在于：

上述第1氧化硅膜与上述氮化硅膜的膜厚之比为4～5：1～2。

5. 根据权利要求2所述的薄膜晶体管，其特征在于：

上述第1氧化硅膜、上述氮化硅膜、上述第2氧化硅膜的膜厚之比为4～5：1～2：4～5。

6. 根据权利要求1或2所述的薄膜晶体管，其特征在于：

上述栅绝缘层整体的膜厚为大于等于50nm、小于等于200nm。

薄膜晶体管

[0001] 本申请是申请日为 2005 年 4 月 25 日、申请号为 200580000956.0 的申请的分案申请。

技术领域

[0002] 本发明涉及以氧化硅膜作为栅绝缘层的薄膜晶体管及其制造方法。

背景技术

[0003] 在现有的液晶显示器 (LCD) 或有机电致发光 (OLED) 等的器件中, 利用了由非晶硅 (a-Si) 或氮化硅膜 (SiNx)、或氧化硅膜 (SiO_x) 等构成的薄膜所形成的、作为薄膜晶体管的非晶硅 TFT (a-SiTFT)、低温多晶硅 TFT (LTPS-TFT)。特别地, 与非晶硅 TFT 相比, 低温多晶硅 TFT 可具有更高的迁移率, 而且可以在透明且有绝缘性的基板如玻璃基板上制作。

[0004] 作为低温多晶硅 TFT 的典型结构, 可以举出如图 18 所示那样的共平面型晶体管。

[0005] 共平面型晶体管的结构如图 18 中所示的, 在具有透明性以及绝缘性的玻璃基板 100 上形成有成为有源层 101 的多晶硅薄膜。该有源层 101 被分为由掺杂了 n 型或 p 型杂质而形成的源区 102、沟道区 103、漏区 104; 以覆盖该有源层 101 的方式形成有绝缘层 105, 在沟道区 103 上形成有栅电极 106。另外, 在层间绝缘层 107 上, 配置了源电极 108 和漏电极 109。

[0006] 但是, 在低温多晶硅 TFT 的制造工序中, 所利用的半导体元件必须是大面积的, 因此使用的是廉价的玻璃基板; 由于该玻璃基板的耐热性不够, 因此必须在比较低温 (一般在 600℃ 左右以下) 的工艺温度下制造。

[0007] 另一方面, 在使用单晶硅基板的硅 TFT 的制造工序中, 通过在水蒸汽气氛中或者氧气气氛中高温 (900℃ ~ 1000℃ 左右) 氧化该单晶硅衬底表面来形成作为栅绝缘膜的氧化硅膜。这种通过热氧化而形成的栅绝缘膜是在膜中缺陷很少的品质非常高的膜, 而且由于有源层和栅绝缘膜的界面也保持在清洁的状态下, 因此栅绝缘膜和硅基板的界面特性也良好。

[0008] 对此, 虽然在上述现有的低温多晶硅 TFT 的制造方法中难以得到界面特性良好的栅绝缘膜, 但近年来, 提出了即使在低温多晶硅 TFT 中也可以得到界面特性良好的栅绝缘膜的制造方法 (例如参照专利文件 1 :特开平 10-163193 号公告)。

[0009] 上述专利文件 1 的栅绝缘膜的制造方法是在多晶硅薄膜上形成氧化膜之后淀积催化剂金属, 在 600℃ 以下的氧化气氛中进行热处理的方法。

[0010] 但是, 在如上述专利文件 1 那样的现有的低温多晶硅 TFT 的制造方法中, 包括涂覆催化剂金属的工序和通过热处理来形成绝缘层的工序, 还包括考虑其实用性而最终将催化剂金属从有源层去除的工序, 因此其生产性不佳。

[0011] 另外, 在如图 18 中示出的现有的低温多晶硅 TFT (共平面型晶体管) 的制造工序中, 在形成栅绝缘层 105 之前, 有源层 101 (源区 102、漏区 104 和沟道区 103) 的图案化工序是必须的。因此, 该有源层 101 与栅绝缘层 105 的界面难以得到如上述的硅 TFT 的制造工

序那样的良好的特性。

[0012] 其结果是,会产生载流子的捕获以及散射,存在作为低温多晶硅 TFT 的特性之一的阈值电压的偏移 (shift) 变大、或亚阈值摆动 (S 值) 变大等问题。

发明内容

[0013] 因此,本发明的目的是提供一种在确保良好的生产率的同时具有优良特性和高可靠性的栅绝缘层的薄膜晶体管及其制造方法。

[0014] 为了达到上述目的,本发明的薄膜晶体管在基板上包括的含有源区、漏区、沟道区的有源层、栅电极层,以及在有源层和栅电极层之间形成的栅绝缘层,其特征在于:栅绝缘层包括与有源层相接触地形成的第 1 氧化硅膜,和在第 1 氧化硅膜和栅电极层之间、与第 1 氧化硅膜相接触地形成的氮化硅膜。

[0015] 本发明的薄膜晶体管的特征还在于:除了上述的结构之外,在氮化硅膜和栅电极层之间还含有第 2 氧化硅膜。

[0016] 本发明的薄膜晶体管的特征还在于:有源层是由多晶硅形成的。

[0017] 本发明的薄膜晶体管的特征还在于:第 1 氧化硅膜、氮化硅膜的膜厚之比为 4 ~ 5 : 1 ~ 2。

[0018] 本发明的薄膜晶体管的特征还在于:第 1 氧化硅膜、氮化硅膜、第 2 氧化硅膜的膜厚之比为 4 ~ 5 : 1 ~ 2 : 4 ~ 5。

[0019] 本发明的薄膜晶体管的特征还在于:第 1 氧化硅膜的膜厚大于等于 40nm 且小于等于 50nm。

[0020] 本发明的薄膜晶体管的特征还在于:氮化硅膜的膜厚大于等于 10nm 且小于等于 20nm。

[0021] 本发明的薄膜晶体管的特征还在于:栅绝缘层整体的层厚大于等于 50nm 且小于等于 200nm。

[0022] 本发明的薄膜晶体管的制造方法的特征在于包括:在基板表面形成有源层的工序;在有源层上形成第 1 氧化硅膜的工序;在第 1 氧化硅膜上形成氮化硅膜的工序;以及在氮化硅膜上形成栅电极层的工序。

[0023] 本发明的上述薄膜晶体管的制造方法的特征还在于:除了上述结构以外,形成栅电极层的工序是在氮化硅膜上形成第 2 氧化硅膜之后形成栅电极层的工序。

[0024] 本发明的上述薄膜晶体管的制造方法的特征还在于:在形成第 1 氧化硅膜的工序中,在调整了压力的反应容器中每次分别输入至少一种含有硅原子的第 1 施硅气体、含有氧原子的施氧气体,然后通过等离子 CVD 法形成氧化硅膜;在形成氮化硅膜的工序中,在调整了压力的反应容器内每次分别输入至少一种含有硅原子的第 2 施硅气体、含有氮原子的施氮气体或稀释气体,然后通过等离子 CVD 法形成氮化硅膜。

[0025] 本发明的上述薄膜晶体管的制造方法的特征还在于:第 1 施硅气体是从由四乙氧基原硅酸酯(盐)、六甲基二硅氨烷(hexamethyldisilazane)、甲硅烷、乙硅烷组成的组中选择的任意一种的气体;施氧气体是从由氧、一氧化二氮、臭氧、二氧化碳、水组成的组中选择的任意一种气体。

[0026] 本发明的薄膜晶体管的制造方法的特征还在于:第 1 施硅气体与上述的施氧气体

的组成比例为 1 : 30 ~ 50。

[0027] 本发明的薄膜晶体管的制造方法的特征还在于：氧化硅膜成膜时的压力为 80 ~ 200Pa，基板温度为 330 ~ 430℃。

[0028] 本发明的薄膜晶体管的制造方法的特征还在于：第 2 施硅气体是从由四乙氧基原硅酸酯、六甲基二硅氨烷、甲硅烷、乙硅烷组成的组中选择的任意一种的气体；施氮气体是从由氨、一氧化氮、联氨组成的组中选择的任意一种气体。

[0029] 本发明的薄膜晶体管的制造方法的特征还在于：第 2 施硅气体、施氮气体、稀释气体的组成比例为 1 : 10 ~ 25 : 10 ~ 30。

[0030] 本发明的薄膜晶体管的制造方法的特征还在于：氮化硅膜成膜时的压力为 200 ~ 400Pa，基板温度为 330 ~ 430℃。

[0031] 本发明的薄膜晶体管的制造方法的特征还在于：在利用等离子 CVD 法分别形成第 1 氧化硅膜、第 2 氧化硅膜、氮化硅膜时，在电极上外加的高频电压的频率为 27.1MHz。

[0032] 根据本发明的薄膜晶体管，可以减小阈值电压及其 S 值，可以具有优良的特性。

[0033] 另外，根据本发明的薄膜晶体管的制造方法，可以确保良好的生产性，同时可以大幅度降低栅绝缘层的膜中的缺陷以及栅绝缘层与硅薄膜的界面的缺陷密度，获得具有良好界面特性的栅绝缘层的薄膜晶体管。

附图说明

[0034] 图 1 是根据本发明的实施方式的制造方法而形成的作为薄膜晶体管的多晶硅 TFT 的剖面示意图。

[0035] 图 2 是用于形成本发明的多晶硅 TFT 的栅绝缘层的等离子 CVD 设备的剖面示意图。

[0036] 图 3 是本发明的栅绝缘层与现有的栅绝缘层各自的成膜工艺条件图。

[0037] 图 4 是在形成作为本发明的栅绝缘层的第 1、第 3 氧化硅膜时的成膜温度与成膜速度的关系图。

[0038] 图 5 是在形成作为本发明的栅绝缘层的第 1、第 3 层的氧化硅膜时的成膜温度与 D_{it} 、 V_{fb} 的关系图。

[0039] 图 6 是在形成作为本发明的栅绝缘层的第 1、第 3 层的氧化硅膜时，相对于施硅气体的氧气组成比与成膜速度的关系图。

[0040] 图 7 是在形成作为本发明的栅绝缘层的第 1、第 3 层的氧化硅膜时的氧气组成比与 D_{it} 、 V_{fb} 的关系图。

[0041] 图 8 是在形成作为本发明的栅绝缘层的第 1、第 3 层的氧化硅膜时，工艺压力与成膜速度以及基板面内分布的关系图。

[0042] 图 9 是在形成作为本发明的栅绝缘层的第 2 层的氮化硅膜时，作为施氮气体的氨气相对于施硅气体的组成比与成膜速度的关系图。

[0043] 图 10 是在形成作为本发明的栅绝缘层的第 2 层的氮化硅膜时的氨气的组成比与 D_{it} 、 V_{fb} 的关系图。

[0044] 图 11 是在形成作为栅绝缘层的第 2 层的氮化硅膜时，施氮气体相对于施硅气体的组成比与成膜速度和基板面内分布的关系图。

[0045] 图 12 是在形成作为本发明的栅绝缘层的第 2 层的氮化硅膜时的工艺压力与成膜速度和基板面内分布的关系图。

[0046] 图 13 是在形成作为本发明的栅绝缘层的第 2 层的氮化硅膜时的成膜温度和成膜速度的关系图。

[0047] 图 14 是在形成作为本发明的栅绝缘层的第 2 层的氮化硅膜时的成膜温度和 D_{it} 、 V_{fb} 的关系图。

[0048] 图 15 是在作为本发明的栅绝缘层的第 1、第 2 层的各个氧化硅膜中，膜厚和 D_{it} 、 V_{fb} 的关系图。

[0049] 图 16 是在作为本发明的栅绝缘层的第 2 层的氮化硅膜中，膜厚和 D_{it} 、 V_{fb} 的关系图。

[0050] 图 17 是在使用本发明的栅绝缘层和现有的栅绝缘层的各个多晶硅 TFT 中，亚阈值摆动 (S 值) 与阈值电压 (V_{th}) 的图。

[0051] 图 18 是通过现有例子的制造方法而形成的作为薄膜晶体管的多晶硅 TFT 的剖面示意图。

具体实施方式

[0052] 以下，根据图示的实施方式对本发明进行说明。

[0053] 图 1 是表示作为利用本发明的制造方法而形成的作为薄膜晶体管的低温多晶硅 TFT (以下称为多晶硅 TFT) 的剖面示意图，其中，(a) 表示栅绝缘层为第 1 氧化硅膜、氮化硅膜以及第 2 氧化硅膜的三层层积结构；(b) 表示第 1 氧化硅膜以及氮化硅膜的两层层积结构。

[0054] 参照图 1(a)，本实施方式的薄膜晶体管在基板 9 上包括包含源区 17、漏区 19、沟道区 18 的有源层 11、栅电极层 16，和在有源层 11 与栅电极层 16 间形成的栅绝缘层 15；栅绝缘层 15 包括在有源层 11 一侧形成的第 1 氧化硅膜 12、在栅电极层 16 一侧形成的第 2 氧化硅膜 14，和在第 1 氧化硅膜 12 和第 2 氧化硅膜 14 之间形成的氮化硅膜 13。

[0055] 如此结构的本实施方式的薄膜晶体管能够减少阈值电压和 S 值。

[0056] 另外，如图 1(b) 所示，即使栅绝缘层为第 1 氧化硅膜以及氮化硅膜的两层构造，只要满足栅绝缘膜的绝缘性，也可以不形成图 1(a) 中所示的第 2 氧化硅膜。

[0057] 其次说明本实施方式的制造装置。

[0058] 图 2 是用于形成该多晶硅 TFT 的栅绝缘层的等离子 CVD 装置的剖面示意图。

[0059] 在该等离子 CVD 装置 1 的反应容器 2 的上部设置了连接着储气瓶等的多个气源 (未图示) 的气体输入部分 3；在反应容器 2 的下部设置了连接着真空泵 (未图示) 等的排气部分 4。在反应容器 2 内，相对地设置了 2 个平板状的上部电极 5 和下部电极 6；位于上方的上部电极 5 通过能对高频电力进行脉冲调制的调制器 7 连接到外部高频电源 8 上；位于下方的下部电极 6 上设置了待成膜的基板 9，而且下部电极 6 兼用作基板支持物。高频电源 8 对上部电极 5 施加 27.12MHz 高频电压。另外，作为高频电压也可以是 13.56MHz，但上述 27.12MHz 的高频电压有利于提高气体裂化效率。

[0060] 上部电极 5 的结构如下：在其正面一侧 (对着下部电极 6 的一侧) 上具有中空部分 5a 以便设置喷淋板 10；以与该中空部分 5a 连通的方式来连接气体输入部分 3 的前端；

使原料气体从喷淋板 10 上所形成的多个气体喷 10a 面向着下部电极 6 上的基板 9 均匀地喷出。另外，下部电极 6 的结构是内置了将所安放的基板 9 加热到指定温度的加热器（未图示），并且在成膜过程中维持接地电位。

[0061] 下面对本发明的多晶硅 TFT 的制造方法进行说明。

[0062] 首先，利用减压热 CVD 法或等离子 CVD 法等在基板 9 上形成膜厚为 50nm 的非结晶硅膜之后，通过照射氯化氙 (XeCl) 受激准分子激光（波长 308nm）或氟化氪 (KrF) 受激准分子激光（波长 248nm），可以使非结晶硅膜结晶化而得到作为结晶性硅膜的多晶硅 (Poly-Si)。使用光刻或刻蚀将其图案化，形成有源层 11。

[0063] 然后，将形成了有源层 11 的基板 9 设置在上述等离子 CVD 装置 1 的反应容器 2 内的下部电极 6 上，向加热器（未图示）通电来进行电阻加热以将基板 9 加热到规定温度。此时，通过排气部分 4 排气来将反应容器 2 调整到规定的压力。

[0064] 然后，通过气体输入部分 3，向反应容器 2 内引入由作为第 1 施硅气体的四乙氧基原硅酸酯 (TEOS) 等的硅烷系气体和氧等施氧气体组成的混合气体（原料气体），使混合气体从喷淋板 10 的多个气体喷出口 10a 面向下部电极 6 上的基板 9 均匀地喷出。此时，从高频电源 8 向上部电极 5 施加 27.12MHz 的高频电压，在上部电极 5 和下部电极 6 之间的空间内发生放电以使上述混合气体等离子化，在有源层 11 上形成膜厚为 40～50nm 的作为第 1 绝缘层的第 1 氧化硅膜 12。

[0065] 另外，在形成第 1 氧化硅膜 12 时，作为第 1 施硅气体除了上述的四乙氧基原硅酸酯 (TEOS) 等的硅烷系气体以外，也可以使用从由例如甲硅烷和乙硅烷组成的组中选择的任何一种气体；作为施氧气体，除了氧以外，也可以使用从由例如氧化亚氮、臭氧、二氧化碳、水组成的组中选择的任意一种气体。

[0066] 然后，同样地引入由作为第 2 施硅气体的甲硅烷 (SiH_4) 等的硅烷系气体和氨等的施氮气体以及氮等的稀释气体组成的混合气体，并利用放电等使上述混合气体离子化，从而在第 1 氧化硅膜 12 上以 10～20nm 的厚度形成作为第 2 绝缘层的氮化硅膜 13。

[0067] 另外，在形成氮化硅膜 13 时，作为第 2 施硅气体，除了甲硅烷以外，也可以使用从由例如四乙氧基原硅酸酯、六甲基二硅氨烷和乙硅烷组成的组中选择的任意一种气体；作为上述施氮气体，除了氨以外也可以使用从由例如一氧化氮、联胺组成的组中选择的任意一种气体。

[0068] 然后，输入与第 1 氧化硅膜 12 相同的气体系的混合气体，并利用放电使上述混合气体等离子化，从而在氮化硅膜 13 上形成膜厚为 50nm 的作为第 3 绝缘层的第 2 氧化硅膜 14。然后，使用光刻和刻蚀将其图案化，形成栅绝缘层 15。作为本发明的特征的栅绝缘层 15 的细节稍后说明。

[0069] 如果栅绝缘膜的绝缘性满足的话也可以不形成该第 2 氧化硅膜 14。

[0070] 另外，作为形成第 1、2 氧化硅膜 12、14 的混合气体，使用分别从硅烷系气体、施氧气体中选择出的至少一种并以规定含量混合而成的混合气体；作为形成氮化硅膜 13 的混合气体，使用分别从硅烷系气体、施氮气体、稀释气体中选择出的至少一种并以规定含量混合的混合气体。

[0071] 其次，在上述栅绝缘层 15（第 2 氧化硅膜 14）上，利用溅射法以 250nm 的厚度形成铝膜之后，利用溅射法形成 50nm 的钼膜。使该铝膜中含有 0.2% 重量的钪。这样是为了抑

制在以后的工序中形成被称为突起 (hilllock) 或毛刺 (whisker) 的针状的突起物。然后，使用光刻和刻蚀将其图案化而形成栅电极 16。

[0072] 在栅电极 16 形成之后，掺杂用于形成源 / 漏区的杂质（用于赋予一种导电类型的杂质）。这里，为了得到 n 沟道型薄膜晶体管，通过等离子掺杂法进行 P(磷) 的掺杂。掺杂完成之后进行退火，进行掺杂杂质的活性化和掺杂损伤的退火。在上述的工序中，分别自对准地形成源区 17、沟道区 18 和漏区 19。

[0073] 其次，在栅电极 16 和栅绝缘层 15 上，通过 CVD 法（等离子 CVD 法、热 CVD 法、ECR 等离子 CVD 法等），以 250nm 的厚度形成氧化硅膜 20。然后，通过使用光刻和刻蚀形成接触孔并且形成了绝缘层 21 之后，使用溅射法以 50nm 的厚度形成钼膜，然后以 300nm 的厚度形成铝膜，并形成源电极 22 和漏电极 23，从而得到图 1 所示的本发明的多晶硅 TFT。

[0074] 其次，对利用上述的催化剂 CVD 装置 1 制造的本发明的栅绝缘层 15 的成膜条件等进行说明。

[0075] 本发明的栅绝缘层 15 的膜厚为第 1 层（第 1 氧化硅膜 12）：第 2 层（氮化硅膜 13）：第 3 层（第 2 氧化硅膜 14）= 50nm : 10nm : 50nm；其各自的成膜工艺条件如图 3 所示。为了进行比较，以现有的多晶硅 TFT 的栅绝缘层所使用的、以 TEOS 为原料的氧化硅膜的典型成膜工艺条件也一并在图 3 中示出。成膜速度、基板面内的膜厚分布是在尺寸为 730mm×920mm 的玻璃基板上成膜的情况下结果。另外，Vfb（单位：V）是作为表示栅绝缘层中的缺陷量的指标的平带电压；Dit（单位： $\text{cm}^{-2} \cdot \text{eV}^{-1}$ ）是作为表示栅绝缘层与硅薄膜的界面的缺陷密度的指标的界面能级密度。此时的基板使用 P 型的 Si[001] 单晶晶片 ($\text{Na} = 2 \times 10^{15} \text{ cm}^{-3}$)。

[0076] 如图 3 所示，在现有的栅绝缘层的情况下，以 TEOS 作为原料气体的氧化硅膜的成膜速度为 80nm/min 左右，在基板面内的膜厚分布 (10mm 端) 为 $\pm 7.5\%$ 左右。另外，当该膜厚为 110nm 时， $V_{fb} = -1.5 \sim -2.0 \text{ V}$, $D_{it} = 8 \times 10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ 。

[0077] 据此，从后述的图 4～图 6 示出的测试结果可知，在本发明中的栅绝缘层的成膜工艺条件是栅绝缘层的整体成膜速度为 78～83nm/min 左右，基板面内的膜厚分布 (10mm 端) 为 $\pm 5.5 \sim 7.0\%$ 左右。另外，在该膜厚为 110nm 的情况下， $V_{fb} = -1.0 \sim -1.5 \text{ V}$, $D_{it} = 4.3 \times 10^{10} \sim 9.6 \times 10^{10} \text{ cm}^{-2} \cdot \text{eV}^{-1}$ 。

[0078] 图 4 是表示在形成作为第 1、第 3 层的氧化硅膜（第 1、第 2 氧化硅膜 12、14）时，成膜温度与成膜速度的关系的测试结果；图 5 是表示在形成氧化硅膜（第 1、第 2 氧化硅膜 12、14）时，成膜温度与 D_{it} 、 V_{fb} 关系的测试结果。在图 5 中，a 为 D_{it} , b 为 V_{fb} 。

[0079] 从图 4 所示的测试结果可知，若成膜温度上升，则成膜速度降低，而生产性降低。另外，从图 5 所示的测试结果可知，若成膜温度上升，则 D_{it} 减少，界面的缺陷密度下降；不过，在成膜温度大于等于 430℃ 左右时， D_{it} 大致变为定值。另一方面，若成膜温度上升，则 V_{fb} 上升，层内的缺陷量减少；但是，成膜温度在大于等于 430℃ 时， V_{fb} 变为定值。从基板的耐热温度以及装置材料的情况来考虑，成膜温度优选小于等于 450℃ 左右。

[0080] 因此，为了在成膜时保持高的氧化硅膜（第 1、第 2 氧化硅膜 12、14）成膜速度、降低 D_{it} 、提高 V_{fb} ，优选在 330℃～430℃ 左右的范围内成膜。

[0081] 图 6 是表示在形成氧化硅膜（第 1、第 2 氧化硅膜 12、14）时，相对于赋予硅气体的氧气组成比与成膜速度关系的测试结果；图 7 是表示在形成氧化硅膜（第 1、第 2 氧化硅膜

12、14) 时, 氧气组成比与 Dit、Vfb 的关系的测试结果。在图 7 中, a 为 Dit, b 为 Vfb。

[0082] 从图 6 示出的结果可知, 若氧气组成比增加, 则成膜速度降低, 生产性降低。从图 7 示出的结果可知, 若氧气体组成比增加, Dit 减少, 界面的缺陷密度降低; Dit 在氧气组成比小于等于 30 时急剧降低, 但在氧气组成比大于等于 50 时大致变为定值。另一方面, 若氧气组成比增加, 则 Vfb 上升, 层内的缺陷量减少; 但是, Vfb 在氧气组成比小于等于 30 时急剧上升并在氧气组成比大于等于 50 时大致变为定值。

[0083] 因此, 为了维持高的氧化硅膜(第 1、第 2 氧化硅膜 12、14) 成膜速度并且降低 Dit、提高 Vfb, 优选相对于施硅气体的氧气组成比在 30 ~ 50 左右的范围内成膜。

[0084] 图 8 是表示在形成氧化硅膜(第 1、第 2 氧化硅膜 12、14) 时, 工艺压力与成膜速度和基板面内分布关系的测试结果。在图 8 中, a 为成膜速度, b 为基板面内分布。从该测试结果可知, 若工艺压力增大, 则成膜速度降低。另外, 基板面内分布在工艺压力为 125Pa 附近具有最小值。

[0085] 因此, 为了减少氧化硅膜(第 1、第 2 氧化硅膜 12、14) 的基板面内分布, 优选在工艺压力为 80 ~ 200Pa 左右的范围内成膜。

[0086] 图 9 是表示在形成氮化硅膜(作为第 2 绝缘层的氮化硅膜 13) 时, 相对于施硅气体, 作为施氮气体的氨气的组成比与成膜速度的关系的测试结果; 图 10 是表示在形成氮化硅膜(作为第 2 绝缘层的氮化硅膜 13) 时, 氨气组成比与 Dit、Vfb 关系的测试结果。在图 10 中, a 为 Dit, b 为 Vfb。

[0087] 从图 9 示出的测试结果可知, 若氨气组成比增加, 则成膜速度降低, 生产性下降。从图 10 示出的测试结果可知, 若氨气组成比增加, 则 Dit 减少, 界面的缺陷密度降低; 氨气组成比直到达到 20 左右为止, Dit 都急剧降低, 而在氨气组成比大于等于 20 时 Dit 大致变为定值。另一方面, 若氨气组成比增加, 则 Vfb 上升, 层内的缺陷量的减少; 直到氨气组成比到达 20 左右为止, Vfb 都急剧增加, 并在氨气组成比大于等于 20 时大致变为定值。

[0088] 因此, 为了在成膜时维持高的氮化硅膜(作为第 2 绝缘层的氮化硅膜 13) 成膜速度、降低 Dit、提高 Vfb, 优选在氨气组成比处于 10 ~ 25 左右的范围内时成膜。

[0089] 图 11 是在形成氮化硅膜(作为第 2 绝缘膜的氮化硅膜 13) 时, 氮气(稀释气体)相对于施硅气体的组成比与成膜速度以及基板面内分布的关系的测试结果。在图 11 中, a 为成膜速度, b 为基板面内分布。

[0090] 从图 11 中所示的测试结果可知, 若氮气组成比增加, 则成膜速度降低。而且, 基板面内的分布在氮气组成比接近 20 时具有最小值。因此, 为了减小氮化硅膜(作为第 2 绝缘层的氮化硅膜 13) 的基板面内分布, 优选在氮气组成比处于 10 ~ 30 左右的范围内时成膜。

[0091] 图 12 是表示在形成氮化硅膜(作为第 2 绝缘层的氮化硅膜 13) 时, 工艺压力与成膜速度和基板面内分布之间的关系的测试结果。在图 12 中, a 为成膜速度, b 为基板面内分布。

[0092] 从图 12 中所示的测试结果可知, 若工艺压力上升, 则成膜速度减小, 而且基板面内分布在 250Pa 附近具有最小值。因此, 为了使氮化硅膜(作为第 2 绝缘层的氮化硅膜 13) 的基板面内分布变小, 优选在工艺压力为 200 ~ 400Pa 左右的范围内时成膜。

[0093] 图 13 是表示在氮化硅膜(作为第 2 绝缘层的氮化硅膜 13) 形成时, 成膜温度与成膜速度之间关系的测试结果; 图 14 是在表示形成氮化硅膜(作为第 2 绝缘层的氮化硅膜

13) 时,成膜温度与 Dit、Vfb 之间关系的测试结果。在图 14 中, a 为 Dit, b 为 Vfb。

[0094] 从图 13 示出的测试结果可知,若成膜温度上升,则成膜速度降低,生产性下降。另外,从图 14 中示出的测试结果可知,若成膜温度上升,则 Dit 减小,界面缺陷密度降低;但在成膜温度大于等于 430℃ 左右时,Dit 大致变为定值。另一方面,若成膜温度上升,则 Vfb 上升,层内的缺陷量降低;但 Vfb 在大于等于 430℃ 左右时大致变为定值。另外,根据基板的耐热温度,优选小于等于 450℃。

[0095] 因此,为了在成膜时维持高的氮化硅膜(作为第 2 绝缘层的氮化硅膜 13)成膜速度、降低 Dit、提高 Vfb,优选在 330℃~430℃ 左右的范围内成膜。

[0096] 图 15 是表示本发明中的栅绝缘层 15 的第 1、第 3 层(第 1、第 2 氧化硅膜 12、14)的膜厚与 Dit、Vfb 之间关系的测试结果。图 16 是表示本发明中的栅绝缘层 15 的第 2 层(氮化硅膜 13)的膜厚与 Dit、Vfb 之间关系的测试结果。图 15、图 16 中, a 为 Dit, b 为 Vfb。

[0097] 从图 15、图 16 中所示的测试结果可知,在第 2 层(氮化硅膜 13)的膜厚为 10~20nm 的情况下,第 1、第 3 层(第 1、第 2 氧化硅膜 12、14)的膜厚分别在 40~50nm 的范围内可以得到优良膜质的栅绝缘层(Dit 低,且 Vfb 高)。

[0098] 而且,在制造分别包含本发明的栅绝缘层 15 和由以 TEOS 作为原料气体的氧化硅膜组成的现有的栅绝缘层的多晶硅 TFT 的情况下,测试了亚阈值摆动(S 值、单位:V/dec)和阈值电压(Vth、单位,V),并得到了图 17 中所示的测试结果。此时,各个栅绝缘层成膜工艺条件与图 3 中的情况相同。

[0099] 从图 17 示出的测试结果可知,与现有的单层结构的栅绝缘层(氧化硅膜)相比,利用形成本发明的 3 层结构的栅绝缘层(第 1 氧化硅膜 12、氮化硅膜 13、第 2 氧化硅膜 14)15 可以制造出亚阈值摆动(S 值)小、且阈值电压(Vth)低的高性能多晶硅 TFT。

[0100] 如上所述,根据本发明的制造方法,既确保了良好的生产性,又能够得到具有优越特性(用低的基板温度(小于等于 450℃ 左右)大幅度降低了且栅绝缘层的膜中的缺陷和与硅薄膜的界面缺陷密度)的栅绝缘层的多晶硅 TFT。

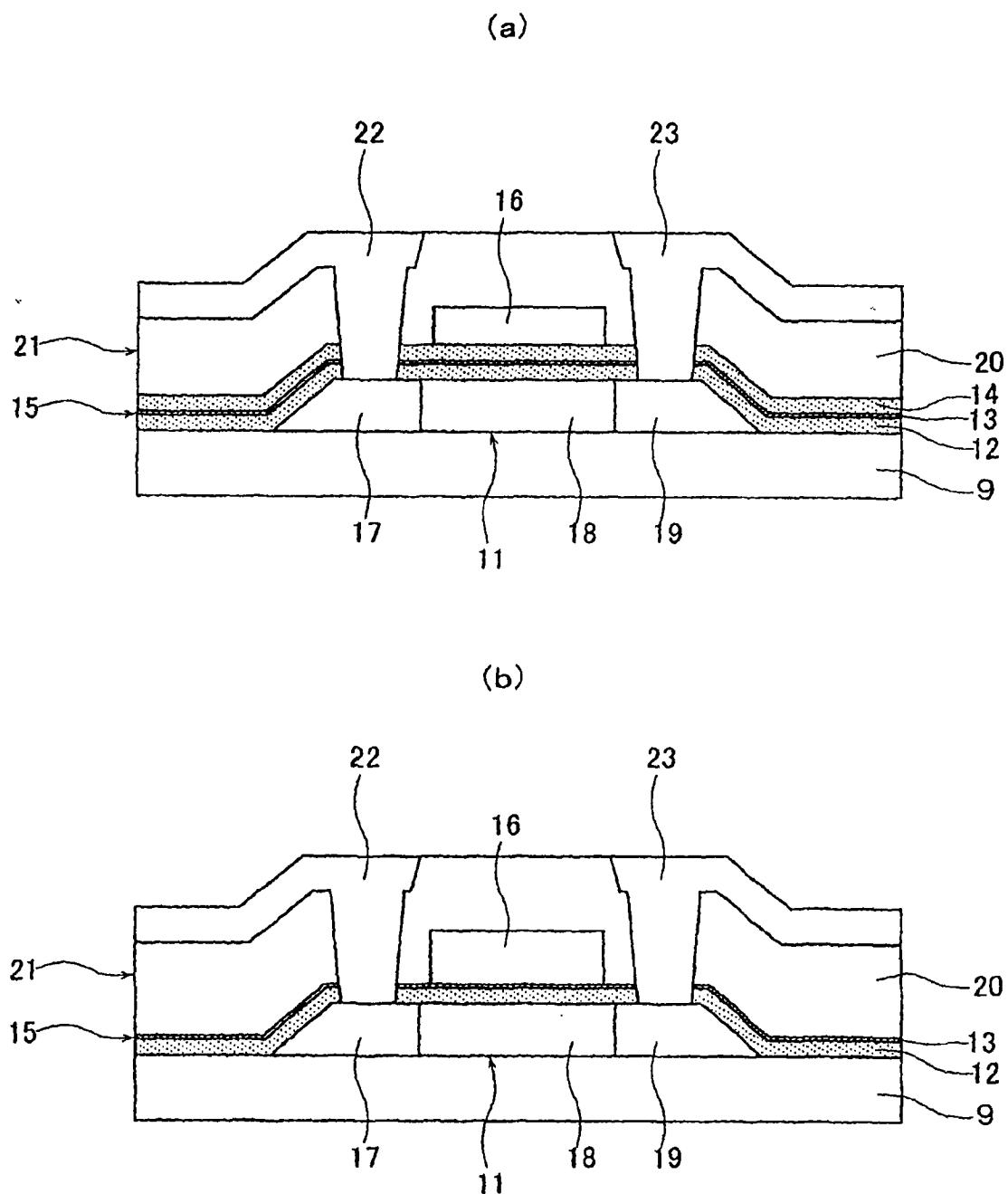


图 1

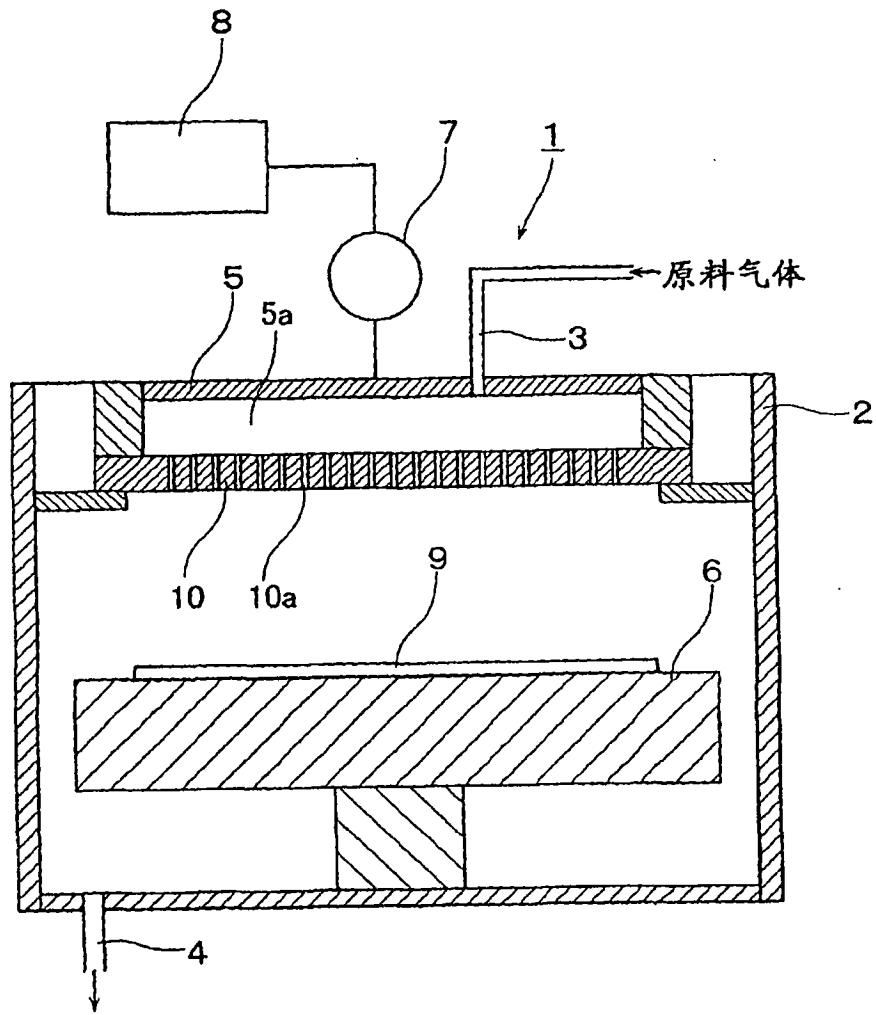


图 2

现有栅绝缘层	本发明的栅绝缘层	
(TEOS-SiO ₂)	第1、第3层(TEOS-SiO ₂)	第2层(SiNx)
功率密度:0.45W/cm ²	功率密度:0.8W/cm ²	功率密度:0.71W/cm ²
原料气体 TEOS:400sccm O ₂ :20000sccm	原料气体 TEOS:500sccm O ₂ :25000sccm	原料气体 SiH ₄ :700sccm NH ₃ :14000sccm N ₂ :15000sccm
成膜速度:80nm	成膜速度:78nm	
V _{fb} :-1.5V		V _{fb} :-1.43V
Dit:8×10E11cm ⁻² ·eV ⁻¹		Dit:5.7×10E10cm ⁻² ·eV ⁻¹
膜厚分布(基板端:10mm) ±7.5%	膜厚分布(基板端:10mm) ±6.8%	

图 3

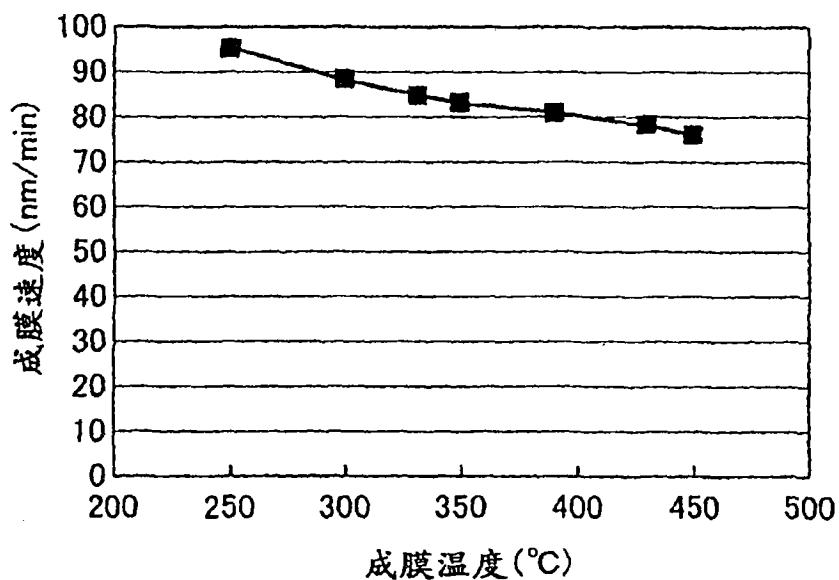


图 4

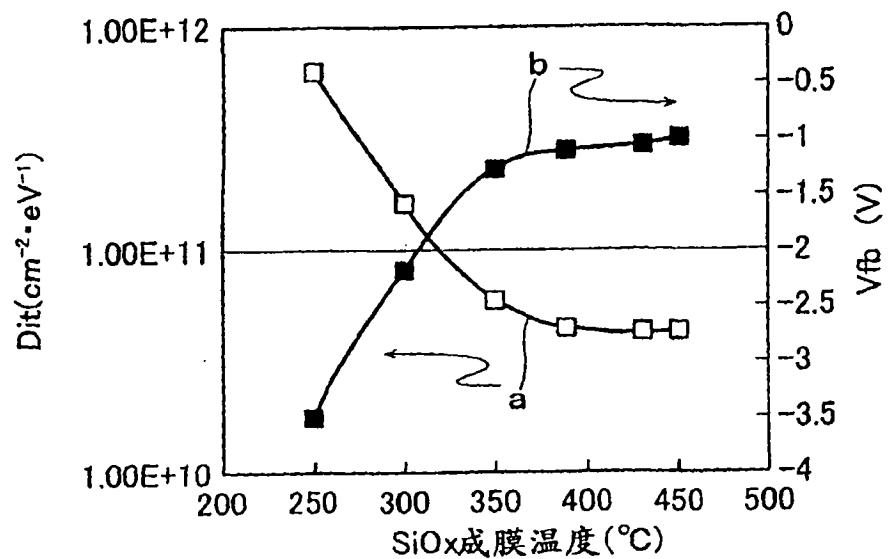


图 5

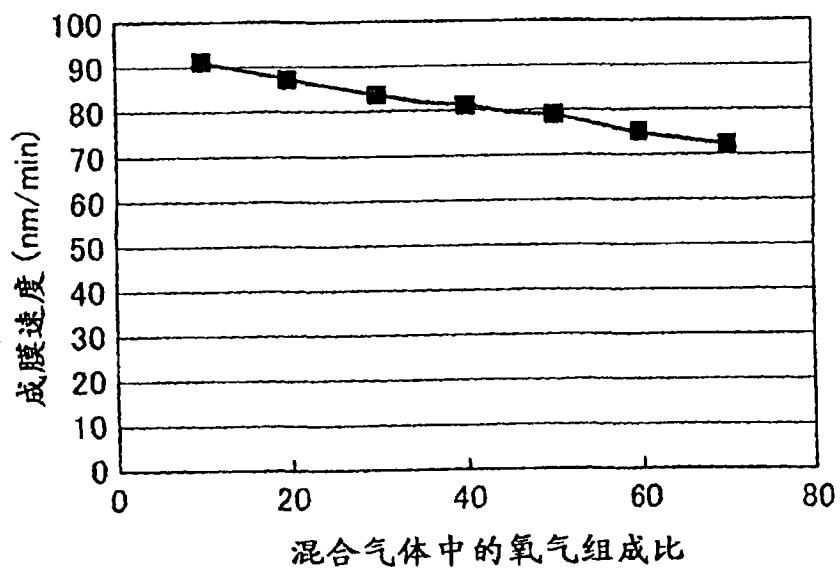


图 6

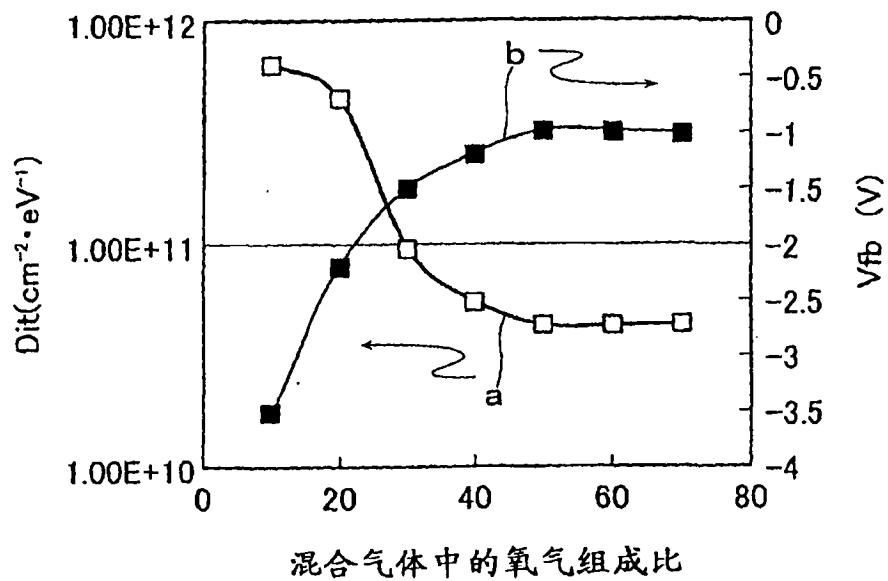


图 7

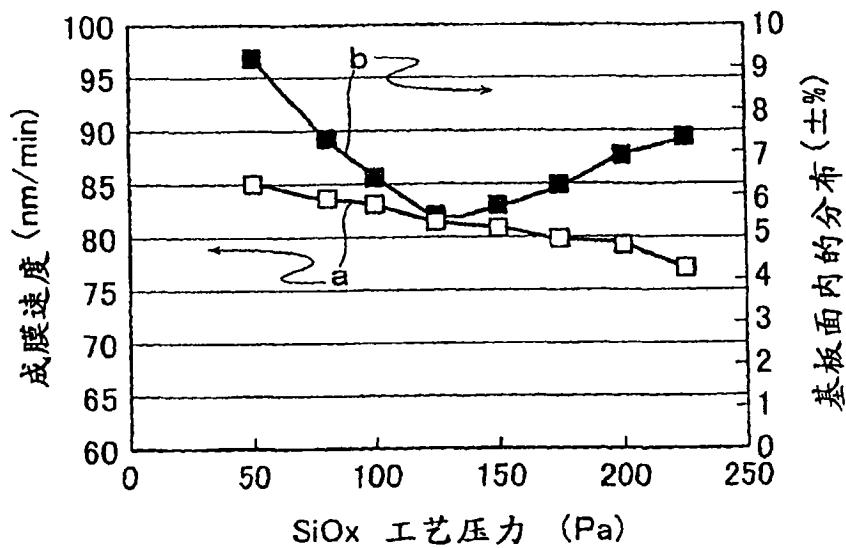


图 8

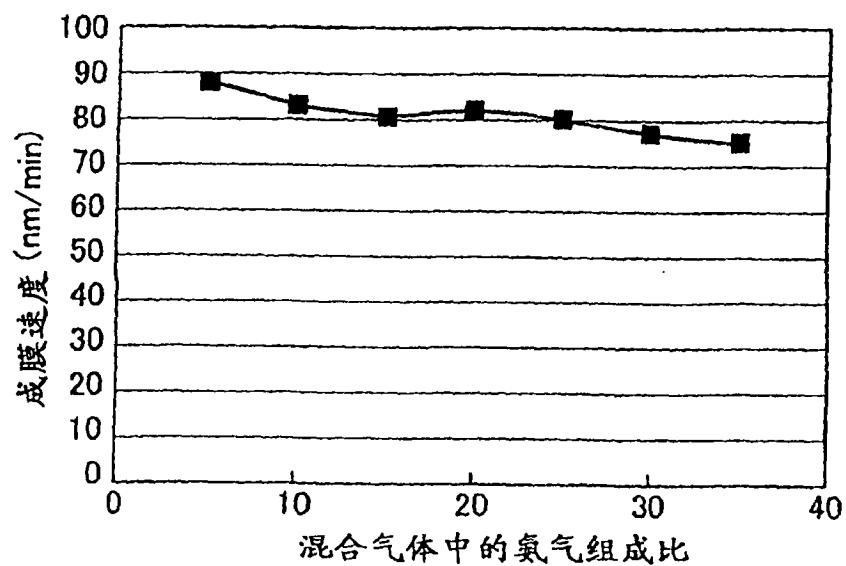


图 9

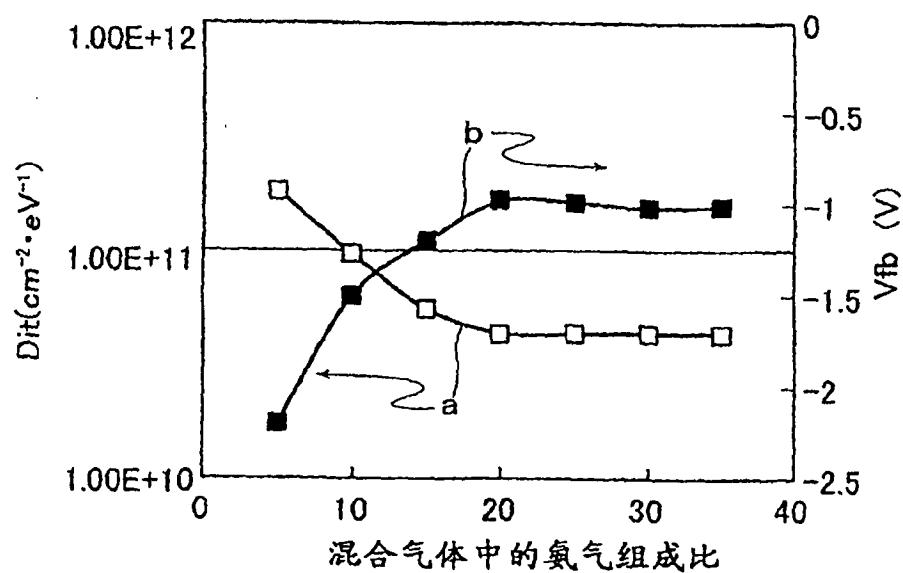


图 10

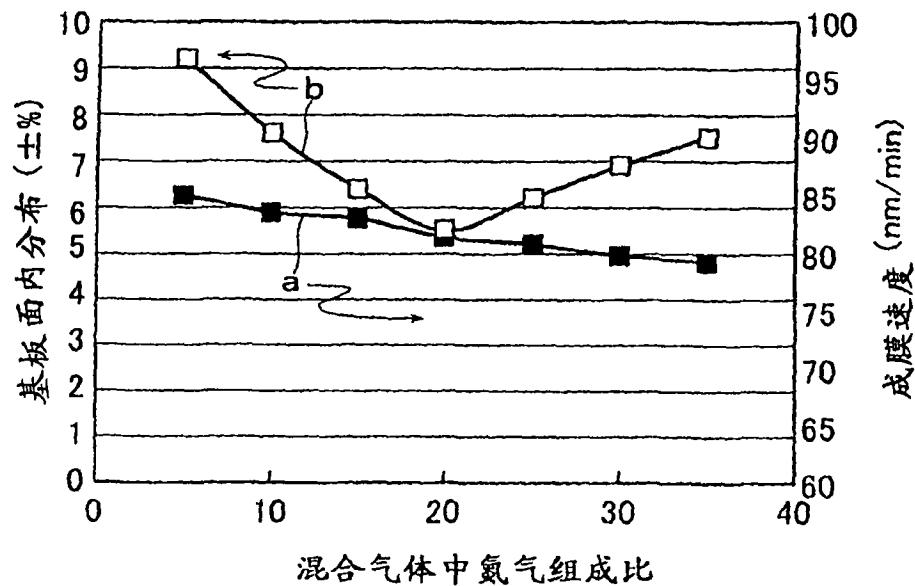


图 11

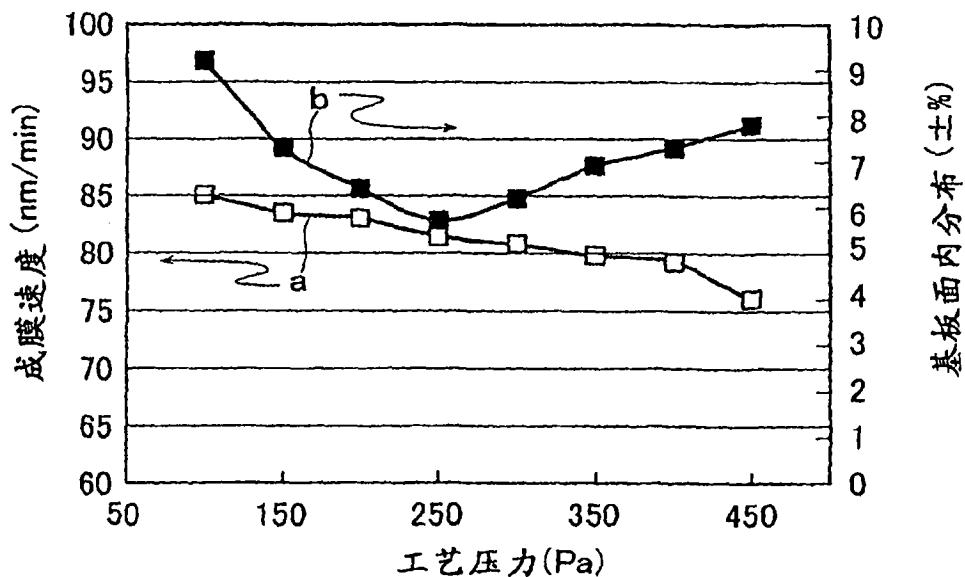


图 12

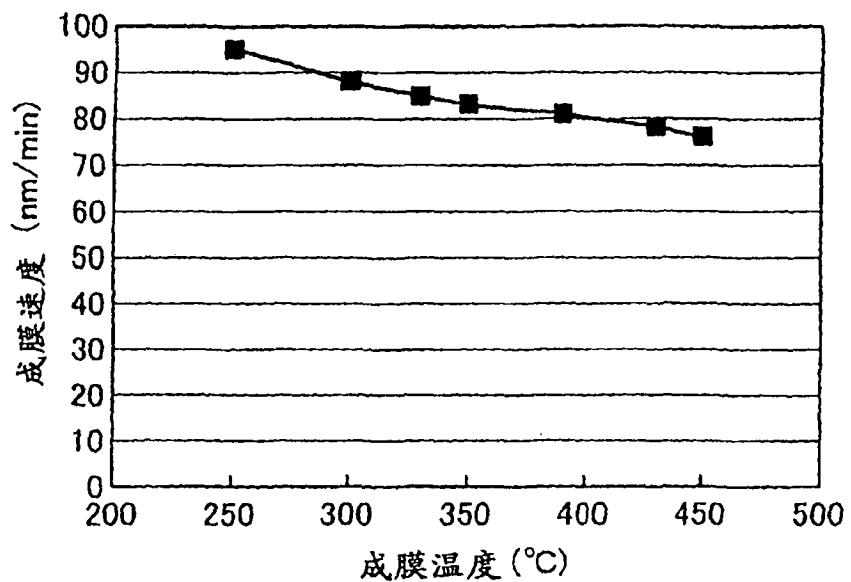


图 13

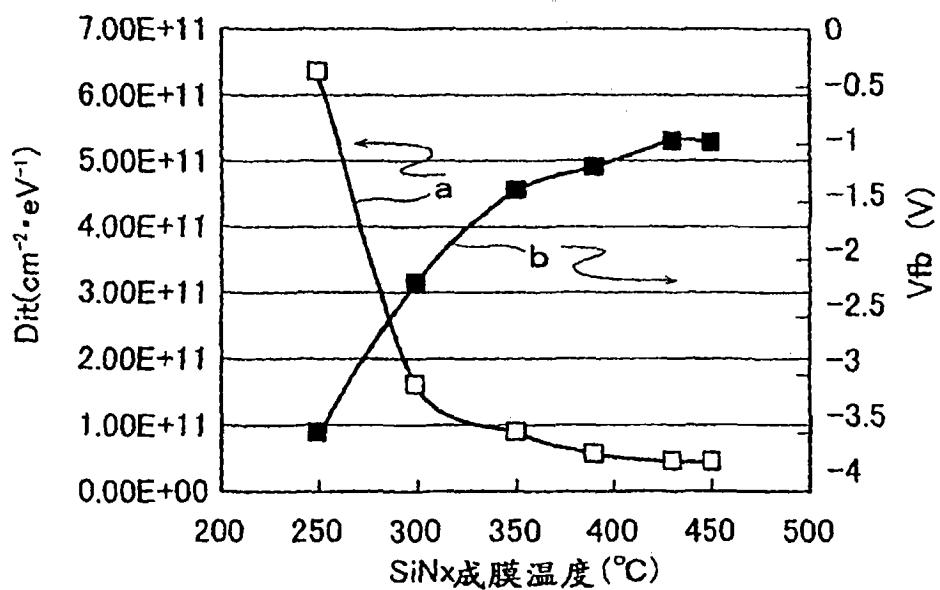
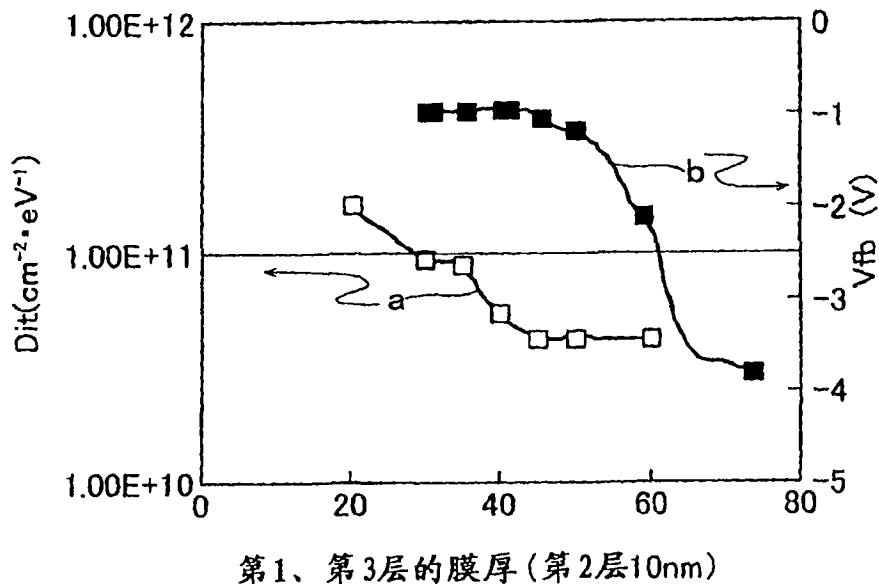


图 14



第1、第3层的膜厚 (第2层10nm)

图 15

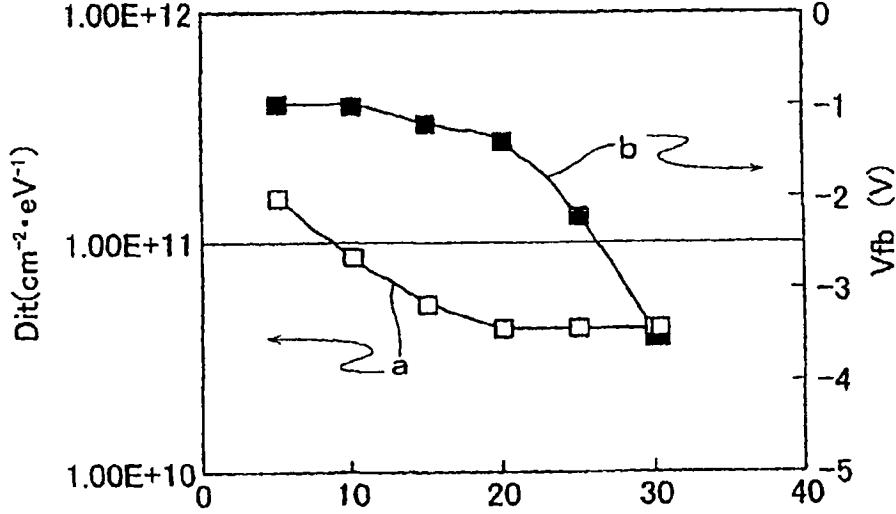
第2层的膜厚 (第1层固定为50nm,
第3层固定为50nm)

图 16

参数	使用现有的TEOS-SiO ₂ 的LTPS-TFT	使用本发明的栅绝缘层的LTPS-TFT
S(V/dec)	0.58	0.25
V _{th} (V)	+3.75	+1.28

图 17

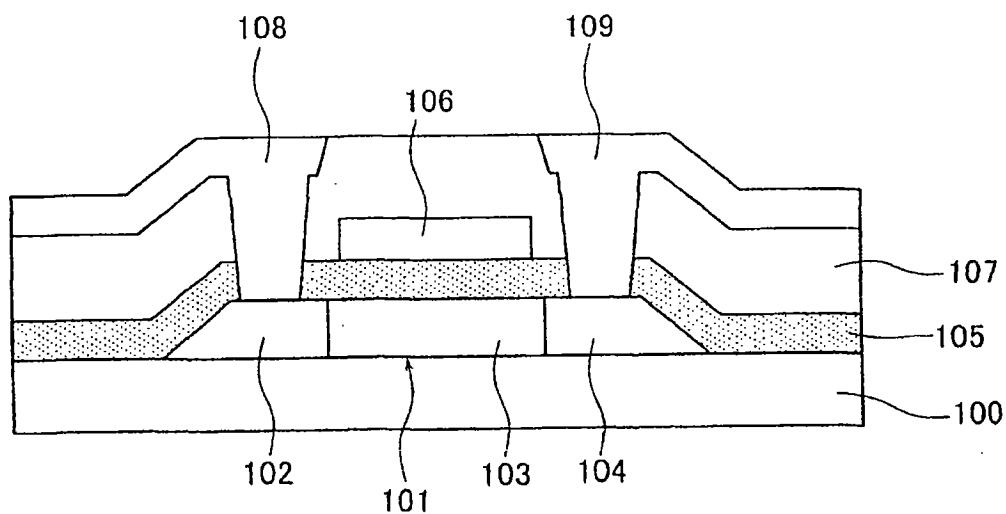


图 18