



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년05월22일
(11) 등록번호 10-1738082
(24) 등록일자 2017년05월15일

- | | |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 21/28 (2006.01) H01L 21/02 (2006.01)
H01L 21/3205 (2006.01) H01L 29/66 (2006.01)</p> <p>(52) CPC특허분류
H01L 21/28052 (2013.01)
H01L 21/02255 (2013.01)</p> <p>(21) 출원번호 10-2016-0004533</p> <p>(22) 출원일자 2016년01월14일
심사청구일자 2016년01월14일</p> <p>(56) 선행기술조사문헌
논문1*
논문2
*는 심사관에 의하여 인용된 문헌</p> | <p>(73) 특허권자
인하대학교 산학협력단
인천광역시 남구 인하로 100, 인하대학교 (용현동)</p> <p>(72) 발명자
최리노
서울특별시 마포구 월드컵북로 502-37, 1102동 305호(상암동, 상암월드컵파크11단지)</p> <p>최재원
인천광역시 부평구 부흥로 246, 23동 2006호(부평동, 동아2단지아파트)</p> <p>(74) 대리인
김남식, 이인행, 김한</p> |
|--|---|

전체 청구항 수 : 총 3 항

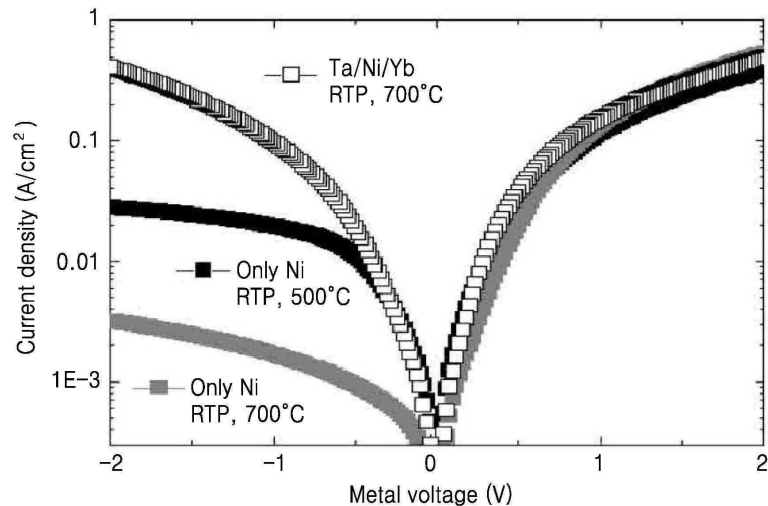
심사관 : 강병섭

(54) 발명의 명칭 반도체 소자 및 그 제조방법

(57) 요약

본 발명은 낮은 접촉저항을 고온까지 유지할 수 있는 니켈 실리사이드를 구현하기 위하여, 실리콘층 상에 이테르븀층을 형성하는 단계, 상기 이테르븀층 상에 니켈층을 형성하는 단계 및 상기 실리콘층의 일부, 상기 이테르븀층 및 상기 니켈층이 반응하도록 열처리를 하여 이테르븀(Ytterbium)을 함유하는 니켈 실리사이드층을 형성하는 단계를 포함하는 반도체 소자의 제조방법을 제공한다.

대표도 - 도4



(52) CPC특허분류

H01L 21/32051 (2013.01)

H01L 29/665 (2013.01)

H01L 2924/01028 (2013.01)

H01L 2924/0107 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 10039174

부처명 산업통상자원부

연구관리전문기관 한국산업기술평가관리원

연구사업명 전자정보디바이스산업원천기술개발사업(반도체공정장비)

연구과제명 시퀀셜 소자 적층을 위한 초저온 전공정 집적 기술 개발(1차년도)

기 여 율 1/1

주관기관 인하대학교 산학협력단

연구기간 2015.06.01 ~ 2016.05.31

명세서

청구범위

청구항 1

N 타입 실리콘층 상에 이테르븀층을 형성하는 제 1 단계;

상기 이테르븀층 상에 니켈층을 형성하는 제 2 단계; 및

상기 실리콘층의 일부, 상기 이테르븀층 및 상기 니켈층이 반응하도록 열처리를 하여 이테르븀(Ytterbium)을 함유하는 니켈 실리사이드층을 형성하는 제 3 단계;

를 포함하되,

상기 제 3 단계는 상기 N 타입 실리콘층과의 접촉 저항을 줄이면서 상기 니켈 실리사이드층의 응집을 방지하기 위하여 단결정 형태의 이테르븀 실리사이드를 형성하는 단계를 포함하는, 반도체 소자의 제조방법.

청구항 2

제 1 항에 있어서,

상기 니켈 실리사이드층의 열적 안정성과 이테르븀의 산화를 방지하기 위하여, 상기 니켈층 상에 탄탈륨 또는 텅스텐을 포함하는 캐핑막(capping layer)을 형성하는 단계;를 더 포함하는, 반도체 소자의 제조방법.

청구항 3

N 타입 실리콘층; 및

상기 N 타입 실리콘층 상에 형성되는 이테르븀(Ytterbium)을 함유하는 니켈 실리사이드층;

을 포함하되,

상기 니켈 실리사이드층은 상기 N 타입 실리콘층과의 접촉 저항을 줄이면서 상기 니켈 실리사이드층의 응집을 방지하기 위하여 단결정 형태의 이테르븀 실리사이드를 포함하는, 반도체 소자.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 소자 및 그 제조방법에 관한 것으로서, 더 상세하게는 실리사이드층을 갖는 반도체 소자 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 현재 반도체 산업에서는 모바일 디바이스, 사물 인터넷(Internet of Things) 등의 발전으로 여러 소자의 융합이 가능한 초절전 플랫폼의 필요성이 높아지고 있으며, 이에 시퀀셜 3차원 집적소자(Monolithic 3D)는 차세대 기술로써 주목받고 있다. 그러나 시퀀셜 3차원 집적소자를 구현함에 있어서 상부소자 형성 시 발생하는 하부소자의 열화현상은 낮은 접촉저항의 유지를 어렵게 한다. 낮은 접촉저항을 유지하는 것은 소자가 미세화 됨에 따라 그 중요도가 더욱 부각되고 있다. 대표적으로 낮은 접촉저항을 위해 널리 사용되고 있는 니켈 실리사이드는 500℃ 이상에서 응집(agglomeration)이 발생하고 저항이 증가하는 문제를 가지고 있다. 따라서, 시퀀셜 3차원 집적소자를 구현함에 있어서 고온 내성이 우수한 니켈 계열 실리사이드의 필요성이 증대되고 있다.

[0003] 관련 선행기술로는 대한민국 특허공개번호 KR10-2008-0014070호 (2008. 02. 13. 공개, 발명의 명칭 : 니켈 실리사이드 접촉 영역을 포함한 집적 회로 및 그 제조방법)가 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 상기와 같은 문제점을 포함하여 여러 문제점들을 해결하기 위한 것으로서, 니켈 실리사이드의 열화현상을 방지할 수 있는 반도체 소자 및 그 제조방법을 제공하는 것을 목적으로 한다. 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

과제의 해결 수단

[0005] 본 발명의 일 관점에 따른 반도체 소자의 제조방법을 제공한다. 상기 반도체 소자의 제조방법은 실리콘층 상에 이테르븀층을 형성하는 단계, 상기 이테르븀층 상에 니켈층을 형성하는 단계 및 상기 실리콘층의 일부, 상기 이테르븀층 및 상기 니켈층이 반응하도록 열처리를 하여 이테르븀(Ytterbium)이 함유된 니켈 실리사이드층을 형성하는 단계를 포함한다.

[0006] 상기 반도체 소자의 제조방법은 상기 니켈 실리사이드층의 열적 안정성과 이테르븀의 산화를 방지하기 위하여, 상기 니켈층 상에 탄탈륨, 텅스텐 또는 질화티타늄을 포함하는 캐핑막(capping layer)을 형성하는 단계를 더 포함할 수 있다.

[0007] 본 발명의 다른 관점에 따른 반도체 소자를 제공한다. 상기 반도체 소자는 실리콘층 및 상기 실리콘층 상에 형성되는 이테르븀(Ytterbium)을 함유하는 니켈 실리사이드층을 포함한다.

발명의 효과

[0008] 상기한 바와 같이 이루어진 본 발명의 일 실시예에 따르면, 낮은 접촉저항을 고온까지 유지할 수 있는 니켈 실리사이드 및 그 제조방법을 구현할 수 있다. 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

[0009] 도 1은 본 발명의 일 실시예에 따른 반도체 소자의 제조방법을 도해하는 단면도이다.
 도 2는 본 발명의 일 실시예에 따른 제조방법으로 구현한 실리콘층, 니켈 실리사이드층을 도해하는 단면도이다.
 도 3은 본 발명의 일 실시예에 따른 제조방법으로 구현한 실리콘층, 니켈 실리사이드층을 포함하는 반도체 소자의 예시적인 도면이다.
 도 4는 본 발명의 일 실시예 및 비교예에 따른 반도체 소자의 전기적 특성을 나타낸 그래프이다.
 도 5는 본 발명의 일 실시예 및 비교예에 따른 반도체 소자의 열적 안정성을 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하, 첨부된 도면들을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있는 것으로, 이하의 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 또한 설명의 편의를 위하여 도면에서는 구성 요소들이 그 크기가 과장 또는 축소될 수 있다.

[0011] 도 1은 본 발명의 일 실시예에 따른 반도체 소자의 제조방법을 도해하는 단면도이고, 도 2는 본 발명의 일 실시예에 따른 제조방법으로 구현한 실리콘층, 니켈 실리사이드층을 도해하는 단면도이다.

[0012] 도 1 및 도 2를 참조하면, 본 발명의 일 실시예에 따른 반도체 소자의 제조방법은 실리콘층(110) 상에 이테르븀층(120)을 형성하는 단계(S100), 이테르븀층(120) 상에 니켈층(130)을 형성하는 단계(S200) 및 실리콘층(110)의 일부, 이테르븀층(120) 및 니켈층(130)이 반응하도록 열처리를 하여 이테르븀(Ytterbium)을 함유하는 니켈 실리사이드층(150)을 형성하는 단계(S300)를 포함한다. 본 명세서에서 니켈 실리사이드는 다른 원소를 함유하는 니켈 계열 실리사이드(nickel base silicide)까지 포함하는 의미로 사용된다. 니켈 실리사이드층(150) 내에 함유되는 이테르븀은 순수 이테르븀 형태로 존재하거나 이테르븀 실리사이드 형태로 존재할 수 있다.

[0013] 본 발명의 일 실시예에 따른 반도체 소자의 제조방법은 니켈 실리사이드층(150)의 열적 안정성 개선과 이테르븀의 산화를 방지하기 위하여, 니켈층(130) 상에 탄탈륨, 텅스텐 또는 질화티타늄을 포함하는 캐핑막(140, capping layer)을 형성하는 단계를 더 포함할 수 있다. 이테르븀은 산화가 매우 잘되는 물질이며 열처리 과정에서 이테르븀의 일부가 표면으로 확산되어 나오는 경향이 있으므로 캐핑막을 통한 이테르븀의 산화방지가 중요한 기술적 의미를 가진다.

[0014] 실리콘층(110)은, 예를 들어, 인이 도핑된 N 타입의 실리콘층을 포함할 수 있다. 이테르븀층(120)을 구성하는

물질인 이테르븀(Ytterbium, Yb)은 원자번호 70번의 원소로서 희토류 원소 중의 하나이다. 이테르븀은 다른 희토류 원소와는 달리 +2 상태가 비교적 안정하고, 액체 상태로 존재하는 온도 범위가 금속 원소 중 좁으며, 높은 압력에서 전기 저항이 압력에 따라 특이하게 변하는 독특한 성질을 가진다. 또한 밀도, 자기적 성질, 결정 구조 등이 이웃하는 다른 희토류 원소들과 크게 다르다. 이테르븀층(120)은 니켈층(130)과 실리콘층(110) 사이에 개재되어 N 타입의 실리콘층과의 접촉 저항을 줄이며 단결정 형태의 이테르븀 실리사이드를 형성하여 니켈 실리사이드층(150)의 응집(agglomeration)을 막아주는 역할을 한다. 이러한 이테르븀 실리사이드는 니켈 실리사이드층(150) 내에 함유되는 물질로 존재할 수 있다.

[0015] 한편, 도면에 도시하지는 않았으나, 니켈 실리사이드층(150)과 실리콘층(110) 사이에 이테르븀 실리사이드층이 개재될 수도 있다. 상기 이테르븀 실리사이드층은 이테르븀층(120)이 실리콘층(110)과 반응하여 형성된 물질층으로 이해될 수 있다. 다만, 열처리 이전의 이테르븀층(120)은 매우 얇은 두께(예를 들어, 2 nm의 두께)를 가지므로 상기 이테르븀 실리사이드층을 니켈 실리사이드층(150)과 실질적으로 구분하는 것이 용이하지 않을 수 있으며, 이테르븀 실리사이드는 니켈 실리사이드층(150) 내에 함유되는 물질로 존재한다고 이해할 수도 있다.

[0016] 캐핑막(140)은 니켈 실리사이드층(150)의 응집(agglomeration)을 막아 열적 안정성을 높이는 역할을 한다. 캐핑막(140)은 이후의 후속 공정에서 제거될 수 있다.

[0017] 상술한 공정으로 형성된 니켈 계열 실리사이드는 상부소자 형성 시 발생하는 하부소자의 열화현상을 충분히 방지할 수 있다. 예를 들어, 시퀀셜 3차원 집적소자 공정에서 발생하는 니켈 실리사이드의 열화현상을 방지할 수 있다.

[0018] 도 3은 본 발명의 일 실시예에 따른 제조방법으로 구현한 실리콘층 및 니켈 실리사이드층을 포함하는 반도체 소자의 예시적인 도면이다.

[0019] 도 3을 참조하면, 실리콘 기판(105)의 소정의 영역에 도핑 물질을 주입한 실리콘층(110)을 형성한다. 실리콘층(110) 상에 도 1을 참조하여 설명한 공정을 수행하여 이테르븀(Ytterbium)을 함유하는 니켈 실리사이드층(150)을 형성하여 소스 영역 및 드레인 영역을 제공할 수 있다. 실리콘산화막(160) 상에 게이트 전극을 형성하여 MOSFET 구조를 구현할 수 있다. 본 발명에서는 이테르븀(Ytterbium)을 함유하는 니켈 실리사이드층(150)을 도입함으로써 낮은 접촉저항을 고온까지 유지할 수 있는 효과를 기대할 수 있다.

[0020] 이하에서는 본 발명의 일 실시예 및 비교예에 따른 반도체 소자의 전기적 특성 및 열적 안정성을 설명한다.

[0021] 도 4는 본 발명의 일 실시예 및 비교예에 따른 반도체 소자의 전기적 특성을 나타낸 그래프이다.

[0022] 본 발명의 일 실시예에 따른 반도체 소자는 실리콘층 상에 이테르븀층을 형성하는 단계, 이테르븀층 상에 니켈층을 형성하는 단계, 니켈층 상에 캐핑막으로 탄탈륨층을 형성하는 단계 및 실리콘층의 일부, 이테르븀층 및 니켈층이 반응하도록 열처리(700℃의 RTP)를 하여 이테르븀을 함유하는 니켈 실리사이드층을 형성하는 단계를 수행하여 구현된 반도체 소자이다.

[0023] 한편, 본 발명의 비교예1에 따른 반도체 소자는 실리콘층 상에 니켈층을 형성하는 단계 및 실리콘층의 일부 및 니켈층이 반응하도록 열처리(500℃의 RTP)를 하여 니켈 실리사이드층을 형성하는 단계를 수행하여 구현된 반도체 소자이고, 본 발명의 비교예2에 따른 반도체 소자는 실리콘층 상에 니켈층을 형성하는 단계 및 실리콘층의 일부 및 니켈층이 반응하도록 열처리(700℃의 RTP)를 하여 니켈 실리사이드층을 형성하는 단계를 수행하여 구현된 반도체 소자이다.

[0024] 도 4를 참조하면, 이테르븀층과 탄탈륨층을 이용하여 니켈 실리사이드층을 형성한 본 발명의 일 실시예에 따른 반도체 소자의 전기적 특성은 기존의 니켈 실리사이드층을 형성하는 최적 공정(RTP 500℃)을 이용한 비교예1 또는 실시예와 동일한 열처리 공정(RTP 700℃)을 이용한 비교예2에 따른 반도체 소자의 전기적 특성과 비교하였을 때, 상대적으로 낮은 접촉 저항이 구현되어 전기적 특성이 향상되었음을 확인할 수 있다.

[0025] 도 5는 본 발명의 일 실시예 및 비교예에 따른 반도체 소자의 열적 안정성을 나타낸 그래프이다. 도 5에 도시된 본 발명의 일 실시예 및 비교예에 따른 반도체 소자는 도 4를 참조하여 설명한 내용과 동일하다.

[0026] 도 5를 참조하면, 기존의 니켈 실리사이드층을 형성하는 최적 공정(RTP 500℃)을 이용한 비교예1 또는 실시예와 동일한 열처리 공정(RTP 700℃)을 이용한 비교예2에 따른 반도체 소자에서는 열처리 전/후 비약적인 면 저항의 증가가 발생하지만, 이테르븀층과 탄탈륨층을 이용하여 니켈 실리사이드층을 형성한 본 발명의 일 실시예에 따른 반도체 소자에서는 열처리 전/후 니켈 실리사이드의 면 저항의 변화가 크지 않는 바, 반도체 소자의 열적 안

정성이 상대적으로 우수함을 확인할 수 있다.

[0027] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

[0028]

110 : 실리콘층

120 : 이테르븀층

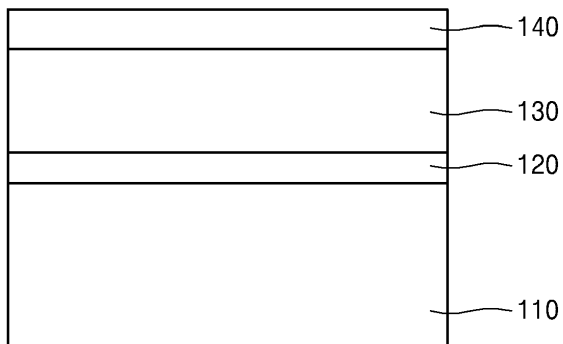
130 : 니켈층

140 : 탄탈륨층

150 : 이테르븀을 함유하는 니켈 실리사이드층

도면

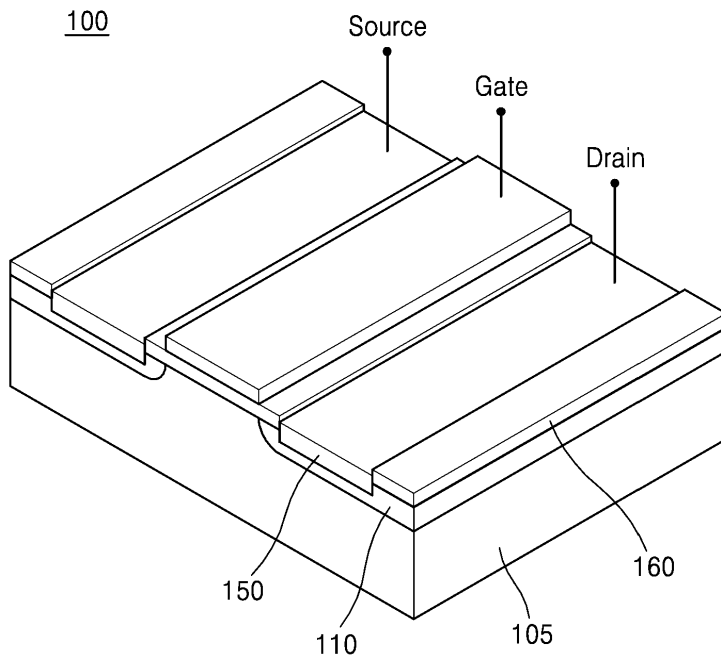
도면1



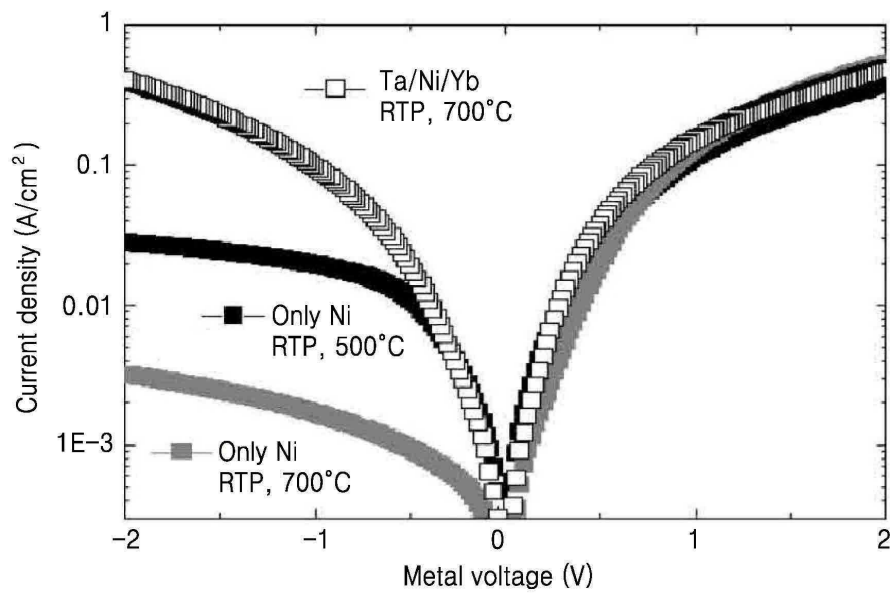
도면2



도면3



도면4



도면5

