



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0079148
(43) 공개일자 2008년08월29일

(51) Int. Cl.

H01L 27/115 (2006.01) H01L 21/8247 (2006.01)

(21) 출원번호 10-2007-0019281

(22) 출원일자 2007년02월26일

심사청구일자 2008년01월25일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가1 고려대학교 내

(72) 발명자

김상식

서울 송파구 가락동 가락우성아파트 3동 305호

김기현

서울 성북구 안암동5가 16-2번지 골든힐 604호

정동영

서울 송파구 석촌동 284-1번지 삼성하이츠 501호

(74) 대리인

현중철

전체 청구항 수 : 총 13 항

(54) 비휘발성 메모리 전자소자 및 그 제조방법

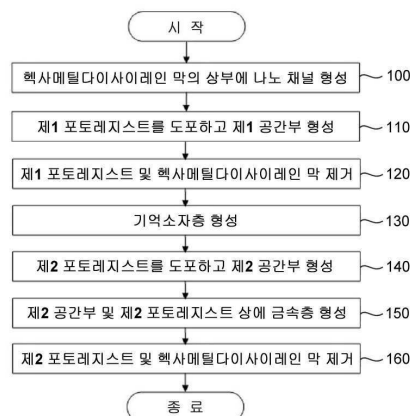
(57) 요약

비휘발성 메모리 전자소자 및 그 제조방법이 개시된다.

본 발명에 따른 비휘발성 메모리 전자소자의 제조방법은, 반도체 기판의 상부에 헥사메틸디실라잔 층을 도포하고, 나노 채널을 상기 헥사메틸디실라잔 층의 상부에 형성하는 단계, 상기 나노 채널이 형성된 헥사메틸디실라잔 상부에 제 1 포토리소그래피를 수행하여 제 1 공간부를 형성하고, 상기 제 1 공간부 및 제 1 포토레지스트 상에 금속층을 적층하여 상기 나노 채널의 양단에 소스 전극과 드레인 전극을 형성하는 단계, 상기 나노 채널의 표면에 원자층 증착법을 수행하여 터널링 층, 전자저장 층 및 산화물 층을 포함하는 기억소자층을 실린더 형태로 형성하는 단계, 상기 기억소자층, 상기 소스 전극 및 드레인 전극이 형성된 상기 반도체 기판의 상부에 제 2 포토레지스트를 도포하고, 포토리소그래피를 수행하여 상기 소스 전극 및 상기 드레인 전극 사이에 제 2 공간부를 형성하는 단계, 상기 형성된 제 2 공간부 및 제 2 포토레지스트상부에 금속층을 적층하고, 상기 제 2 포토레지스트를 제거하여 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

본 발명에 의하면 기억소자층인 터널링 층, 전자저장 층, 산화물 층을 알루미늄을 이용하여 원자층증착법으로 형성하기 때문에, 메모리 동작 전압을 감소시킬 수 있으며, 보다 빠른 메모리 동작 속도를 구현할 수 있으며, 채널의 길이를 조절할 수 있고, 나노 채널 주위에 실린더 형태로 터널링 층, 전하 층 및 산화물 층을 균일하게 코팅하여 메모리 소자 자체의 화학적, 물리적 안정성 및 소자의 동작 전압을 감소시킬 수 있으며, 간단한 공정으로도 반도체 나노 채널에 메모리 구조 및 실린더 형태의 게이트를 제조할 수 있도록 지원함으로써, 전자의 표면 산란을 현저히 줄여 메모리 전자소자의 동작 속도를 개선할 수 있는 효과가 있다.

대표도 - 도1



특허청구의 범위

청구항 1

반도체 기관의 상부에 헥사메틸디실라잔(Hexamethyldisilazane:HMDS) 층을 도포하고, 상기 헥사메틸디실라잔 층의 상부에 나노 채널을 형성하는 단계;

상기 나노 채널이 형성된 헥사메틸디실라잔 상부에 제 1 포토리소그래피를 수행하여 제 1 공간부를 형성하고, 상기 제 1 공간부 및 제 1 포토레지스트 상에 금속층을 적층하여 상기 나노 채널의 양단에 소스 전극과 드레인 전극을 형성하는 단계;

상기 나노 채널의 표면에 터널링 층, 전자저장 층 및 산화물 층이 순차적으로 증착되어 형성된 기억소자층을 실린더 형상으로 형성하는 단계;

상기 기억소자층, 상기 소스 전극 및 드레인 전극이 형성된 상기 반도체 기관의 상부에 제 2 포토레지스트를 도포하고, 포토리소그래피를 수행하여 상기 소스 전극 및 상기 드레인 전극 사이에 제 2 공간부를 형성하는 단계;

상기 형성된 제 2 공간부 및 제 2 포토레지스트의 상부에 금속층을 금속층을 적층하고, 상기 제 2 포토레지스트를 제거하여 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 전자소자의 제조방법.

청구항 2

제 1 항에 있어서,

상기 나노 채널은 1차원 나노 채널을 포함하되,

상기 1차원 나노 채널은 반도체 나노선, 탄소나노튜브 또는 유기튜브로 이루어진 군 중에서 선택된 적어도 어느 하나를 포함하는 것을 특징으로 하는 비휘발성 메모리 전자소자의 제조방법.

청구항 3

제 2 항에 있어서,

상기 반도체 나노선은 Si, Ge, GaN, InP, GaAs, GaP, Si₃N₄, SiO₂, SiC, ZnO 및 Ga₂O₃로 이루어진 군 중에서 선택된 적어도 어느 하나를 포함하는 것을 특징으로 하는 비휘발성 메모리 전자소자의 제조방법.

청구항 4

제 1 항에 있어서,

상기 나노 채널은 전기로 또는 화학 기상 증착법에 의해 형성되는 것을 특징으로 하는 비휘발성 메모리 전자소자의 제조방법.

청구항 5

제 1 항에 있어서,

상기 터널링 층, 전자저장 층 및 산화물 층은 원자층 증착법을 이용하여 형성되고,

상기 터널링 층, 전자저장 층 및 산화물 층은 알루미늄으로 이루어지는 것을 특징으로 하는 비휘발성 메모리 전자소자의 제조방법.

청구항 6

제 5 항에 있어서,

상기 알루미늄의 전구체는 트리메틸알루미늄 및 증류수인 것을 특징으로 하는 비휘발성 메모리 전자소자의 제조방법.

청구항 7

제 1 항에 있어서,
상기 금속층은 티타늄 층 및 금 층을 포함하고,
상기 티타늄 층과 금 층은 순차적으로 적층되는 것을 특징으로 하는 비휘발성 메모리 전자소자의 제조방법.

청구항 8

제 1 항에 있어서,
상기 헥사메틸디실라잔 층의 상부에 나노 채널을 형성하는 단계는,
상기 반도체 기판과 상기 헥사메틸디실라잔 막 사이에 절연층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 비휘발성 메모리 전자소자의 제조방법.

청구항 9

반도체 기판의 상부에 형성된 소스 전극 및 드레인 전극;
상기 반도체 기판의 상부로부터 소정의 간격을 두고 이격되며, 상기 소스 전극 및 드레인 전극을 연결하는 나노 채널;
상기 나노 채널을 감싸는 터널링 층;
상기 터널링 층을 감싸는 전하저장 층;
상기 전하저장 층을 감싸는 산화물 층;
상기 산화물 층을 감싸며, 상기 소스 전극 및 상기 드레인 전극과 이격되고, 반도체 기판의 상부에 형성되는 게이트 전극을 포함하며,
상기 터널링 층, 전하저장 층 및 산화물 층이 차례대로 증착된 상기 나노 채널은 실린더 형상을 가지는 것을 특징으로 하는 비휘발성 메모리 전자소자.

청구항 10

제 9 항에 있어서,
상기 나노 채널은 반도체 나노선, 탄소나노튜브 및 유기 튜브로 이루어진 군 중에서 선택된 적어도 어느 하나를 포함하며,
상기 나노 채널은 상기 반도체 기판의 상부로부터 이격되고, 상기 소스 전극 및 드레인 전극과 연결되는 것을 특징으로 하는 비휘발성 메모리 전자 소자.

청구항 11

제 10 항에 있어서,
상기 반도체 나노선은 Si, Ge, GaN, InP, GaAs, GaP, Si₃N₄, SiO₂, SiC, ZnO 및 Ga₂O₃로 이루어진 군 중에서 선택된 적어도 어느 하나를 포함하는 것을 특징으로 하는 비휘발성 메모리 전자소자.

청구항 12

제 9 항에 있어서,
상기 반도체 기판의 상부에 절연층을 더 구비하는 것을 특징으로 하는 비휘발성 메모리 전자소자.

청구항 13

제 9 항에 있어서,
상기 터널링 층, 전하저장 층 및 산화물 층은 알루미늄으로 이루어지는 것을 특징으로 하는 비휘발성 메모리 전자소자.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <20> 본 발명은 비휘발성 메모리 전자소자 및 그 제조방법에 관한 것으로서, 특히 소스 전극 및 드레인 전극 사이에 위치한 나노 채널이나 탄소 나노 튜브, 유기 튜브를 이용하여 원자층 증착법에 의하여 거의 알루미늄 만의 산화물 (이하, Al-rich이라 부른다.)인 Al-rich 상태의 전하저장 층을 증착하고, 원자층 증착법에 의하여 나노 채널과 알루미늄을 이용하여 메모리 전자소자를 제작함으로써, 메모리 동작 전압의 감소, 동작 속도의 증가 및 채널의 길이를 조절할 수 있고, 실린더 형태의 채널을 갖는 비휘발성 메모리 전자소자 및 그 제조방법에 관한 것이다.
- <21> 현재, 우리나라의 경제 산업 발전을 주도하고 있는 DRAM 위주의 메모리 시장이 디지털 카메라, 휴대용 전화기 등의 모바일 산업과 IT 기술의 발달로 다양한 메모리 제품을 필요로 하고 있다.
- <22> 이 중 최근 수요가 폭발적으로 늘고 있는 플래쉬 메모리 시장의 경우 매년 급성장을 하고 있으며, 향후 메모리 시장의 대부분을 차지할 것이라고 전망되고 있다. 최근 발전하는 IT기기의 성능을 뒷받침하기 위해서 현재의 플래쉬 메모리의 단점을 보완하는 정보저장 능력과 동작 속도가 우수한 저가의 차세대 비휘발성 메모리 기술에 대한 연구가 급박한 상황이다.
- <23> 이는 차후 경제, 산업 발전의 성장 동력이 될 것으로 판단되며, 이러한 기술 개발을 늦춘다면 우리나라의 메모리 소자에 대한 기술은 현재의 세계 정상의 위치를 지키기 어려울 것이다.
- <24> 따라서, 현재의 플래쉬 메모리 구조의 문제점을 보완한 나노선 플로팅 게이트 메모리 소자의 경우, 기존의 공정을 그대로 적용할 수 있어 빠른 시일 내에 상용화가 가능하다고 판단된다.
- <25> 한편, 현재의 플래쉬 메모리의 경우 높은 동작 전압을 필요로 하고 있어 셀 크기가 작아질 때에 여러 문제점을 보이고 있어서 크기를 줄이는 데 있어서 한계를 보이고 있다. 현재의 플래쉬 메모리의 경우 구동 전압이 10V 이상으로 CMOS 구동전압과 비교해 볼 때 매우 크다.
- <26> 이러한 이유는 프로그램(program)시에는 채널 고온 전자(Channel Hot Electron : CHE)의 주입에 의해 플로팅 게이트(floating gate)로 전자가 이동하며, 삭제(erase)할 경우에는 파울러-노드하임 터널링(Fowler-Nordheim tunneling)에 의해 다시 방전되어 직접 터널링할 경우보다 높은 전압을 요구하게 된다.
- <27> 따라서, 직접 터널링이 가능하고, program/erase 시간을 빠르게 하기 위하여 초박막의 산화막을 형성하여야 하는데, 이러한 경우 현재 터널링 층으로 사용하고 있는 산화규소(SiO_2) 박막의 특성이 매우 중요하나, 산화규소(SiO_2) 박막의 많은 결함들이 누설 경로를 형성하여 플로팅 게이트의 전자가 채널로 새어나오는 것을 막기 어려운 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <28> 따라서, 본 발명이 이루고자 하는 첫 번째 기술적 과제는 메모리 동작 전압을 감소시키면서, 동작 속도를 증가시킬 수 있으며 채널의 길이를 조절할 수 있는 비휘발성 메모리 전자소자의 제조방법을 제공하는 것이다.
- <29> 그리고, 본 발명이 이루고자 하는 두 번째 기술적 과제는 상기 비휘발성 메모리 전자소자의 제조방법을 이용한 비휘발성 메모리 전자소자를 제공하는 것이다.

발명의 구성 및 작용

- <30> 상기 첫 번째 기술적 과제를 달성하기 위하여 본 발명은,
- <31> 반도체 기판의 상부에 헥사메틸디실라잔 층을 도포하고, 나노 채널을 상기 헥사메틸디실라잔 층의 상부에 형성하는 단계, 상기 나노 채널이 형성된 헥사메틸디실라잔 상부에 제 1 포토리소그라피를 수행하여 제 1 공간부를 형성하고, 상기 제 1 공간부 및 제 1 포토레지스트 상에 금속층을 적층하여 상기 나노 채널의 양단에 소스 전극과 드레인 전극을 형성하는 단계, 상기 나노 채널의 표면에 원자층 증착법을 수행하여 터널링 층, 전자저장 층

및 산화물 층을 포함하는 기억소자층을 실린더 형태로 형성하는 단계, 상기 기억소자층, 상기 소스 전극 및 드레인 전극이 형성된 상기 반도체 기판의 상부에 제 2 포토레지스트를 도포하고, 포토리소그래피를 수행하여 상기 소스 전극 및 상기 드레인 전극 사이에 제 2 공간부를 형성하는 단계, 상기 형성된 제 2 공간부 및 제 2 포토레지스트상부에 금속층을 적층하고, 상기 제 2 포토레지스트를 제거하여 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 전자소자의 제조방법을 제공한다.

- <32> 상기 두 번째 기술적 과제를 달성하기 위하여 본 발명은,
- <33> 반도체 기판의 상부에 형성된 소스 전극 및 드레인 전극, 상기 반도체 기판의 상부로부터 소정의 간격을 두고 이격되며, 상기 소스 전극 및 드레인 전극을 연결하는 나노 채널, 상기 나노 채널을 감싸는 터널링 층, 상기 터널링 층을 감싸는 전하저장 층, 상기 전하저장 층을 감싸는 산화물 층, 상기 산화물 층을 감싸며, 상기 소스 전극 및 상기 드레인 전극사이의 반도체 기판의 상부에 형성되는 게이트 전극을 포함하며, 상기 터널링 층, 전하저장 층 및 산화물 층이 차례대로 증착된 상기 나노 채널은 실린더 형상을 가지는 것을 특징으로 하는 비휘발성 메모리 전자소자를 제공한다.
- <34> 이하, 본 발명의 바람직한 실시예를 첨부도면에 의거하여 상세히 설명하기로 한다.
- <35> 그러나, 다음에 예시하는 본 발명의 실시예는 여러 가지 다른 형태로 변형할 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공된다.
- <36> 도 1은 본 발명에 따른 비휘발성 메모리 전자소자의 제조방법의 흐름도이다.
- <37> 도 1을 참조하면, 우선 반도체 기판의 상부에 헥사메틸디실라잔(HexaMethylDiSilane:HMDS) 막을 형성하고, 나노 채널을 상기 헥사메틸디실라잔 막의 상부에 형성한다(100 과정).
- <38> 즉, 반도체 기판의 상부에 포토레지스트와의 접착력을 증가시키기 위하여 헥사메틸디실라잔 막을 형성하고, 전기로나 화학 기상 증착 장치를 이용하여 나노 채널을 헥사메틸디실라잔 막의 상부에 형성한다.
- <39> 이는 반도체 기판으로 주로 사용되는 실리콘 고분자와 포토레지스트의 격자상수와 열팽창 계수의 차이 등 재료적 측면에서의 이질성으로 인하여 포토레지스트층의 형성이 어렵고, 반도체 기판을 형성하는 실리콘 고분자와 포토레지스트의 부착력이 약하므로, 반도체를 제조하기 위하여는 실리콘 기판의 단차에 따라서, 그리고 패턴의 사이즈에 따라서 도포되는 포토레지스트의 두께가 달라져야 하거나, 점도가 다른 종류의 포토레지스트 물질을 사용하여야 하는 경우가 있다. 특히, 단차가 없는 비교적 평탄한 초기 단계에서는 포토레지스트의 두께가 작은 종류, 즉 점도가 낮은 포토레지스트 물질을 사용하여야 하고, 단차가 심한 후공정의 단계에서는 포토레지스트막의 두께가 큰 종류, 즉 점도가 높은 포토레지스트 물질을 사용하여야 한다. 이를 위하여는 각 경우에 따라서 점도가 다른 포토레지스트 물질을 사용하여야 하며, 동일한 점도를 가지는 포토레지스트의 경우에도 이를 수용하는 용기에 따라서 약간의 점도 변화가 있을 수 있고, 그 영향도 무시할 수 없다.
- <40> 따라서, 반도체 기판의 상부에 헥사메틸디실라잔 막을 형성하여 반도체 기판과 포토레지스트층의 형성을 용이하게 하고, 반도체 기판과 포토레지스트층의 부착력을 향상시킬 수 있다.
- <41> 한편, 반도체 기판과 헥사메틸디실라잔 막 사이에는 산화규소(SiO_2) 절연층을 더 형성할 수 있다.
- <42> 여기서, 나노 채널이 헥사메틸디실라잔 막 상에 형성되는데, 경우에 따라서는 나노 채널 뿐만 아니라, 탄소나노튜브 또는 유기 튜브가 헥사메틸디실라잔 막 상에 형성될 수 있다.
- <43> 여기서, 나노 채널은 Si, Ge, GaN, InP, GaAs, GaP, Si_3N_4 , SiO_2 , SiC, ZnO 및 Ga_2O_3 로 이루어진 군 중에서 선택된 적어도 어느 하나를 포함하는 것일 수 있다.
- <44> 그 다음, 나노 채널이 형성된 헥사메틸디실라잔 막의 상부에 제 1 포토레지스트를 도포하고, 포토리소그래피를 수행하여 전극부분용 레지스트 패턴을 형성한다(110 과정).
- <45> 즉, 헥사메틸디실라잔 막의 상부에 제 1 포토레지스트를 도포하고, 노광 및 현상 과정을 거쳐 소스 전극 및 드레인 전극이 형성될 제 1 공간부를 나노 채널 양 끝단부에 형성한다.
- <46> 그 다음, 상기 제 1 공간부 및 제 1 포토레지스트 상에 금속층을 적층한 후, 상기 제 1 포토레지스트 및 상기 헥사메틸디실라잔 막을 제거한다(120 과정). 그러면, 나노 채널 양단에 소스 전극과 드레인 전극이 형성된다.
- <47> 그 다음, 상기 나노 채널을 감싸도록 기억소자층을 형성한다(130 과정). 상기 기억소자층은 터널링 층, 전하저장

장 층 및 산화물 층으로 구성될 수 있다.

- <48> 첫 번째로, 상기 나노 채널을 감싸도록 터널링 층을 형성한다. 상기 터널링 층은 알루미늄(Al_2O_3)를 이용하여 원자층 증착법으로 형성시킬 수 있다. 이 상태에서 상기 터널링층이 외면에 증착된 상기 나노 채널은 실린더 형태를 가질 수 있다.
- <49> 두 번째로, 상기 나노 채널을 감싸도록 형성된 터널링 층의 표면을 다시 감싸는 형태로 전하저장 층을 형성할 수 있다. 상기 전하저장 층 역시 동일하게 알루미늄을 이용하여 원자층 증착법을 이용하여 형성할 수 있다. 이 상태에서 상기 터널링 층과 전하저장층이 외면에 증착된 상기 나노 채널은 실린더 형태를 가질 수 있다.
- <50> 세 번째로, 상기 터널링층을 감싸도록 상기 전하저장 층을 형성한 후에는 상기 전하저장 층을 감싸도록 산화물 층을 형성시킨다. 상기 산화물 층 역시 알루미늄을 이용하여 원자층 증착법을 이용하여 형성할 수 있다. 이 상태에서 상기 터널링 층과 전하저장 층 및 산화물 층이 외면에 증착된 상기 나노 채널은 실린더 형태를 가질 수 있다.
- <51> 더욱 상세하게는, 본 발명에서 원자층 증착법을 이용하여 상기 터널링 층, 전하저장 층 및 산화물 층을 형성할 경우, 알루미늄을 구성하는 알루미늄(Al)과 산소(O)의 전구체로는 트리메틸알루미늄(TriMethylAluminium:TMA)과 증류수(H_2O)를 이용한다.
- <52> 이는, 300 ℃에서 100~200 사이클(cycle) 동안 코팅과정이 이루어지도록 하며, 원자층 증착법의 자기제어 메커니즘에 의하여 나노 채널의 상부에 알루미늄이 10~40nm 정도의 두께로 균일하게 증착되도록 할 수 있다.
- <53> 그 다음, 상기 기억소자 층, 소스 전극 및 드레인 전극이 형성되어 있는 반도체 기판의 상부에 헥사다이메틸사이레인 막을 형성한 후 그 상부에 제 2 포토레지스트를 도포하고, 포토리소그라피를 수행하여 상기 소스 전극 및 드레인 전극 사이에 게이트 전극이 형성될 제 2 공간부를 형성한다(140 과정).
- <54> 즉, 소스 전극 및 드레인 전극이 형성되어 있는 반도체 기판의 상부에 제2 포토레지스트를 도포한다. 이는 후술할 게이트 전극을 형성하기 위하여 제 2 포토레지스트를 도포하는 것이다. 제 2 포토레지스트를 도포한 다음, 포토리소그라피를 수행하여 소스 전극 및 드레인 전극 사이에 게이트 전극이 형성될 제 2 공간부를 형성한다.
- <55> 그 다음, 상기 제 2 공간부 및 상기 제 2 포토레지스트 상에 금속층을 형성하고(150 과정), 상기 제 2 포토레지스트 및 헥사메틸사이레인 막을 제거하여 상기 소스 전극과 드레인 전극 사이에 게이트 전극을 형성한다(160 과정).
- <56> 상기 게이트 전극을 형성시키는 금속층은 티타늄 및 금을 순차적으로 적층하여 형성할 수 있다.
- <57> 그러면, 기억소자 층이 형성된 나노 채널의 양단에 소스 전극과 드레인 전극이 위치하고 상기 소스 전극과 드레인 전극의 사이에 상기 기억소자 층이 형성된 나노 채널을 포함하는 형태로 게이트 전극이 형성되어, 상기 나노 채널을 이용하는 비휘발성 메모리 전자소자를 완성할 수 있다.
- <58> 도 2는 본 발명에 따른 나노 채널이 형성된 헥사메틸디실라잔 막의 상부에 제 1 포토레지스트를 도포하는 제작 공정을 도시한 것이다.
- <59> 도 2를 참조하면, 반도체 기판(10)의 상부에 제 1 포토레지스트(43)의 접착력을 높이기 위하여 헥사다이메틸사이레인(21) 막을 형성하고 전기로(electric furnace)나 화학 기상 증착(Chemical Vapor Deposition:CVD) 장치를 이용하여 형성된 나노 채널을 헥사다이메틸사이레인(21) 막의 상부에 뿌린 다음 제1 포토레지스트(43)를 도포하고 노광 및 현상 과정을 거쳐 전극부분용 레지스트 패턴을 나노 채널 주위에 형성한다.
- <60> 즉, 포토리소그라피를 이용하여 소스 전극 및 드레인 전극이 형성될 제1 공간부(미도시)를 형성한다.
- <61> 한편, 상기 반도체 기판(10)과 상기 헥사다이메틸사이레인 막 사이에는 산화규소 절연층(20)을 더 형성시킬 수 있다.
- <62> 그리고, 상기 나노 채널(40)이 상기 헥사다이메틸사이레인막 상에 형성되는데, 상기 나노 채널은 반도체 나노선, 탄소나노튜브 및 유기튜브로 이루어진 군 중에서 선택된 적어도 어느 하나를 사용할 수 있다.
- <63> 상기 반도체 나노선은 Si, Ge, GaN, InP, GaAs, GaP, Si_3N_4 , SiO_2 , SiC, ZnO 및 Ga_2O_3 로 이루어진 군 중에서 선택된 적어도 어느 하나를 포함할 수 있다.
- <64> 도 3은 본 발명에 따른 소스 전극과 드레인 전극을 형성하는 제작공정을 도시한 것이다.

- <65> 상기 제1 공간부 및 제1 포토레지스트(43) 상에 금속층을 적층한 후, 상기 제1 포토레지스트(43) 및 상기 헥사다이메틸사이레인 막을 제거한다. 그러면 도 3에 도시한 바와 같이 나노 채널(30) 양단에 소스 전극(31)과 드레인 전극(33)이 형성된다. 상기 소스 전극(31) 및 드레인 전극(33)을 형성시키는 금속층은 티타늄(Ti)과 금(Au)이 순차적으로 형성된다.
- <66> 여기서 형성된 금 층은 실질적으로 전극의 역할을 수행하는 부분이며, 티타늄 층은 금 층과 규소 기판과의 부착력을 향상시키기 위하여 증착될 수 있다.
- <67> 금속 층인 티타늄 층은 전자 빔 증착 장치(e - beam evaporation system)를 이용하여 증착될 수 있다. 이와 같이 티타늄 층은 형성될 전극부에서의 전류의 흐름을 이어주는 패터닝 라인(patterning line)을 형성하기 위하여 증착될 수 있다.
- <68> 이와 같이, 폴리디메틸실록산의 표면에 티타늄 층을 증착한 다음, 형성하고자 하는 전극에 금 층을 증착할 수 있다.
- <69> 도 4는 본 발명에 따른 나노 채널 주위에 형성된 터널링 층을 도시한 것이다. 터널링 층을 포함하는 기억소자층은 그 외에 전하저장 층 및 산화물 층을 포함할 수 있다.
- <70> 도 4를 참조하면, 상기 나노 채널(40)을 감싸는 형태로 터널링 층(51)을 형성한다. 상기 터널링 층(51)은 알루미늄(Al_2O_3)을 이용하여 원자층 증착법으로 형성할 수 있다. 이 상태에서 상기 터널링 층(51)이 외면에 증착된 상기 반도체 나노채널은 실린더 형태를 가질 수 있다.
- <71> 도 5는 본 발명에 따른 나노채널 주위에 형성된 전하저장 층을 도시한 것이다.
- <72> 도 5를 참조하면, 상기 나노 채널(40)을 감싸도록 상기 터널링 층(51)을 형성한 후에는 도 5에 도시된 바와 같이 상기 터널링 층(51)을 감싸도록 전하저장 층(53)을 형성시킨다. 상기 전하저장 층(53)은 알루미늄(Al_2O_3)을 이용하여 원자층 증착법을 이용하여 형성할 수 있다. 이 상태에서 상기 터널링 층(51)과 전하저장 층(53)이 외면에 증착된 상기 나노 채널(40)은 실린더 형태를 가질 수 있다.
- <73> 도 6은 본 발명에 따른 나노 채널 주위에 형성된 산화물 층을 도시한 것이다.
- <74> 도 6을 참조하면, 상기 터널링 층(51)을 감싸도록 상기 전하저장 층(53)을 형성한 후에는 도 6에 도시된 바와 같이 상기 전하저장 층(53)을 감싸도록 산화물층(55)을 형성할 수 있다. 상기 산화물 층(55)은 알루미늄(Al_2O_3)을 이용하여 원자층증착법으로 형성할 수 있다. 이 상태에서 상기 터널링 층(51)과 전하저장 층(53) 및 산화물 층(55)이 외면에 증착된 상기 나노 채널(40)은 마찬가지로 실린더 형태를 가질 수 있다.
- <75> 상기과 같이, 원자층 증착법에 의하여 상기 터널링 층(51)과 전하저장 층(53) 및 산화물 층(55)을 형성할 경우, 알루미늄을 구성하는 알루미늄(Al)과 산소(O_2)의 전구체로는 트리메틸알루미늄(TriMethylAluminum:TMA) 및 증류수(H_2O)를 이용할 수 있다.
- <76> 여기서, 증착 공정은 $300^{\circ}C$ 에서 100~200 사이클 동안 코팅과정이 이루어지도록 하며, 원자층 증착법의 자기제어 메커니즘에 의해서 나노 채널(40) 상부에 알루미늄이 10~40nm 정도의 두께로 균일하게 증착될 수 있다.
- <77> 도 7은 본 발명에 따른 소스 전극 및 드레인 전극이 형성된 반도체 기판의 상부에 제 2 포토레지스트를 형성하는 공정을 도시한 것이다.
- <78> 도 7을 참조하면, 상기 터널링 층(51), 전하저장 층(53) 및 산화물 층(55)을 포함하는 기억소자 층(50)과 상기 소스 전극(31) 및 드레인 전극(33)이 형성되어 있는 반도체 기판(10)의 상부에 제2 포토레지스트(45)를 도포하고, 포토리소그래피를 이용하여 상기 소스 전극(31) 및 드레인 전극(33) 사이에 게이트 전극(35)이 형성될 제2 공간부(미도시)를 형성한다.
- <79> 도 8은 본 발명에 따른 게이트 전극이 형성된 메모리 전자 소자를 도시한 것이다.
- <80> 도 8을 참조하면, 상기 제2 공간부 및 상기 제2 포토레지스트(45) 상에 금속층을 적층하고 상기 제2 포토레지스트를 제거하면 도 8에 도시된 바와 같이 상기 소스 전극(31)과 드레인 전극(33) 사이에 게이트 전극(35)이 형성된다.
- <81> 상기 게이트 전극을 형성하는 금속층은 티타늄(Ti) 및 금(Au)이 순차적으로 적층되어 형성된다.

- <82> 여기서 형성된 금 층은 실질적으로 전극의 역할을 수행하는 부분이며, 티타늄 층은 금 층과 규소 기판과의 부착력을 향상시키기 위하여 증착될 수 있다.
- <83> 금속 층인 티타늄 층은 전자 빔 증착 장치(e - beam evaporation system)를 이용하여 증착될 수 있다. 이와 같이 티타늄 층은 형성될 전극부에서의 전류의 흐름을 이어주는 패터닝 라인(patterning line)을 형성하기 위하여 증착될 수 있다.
- <84> 이와 같이, 게이트 전극을 형성하는 금속층은 티타늄 층을 증착한 다음, 형성하고자 하는 전극에 금 층을 증착할 수 있다.
- <85> 도 9는 본 발명의 실시예에 따른 나노 채널 비휘발성 메모리 전자소자의 단면도이고, 도 10은 도 9의 소스전극 및 나노 채널(A)의 확대도이다.
- <86> 도 9 및 도 10을 참조하면, 본 발명에 따른 나노 채널 비휘발성 메모리 전자소자는 반도체 기판(10)의 상부에 형성된 소스 전극(31) 및 드레인 전극(33)과 상기 소스 전극 및 드레인 전극을 연결하는 나노 채널(40)과 상기 나노 채널을 연속해서 감싸도록 형성되는 터널링 층(51), 전하저장 층(53) 및 산화물 층(55)으로 구성된 실린더 형태의 기억소자 층(50) 및 상기 소스 전극(31) 및 드레인 전극(33) 사이에 형성되는 게이트 전극(35)을 포함하여 이루어질 수 있다.
- <87> 상기 반도체 기판(10)의 상부에 형성되는 소스 전극(31) 및 드레인 전극(33)은 포토리소그래피 공정에 의하여 형성되고, 그 사이에는 상기 나노 채널(40)이 부양된 상태로 존재한다. 즉, 상기 소스 전극(31) 및 드레인 전극(33) 사이에 절연층으로 사용되는 산화규소 막을 더 포함할 수 있다. 한편, 상기 소스 전극(31) 및 드레인 전극(33) 사이에 부양된 상태로 존재하는 나노 채널(40)은 반도체 나노선, 탄소나노튜브 또는 유기튜브를 사용할 수 있다.
- <88> 즉, 상기 소스 전극(31) 및 드레인 전극(33)을 부양된 상태로 연결하는 물질은 반도체 나노 채널, 탄소나노튜브 또는 유기 튜브 중 어느 하나가 될 것이다. 이와 같은 나노 채널은 비휘발성 메모리 전자소자에서 채널로 사용될 수 있다.
- <89> 상기 나노 채널 중 반도체 나노 채널은 비휘발성 메모리 전자소자에서 채널로 사용되는데, 이는 Si, Ge, GaN, InP, GaAs, GaP, Si₃N₄, SiO₂, SiC, ZnO 및 Ga₂O₃로 이루어진 군 중에서 선택된 적어도 어느 하나를 포함하는 것이 바람직하다.
- <90> 상기 나노 채널(40)의 둘레에는 기억소자 층이 형성될 수 있다. 상기 기억소자 층(50)은 전하가 통과할 수 있게 하는 터널링 층(51)과 전하를 저장할 수 있는 Al-rich 상태의 전하저장 층(53) 및 외부 전하의 출입을 막을 수 있는 산화물 층(55)으로 구성된다.
- <91> 상기 나노 채널(40)을 감싸도록 형성되는 터널링 층(51), 상기 터널링 층(51)을 감싸도록 형성되는 전하저장 층(53) 및 상기 전하저장 층(53)을 감싸도록 형성되는 산화물 층(55)은 원자층 증착법에 의해 형성된다. 이와 같이 원자층 증착법에 의하여, 터널링 층(51), 전하저장 층(53) 및 상기 산화물 층(55)이 연속해서 순차적으로 증착된 상기 반도체 나노 채널은 실린더 형태를 가지게 된다.
- <92> 상기 기억소자 층(50)을 구성하는 터널링 층(51), 전하저장 층(53) 및 상기 산화물 층(55)은 모두 원자층 증착법에 의해 형성되고, 그 물질은 알루미늄(Al₂O₃)로 이루어질 수 있다.
- <93> 그리고, 상기 산화물 층(55)을 감싸면서 상기 소스 전극(31) 및 드레인 전극(33) 사이의 반도체 기판의 상부면에는 게이트 전극(35)이 형성된다. 상기 게이트 전극(35)은 실린더 형태 또는 상기 기억소자 층(50)을 감싸는 형태로 상기 소스 전극(31) 및 드레인 전극(33) 사이에 형성될 수 있다.
- <94> 도 11은 본 발명에 따른 비휘발성 메모리 전자소자의 전기적 특성을 그래프로 도시한 것이다.
- <95> 도 11을 참조하면, 비휘발성 메모리 전자소자는 -4V 에서 4V 사이에 점차적인 쓰기 동작(Writing operation)과 삭제 동작(erasing operation)을 수행한다. 그러면 삭제 전압(erasing voltage)이 증가하면서, 드레인 전류는 점차적으로 증가하고, 문턱 전압(threshold voltage)은 음의 영역(negative region)으로 이동(shift)됨을 알 수 있다.
- <96> 반면에, 쓰기 전압(writing voltage)이 감소하면, 드레인 전류는 점점 감소하며, 문턱 전압은 양의 영역으로 이동한다

- <97> 예를 들면, 삭제 전압이 4V이고, 쓰기 전압이 -4V일 경우의 문턱 전압은 각각 -1.9V, 1.1V임을 알 수 있다. 이는 2V의 스위프 전압(sweep voltage)과 비교하여 문턱전압이 0.8V 정도 넓어진 것을 알 수 있다.
- <98> 이 결과는 게이트 전압의 바이어싱(biasing)에 의해 게이트 전극으로부터 이동된 전하 수송층이 게이트 전극과 나노 채널 사이에 주입된 알루미늄 층에 저장됨을 알 수 있다.
- <99> 도 12는 본 발명에 따른 비휘발성 메모리 전자소자의 또 다른 전기적 특성을 그래프로 도시한 것이다.
- <100> 도 12를 참조하면, 게이트 전압을 -10V에서 10V까지 스위프(sweep) 방법으로 변화를 주면서 커패시턴스 값의 변화를 측정한 것이다. 상술한 내용을 기반으로 도 12에서 볼 수 있는 바와 같이, 커패시턴스 값의 변화를 통하여, 전하저장 층과 나노선을 이용한 전자소자가 비휘발성 메모리 전자소자로서 동작하고 있음을 확인할 수 있다.
- <101> 이 결과 역시, 음의 게이트 전압을 가하였을 경우 게이트 전극으로부터 유래된 음의 전하 수송층은 알루미늄 층에 저장됨을 알 수 있다.
- <102> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사항에 의해 정해져야 할 것이다.

발명의 효과

- <103> 상술한 바와 같이, 본 발명에 의하면 기억소자 층인 터널링 층, 전하저장 층, 산화물 층을 알루미늄을 이용하여 원자층 증착법으로 형성하여, 메모리 동작 전압을 감소시킬 수 있으며, 더욱 빠른 메모리 동작 속도를 구현할 수 있으며, 채널의 길이를 조절할 수 있고, 나노 채널 주위에 실린더 형태로 터널링 층, 전하저장 층 및 산화물 층을 균일하게 코팅하여 메모리 소자 자체의 화학적, 물리적 안정성 및 소자의 동작 전압을 감소시킬 수 있으며, 간단한 공정으로도 반도체 나노 채널에 메모리 구조 및 실린더 형태의 게이트를 제조할 수 있도록 지원함으로써, 전자의 표면 산란을 현저히 줄여 메모리 전자소자의 동작 속도를 개선할 수 있는 효과가 있다.

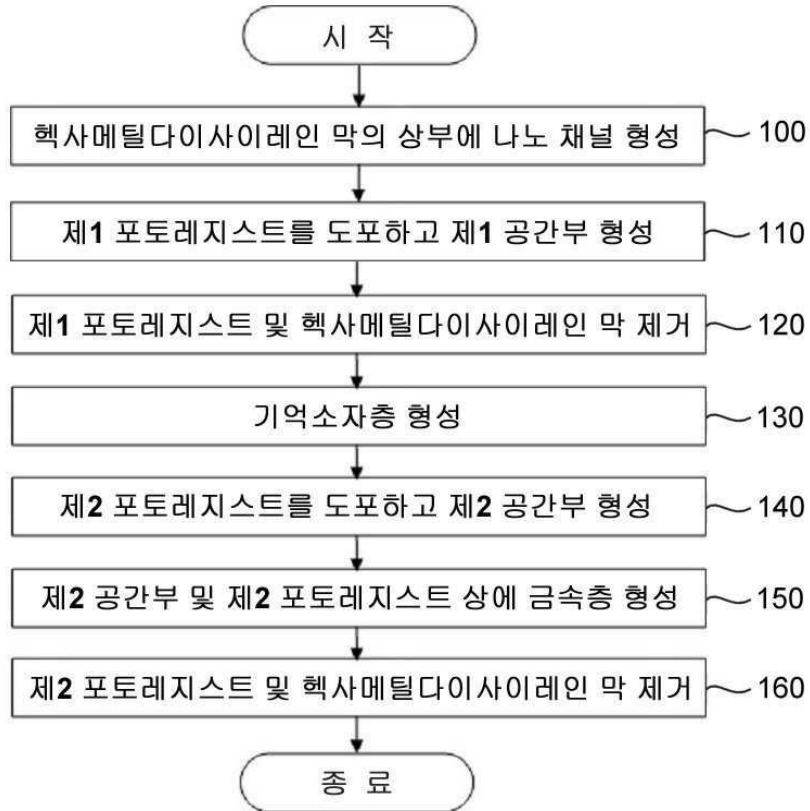
도면의 간단한 설명

- <1> 도 1은 본 발명에 따른 비휘발성 메모리 전자소자의 제조방법의 흐름도이다.
- <2> 도 2는 본 발명에 따른 나노 채널이 형성된 헥사메틸디실라잔 막의 상부에 제 1 포토레지스트를 도포하는 제작 공정을 도시한 것이다.
- <3> 도 3은 본 발명에 따른 소스 전극과 드레인 전극을 형성하는 제작공정을 도시한 것이다.
- <4> 도 4는 본 발명에 따른 나노 채널 주위에 형성된 터널링 층을 도시한 것이다.
- <5> 도 5는 본 발명에 따른 나노 채널 주위에 형성된 전하저장 층을 도시한 것이다.
- <6> 도 6은 본 발명에 따른 나노 채널 주위에 형성된 산화물 층을 도시한 것이다.
- <7> 도 7은 본 발명에 따른 소스 전극 및 드레인 전극이 형성된 반도체 기판의 상부에 제 2 포토레지스트를 형성하는 공정을 도시한 것이다.
- <8> 도 8은 본 발명에 따른 게이트 전극이 형성된 메모리 전자 소자를 도시한 것이다.
- <9> 도 9는 본 발명의 실시예에 따른 나노 채널 비휘발성 메모리 전자소자의 단면도이다.
- <10> 도 10은 도 9의 일부 확대도이다.
- <11> 도 11은 본 발명에 따른 비휘발성 메모리 전자소자의 전기적 특성을 그래프로 도시한 것이다.
- <12> 도 12는 본 발명에 따른 비휘발성 메모리 전자소자의 다른 전기적 특성을 그래프로 도시한 것이다.
- <13> <도면의 주요부분에 대한 부호의 설명>
- | | |
|-----------------|------------|
| <14> 10: 반도체 기판 | 20: 절연층 |
| <15> 31: 소스 전극 | 33: 드레인 전극 |
| <16> 35: 게이트 전극 | 40: 나노 채널 |

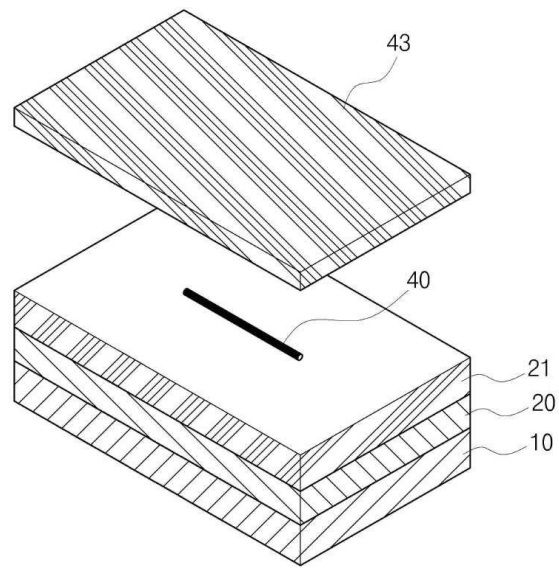
- | | | |
|------|---------------|---------------|
| <17> | 43: 제1 포토레지스트 | 45: 제2 포토레지스트 |
| <18> | 50: 기억소자 층 | 51: 터널링 층 |
| <19> | 53: 전하저장 층 | 55: 산화물 층 |

도면

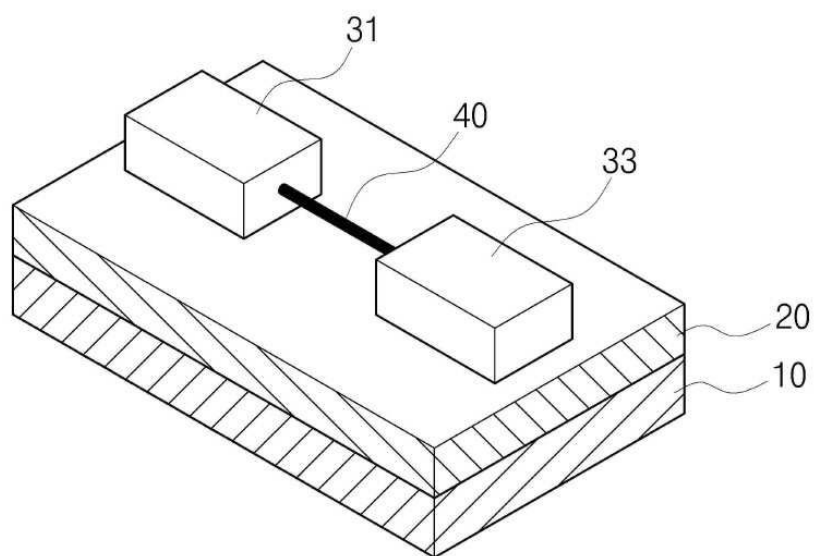
도면1



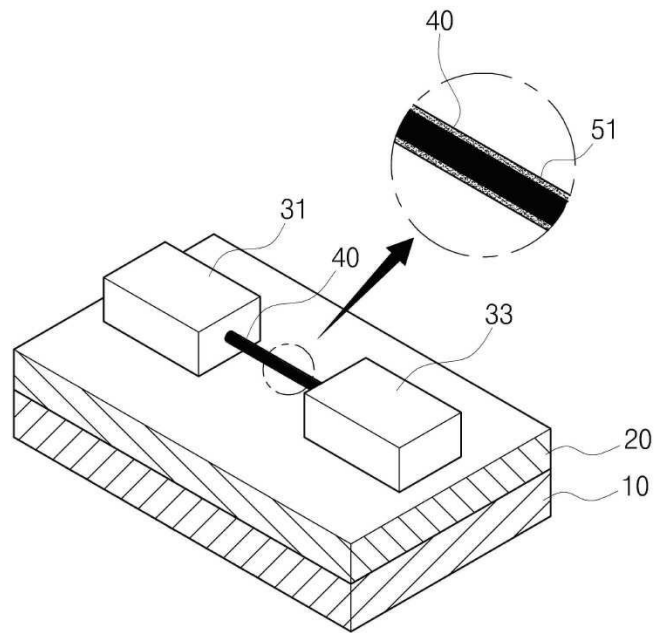
도면2



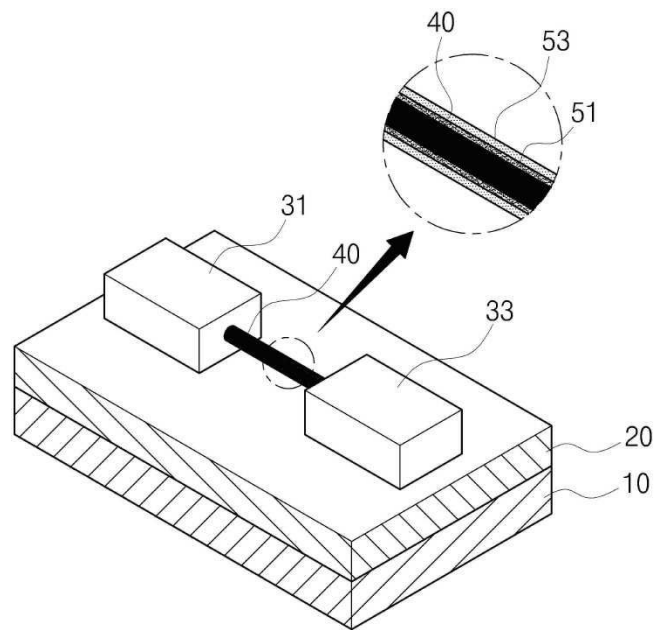
도면3



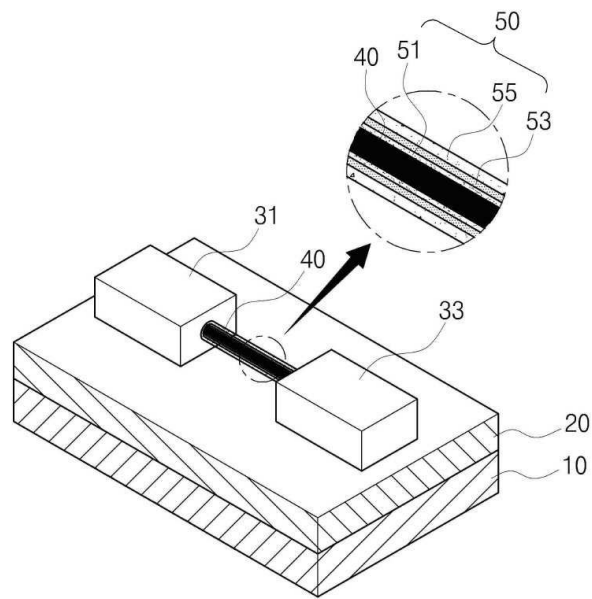
도면4



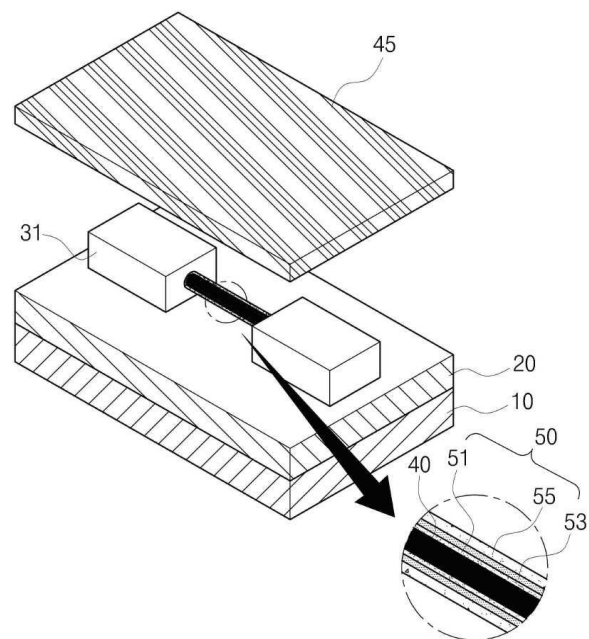
도면5



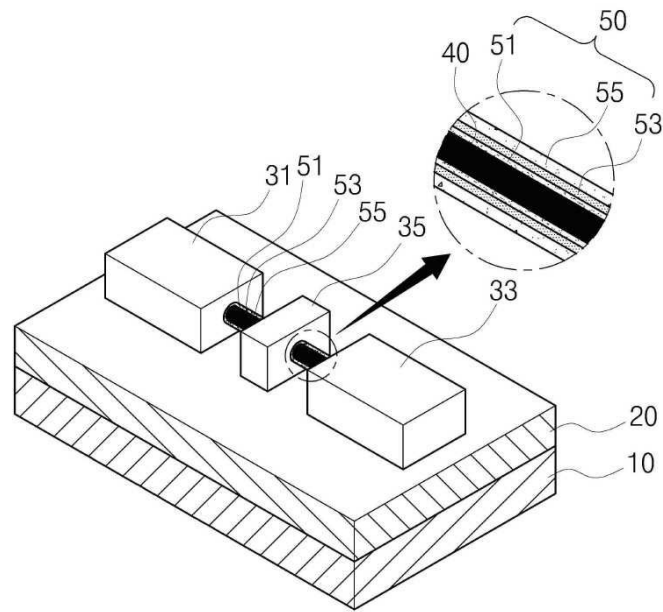
도면6



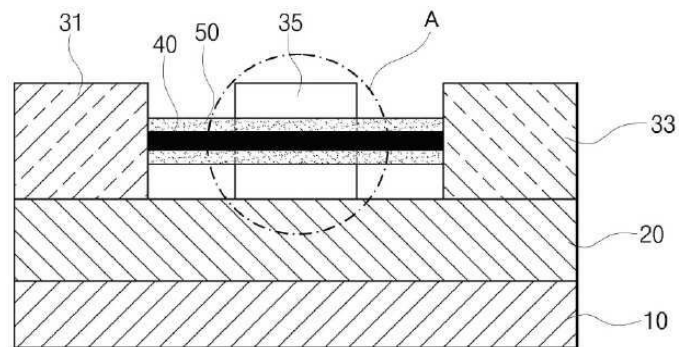
도면7



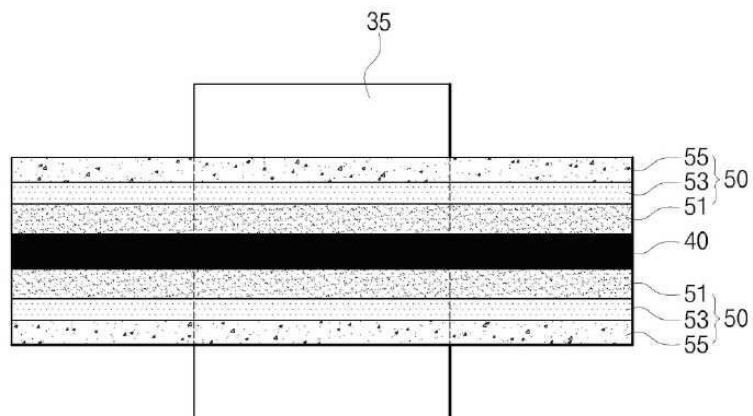
도면8



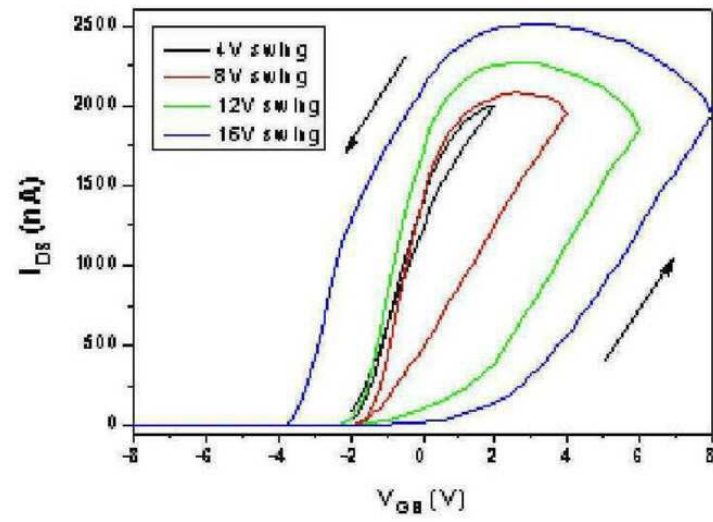
도면9



도면10



도면11



도면12

