

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4565700号
(P4565700)

(45) 発行日 平成22年10月20日 (2010.10.20)

(24) 登録日 平成22年8月13日 (2010.8.13)

(51) Int.Cl.	F I
HO 1 L 21/8244 (2006.01)	HO 1 L 27/10 3 8 1
HO 1 L 27/11 (2006.01)	HO 1 L 27/10 4 7 1
HO 1 L 27/10 (2006.01)	

請求項の数 16 (全 18 頁)

(21) 出願番号	特願2000-132848 (P2000-132848)	(73) 特許権者	302062931
(22) 出願日	平成12年4月27日 (2000.4.27)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2001-28401 (P2001-28401A)		神奈川県川崎市中原区下沼部 1 7 5 3 番地
(43) 公開日	平成13年1月30日 (2001.1.30)	(74) 代理人	100080001
審査請求日	平成19年4月25日 (2007.4.25)		弁理士 筒井 大和
(31) 優先権主張番号	特願平11-130945	(74) 代理人	100075096
(32) 優先日	平成11年5月12日 (1999.5.12)		弁理士 作田 康夫
(33) 優先権主張国	日本国 (JP)	(72) 発明者	長田 健一
			東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地
			株式会社日立製作所中央研究
			所内
		(72) 発明者	南 正隆
			東京都小平市上水本町五丁目 2 0 番 1 号
			株式会社日立製作所半導体グ
			ループ内
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 および第 2 ビット線と、
 複数のワード線と、
 複数のメモリセルと、
 前記第 1 および第 2 ビット線と並んで配置される第 1 P ウエル領域と、
 前記第 1 および第 2 ビット線と並んで配置される第 2 P ウエル領域と、
 前記第 1 P ウエル領域と前記第 2 P ウエル領域との間に配置される N ウエル領域と、
 前記第 1 および第 2 P ウエル領域に第 1 電位を供給する第 1 配線と、
 前記 N ウエル領域に第 2 電位を供給する第 2 配線とを有し、
 前記複数のメモリセルの各々は、第 1 N チャネル型 MOS トランジスタおよび第 1 P チャネル型 MOS トランジスタを含む第 1 インバータと、第 2 N チャネル型 MOS トランジスタおよび第 2 P チャネル型 MOS トランジスタを含み、その入力端子が前記第 1 インバータの出力端子に接続され、その出力端子が前記第 1 インバータの入力端子に接続された第 2 インバータと、ソース・ドレイン経路を前記第 1 インバータの出力端子と前記第 1 ビット線との間に有する第 3 N チャネル型 MOS トランジスタと、ソース・ドレイン経路を前記第 2 インバータの出力端子と前記第 2 ビット線との間に有する第 4 N チャネル型 MOS トランジスタとを有し、前記第 3 および第 4 N チャネル型 MOS トランジスタのゲートは前記複数のワード線のいずれか一つに接続されており、
 前記第 1 P ウエル領域には、前記複数のメモリセルの前記第 1 および第 3 N チャネル型

10

20

M O S トランジスタが形成され、

前記第 2 P ウエル領域には、前記複数のメモリセルの前記第 2 および第 4 N チャネル型 M O S トランジスタが形成され、

前記 N ウエル領域には、前記複数のメモリセルの前記第 1 および第 2 P チャネル型 M O S トランジスタが形成され、

前記第 1 配線と前記第 1 および第 2 P ウエル領域とのコンタクトが設けられる領域は、前記複数のメモリセルがアレイ状に配列されるメモリアレイ領域から分けて前記第 1 および第 2 ビット線が延びる方向に配置され、

前記第 2 配線と前記 N ウエル領域とのコンタクトが設けられる領域は、前記メモリアレイ領域から分けて前記第 1 および第 2 ビット線が延びる方向に配置される半導体装置。

10

【請求項 2】

請求項 1 において、

前記第 1 および第 2 配線は、前記複数のワード線と並ぶように配置される半導体装置。

【請求項 3】

請求項 1 または 2 において、

電源電位線および接地電位線の各々は、前記第 1 および第 2 ビット線と並ぶように配置される半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれかにおいて、

前記第 1 および第 2 配線は、前記第 1 および第 2 ビット線が形成される層とは異なる層に形成される半導体装置。

20

【請求項 5】

請求項 1 乃至 4 のいずれかにおいて、

前記第 1 および第 2 配線は、前記複数のワード線が形成される層に形成される半導体装置。

【請求項 6】

請求項 1 乃至 5 のいずれかにおいて、

前記複数のメモリセルの前記第 1、第 2、第 3 および第 4 N チャネル型 M O S トランジスタは、前記第 1 P ウエル領域と前記 N ウエル領域との境界線と並ぶように配置される半導体装置。

30

【請求項 7】

請求項 1 乃至 6 のいずれかにおいて、

前記第 1 P ウエル領域は拡散層を含み、

前記拡散層の形状は、前記拡散層上に規定され、前記第 1 P ウエル領域と前記 N ウエル領域との境界線に平行となる線に対して線対称である半導体装置。

【請求項 8】

請求項 7 において、

前記拡散層の形状は、長方形である半導体装置。

【請求項 9】

請求項 7 において、

前記拡散層の形状は、互いに幅の異なる複数の長方形の組み合わせである半導体装置。

40

【請求項 10】

請求項 1 において、

前記ワード線に平行な方向に配置された 2 つの隣接するメモリセルの一方は、前記第 1 P ウエル領域に第 1 の拡散層を有し、

前記 2 つの隣接するメモリセルの他方は、前記第 1 P ウエル領域に第 2 の拡散層を有し、

、

前記第 1 の拡散層と前記第 2 の拡散層とは分離されている半導体装置。

【請求項 11】

請求項 1 において、

50

前記第 1 電位は接地電位であり、前記第 2 電位は電源電位である半導体装置。

【請求項 1 2】

第 1、第 2、第 3 および第 4 ビット線と、

第 1 N チャンネル型 MOS トランジスタおよび第 1 P チャンネル型 MOS トランジスタを有する第 1 インバータと、第 2 N チャンネル型 MOS トランジスタおよび第 2 P チャンネル型 MOS トランジスタを有し、その入力が前記第 1 インバータの出力に接続され、その出力が前記第 1 インバータの入力に接続される第 2 インバータと、そのソース・ドレイン経路が前記第 1 ビット線と前記第 1 インバータの出力との間に接続される第 3 N チャンネル型 MOS トランジスタと、そのソース・ドレイン経路が前記第 2 ビット線と前記第 2 インバータの出力との間に接続される第 4 N チャンネル型 MOS トランジスタとを含む第 1 メモリセルと、

10

第 5 N チャンネル型 MOS トランジスタおよび第 3 P チャンネル型 MOS トランジスタを有する第 3 インバータと、第 6 N チャンネル型 MOS トランジスタおよび第 4 P チャンネル型 MOS トランジスタを有し、その入力が前記第 3 インバータの出力に接続され、その出力が前記第 3 インバータの入力に接続される第 4 インバータと、そのソース・ドレイン経路が前記第 3 ビット線と前記第 3 インバータの出力との間に接続される第 7 N チャンネル型 MOS トランジスタと、そのソース・ドレイン経路が前記第 4 ビット線と前記第 4 インバータの出力との間に接続される第 8 N チャンネル型 MOS トランジスタとを有する第 2 メモリセルと、

20

第 9 N チャンネル型 MOS トランジスタおよび第 5 P チャンネル型 MOS トランジスタを有する第 5 インバータと、第 10 N チャンネル型 MOS トランジスタおよび第 6 P チャンネル型 MOS トランジスタを有し、その入力が前記第 5 インバータの出力に接続され、その出力が前記第 5 インバータの入力に接続される第 6 インバータと、そのソース・ドレイン経路が前記第 1 ビット線と前記第 5 インバータの出力との間に接続される第 11 N チャンネル型 MOS トランジスタと、そのソース・ドレイン経路が前記第 2 ビット線と前記第 6 インバータの出力との間に接続される第 12 N チャンネル型 MOS トランジスタとを有する第 3 メモリセルと、

第 13 N チャンネル型 MOS トランジスタおよび第 7 P チャンネル型 MOS トランジスタを有する第 7 インバータと、第 14 N チャンネル型 MOS トランジスタおよび第 8 P チャンネル型 MOS トランジスタを有し、その入力が前記第 7 インバータの出力に接続され、その出力が前記第 7 インバータの入力に接続される第 8 インバータと、そのソース・ドレイン経路が前記第 3 ビット線と前記第 7 インバータの出力との間に接続される第 15 N チャンネル型 MOS トランジスタと、そのソース・ドレイン経路が前記第 4 ビット線と前記第 8 インバータの出力との間に接続される第 16 N チャンネル型 MOS トランジスタとを有する第 4 メモリセルと、

30

前記第 1、第 3、第 9 および第 11 N チャンネル型 MOS トランジスタの基板電極に第 1 電位を供給するための第 1 コンタクトと、

前記第 1、第 2、第 5 および第 6 P チャンネル型 MOS トランジスタの基板電極に第 2 電位を供給するための第 2 コンタクトと、

前記第 2、第 4、第 5、第 7、第 10、第 12、第 13 および第 15 N チャンネル型 MOS トランジスタの基板電極に前記第 1 電位を供給するための第 3 コンタクトと、

40

前記第 3、第 4、第 7 および第 8 P チャンネル型 MOS トランジスタの基板電極に前記第 2 電位を供給するための第 4 コンタクトと、

前記第 6、第 8、第 14 および第 16 N チャンネル型 MOS トランジスタの基板電極に前記第 1 電位を供給するための第 5 コンタクトと、
を有し、

前記第 1 および第 2 P チャンネル型 MOS トランジスタは、前記第 1 および第 3 N チャンネル型 MOS トランジスタと前記第 2 および第 4 N チャンネル型 MOS トランジスタとの間に形成され、

前記第 3 および第 4 P チャンネル型 MOS トランジスタは、前記第 5 および第 7 N チャンネ

50

ル型 MOS トランジスタと前記第 6 および第 8 N チャンネル型 MOS トランジスタとの間に形成され、

前記第 2 および第 4 N チャンネル型 MOS トランジスタと前記第 5 および第 7 N チャンネル型 MOS トランジスタは隣り合って形成され、

前記第 5 および第 6 P チャンネル型 MOS トランジスタは、前記第 9 および第 11 N チャンネル型 MOS トランジスタと前記第 10 および第 12 N チャンネル型 MOS トランジスタとの間に形成され、

前記第 7 および第 8 P チャンネル型 MOS トランジスタは、前記第 13 および第 15 N チャンネル型 MOS トランジスタと前記第 14 および第 16 N チャンネル型 MOS トランジスタとの間に形成され、

10

前記第 10 および第 12 N チャンネル型 MOS トランジスタと前記第 13 および第 15 N チャンネル型 MOS トランジスタは隣り合って形成され、

前記第 1、第 2、第 3、第 4 および第 5 コンタクトは、前記第 1、第 2、第 3 および第 4 メモリセルがアレイ状に配置されるメモリアレイ領域である第 1 領域外の第 2 領域に形成されており、前記第 1 領域内には、前記第 1 から第 16 N チャンネル型 MOS トランジスタの基板電極に前記第 1 電位を供給するためのコンタクトおよび前記第 1 から第 8 P チャンネル型 MOS トランジスタの基板電極に前記第 2 電位を供給するためのコンタクトは設けられておらず、

前記第 1 メモリセルと前記第 2 メモリセルは線対称に配置され、

前記第 3 メモリセルと前記第 4 メモリセルは線対称に配置され、

20

前記第 1 メモリセルと前記第 3 メモリセルは線対称に配置され、

前記第 2 メモリセルと前記第 4 メモリセルは線対称に配置されることを特徴とする半導体装置。

【請求項 13】

請求項 12 において、

前記第 1 から第 4 ビット線と交差する複数の第 1 ワード線を有し、

前記第 3、第 4、第 7、第 8、第 11、第 12、第 15 および第 16 N チャンネル型 MOS トランジスタのそれぞれのゲートは、前記複数の第 1 ワード線のうち、対応する一つに接続されていることを特徴とする半導体装置。

【請求項 14】

30

請求項 13 において、

前記第 3、第 4、第 7 および第 8 N チャンネル型 MOS トランジスタのゲートは、前記複数の第 1 ワード線のうち、同じ一つのワード線に接続され、

前記第 11、第 12、第 15 および第 16 N チャンネル型 MOS トランジスタのそれぞれのゲートは、前記複数の第 1 ワード線のうち、同じ他の一つのワード線に接続されていることを特徴とする半導体装置。

【請求項 15】

請求項 13 または 14 において、

前記第 1、第 3、第 9 および第 11 N チャンネル型 MOS トランジスタが形成される第 1 P ウエル領域と、

40

前記第 1、第 2、第 5 および第 6 P チャンネル型 MOS トランジスタが形成される第 1 N ウエル領域と、

前記第 2、第 4、第 5、第 7、第 10、第 12、第 13 および第 15 N チャンネル型 MOS トランジスタが形成される第 2 P ウエル領域と、

前記第 3、第 4、第 7 および第 8 P チャンネル型 MOS トランジスタが形成される第 2 N ウエル領域と、

前記第 6、第 8、第 14 および第 16 N チャンネル型 MOS トランジスタが形成される第 3 P ウエル領域と、

を有し、

前記第 1 コンタクトは、前記第 1 P ウエル領域と接続され、

50

前記第2コンタクトは、前記第1Nウエル領域と接続され、
前記第3コンタクトは、前記第2Pウエル領域と接続され、
前記第4コンタクトは、前記第2Nウエル領域と接続され、
前記第5コンタクトは、前記第3Pウエル領域と接続されることを特徴とする半導体装置。

【請求項16】

請求項15において、
前記第1および第2ビット線に接続される複数の第5メモリセルと、
前記第3および第4ビット線に接続される複数の第6メモリセルと、
を有し、
前記複数の第5メモリセルおよび前記複数の第6メモリセルは、前記第1および第2領域外の第3領域に形成され、
前記第2領域は、前記第1領域と前記第3領域との間に形成され、
前記第1から第3Pウエル領域は、前記第1から第3領域に渡って連続して形成され、
前記第1および第2Nウエル領域は、前記第1から第3領域に渡って連続して形成されることを特徴とする半導体装置。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置に関わり、特にSRAM(static random access memory)セルのレイアウトおよびこのセルを用いて構成したメモリに関するものである。

20

【0002】

【従来の技術】

CMOS構成の1ポートSRAMセルは、通常6個のトランジスタで構成されており、従来の公知のレイアウトとして特開平10 178110が知られている。

【0003】

従来のSRAMセルのレイアウトでは、SRAMセルを構成するインバータが形成されたPウエル領域が2つに分割されてNウエル領域の両側に配置され、ウエル境界線がビット線に平行に走るように形成されている。

【0004】

30

【発明が解決しようとする課題】

微細化が進むにつれ、露光装置の波長をG線からI線さらにエキシマレーザへと短くして対応してきた。しかし、微細化の要求は装置の短波長化の進歩よりも早く、近年では波長以下のパターン寸法を加工する必要に迫られている。パターン寸法が波長以下になると鍵状に曲がったような複雑なパターンではレイアウトに忠実にパターンを形成できなくなり、メモリセルの対称性を崩す原因となる。

【0005】

しかし、従来の公知例では、Pウエル領域の基板へのコンタクトをとるために、拡散層の形を鍵状に曲げる必要があった。このため、対称性が悪く微細化が困難であるという問題があった。

40

【0006】

【課題を解決するための手段】

そこで、本発明では、第1のNチャネル型MOSトランジスタと第1のPチャネル型MOSトランジスタとを含む第1のインバータと、第2のNチャネル型MOSトランジスタと、第2のPチャネル型MOSトランジスタとを含み、前記第1のインバータの出力端子に入力端子が接続され、前記第1のインバータの入力端子に出力端子が接続された第2のインバータと、前記第1のインバータの出力端子にソースが接続され、第1のビット線にドレインが接続され、ワード線にゲートが接続された第3のNチャネル型MOSトランジスタと、前記第2のインバータの出力端子にソースが接続され、第2のビット線にドレインが接続され、ワード線にゲートが接続された第4のNチャネル型MOSトランジスタとを

50

備え、前記第 1 および第 3 の N チャンネル型 MOS トランジスタは第 1 の P ウエル領域に形成され、その拡散層は曲がりがなく、配置方向が、第 1 および第 2 の P チャンネル型 MOS トランジスタが形成される第 1 の n ウエル領域との境界に対して、平行であり、前記第 2 および第 4 の N チャンネル型 MOS トランジスタは第 2 の P ウエル領域に形成され、その拡散層が曲がりがなく、配置方向が、第 1 および第 2 の P チャンネル型 MOS トランジスタが形成される第 1 の n ウエル領域との境界に対して、平行であることを特徴としている。

【 0 0 0 7 】

拡散層の形状としては、また、その外形を直線を主体として構成し、最も長い直線部分が、第 1 および第 2 の P チャンネル型 MOS トランジスタが形成される第 1 の n ウエル領域との境界に対して、平行であり、かつ、その境界に平行な中心線となる直線を規定した場合、その中心線に対して線対称であり、第 2 および第 4 の N チャンネル型 MOS トランジスタは第 2 の P ウエル領域に形成され、その拡散層の外形は直線を主体として構成され、最も長い直線部分が、第 1 および第 2 の P チャンネル型 MOS トランジスタが形成される第 1 の n ウエル領域との境界に対して、平行であり、かつ、その境界に平行な中心線となる直線を規定した場合、その中心線に対して線対称であることとしてもよい。このとき、線対称と言った場合、完全に線対称でなくとも、例えば中心線の左右で拡散層の面積が同じ程度の形状として、若干の非対称も場合により許容するものである。

【 0 0 0 8 】

また、前記第 3 の N チャンネル型 MOS トランジスタのゲートに用いられる第 1 の多結晶シリコン配線層と、前記第 1 の N チャンネル型 MOS トランジスタのゲートと前記第 1 の P チャンネル型 MOS トランジスタのゲートとに用いられる第 2 の多結晶シリコン配線層とが平行に配置され、前記第 4 の N チャンネル型 MOS トランジスタのゲートに用いられる第 3 の多結晶シリコン配線層と、前記第 2 の N チャンネル型 MOS トランジスタのゲートと前記第 2 の P チャンネル型 MOS トランジスタのゲートに用いられる第 4 の多結晶シリコン配線層とが平行に配置され、第 1 および第 3 の多結晶シリコン配線層は、ワード線を構成する第 2 層の金属配線層とコンタクトを介して接続される。

【 0 0 0 9 】

また、前記第 1 のインバータの入力端子と前記第 2 のインバータの出力端子がコンタクトで電氣的に接続され、前記第 2 のインバータの入力端子と前記第 1 のインバータの出力端子がコンタクトで電氣的に接続されてもよい。

【 0 0 1 0 】

また、前記第 1、第 2 のビット線と、前記第 1、第 2 の P チャンネル型 MOS トランジスタのソースに接続された電源線と、前記第 1、第 2 の N チャンネル型 MOS トランジスタのソースに接続された接地線とが、第 3 層の金属配線層で、拡散層と平行に形成されてもよい。

【 0 0 1 1 】

また、前記第 3 層の金属配線層で形成された第 1 のビット線が前記第 3 層の金属配線層で形成された電源線と、前記第 3 層の金属配線層で形成された第 1 の N チャンネル型 MOS トランジスタのソースに接続された接地線とに挟まれ、前記第 3 層の金属配線層で形成された第 2 のビット線が前記第 3 層の金属配線層で形成された電源線と、前記第 3 層の金属配線層で形成された第 2 の N チャンネル型 MOS トランジスタのソースに接続された接地線とに挟まれてもよい。

【 0 0 1 2 】

あるいは、前記第 1、第 2 のビット線と、前記第 1、第 2 の P チャンネル型 MOS トランジスタのソースに接続された電源線とが第 2 層の金属配線層で形成され、ワード線が第 3 層の金属層で形成され、前記第 1、第 2 の N チャンネル型 MOS トランジスタのソースに接続された接地線が、第 3 層および第 2 層の金属配線層で形成されてもよい。

【 0 0 1 3 】

また、前記メモリセルがアレイ状に並べられ、アレイ中およびアレイの上下に、P ウエル領域の基板へのコンタクトおよび N ウエル領域の基板へのコンタクトがワード線と平行に

10

20

30

40

50

直線的に配置されている。以上では n ウエル領域の両側に 2 つの p ウエル領域を配置した例であるが、p ウエル領域の両側に 2 つの n ウエル領域を配置することもできる。

【0014】

また、本願発明を適用した半導体記憶装置の他の例においては、少なくとも 1 対の N ウエル領域と P ウエル領域とからなるメモリセルをアレイ状に配置したメモリアレイを複数備え、そのメモリアレイの間に少なくとも一つの間隔領域を有し、N ウエル領域と P ウエル領域との境界は少なくとも一つの直線部分を有し、N ウエル領域と P ウエル領域にそれぞれ形成された拡散層の平面形状は、

(1) 直線部分と平行な長辺を有する長方形の形状、または、(2) 直線部分と平行な長辺を有する複数の長方形をそれぞれの短辺を介して組み合わせた形状であり、あるいは、(1) 直線部分と平行な長辺を有する長方形の形状、または、(2) 直線部分と平行な長辺を有する複数の長方形を上記直線部分の方向に延びるように組み合わせた形状であることを特徴とする。

【0015】

少なくともメモリアレイの領域においては、直線部分に平行にビット線が配置され、直線部分に垂直な方向にワード線が配置される。好ましくは、中間領域においては、直線部分に垂直な方向に少なくとも一種の配線が配置され、かつ、電源配線と N ウエル領域または P ウエル領域に形成された拡散層との電氣的接触を行う配線（例えばコンタクト）が形成されている。この配線としては電源配線、接地配線、その他の電位の配線が考えられる。

【0016】

本願発明は特に 6 つのトランジスタから構成されるスタティック RAM のメモリセルを有する半導体記憶装置に好適である。

【0017】

【発明の実施の形態】

以下、本発明に係わる半導体記憶装置の好適ないくつかの事例につき、図面を用いて説明する。

【0018】

実施例 1

図 1 および図 2 に本発明の SRAM セルのレイアウト MC を示す。図 1 は、半導体基板に形成された、ウエル領域、拡散層、多結晶シリコン配線層およびコンタクトが示されており、図 2 には、第 1 層の金属配線層、ビアホール 1、第 2 層の金属配線層、ビアホール 2 および第 3 層の金属配線層が示されている。図 3 は、図 1 および図 2 で使用される記号の説明である。

【0019】

P ウエル領域 PW1 に形成される N チャネル型 MOS トランジスタ TN1 と N ウエル領域 NW1 に形成される P チャネル型 MOS トランジスタ TP1 によってインバータ INV1 が構成される。また、N ウエル領域 PW1 に形成される N チャネル型 MOS トランジスタ TN2 と N ウエル領域 NW1 に形成される P チャネル型 MOS トランジスタ TP2 によってインバータ INV2 が構成される。

【0020】

インバータ INV1 の出力は、コンタクト SC1 によってインバータ INV2 の入力と電氣的に接続されている。また、インバータ INV2 の出力は、コンタクト SC2 によってインバータ INV1 の入力と電氣的に接続されている。

【0021】

N チャネル型 MOS トランジスタ TN3 は、ドレイン電極がビット線 BL1 に接続され、ソース電極が、N チャネル型 MOS トランジスタ TN1 のドレインに接続され、ゲート電極は、ワード線 WD に接続される。同様に、N チャネル型 MOS トランジスタ TN4 は、ドレイン電極がビット線 BL2 に接続され、ソース電極が、N チャネル型 MOS トランジスタ TN2 のドレインに接続され、ゲート電極は、ワード線 WD に接続される。

【 0 0 2 2 】

Nチャネル型MOSトランジスタTN1およびNチャネル型MOSトランジスタTN3は、拡散層LN1上に形成され、Nチャネル型MOSトランジスタTN2およびNチャネル型MOSトランジスタTN4は、拡散層LN2上に形成される。

【 0 0 2 3 】

Pチャネル型MOSトランジスタTP1は、拡散層LP1上に形成され、Pチャネル型MOSトランジスタTP2は、拡散層LP2上に形成される。

【 0 0 2 4 】

拡散層(LN1、LN2、LP1、LP2)は、曲がりなく直線であるため、折れ曲がり部でのパターン補正が必要なく、ノード間のバランスが良くなる。メモリセルをアレイ上に並べた場合、拡散層は、ビット線(BL1、BL2)に平行な4本の直線となる。

10

【 0 0 2 5 】

また、Nチャネル型MOSトランジスタTN3のゲート電極に用いられる多結晶シリコン配線層FG3および、Nチャネル型MOSトランジスタTN4のゲート電極に用いられる多結晶シリコン配線層FG4は、ビット線(BL1、BL2)と垂直方向に第2の金属配線層を用いて形成されるワード線WLに接続されている。Nチャネル型MOSトランジスタTN1およびPチャネル型MOSトランジスタTP1のゲート電極に用いられる多結晶シリコン配線層FG1、Nチャネル型MOSトランジスタTN2およびPチャネル型MOSトランジスタTP2のゲート電極に用いられる多結晶シリコン配線層FG2および多結晶シリコン配線層(FG3、FG4)は、ワード線と平行に配置されている。

20

【 0 0 2 6 】

Nチャネル型MOSトランジスタTN1のソース電極は、第3層の金属配線層で形成された接地電位線Vss1に接続され、Nチャネル型MOSトランジスタTN2のソース電極は、第3層の金属配線層で形成された接地電位線Vss2に接続される。また、Pチャネル型MOSトランジスタ(TP1、TP2)のソース電極は、第3層の金属配線層で形成された電源電位線Vcc1に接続されている。

【 0 0 2 7 】

ビット線BL1は、電源電位Vcc1と接地電位Vss1に挟まれており、ビット線BL2は電源電位Vcc1と接地電位Vss2に挟まれている。この構造は、ビット線どうしのクロスカップルノイズを低減でき、低電圧、高速動作に効果がある。

30

【 0 0 2 8 】

また、コンタクトホールのエッチ時にサイドスペーサーを削ってn⁺層上にコンタクトが形成された場合、コンタクトからn⁺を通して基板に流れ込むことが考えられる。多結晶シリコン配線層と拡散層をつなぐコンタクトを形成する場合、拡散層TP2と多結晶シリコン配線層FG1の間隔をサイドスペーサーの長さよりも長くすることにより、拡散層にn⁺が形成されずリーク電流を防ぐことができる。

【 0 0 2 9 】

実施例2

図4に実施例1のメモリセルMCをアレイ状に配列した場合の例を示す。図中の記号は、図3に説明されている。

40

【 0 0 3 0 】

メモリセルMCは例えば、256ロー×128カラム並べられる。実施例1のメモリセルは、ビット線方向の高さが低いため、256ローのメモリセルを並べても、ビット線の長さが従来に比べて短くなるので、高速化できる。隣合うメモリセルMCは、y軸に対して線対称に配置され、上下のメモリセルMCは、x軸に対して線対称に配置される。また、アレイの途中には、基板への電源を供給するための領域STが、ワード線WDと平行に形成される。領域STは、例えば、メモリセル32ローあるいは、64ロー毎に配置される。

【 0 0 3 1 】

Pウエル領域(PW1、PW2)に電位を供給する配線VbnおよびNウエル領域NW1

50

に電位を供給する配線 V_{bp} がワード線と平行に形成される。配線 V_{bn} は、接地電位 V_{ss} と接続してもいいし、 V_{ss} とは異なる電位を供給することができる。また、配線 V_{bp} は、電源電位 V_{cc} と接続してもいいし、 V_{cc} とは異なる電位を供給することもできる。

【0032】

また、領域 ST では、電源電位線 V_{cc1} を補強するための電源電位線 V_{cc} がワード線と平行に形成され、接地電位 (V_{ss1} 、 V_{ss2}) を補強するための接地電位線 V_{ss} がワード線と平行に形成される。

【0033】

また、接地電位線 (V_{ss1} 、 V_{ss2}) が、ワード線 WD と垂直方向に配置されるので、1つのワード線を選択した場合に、このワード線に沿った各メモリセルに対して、1対の接地電位線から電位が供給されるので、電位線のノイズが小さく、アクセスの高速化、低電圧化に効果がある。

【0034】

また、メモリセル MC は、ワード線方向の幅が広いので、センスアンプ AMP のレイアウトが容易であり、従来行われていた、メモリセル2カラムで1つのセンスアンプをレイアウトする必要がなく、1カラムに1つのセンスアンプがレイアウトできる。また、ワードドライバ回路 $wddrv$ は従来に比べて偏平なレイアウトとなる。

【0035】

実施例3

図5および図6に実施例3のSRAMセルのレイアウト $MC2$ を示す。図5および図6で使用する記号の説明を図3に示した。実施例3のメモリセル $MC2$ は実施例1のメモリセル MC と比べて、実施例1では、拡散層 ($LN1$ 、 $LN1$) の形が羽子板状であるのに対し、実施例3の拡散層 ($LN3$ 、 $LN4$) が長方形であると点と、コンタクト ($SC1$ 、 $SC2$) が、コンタクト ($SC3$ 、 $SC4$) と第1層の金属配線層 ($M11$ 、 $M12$) で置き換えられている点を除いて同一である。

【0036】

通常メモリセルでは、安定性を確保するために、Nチャネル型MOSトランジスタ ($TN1$ 、 $TN2$) のゲート幅は、Nチャネル型MOSトランジスタ ($TN3$ 、 $TN4$) のゲート幅の1.5倍に設計される。しかし、この場合は、実施例1で示したように、拡散層の形が羽子板状になり、パターン補正 (OPC) などの技術が必要となる。また、このために、トランジスタどうしのバランスも悪くなる。これに対して、実施例3では、拡散層 ($LN3$ 、 $LN4$) が長方形なので、加工が容易で、また、この結果トランジスタのバランスも良くすることができる。ただし、ゲート幅の比が1.0倍になってしまうため、Nチャネル型MOSトランジスタ ($TN1$ 、 $TN2$) に比べて、Nチャネル型MOSトランジスタ ($TN3$ 、 $TN4$) の酸化膜厚を厚くするか、ゲート長を長くするか、しきい値を高くするか、あるいは電界緩和のための低濃度ドレイン領域の不純物濃度を低くするなどにより駆動力に差をつけていわゆるセルレシオを大きくする必要がある。また、実施例3では、実施例1でインバータ $INV1$ の出力とインバータ $INV2$ の入力を接続していたコンタクト $SC1$ の代わりに、コンタクト $SC3$ と第1層の金属配線層 $M11$ を用いている。このようにすることにより折れ曲がったコンタクトが必要なくなり、パターン補正 (OPC) 等が必要なくなる。

【0037】

実施例4

図7および図8に実施例4のSRAMセルのレイアウト $MC3$ を示す。図7および図8で使用する記号の説明を図3に示した。実施例4のメモリセル $MC3$ は実施例3のメモリセル $MC2$ と比べて、多結晶シリコン配線層 ($FG5$ 、 $FG6$ 、 $FG7$ 、 $FG8$) の形が長方形である点が異なる。このセルでは、折れ曲がりがなく、パターン補正 (PCP) が必要なく、トランジスタどうしのバランスがよくなる。

【0038】

実施例 5

図 9 および図 10 に実施例 5 の S R A M セルのレイアウト M C 4 を示す。図 9 および図 10 で使用される記号の説明を図 11 に示した。実施例 5 のメモリセル M C 4 は実施例 1 のメモリセル M C と比べて、配線構造が異なる。

【 0 0 3 9 】

ビット線 (B L 3、B L 4) および、電源電位線 V c c 2 は、第 2 層の金属配線層を用いて形成される。ワード線 W D 1 および接地電位線 (V s s 5、V s s 6) は、第 3 層の金属配線層を用いてビット線と垂直に形成される。接地電位線 (V s s 3、V s s 4) は、第 4 層の金属配線層を用いてビット線と平行に形成される。

【 0 0 4 0 】

グローバルビット線 G B は、ビット線を階層化した場合に使用される配線である。グローバルビット線 G B とビット線 (B L 3、B L 4) とは、第 3 層の金属配線層でシールドされているので、クロスカップルノイズを防ぐことができる。また、接地電位線 (V s s 3、V s s 4) によって、グローバルビット線 G B どちらのクロスカップルノイズを防ぐことができる。

【 0 0 4 1 】

実施例 6

図 12 および図 13 に実施例 6 の S R A M セルのレイアウト M C 5 を示す。図 12 および図 13 で使用される記号の説明を図 14 に示した。実施例 6 のメモリセル M C 5 は実施例 1 のメモリセル M C と比べて、ゲート電極と拡散層接続するいわゆる 3 層コンタクトの構造が異なる。

【 0 0 4 2 】

実施例 1 では L 字状のコンタクト S C 1、S C 2 でゲート電極と拡散層を接続しているが、実施例 6 ではゲート電極と拡散層接続領域 S S 1、S S 2 でシリサイドにより接続している。そのためゲート電極と拡散層を接続するためにコンタクトを L 字状に曲げる必要がなく I 字状の長方形のコンタクト S C 5、S C 6 にできる。コンタクトに折れ曲がりがなく、パターン補正 (O C P) が必要ない。

【 0 0 4 3 】

ゲート電極と拡散層接続領域 S S 1、S S 2 でシリサイドにより接続する具体的なプロセスフローを図 15 に示す。

【 0 0 4 4 】

ゲート電極 F G を多結晶シリコンで形成する (図 15 (a))。

【 0 0 4 5 】

ゲート電極 F G の側壁にサイドスペーサ S i N を C V D シリコン窒化膜により形成する (図 15 (b))。

【 0 0 4 6 】

アクティブ領域側のサイドスペーサ S i N をシリコン窒化膜と酸化膜を高選択でエッチングできる条件でエッチングし取り除く (図 15 (c))。

【 0 0 4 7 】

P 型高濃度拡散層 P⁺ を形成する (図 15 (d))。

【 0 0 4 8 】

C o などの高融点金属をスパッタにより堆積し、アニールすることで多結晶シリコンゲート電極と拡散層に選択的にシリサイドを形成する (図 15 (e))。このときゲート電極の側壁と拡散層とがシリサイドにより接続される。

【 0 0 4 9 】

実施例 7

図 16 および図 17 に実施例 7 の S R A M セルのレイアウト M C 6 を示す。図 16 および図 17 で使用される記号の説明を図 14 に示した。実施例 7 のメモリセル M C 6 は実施例 6 のメモリセル M C 5 と比べて、コンタクト (S C 5、S C 6) が、コンタクト (S C 7、S C 8) と第 1 層の金属配線層 (M 1 1、M 1 2) で置き換えられている点を除いて

10

20

30

40

50

同一である。

【0050】

実施例7ではすべてのコンタクトを正方形コンタクトにでき、パターン補正(OC P)が必要ない。

【0051】

実施例8

図18および図19に実施例8のSRAMセルのレイアウトMC7を示す。図18および図19で使用される記号の説明を図20に示した。実施例8のメモリセルMC7は実施例1のメモリセルMCと比べて、コンタクト(SC1、SC2)が、ローカルインターコネクト(LI1、LI2)で置き換えられている点と、ワード線が第2層目の金属配線から第1層目の金属配線に、ビット線と電源電位線と接地電位線が第3層目の金属配線から第2層目の金属配線に変更されている点を除いて同一である。図21は図18、19のA-B線に沿った断面図である。

10

【0052】

実施例1ではコンタクトSC1、SC2は他のコンタクトと同層で形成しているために、SC1、SC2の上に第1層目の金属配線を配置できないという制約がある。実施例8ではコンタクトとは別層のローカルインターコネクトLI1、LI2で形成するために上に第1層目の金属配線を配置でき、実施例1と比較すると金属配線を1層減らす事ができる。

【0053】

20

実施例9

図22に実施例9の3層コンタクト部のプロセスフローを示す。実施例9は実施例1、3、4、5、8の3層コンタクト部を形成するプロセスの一例である。

【0054】

近年のLSIでは、コンタクトがホット工程の合せずれにより拡散層やゲート電極から外れてもフィールド酸化膜を削ることがないように、シリコン窒化膜などをストップパにして高選択エッチングでコンタクト穴を加工するのが一般的になってきている。ゲート電極をいわゆるサリサイド技術により低抵抗化する場合は、拡散層形成後に拡散層上とゲート電極上を露出させてシリサイドを形成し、その上にエッチングストップパとしてのシリコン窒化膜を堆積し、層間絶縁膜を更にその上に堆積してからコンタクト穴を形成するために、ゲート電極上のコンタクトと拡散層上のコンタクトをそのまま同時に形成しても両者共に導通を取ることができる。しかし、従来広く用いられてきたポリサイドゲート電極や、近年発表されているポリメタルゲート電極の場合、エッチングストップパとしてのシリコン窒化膜堆積前にはゲート電極上に酸化膜などの絶縁膜が残りゲート電極は露出していないために、その上にシリコン窒化膜を堆積してコンタクトを形成しようとするゲート電極上のコンタクトの底部には酸化膜が残り導通が取れない。実施例9はコンタクト穴を開ける部分のゲート電極上のシリコン窒化膜をあらかじめ取り除いておくことによりゲート電極上コンタクトの導通を確保するものである。

30

【0055】

以下、図22により実施例9のプロセスフローを説明する。

40

【0056】

ゲート電極と拡散層 P^+ を形成した後、エッチングストップパとしてのシリコン窒化膜SiNを堆積する(図22(a))。ゲート電極は多結晶シリコンPoly SiとタングステンWの積層であり、さらにその上に保護膜として酸化膜SiOが積層されている。

【0057】

ゲート電極上のコンタクト穴を開ける部分のシリコン窒化膜をドライエッチングにより取り除く(図22(b))。

【0058】

プラズマCVDによるTEOS膜などを堆積し、層間絶縁膜を形成する(図22(c))

50

【 0 0 5 9 】

コンタクト開口部の酸化膜をシリコン窒化膜との高選択ドライエッチングによりエッチングする（図 2 2（d））。高選択エッチングのためシリコン窒化膜はエッチングされずストップパとなる。あらかじめゲート電極上のシリコン窒化膜を取り除いておいた部分はストップパが無いためにゲート電極上までエッチングされる。そのため、ゲート電極上も導通が取れるようになる。

【 0 0 6 0 】

シリコン窒化膜を高選択ドライエッチングにより取り除く（図 2 2（e））。

【 0 0 6 1 】

コンタクト穴の部分にタングステンなどの金属を埋め込みプラグとする（図 2 2（f））

10

【 0 0 6 2 】

実施例 1 0

図 2 3 に実施例 1 0 の 3 層コンタクト部のプロセスフローを示す。実施例 1 0 は実施例 1、3、4、5、8 の 3 層コンタクト部を形成するプロセスの一例である。

【 0 0 6 3 】

実施例 1 0 のプロセスフローは、実施例 9 のプロセスフローと比較して、エッチングストップパのシリコン窒化膜の堆積前にゲート電極上のコンタクト穴を開ける部分の酸化膜を取り除いておく点が異なる。

【 0 0 6 4 】

20

以下、図 2 3 により実施例 1 0 のプロセスフローを説明する。

【 0 0 6 5 】

ゲート電極と拡散層 P^+ を形成する（図 2 3（a））。ゲート電極は多結晶シリコン $Pol y Si$ とタングステン W の積層であり、さらにその上に保護膜として酸化膜 SiO が積層されている。

【 0 0 6 6 】

ゲート電極上のコンタクト穴を開ける部分の酸化膜をドライエッチングにより取り除き、ゲート電極上を露出させる（図 2 3（b））。

【 0 0 6 7 】

エッチングストップパとしてシリコン窒化膜 SiN を堆積する（図 2 3（c））。

30

プラズマ $CV D$ による $TEOS$ 膜などを堆積し、層間絶縁膜を形成する（図 2 3（d））。

【 0 0 6 8 】

コンタクト開口部の酸化膜をシリコン窒化膜との高選択ドライエッチングによりエッチングする（図 2 3（e））。高選択エッチングのためシリコン窒化膜はエッチングされずストップパとなる。

【 0 0 6 9 】

シリコン窒化膜を高選択ドライエッチングにより取り除く（図 2 3（f））。シリコン窒化膜堆積前にゲート電極上の酸化膜を取り除いた部分はこのときに露出するために、ゲート電極上も導通が取れるようになる。

40

【 0 0 7 0 】

コンタクト穴の部分にタングステンなどの金属を埋め込みプラグとする（図 2 3（g））。

【 0 0 7 1 】

【発明の効果】

本発明によれば、拡散層が必要以上に複雑な形状とならないため、微細化が容易である。

【図面の簡単な説明】

【図 1】実施例 1 に係わる半導体装置のレイアウト図。

【図 2】実施例 1 に係わる半導体装置のレイアウト図。

50

【図 3】実施例 1、2、3、4 で使用される記号の説明図。

【図 4】実施例 2 に係わる半導体装置のレイアウト図。

【図 5】実施例 3 に係わる半導体装置のレイアウト図。

【図 6】実施例 3 に係わる半導体装置のレイアウト図。

【図 7】実施例 4 に係わる半導体装置のレイアウト図。

【図 8】実施例 4 に係わる半導体装置のレイアウト図。

【図 9】実施例 5 に係わる半導体装置のレイアウト図。

【図 10】実施例 5 に係わる半導体装置のレイアウト図。

【図 11】実施例 5 で使用される記号の説明図。

【図 12】実施例 6 に係わる半導体装置のレイアウト図。

10

【図 13】実施例 6 に係わる半導体装置のレイアウト図。

【図 14】実施例 6 で使用される記号の説明図。

【図 15】実施例 6 に係わる半導体装置のプロセスフロー断面図。

【図 16】実施例 7 に係わる半導体装置のレイアウト図。

【図 17】実施例 7 に係わる半導体装置のレイアウト図。

【図 18】実施例 8 に係わる半導体装置のレイアウト図。

【図 19】実施例 8 に係わる半導体装置のレイアウト図。

【図 20】実施例 8 で使用される記号の説明図。

【図 21】実施例 8 に係わる半導体装置の断面図。

【図 22】実施例 9 に係わる半導体装置のプロセスフロー断面図。

20

【図 23】実施例 10 に係わる半導体装置のプロセスフロー断面図。

【符号の説明】

MC、MC 2、MC 3、MC 4、MC 5、MC 6、MC 7 …… SRAM メモリセル

TN 1、TN 2、TN 3、TN 4 …… N チャネル型 MOS トランジスタ

TP 1、TP 2 …… P チャネル型 MOS トランジスタ

PW 1、PW 2 …… P ウエル領域

NW 1、NW …… N ウエル領域

FG 1、FG 2、FG 3、FG 4、FG 5、FG 6、FG 7、FG 8、FG …… 多結晶シリコン配線層

LN 1、LN 2、LN 3、LN 4、LP 1、LP 2 …… 拡散層

30

SC 1、SC 2、SC 3、SC 4、SC 5、SC 6、SC 7、SC 8 …… コンタクト

INV 1、INV 2 …… インバータ回路

WD、WD 1 …… ワード線

BL 1、BL 2、BL 3、BL 4 …… ビット線

Vss、Vss 1、Vss 2、Vss 3、Vss 4、Vss 5、Vss 6 …… 接地電位線

Vcc、Vcc 1、Vcc 2 …… 電源電位線

Vbp …… N ウエル領域へ電位を供給する線

Vbn …… P ウエル領域へ電位を供給する線

wdrv …… ワードドライバ回路

AMP …… センスアンプ回路

40

M1 1、M1 2 …… 第 1 層の金属配線層

GB …… グローバルビット線

SGI …… フィールド領域

Poly Si …… 多結晶シリコン

SiN …… シリコン窒化膜

SiO …… シリコン酸化膜

SS …… シリサイド層

TEOS …… プラズマ CVD TEOS 膜

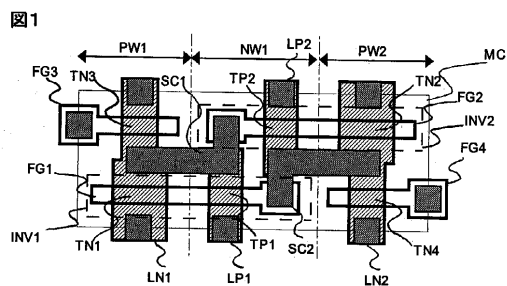
W …… タングステン

Al …… アルミニウム配線層

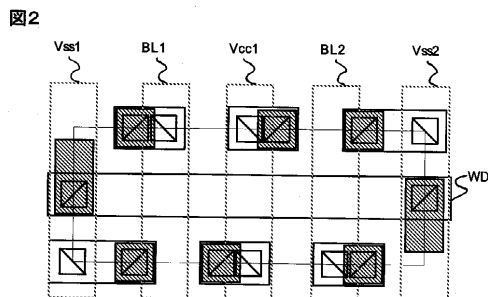
50

P + P 型高濃度拡散層。

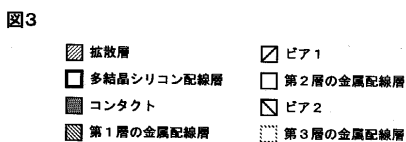
【図1】



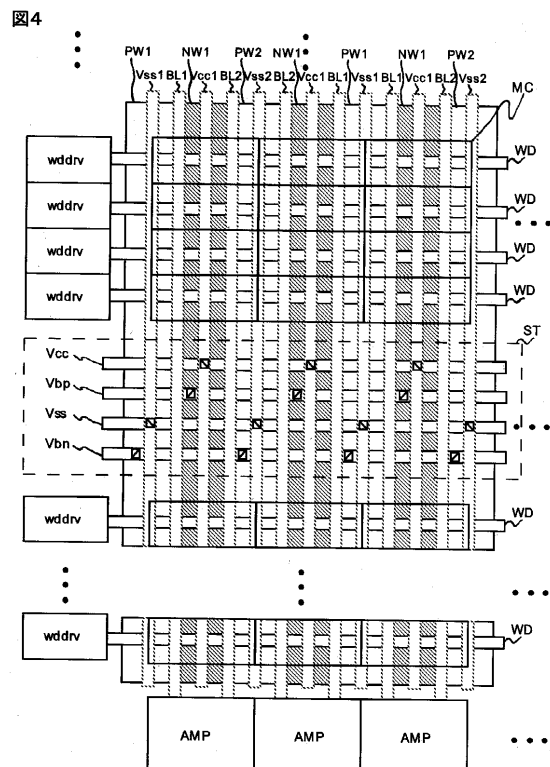
【図2】



【図3】

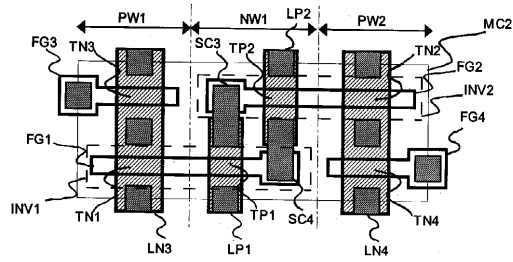


【図4】



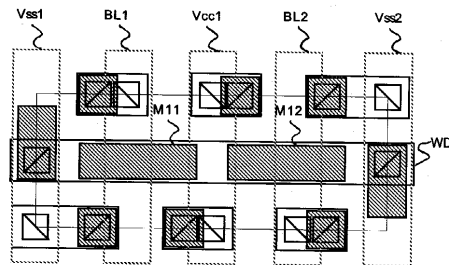
【図 5】

図5



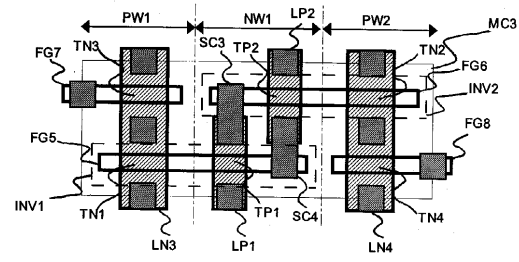
【図 6】

図6



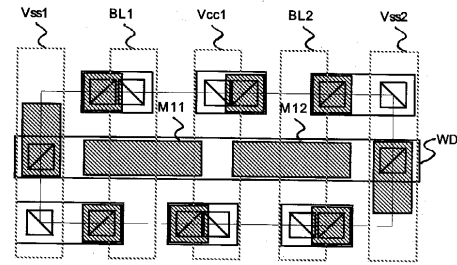
【図 7】

図7



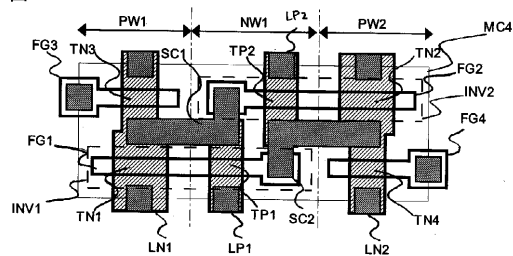
【図 8】

図8



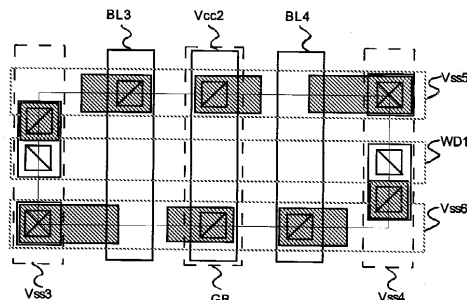
【図 9】

図9



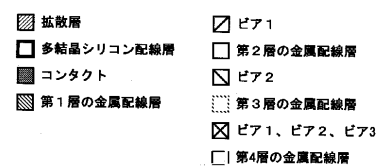
【図 10】

図10



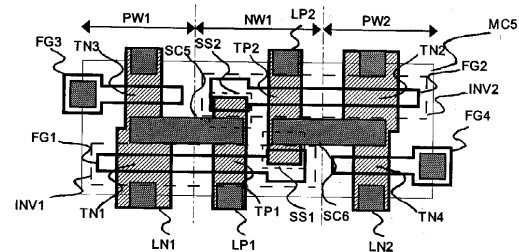
【図 11】

図11



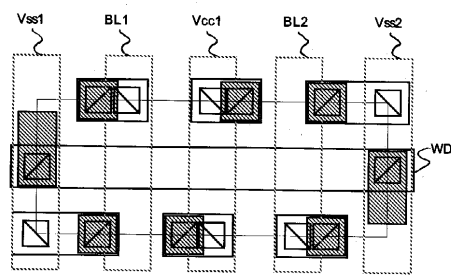
【図 12】

図12



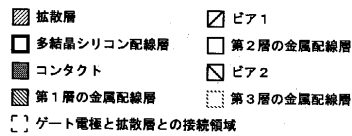
【図13】

図13



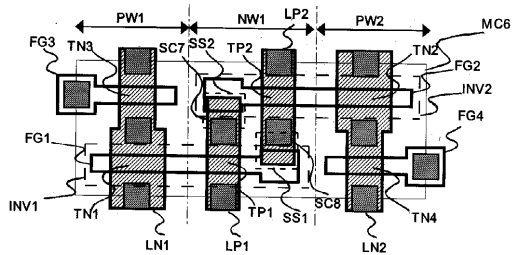
【図14】

図14



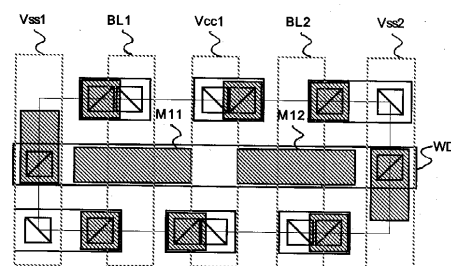
【図16】

図16



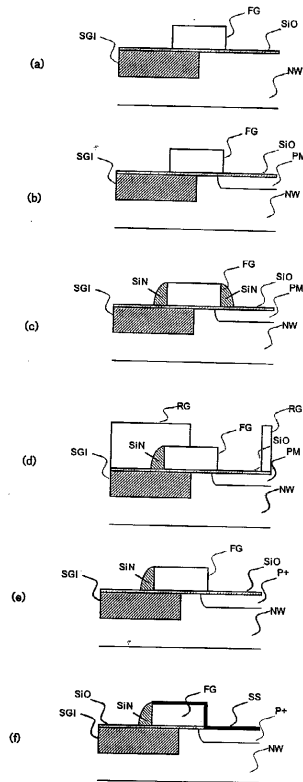
【図17】

図17



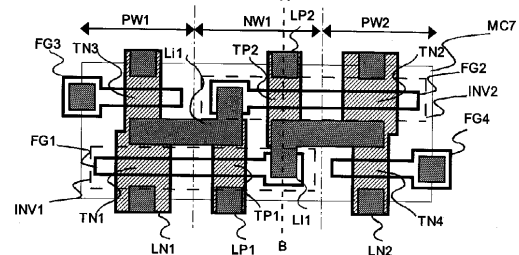
【図15】

図15



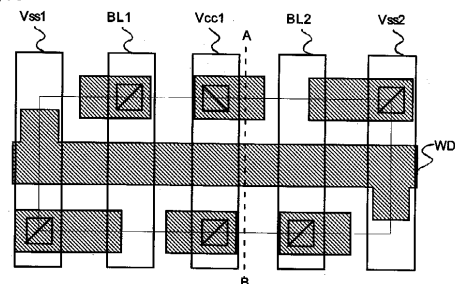
【図18】

図18



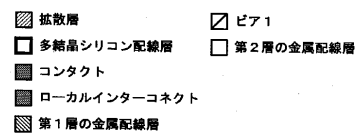
【図19】

図19



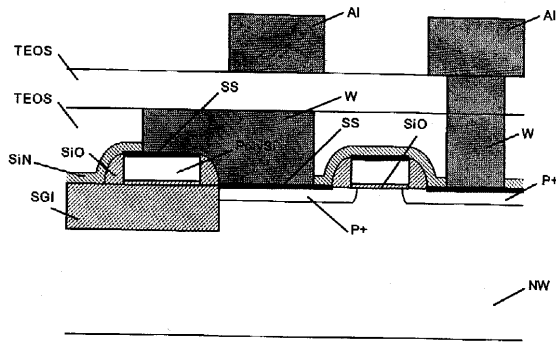
【図20】

図20



【図 21】

図21



【図 22】

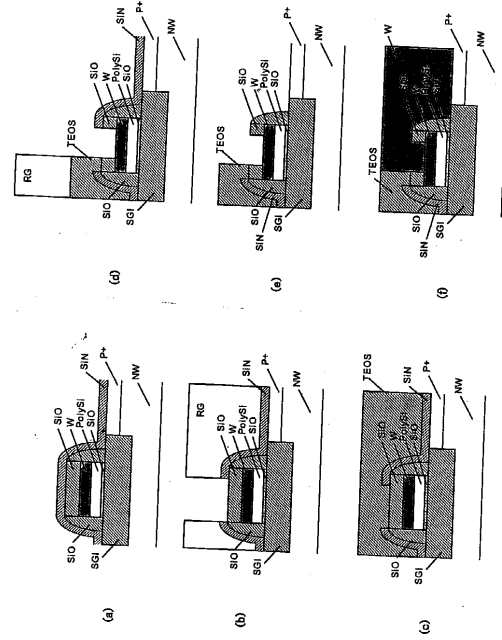


図22

【図 23】

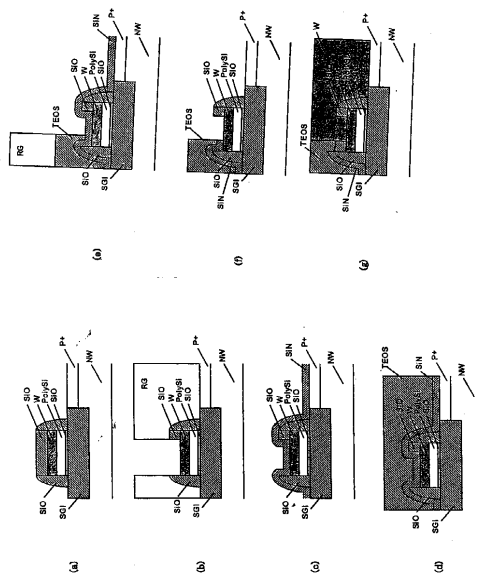


図23

フロントページの続き

- (72)発明者 池田 修二
東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所半導体グループ内
- (72)発明者 石橋 孝一郎
東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所中央研究所内

審査官 小森 重樹

- (56)参考文献 特開平 0 7 - 1 0 6 4 3 8 (J P , A)
特開平 0 5 - 2 3 5 3 0 0 (J P , A)
特開平 0 9 - 0 2 7 5 5 2 (J P , A)
特開平 0 7 - 1 3 0 8 7 7 (J P , A)
特開平 1 0 - 1 7 8 1 1 0 (J P , A)
特開平 0 9 - 2 7 0 4 6 8 (J P , A)
特開平 1 0 - 0 3 2 2 6 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 21/8244

H01L 27/10