

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-257070

(P2012-257070A)

(43) 公開日 平成24年12月27日(2012.12.27)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H03F 3/08 (2006.01)</b>	H03F 3/08	5J500
<b>H03F 1/22 (2006.01)</b>	H03F 1/22	
<b>H03F 1/34 (2006.01)</b>	H03F 1/34	
<b>H03F 1/42 (2006.01)</b>	H03F 1/42	

審査請求 未請求 請求項の数 5 O L (全 18 頁)

(21) 出願番号 特願2011-128884 (P2011-128884)  
 (22) 出願日 平成23年6月9日 (2011.6.9)

(71) 出願人 000004226  
 日本電信電話株式会社  
 東京都千代田区大手町二丁目3番1号  
 (71) 出願人 504132272  
 国立大学法人京都大学  
 京都府京都市左京区吉田本町36番地1  
 (74) 代理人 100064621  
 弁理士 山川 政樹  
 (74) 代理人 100098394  
 弁理士 山川 茂樹  
 (74) 代理人 100153006  
 弁理士 小池 勇三  
 (72) 発明者 中村 誠  
 東京都千代田区大手町二丁目3番1号 日  
 本電信電話株式会社内

最終頁に続く

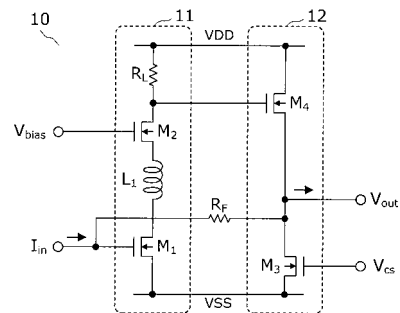
(54) 【発明の名称】 トランスインピーダンスアンプ

(57) 【要約】

【課題】 利得周波数特性の広帯域化と群遅延平坦特性とを両立させる。

【解決手段】 ソース接地トランジスタ $M_1$ 、ゲート接地トランジスタ $M_2$ 、および負荷抵抗 $R_L$ からカスコード接続回路11を構成し、ソース接地トランジスタ $M_1$ のドレイン端子とゲート接地トランジスタ $M_2$ のソース端子と間に第1のインダクタ $L_1$ を設ける。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

入力された光電流信号を増幅するカスコード接続回路と、このカスコード接続回路の増幅出力を電圧信号に変換して出力するソースフォロワ回路と、これらカスコード接続回路とソースフォロワ回路との間に接続された帰還抵抗とを備えるトランスインピーダンスアンプであって、

前記カスコード接続回路は、ソース接地トランジスタ、ゲート接地トランジスタ、および負荷抵抗と、前記ソース接地トランジスタのドレイン端子とゲート接地トランジスタのソース端子間に接続された第 1 のインダクタとを有する

ことを特徴とするトランスインピーダンスアンプ。

10

## 【請求項 2】

請求項 1 に記載のトランスインピーダンスアンプにおいて、

前記負荷抵抗は、抵抗素子と第 2 のインダクタの直列接続からなることを特徴とするトランスインピーダンスアンプ。

## 【請求項 3】

請求項 2 に記載のトランスインピーダンスアンプにおいて、

前記負荷抵抗は、抵抗素子と第 2 のインダクタの直列接続からなり、前記第 2 のインダクタは前記第 1 のインダクタとの間で誘導結合を有する

ことを特徴とするトランスインピーダンスアンプ。

20

## 【請求項 4】

請求項 1 ~ 請求項 3 のいずれか 1 つに記載のトランスインピーダンスアンプにおいて、前記ソース接地トランジスタは、ゲート端子に前記光電流信号が入力され、ソース端子が電源電位  $V_{SS}$  に接続されており、

前記ゲート接地トランジスタは、ゲート端子にバイアス電位が印加されており、ドレイン端子が前記負荷抵抗を介して電源電位  $V_{DD}$  に接続されている

ことを特徴とするトランスインピーダンスアンプ。

## 【請求項 5】

請求項 1 ~ 請求項 3 のいずれか 1 つに記載のトランスインピーダンスアンプにおいて、前記カスコード接続回路は、前記ソース接地トランジスタに代わるエミッタ接地トランジスタと、ゲート接地トランジスタに代わるベース接地トランジスタとを有し、

30

前記第 1 のインダクタは、前記エミッタ接地トランジスタのコレクタ端子と前記ベース接地トランジスタのエミッタ端子との間に接続されている

ことを特徴とするトランスインピーダンスアンプ。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、光伝送方式の光 / 電気変換を行う光受信回路において、信号等化を行うトランスインピーダンスアンプに関するものである。特に、広帯域な利得周波数特性を持つ高速動作可能なトランスインピーダンスアンプに関するものである。

## 【背景技術】

40

## 【0002】

光通信技術の進展とともに伝送されるデータ量が飛躍的に増大しており、伝送装置の大容量化が求められている。この大容量化を実現するために、光受信器の高速化が求められている。

## 【0003】

図 14 は、光通信における一般的な光 / 電気変換を行う光受信器の構成例である。この光受信器は、主に、フォトディテクタ PD、トランスインピーダンスアンプ TIA、および帰還抵抗  $R_F$  から構成されている。

この光受信器では、フォトディテクタ PD で光信号を受信して電流信号  $I_{in}$  に変換し、トランスインピーダンスアンプ TIA でこの電流信号  $I_{in}$  を電圧信号  $V_{out}$  に変換してい

50

る。

【 0 0 0 4 】

このようなトランスインピーダンスアンプ T I A において、受信可能なデータの高速化を実現するためには、利得周波数特性の広帯域化が必須である。トランスインピーダンスアンプ T I A の帯域を制限する要因は、第一にフォトディテクタ P D 等の入力寄生容量  $C_{in}$  とトランスインピーダンスアンプ T I A の入力インピーダンスによる入力回路の周波数特性に起因するもの、第二にトランスインピーダンスアンプ T I A を構成する構成回路の周波数特性に起因するもの、さらにトランスインピーダンスアンプ T I A の出力回路の周波数特性に起因するものとがある。

【 0 0 0 5 】

まず、第一の要因である、入力回路の時定数による帯域制限について詳述する。

トランスインピーダンスアンプ T I A のインピーダンス変換利得  $Z_t$  は、次の式 ( 1 ) のように与えられる。

【 数 1 】

$$Z_t = \frac{-R_F}{1 + j\omega C_{in} \frac{R_F}{A_0}} \quad \dots(1)$$

ここで、 $R_F$  は帰還抵抗、 $C_{in}$  はフォトディテクタ P D 等の入力寄生容量、 $A_0$  はトランスインピーダンスアンプ T I A のオープンループ利得である。

【 0 0 0 6 】

この式 ( 1 ) から、 $Z_t$  が  $1 / \sqrt{2}$  になる 3 d B 帯域  $f_{3dB}$  は、次の式 ( 2 ) のように求められる。

【 数 2 】

$$f_{3dB} = \frac{A_0}{2\pi R_F C_{in}} \quad \dots(2)$$

【 0 0 0 7 】

次に、第二の要因である、トランスインピーダンスアンプ T I A を構成する回路の周波数特性による帯域制限について述べる。

図 1 5 は、従来のトランスインピーダンスアンプの構成を示す回路図である。この図 1 5 に示す従来の構成において、トランスインピーダンスアンプ T I A は、ソース接地回路 5 1 と、ソースフォロワ回路 5 2 とから構成されている。

【 0 0 0 8 】

具体的には、ソース接地回路において、トランジスタ  $M_1$  のゲート端子に、フォトディテクタ P D からの電流信号  $I_{in}$  が入力されており、トランジスタ  $M_1$  のソース端子が抵抗  $R_E$  を介して電源電位  $V_{SS}$  と接続されており、トランジスタ  $M_1$  のドレイン端子が負荷抵抗  $R_L$  を介して電源電位  $V_{DD}$  ( $V_{DD} > V_{SS}$ ) と接続されている。

【 0 0 0 9 】

一方、ソースフォロワ回路において、トランジスタ  $M_4$  のゲート端子がトランジスタ  $M_1$  のドレイン端子と接続されており、ドレイン端子が電源電位  $V_{DD}$  と接続されている。また、トランジスタ  $M_3$  のソース端子は電源電位  $V_{SS}$  と接続されており、ゲート端子に固定電位  $V_{cs}$  が印加されている。また、トランジスタ  $M_3$  のドレイン端子は、トランジスタ  $M_4$  のソース端子と接続されており、この接続ノードは、帰還抵抗  $R_F$  を介してトランジスタ  $M_1$  のゲート端子と接続されており、ここから電圧信号  $V_{out}$  が得られる。

【 0 0 1 0 】

このような回路構成では、寄生容量ならびに負荷抵抗により帯域が制限される。主にソース接地回路の周波数特性がトランスインピーダンスアンプ T I A 全体の周波数特性を律

10

20

30

40

50

速する。

【0011】

上式において、入力容量  $C_{in}$  について詳細に述べると、次の式(3)に示すように、入力容量  $C_{in}$  は、フォトディテクタの寄生容量  $C_{PD}$  とソース接地回路の入力容量  $C_{inamp}$  からなる。

【数3】

$$C_{in} = C_{PD} + C_{inamp} \quad \dots(3)$$

【0012】

さらに、このソース接地回路の入力容量  $C_{inamp}$  は、ソース接地回路のソース接地トランジスタ  $M_1$  のゲート-ソース容量  $C_{gs}$ 、ゲート-ドレイン容量  $C_{gd}$ 、トランスコンダクタンス  $g_m$ 、ならびに負荷抵抗  $R_L$  から、次の式(4)のように表される。

【数4】

$$C_{inamp} = C_{gs} + (1 + g_m R_L) C_{gd} \quad \dots(4)$$

【0013】

このように、ソース接地回路では、特にゲート-ドレイン容量  $C_{gd}$  が利得  $g_m R_L$  倍されるミラー効果のため、入力容量  $C_{inamp}$  が大きくなってしまう。したがって、高速動作では、この寄生容量による帯域制限を無視できなくなるため、ソース接地回路さらにはトランスインピーダンスアンプ TIA 全体の周波数特性を改善することが困難であった。

【先行技術文献】

【特許文献】

【0014】

【特許文献1】特開2004-274463号公報

【非特許文献】

【0015】

【非特許文献1】"An 18-mW Two-Stage CMOS Transimpedance Amplifier for 10 Gb/s Optical Application", C. Y. Wang, C. S. Wang, and C. K. Wang, IEEE Asian Solid-State Circuits Conference, Tech. Dig. pp. 412-415, Nov.12-14, 2007.4

【発明の概要】

【発明が解決しようとする課題】

【0016】

このようなトランスインピーダンスアンプ TIA の周波数特性に大きな影響を及ぼす、寄生容量による帯域制限を改善する従来手段として、ソース接地回路の入力容量を低減する方法が提案されている(例えば、特許文献1など参照)。

図16は、カスコード接続回路を用いた従来トランスインピーダンスアンプの構成を示す回路図である。図16に示す従来構成では、トランスインピーダンスアンプ TIA において、ソース接地回路として、ソース接地回路にゲート接地回路を組み合わせたカスコード接続回路 51A を用いる。

【0017】

具体的には、カスコード接続回路において、トランジスタ  $M_1$  のゲート端子に、フォトディテクタ PD から電流信号  $I_{in}$  が入力されており、トランジスタ  $M_1$  のソース端子が電源電位  $V_{SS}$  と接続されている。また、トランジスタ  $M_2$  のゲート端子には、電位  $V_{bias}$  が印加されており、ドレイン端子が負荷抵抗  $R_L$  を介して電源電位  $V_{DD}$  と接続されている。また、トランジスタ  $M_2$  のソース端子は、トランジスタ  $M_1$  のドレイン端子と接続されており、トランジスタ  $M_2$  のドレイン端子には、トランジスタ  $M_4$  のゲート端子が接続されている。

【0018】

このカスコード接続回路により、ソース接地回路の負荷抵抗が小さく見えるため、前述のミラー容量を低減でき帯域制限を改善できるため広帯域化が可能である。しかしながら

10

20

30

40

50

、この構成では入力時定数を低減することによる帯域改善のみなので、十分広い帯域改善が困難であった。

【 0 0 1 9 】

さらに、帯域を改善する従来的手段として、インダクタを負荷抵抗に挿入するインダクティブピーキングが提案されている（例えば、非特許文献 1 など参照）。

図 1 7 は、インダクティブピーキングを用いた従来のトランスインピーダンスアンプの構成を示す回路図である。具体的には、前述した図 1 6 のカスコード接続回路 5 1 A のうち、負荷抵抗  $R_L$  にピーキングインダクタ  $L$  を直列に接続したものである。

これにより、高周波での負荷抵抗を補うとともに、寄生容量による帯域劣化を補うことにより帯域改善が可能である。

10

【 0 0 2 0 】

しかしながら、負荷にインダクタを挿入するインダクティブピーキングでは、高周波でインダクタンス値に応じた高いインピーダンスが得られる一方で、ピーキングは周波数に対してピーキーなため過剰ピーキングになってしまう場合がある。

また、負荷にインダクタを直列接続したインダクティブピーキング回路の負荷抵抗は、次の式 ( 5 ) のように表される。

【 数 5 】

$$Z_L = R_L + j\omega L \quad \dots(5)$$

【 0 0 2 1 】

したがって、インダクタ付与による位相回転が大きいため、群遅延特性に大きな影響を及ぼすものとなり、結果として波形特性を劣化させるという問題がある。

このように、従来のトランスインピーダンスアンプ T I A における、トランジスタならびに抵抗素子からなる技術、あるいはインダクティブピーキングを用いた技術では、さらなる広帯域化と群遅延平坦特性の両立が困難という問題があった。

20

【 0 0 2 2 】

本発明はこのような課題を解決するためのものであり、利得周波数特性の広帯域化と群遅延平坦特性とを両立させることができるトランスインピーダンスアンプを提供することを目的としている。

【 課題を解決するための手段 】

30

【 0 0 2 3 】

このような目的を達成するために、本発明にかかるトランスインピーダンスアンプは、入力された光電流信号を増幅するカスコード接続回路と、このカスコード接続回路の増幅出力を電圧信号に変換して出力するソースフォロワ回路と、これらカスコード接続回路とソースフォロワ回路との間に接続された帰還抵抗とを備えるトランスインピーダンスアンプであって、カスコード接続回路に、ソース接地トランジスタ、ゲート接地トランジスタ、および負荷抵抗と、ソース接地トランジスタのドレイン端子とゲート接地トランジスタのソース端子間に接続された第 1 のインダクタとを設けたものである。

【 0 0 2 4 】

この際、負荷抵抗として、抵抗素子と第 2 のインダクタの直列接続を用いてもよい。

40

また、負荷抵抗として、抵抗素子と第 2 のインダクタの直列接続を用い、第 2 のインダクタと第 1 のインダクタとを誘導結合させるようにしてもよい。

【 0 0 2 5 】

また、ソース接地トランジスタについて、ゲート端子に光電流信号を入力し、ソース端子を電源電位  $V_{SS}$  に接続し、ゲート接地トランジスタについて、ゲート端子にバイアス電位を印加し、ドレイン端子を負荷抵抗を介して電源電位  $V_{DD}$  に接続してもよい。

【 0 0 2 6 】

また、カスコード接続回路に、ソース接地トランジスタに代わるエミッタ接地トランジスタと、ゲート接地トランジスタに代わるベース接地トランジスタとを設け、第 1 のインダクタを、エミッタ接地トランジスタのコレクタ端子とベース接地トランジスタのエミッ

50

タ端子との間に接続してもよい。

【発明の効果】

【0027】

本発明によれば、光信号に対応した光電電流を電圧信号に変換増幅するトランスインピーダンスアンプにおいて、利得周波数特性の広帯域化と群遅延平坦化を両立させることができ、結果として、高速動作を実現することが可能となる。

特に、従来回路では利得ピーキングによる広帯域化と、群遅延特性は相反する特性であったが、本発明により群遅延特性を劣化することなく利得周波数特性の帯域が改善できるという効果が得られる。群遅延特性は、波形品質を決める重要なパラメータであるため、伝送特性品質を劣化させることなく高速動作を得るためには、極めて有効である。

10

【図面の簡単な説明】

【0028】

【図1】第1の実施の形態にかかるトランスインピーダンスアンプの構成を示す回路図である。

【図2】トランスインピーダンス利得の周波数特性図である。

【図3】トランスインピーダンス利得の群遅延特性図である。

【図4】第2の実施の形態にかかるトランスインピーダンスアンプの構成を示す回路図である。

【図5】第3の実施の形態にかかるトランスインピーダンスアンプの構成を示す回路図である。

20

【図6】第4の実施の形態にかかるトランスインピーダンスアンプの構成を示す回路図である。

【図7】一般的なトランスインピーダンスアンプの構成を示す回路図である。

【図8A】負荷抵抗を有するソース接地回路を示す回路図である。

【図8B】負荷抵抗を有するソース接地回路の小信号等価回路図である。

【図9A】負荷抵抗を有するカスコード接続回路を示す回路図である。

【図9B】負荷抵抗を有するカスコード接続回路の小信号等価回路図である。

【図10A】負荷抵抗とピーキングインダクタを有するカスコード接続回路を示す回路図である。

【図10B】負荷抵抗とピーキングインダクタを有するカスコード接続回路の小信号等価回路図である。

30

【図11A】負荷抵抗とピーキングインダクタを有するカスコード接続回路を示す回路図である。

【図11B】負荷抵抗とピーキングインダクタを有するカスコード接続回路の小信号等価回路図である。

【図12】実効的出力抵抗および負荷抵抗の比較例である。

【図13A】従来のインダクティブピーキング回路（カスコード接続回路）の利得周波数特性図ある。

【図13B】本発明による回路の利得周波数特性図である。

【図14】光通信における一般的な光/電気変換を行う光受信器の構成例である。

40

【図15】従来のトランスインピーダンスアンプの構成を示す回路図である。

【図16】カスコード接続回路を用いた従来のトランスインピーダンスアンプの構成を示す回路図である。

【図17】インダクティブピーキングを用いた従来のトランスインピーダンスアンプの構成を示す回路図である。

【発明を実施するための形態】

【0029】

[発明の原理]

まず、本発明の原理について説明する。

図7は、一般的なトランスインピーダンスアンプの構成を示す回路図である。

50

このトランスインピーダンスアンプ T I A は、光伝送方式の光 / 電気変換を行う光受信回路において、信号等化を行う増幅回路である。

光受信回路において、受光した光信号は、フォトディテクタにより電流信号  $I_{in}$  に変換されてトランスインピーダンスアンプ T I A へ入力される。トランスインピーダンスアンプ T I A は、入力された電流信号  $I_{in}$  を電圧信号  $V_{out}$  にインピーダンス変換して出力する。

【 0 0 3 0 】

図 7 において、トランスインピーダンスアンプ T I A の入出力端子間には、帰還抵抗  $R_F$  が接続されている。電流信号  $I_{in}$  は、トランスインピーダンスアンプ T I A で増幅されて電圧信号  $V_{out}$  に変換されて出力される。トランスインピーダンスアンプ T I A の入力端子には、フォトディテクタ P D ( 図示せず ) 等に起因する入力寄生容量  $C_{in}$  が存在している。

10

【 0 0 3 1 】

トランスインピーダンスアンプ T I A の帯域は、前述した通り、主に入力の時定数で制限される。トランスインピーダンスアンプ T I A のインピーダンス変換利得  $Z_i$  が  $1 / 2$  になる  $3 \text{ dB}$  帯域  $f_{3dB}$  は、次の式 ( 6 ) で表せる。

【 数 6 】

$$f_{3dB} = \frac{A_o}{2\pi R_F C_{in}} \quad \dots(6)$$

20

ここで、 $A_o$  は、トランスインピーダンスアンプのオープンループ利得である。

【 0 0 3 2 】

この式 ( 6 ) より、トランスインピーダンスアンプ T I A のオープンループ利得  $A_o$  を大きくすると、 $3 \text{ dB}$  ダウンの周波数帯域  $f_{3dB}$  も大きくできることがわかる。また、オープンループ利得  $A_o$  は、トランジスタのトランスコンダクタンス  $g_m$  と、負荷  $Z_L$  により、簡易的には、次の ( 7 ) のように表される。

【 数 7 】

$$A_o = g_m \times Z_L \quad \dots(7)$$

【 0 0 3 3 】

30

[ ソース接地回路の帯域制限 ]

次に、従来用いられるソース接地回路の帯域制限について以下に述べる。図 8 A は、負荷抵抗を有するソース接地回路を示す回路図である。図 8 B は、負荷抵抗を有するソース接地回路の小信号等価回路図である。

図 8 A に示すように、このソース接地回路において、トランジスタ  $M_1$  のゲート端子には、電流信号  $I_{in}$  が入力されており、ソース端子が接地電位に接続されている。また、トランジスタ  $M_1$  のドレイン端子が、負荷抵抗  $R_L$  を介して電源電位  $V_{DD}$  に接続されており、トランジスタ  $M_1$  のドレイン端子から電圧信号  $V_{out}$  が得られる。

【 0 0 3 4 】

図 8 B において、 $C_{gs}$  はトランジスタ  $M_1$  のゲート - ソース間容量、 $C_{gd}$  はゲート - ドレイン容量、 $g_m$  はトランスコンダクタンス、 $r_o$  は出力抵抗である。

40

ソース接地回路のオープンループ利得  $A_o$  は、入力信号を  $v_i$ 、出力信号を  $v_o$  として、次の式 ( 8 ) のように表される。

【 数 8 】

$$A_o = \frac{v_o}{v_i} = \frac{g_m R_L}{1 + j\omega / \omega_i} \quad \dots(8)$$

【 0 0 3 5 】

ここで、このソース接地回路に関する帯域制限要因である入力容量  $1 / \omega_i$  は、次の式 ( 9 ) となる。

50

【数 9】

$$\begin{aligned} 1/\omega_i &= C_{gs} + (1 + g_m R_{oeff}) C_{gd} \\ &= C_{gs} + (1 + g_m R_L) C_{gd} \quad \dots(9) \end{aligned}$$

なお、 $R_{oeff}$  は、実効的な出力抵抗であり、一般に  $r_o \ll R_L$  なので、式(9)となる。

【0036】

この式(9)からわかるように、一般的なソース接地回路では、ソース接地トランジスタの入力容量により帯域が制限されるため、広帯域化が課題となる。

10

【0037】

[カスコード接続回路の広帯域化]

次に、従来用いられるソース接地回路とゲート接地回路を組み合わせたカスコード接続回路の帯域制限について以下に述べる。

図9Aは、負荷抵抗を有するカスコード接続回路を示す回路図である。図9Bは、負荷抵抗を有するカスコード接続回路の小信号等価回路図である。

【0038】

図9Aに示すように、このカスコード接続回路では、図8Aのソース接地回路のうち、トランジスタ $M_1$ のドレイン端子と負荷抵抗 $R_L$ との間に、ゲート端子に電位 $V_{bias}$ が印加されたトランジスタ $M_2$ からなるゲート接地回路が追加されている。

20

【0039】

また、図9Bにおいて、 $C_{gs1}$ はソース接地トランジスタのゲート-ソース間容量、 $C_{gd1}$ はソース接地トランジスタのゲート-ドレイン容量、 $g_{m1}$ はソース接地トランジスタのトランスコンダクタンス、 $r_{o1}$ はソース接地トランジスタの出力抵抗である。さらに、 $C_{gs2}$ はゲート接地トランジスタのゲート-ソース間容量、 $C_{gd2}$ はゲート接地トランジスタのゲート-ドレイン容量、 $g_{m2}$ はゲート接地トランジスタのトランスコンダクタンス、 $r_{o2}$ はゲート接地トランジスタの出力抵抗である。

【0040】

このカスコード接続回路に関する帯域制限要因である入力容量 $1/\omega_i$ は、次の(10)のように表される。

30

【数 10】

$$\begin{aligned} 1/\omega_i &= C_{gs1} + (1 + g_{m1} R_{oeff}) C_{gd1} \\ &= C_{gs1} + \left( 1 + \frac{g_{m1}}{g_{m2}} \right) C_{gd1} \quad \dots(10) \end{aligned}$$

この式(10)からわかるように、カスコード接続回路では、ソース接地回路から見た実効的な負荷抵抗が $1/g_{m2}$ と小さいため、ミラー効果による入力容量を低く抑えられるため広帯域化が可能となる。

40

【0041】

[インダクティブピーキングを用いた帯域制限]

次に、カスコード接続回路の負荷にインダクティブピーキングを用いた場合の帯域制限について以下に述べる。

図10Aは、負荷抵抗とピーキングインダクタを有するカスコード接続回路を示す回路図である。図10Bは、負荷抵抗とピーキングインダクタを有するカスコード接続回路の小信号等価回路図である。

【0042】

図10Aに示すように、このカスコード接続回路では、図9Aのソース接地回路のうち、負荷抵抗 $R_L$ にピーキングインダクタ $L$ が直列に追加されている。

50

## 【 0 0 4 3 】

このカスコード接続回路に関する帯域制限要因である入力容量  $1/\omega_i$  は、次の ( 1 1 ) のように表される。

## 【数 1 1】

$$1/\omega_i = C_{gs1} + (1 + g_{m1}R_{oeff})C_{gd1} \quad \dots(11)$$

## 【 0 0 4 4 】

また、実効的な出力抵抗  $R_{oeff}$  は、次の式 ( 1 2 ) となる。

## 【数 1 2】

$$R_{oeff} = \frac{rr(R_L + j\omega L)}{R_L + rr + j\omega L} \quad \dots(12)$$

10

## 【 0 0 4 5 】

ここで、 $rr = 1/g_{m2} + r_{o1}$  である。また、実効的負荷抵抗  $R_{Leff}$  は、次の式 ( 1 3 ) となる。

## 【数 1 3】

$$R_{Leff} = \frac{R_L + j\omega L}{(R_L + j\omega L)/rr + 1} \quad \dots(13)$$

20

## 【 0 0 4 6 】

さらに、一般には、 $R_L \ll rr$  であることから、実効的負荷抵抗  $R_{Leff}$  は、次の式 ( 1 4 ) と表される。

## 【数 1 4】

$$R_{Leff} = R_L + j\omega L \quad \dots(14)$$

## 【 0 0 4 7 】

周波数が高くなるとインダクタ  $L$  により、高周波でインピーダンスが高くなるため、入力時定数による帯域劣化を補い広帯域化が可能になる。しかしながら、上式に示すとおり実効的負荷抵抗  $R_{Leff}$  の複素項は、 $L$  のため帯域補償は可能であるが、周波数に対する位相変化が大きいという問題があった。

30

## 【 0 0 4 8 】

[ 本発明にかかるカスコード接続回路の帯域制限 ]

本発明にかかる、インダクティブピーキングを具備するカスコード接続回路の帯域制限について以下に述べる。

図 1 1 A は、負荷抵抗とピーキングインダクタを有するカスコード接続回路を示す回路図である。図 1 1 B は、負荷抵抗とピーキングインダクタを有するカスコード接続回路の小信号等価回路図である。

40

## 【 0 0 4 9 】

図 1 1 A において、このカスコード接続回路では、図 9 A のソース接地回路のうち、ソース接地トランジスタ  $M_1$  とゲート接地トランジスタ  $M_2$  との間に、ピーキングインダクタ  $L_1$  が直列に追加されている。

## 【 0 0 5 0 】

このカスコード接続回路に関する帯域制限要因である入力容量  $1/\omega_i$  は、次の ( 1 5 ) のように表される。

## 【数 1 5】

$$1/\omega_i = C_{gs1} + (1 + g_{m1}R_{oeff})C_{gd1} \quad \dots(15)$$

50

【 0 0 5 1 】

また、実効的な出力抵抗  $R_{o\text{eff}}$  は、次の式 ( 1 6 ) となる。

【 数 1 6 】

$$R_{o\text{eff}} = \frac{rr(R_L + j\omega L_1(R_L / rr))}{R_L + rr + j\omega L_1} \quad \dots(16)$$

【 0 0 5 2 】

ここで、一般には、 $R_L \ll rr$  であることから、前述した図 1 0 A に示す負荷インダクタンス  $L_1$  を用いたカスコード接続回路に比べ、実効的な出力抵抗  $R_{o\text{eff}}$  が小さい値になることが分かる。すなわち、ミラー効果による入力容量が小さいので、より広帯域化が可能である。

10

【 0 0 5 3 】

一方、実効的な負荷抵抗  $R_{L\text{eff}}$  は、次の式 ( 1 7 ) と表される。

【 数 1 7 】

$$R_{L\text{eff}} = \frac{R_L + j\omega L_1(R_L / rr)}{(R_L + j\omega L_1) / rr + 1} \quad \dots(17)$$

一般には、 $R_L \ll rr$  なので、インダクティブピーキングの効果を低く抑えることができる。

20

【 0 0 5 4 】

[ 実効的な出力抵抗および負荷抵抗の比較 ]

図 1 2 は、実効的な出力抵抗および負荷抵抗の比較例である。ここでは、従来のソース接地回路、従来のカスコード接続回路、従来のインダクティブピーキング回路、ならびに本発明にかかるカスコード接続回路について、実効的な出力抵抗  $R_{o\text{eff}}$  および実効的な負荷抵抗  $R_{L\text{eff}}$  を比較して示した。

【 0 0 5 5 】

図 1 3 A は、従来のインダクティブピーキング回路 ( カスコード接続回路 ) の利得周波数特性図であり、利得周波数特性 3 1 は回路全体、利得周波数特性 3 1 R は実数部、利得周波数特性 3 1 I は虚数部を示している。

30

図 1 3 A に示した従来構成のピーキング回路では、実数部の広帯域側での落ち込みを、虚数部 ( インダクタンス )  $L$  による高周波での利得補償により帯域を改善している。

【 0 0 5 6 】

図 1 3 B は、本発明による回路の利得周波数特性図であり、利得周波数特性 3 2 は回路全体、利得周波数特性 3 2 R は実数部、利得周波数特性 3 2 I は虚数部を示している。

本発明による回路では、第 1 のインダクタ  $L_1$  を用いることによりミラー容量の低減による入力容量の低減と、出力負荷抵抗の周波数補償の二つの効果により帯域の改善が可能である。

【 0 0 5 7 】

特に、従来のインダクティブピーキング回路に比べ、図 1 2 の実効的な負荷抵抗  $R_{L\text{eff}}$  の比較からわかるように分子の複素項は  $L_1 ( R_L / rr )$  が得られている。また、一般には、 $R_L \ll rr$  なので、 $L_1 ( R_L / rr ) < L$  と、従来技術に比べ低くできる。このため、例えば図 1 3 A および図 1 3 B のうち同一周波数  $f$  より高周波側の領域に示されているように、周波数に対する位相変化を低く抑えられ高周波に至るまで一定の特性が得られる。したがって、本発明によれば周波数応答に対して、利得帯域内で高周波まで平坦な群遅延特性が得られる。

40

【 0 0 5 8 】

[ 誘導結合性インダクタによる広帯域化 ]

次に、誘導結合性を有するインダクタを用いたトランスインピーダンスアンプにおける広帯域化について以下に述べる。

50

本発明において、負荷抵抗にピーキングインダクタ  $L_2$  を加えるとともに、第 1 のインダクタ  $L_1$  との誘導結合を構成することにより、さらに高い帯域改善効果が得られる。

【0059】

インダクタは巻線から形成されているため、巻線に流れる電流が変化すると、巻線を貫く磁束が変化し、その磁束によって磁束の変化を打ち消す方向に誘導起電力が発生する。 $L$  を自己インダクタンス、 $I$  をインダクタに流れる電流とすると、誘導起電力  $e$  の大きさは次の式 (18) のようになる。

【数 18】

$$e = -L \frac{dI}{dt} \quad \dots(18)$$

10

【0060】

磁氣的に結合された 2 つの巻線の一方の電流  $I_1$  を変化させると、もう一方の巻線に誘導起電力が生じる。その大きさ  $e_2$  は、次の式 (19) のようになる。

【数 19】

$$e_2 = -M \frac{dI_1}{dt} \quad \dots(19)$$

【0061】

また、相互インダクタンス  $M$  は、次の式 (20) で表される。

【数 20】

$$M = k \sqrt{L_1 \times L_2} \quad \dots(20)$$

20

ここで、 $k$  は結合係数、 $L_1$  は第 1 のインダクタ  $L_1$  の自己インダクタンス、 $L_2$  は第 2 のインダクタ  $L_2$  の自己インダクタンスである。

【0062】

上記誘導結合性インダクタを用いることにより、下記に示すようにトランスインピーダンスアンプの周波数特性を改善できる。誘導結合インダクタを用いた場合、実効的な負荷抵抗は概略、次の式 (21) のようになる。

【数 21】

$$R_{Leff} = R_L + j\omega(L_L + kM) \quad \dots(21)$$

30

【0063】

上式で示すように負荷インダクタンス  $L_L$  に  $kM$  が加算されるため高周波で、実効的な負荷抵抗  $R_{Leff}$  は大きくなる。したがって、高周波でトランスインピーダンスアンプの開ループ利得が大きくなり、入力インピーダンスを低減できるため、トランスインピーダンスアンプの帯域向上効果が得られる。すなわち、誘導電流が流れてそれぞれのインダクタ  $L_1$ 、 $L_2$  の動作電流を補助する役割を果たし、それぞれのインダクタ  $L_1$ 、 $L_2$  が独立して従来のインダクティブピーキングよりも高い帯域改善の効果を得ることができる。さらに、結合のあるインダクタは従来のインダクタ 1 個分の面積内に複数のインダクタを構成することができるため、面積が増加することなく効果を上げることができる。これにより、低コストで高速動作可能なトランスインピーダンスアンプを実現することができる。

40

【0064】

[ 第 1 の実施の形態 ]

次に、図 1 を参照して、第 1 の実施の形態にかかるトランスインピーダンスアンプ 10 について説明する。図 1 は、第 1 の実施の形態にかかるトランスインピーダンスアンプの構成を示す回路図である。

【0065】

50

このトランスインピーダンスアンプ 10 は、入力された光電流信号  $I_{in}$  を増幅するカスコード接続回路 11 と、このカスコード接続回路 11 の増幅出力を電圧信号  $V_{out}$  に変換して出力するソースフォロワ回路 12 と、これらカスコード接続回路 11 とソースフォロワ回路 12 との間に接続された帰還抵抗  $R_F$  とを備えている。

【0066】

本実施の形態では、カスコード接続回路 11 を、ソース接地トランジスタ  $M_1$ 、ゲート接地トランジスタ  $M_2$ 、および負荷抵抗  $R_L$  から構成し、ソース接地トランジスタ  $M_1$  のドレイン端子とゲート接地トランジスタ  $M_2$  のソース端子間に、第 1 のインダクタ  $L_1$  を接続したものである。

より具体的には、カスコード接続回路 11 において、ソース接地トランジスタ  $M_1$  は、ゲート端子に光電流信号が入力され、ソース端子が電源電位  $V_{SS}$  ( $V_{SS} < V_{DD}$ ) に接続されている。また、ゲート接地トランジスタ  $M_2$  は、ゲート端子に一定のバイアス電位  $V_{bias}$  ( $V_{SS} < V_{bias} < V_{DD}$ ) が印加されており、ドレイン端子が負荷抵抗を介して電源電位  $V_{DD}$  に接続されている。

10

【0067】

また、ソースフォロワ回路 12 において、トランジスタ  $M_4$  のゲート端子がソース接地トランジスタ  $M_1$  のドレイン端子と接続されており、ドレイン端子が電源電位  $V_{DD}$  と接続されている。また、トランジスタ  $M_3$  のソース端子は電源電位  $V_{SS}$  と接続されており、ゲート端子に固定電位  $V_{cs}$  ( $V_{SS} < V_{cs} < V_{DD}$ ) が印加されている。また、トランジスタ  $M_3$  のドレイン端子は、トランジスタ  $M_4$  のソース端子と接続されており、この接続ノードは、帰還抵抗  $R_F$  を介してソース接地トランジスタ  $M_1$  のゲート端子と接続されており、ここから電圧信号  $V_{out}$  が得られる。

20

【0068】

図 2 は、トランスインピーダンス利得の周波数特性図である。図 3 は、トランスインピーダンス利得の群遅延特性図である。これら図 2 および図 3 のうち、特性 20 は図 1 に示した本発明による回路を用いたシミュレーション結果、特性 21 は図 9 A に示す従来のピーキング無し回路を用いたシミュレーション結果、特性 22 は図 9 A に示す従来のピーキング回路を用いたシミュレーション結果を示している。

【0069】

図 2 および図 3 によれば、ピーキング無しの回路に比べて、従来のピーキング回路では利得周波数特性において、高周波で利得ピークを持ち帯域が向上していることがわかる。しかしながら、利得周波数特性は利得ピークを持ち、さらに群遅延特性はピーキング無しの回路に比べ大きく群遅延が変動していることがわかる。すなわち、利得周波数特性は改善されるが、位相回転が大きく不安定動作になりやすいという問題点があった。

30

【0070】

これに対し、本発明によれば、図 2 および図 3 に示すように、利得周波数特性は従来のピーキング無し回路に対し改善しており、さらに群遅延特性も帯域内で平坦な安定した特性が得られていることが確認できる。すなわち、高周波まで安定に動作可能である。

したがって、本発明によれば、利得周波数特性の広帯域化と群遅延平坦化とを両立させることができ、結果として、高速動作を実現することが可能となる。

40

【0071】

[第 2 の実施の形態]

次に、図 4 を参照して、本発明の第 2 の実施の形態にかかるトランスインピーダンスアンプについて説明する。図 4 は、第 2 の実施の形態にかかるトランスインピーダンスアンプの構成を示す回路図である。

【0072】

第 1 の実施の形態と比較して、本実施の形態では、負荷抵抗  $R_L$  に、第 2 のインダクタ  $L_2$  を直列接続したものである。

【0073】

本実施の形態によれば、第 1 の実施の形態に比べて、高周波で実効的な負荷抵抗  $R_{Leff}$

50

を大きくできる。このため、高周波でトランスインピーダンスアンプの開ループ利得が大きくでき、入力インピーダンスを低減できるため、トランスインピーダンスアンプの帯域向上効果が得られる。

また、本実施の形態によれば、従来の負荷抵抗のみのピーキングに比べ、負荷抵抗のインダクティブピーキング量を低く抑えられるので、より広帯域な特性と群遅延特性の平坦性の両立可能となる。

【 0 0 7 4 】

[ 第 3 の実施の形態 ]

次に、図 5 を参照して、本発明の第 3 の実施の形態にかかるトランスインピーダンスアンプについて説明する。図 5 は、第 3 の実施の形態にかかるトランスインピーダンスアンプの構成を示す回路図である。

10

【 0 0 7 5 】

第 2 の実施の形態と比較して、本実施の形態では、第 2 のインダクタ  $L_2$  を、上記第 1 のインダクタ  $L_1$  との間で、誘導係数  $k$  で誘導結合させている。

【 0 0 7 6 】

前述した式 ( 2 1 ) のように、負荷インダクタンス  $L_L$  に誘導性インダクタンス  $k M$  が加算されるため高周波で、実効的な負荷抵抗  $R_{L_{eff}}$  は大きくなる。したがって、本実施の形態によれば、高周波でトランスインピーダンスアンプの開ループ利得が大きくでき、入力インピーダンスを低減できるため、トランスインピーダンスアンプの帯域向上効果が得られる。

20

また、本実施の形態によれば、結合のあるインダクタは、従来のインダクタ 1 個分の面積内に複数のインダクタを構成することができるため、面積増加なく効果を上げることができる。

【 0 0 7 7 】

[ 第 4 の実施の形態 ]

次に、図 6 を参照して、本発明の第 4 の実施の形態にかかるトランスインピーダンスアンプについて説明する。図 6 は、第 4 の実施の形態にかかるトランスインピーダンスアンプの構成を示す回路図である。

【 0 0 7 8 】

第 1 の実施の形態と比較して、本実施の形態では、電界効果型トランジスタ ( 以下、FET と称す ) に代えて、バイポーラトランジスタが用いられている。

30

【 0 0 7 9 】

すなわち、トランスインピーダンスアンプ 10 は、負荷抵抗  $R_L$  と、トランジスタ ( バイポーラ )  $M_1$  ,  $M_2$  からなるカスコード接続回路と、トランジスタ ( バイポーラ )  $M_3$  ,  $M_4$  からなるエミッタフォロワ回路 ( コレクタ接地回路 ) と、帰還抵抗  $R_F$  とから構成されている。

本実施の形態では、カスコード接続を構成するトランジスタ  $M_1$  のコレクタ端子と、トランジスタ  $M_2$  のエミッタ端子間にインダクタ  $L_1$  を接続したものである。

【 0 0 8 0 】

このように、FET に代えてバイポーラトランジスタを用いた場合でも、前述と同様の作用効果が得られる。

40

なお、本実施の形態では、第 1 の実施の形態に適用した場合を例として説明したが、第 2 の実施の形態や第 3 の実施の形態に対しても同様に適用でき、同様の作用効果が得られる。

【 0 0 8 1 】

[ 実施の形態の拡張 ]

以上、実施形態を参照して本発明を説明したが、本発明は上記実施形態に限定されるものではない。本発明の構成や詳細には、本発明のスコープ内で当業者が理解しうる様々な変更をすることができる。また、各実施形態については、矛盾しない範囲で任意に組み合わせ実施することができる。

50

【産業上の利用可能性】

【0082】

本発明にかかるトランスインピーダンスアンプ(TIA)は、光基幹伝送システム、光アクセスシステム、光インターコネクション等の各種光伝送システムに用いられる光受信用IC、ならびにこれを用いた高速光受信モジュール、光送受信トランシーバなどに光受信回路として適用される。

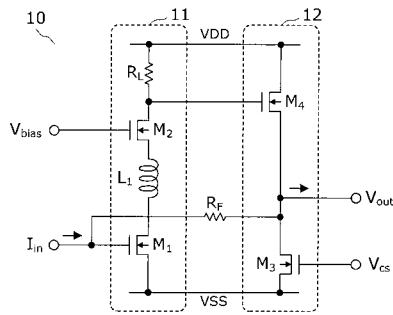
【符号の説明】

【0083】

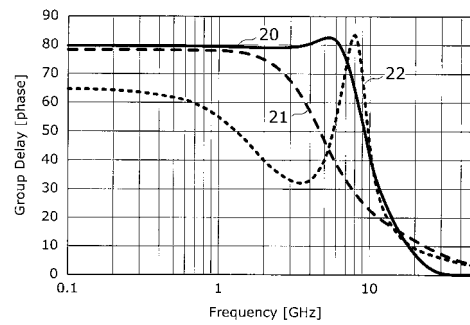
100...トランスインピーダンスアンプ(TIA)、11...カスコード接続回路、12...ソースフォロワ回路、M<sub>1</sub>...ソース接地トランジスタ、M<sub>2</sub>...ゲート接地トランジスタ、R<sub>L</sub>...負荷抵抗、L<sub>1</sub>...第1のインダクタ、L<sub>2</sub>...第2のインダクタ、R<sub>F</sub>...帰還抵抗、V<sub>D</sub>D...電源電位、V<sub>S</sub>S...電源電位、V<sub>bi</sub>as...バイアス電位、V<sub>c</sub>s...固定電位。

10

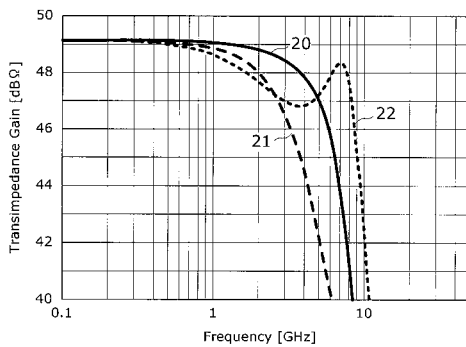
【図1】



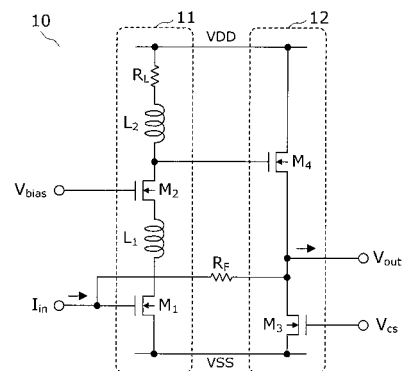
【図3】



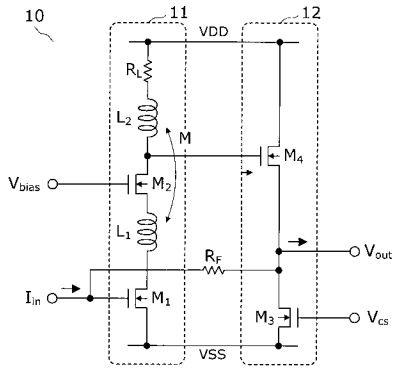
【図2】



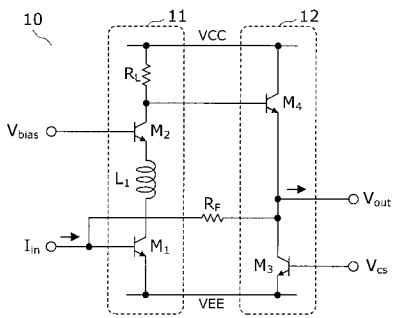
【図4】



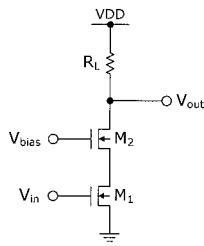
【 図 5 】



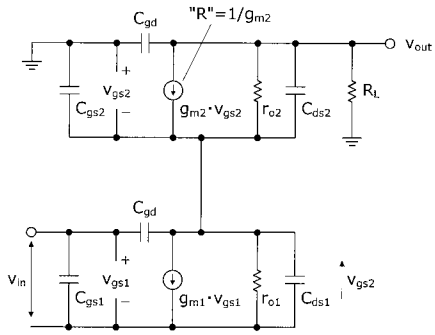
【 図 6 】



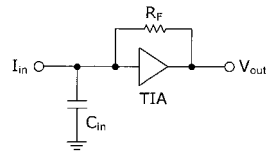
【 図 9 A 】



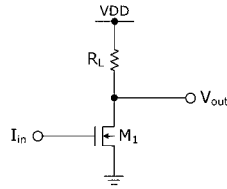
【 図 9 B 】



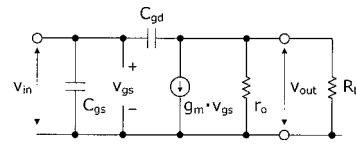
【 図 7 】



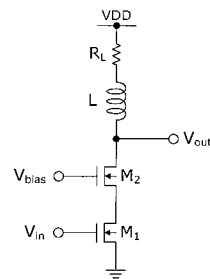
【 図 8 A 】



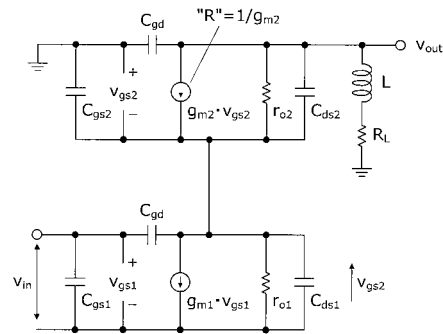
【 図 8 B 】



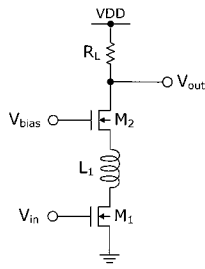
【 図 10 A 】



【 図 10 B 】



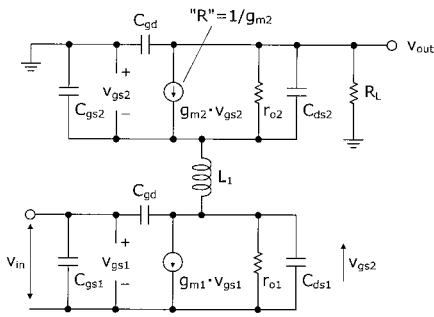
【図 1 1 A】



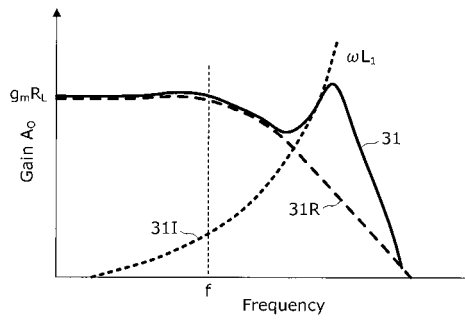
【図 1 2】

	$R_{\text{eff}}$	$R_{\text{Leff}}$
ソース接地回路	$R_{\text{Leff}0} = R_L$	$R_{\text{Leff}0} = R_L$
カスコード接続回路	$R_{\text{Leff}1} = 1/g_{m2}$	$R_{\text{Leff}1} = R_L r r / (R_L + r r)$
カスコード接続回路 (負荷ピーキング)	$R_{\text{Leff}2} = \frac{r r (R_L + j \omega L)}{R_L + r r + j \omega L}$	$R_{\text{Leff}2} = \frac{R_L + j \omega L}{(R_L + j \omega L) / r r + 1}$
カスコード接続回路 (本発明回路)	$R_{\text{Leff}3} = \frac{r r (R_L + j \omega L (R_L / r r))}{R_L + r r + j \omega L}$	$R_{\text{Leff}3} = \frac{R_L + j \omega L (R_L / r r)}{(R_L + j \omega L) / r r + 1}$

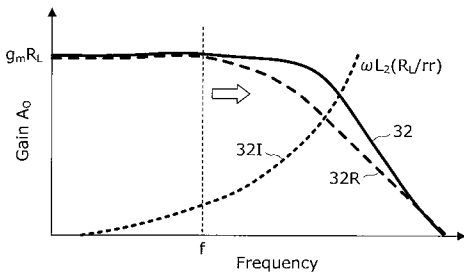
【図 1 1 B】



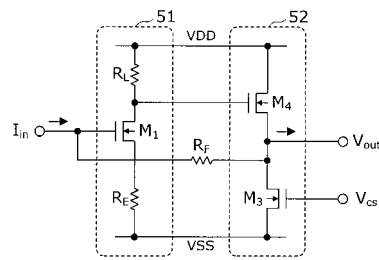
【図 1 3 A】



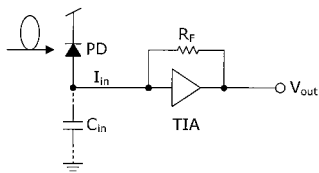
【図 1 3 B】



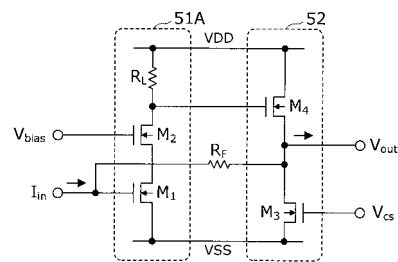
【図 1 5】



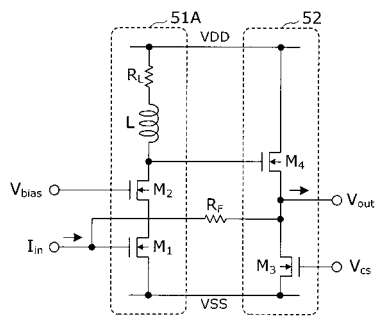
【図 1 4】



【図 1 6】



【 図 17 】



---

フロントページの続き

(72)発明者 小野寺 秀俊

京都府京都市左京区吉田本町 国立大学法人京都大学大学院情報学研究科内

(72)発明者 土谷 亮

京都府京都市左京区吉田本町 国立大学法人京都大学大学院情報学研究科内

Fターム(参考) 5J500 AA01 AA11 AA13 AA56 AC54 AC62 AC64 AF17 AH02 AH10  
AH25 AH33 AH44 AK12 AK27 AM01 AM02 AM04 AM13 AM17  
AS01 AS13 AT01 LU01 LV07 ND01 NM02