(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第6228332号
(P6228332)

(45)発行日　平成29年11月8日(2017.11.8)　(24)登録日　平成29年10月20日(2017.10.20)

(51)Int.Cl.		F I		
G09F 9/30	(2006.01)	G09F	9/30	338
H01L 51/50	(2006.01)	G09F	9/30	365
H05B 33/14	(2006.01)	H05B	33/14	A
H05B 33/02	(2006.01)	H05B	33/14	Z
G02F 1/1368	(2006.01)	H05B	33/02	

請求項の数 2　(全 32 頁)　最終頁に続く

(21)出願番号　特願2017-44737(P2017-44737)
(22)出願日　平成29年3月9日(2017.3.9)
(62)分割の表示　特願2016-4017(P2016-4017)の分割
原出願日　平成19年7月19日(2007.7.19)
(65)公開番号　特開2017-146605(P2017-146605A)
(43)公開日　平成29年8月24日(2017.8.24)
審査請求日　平成29年4月3日(2017.4.3)
(31)優先権主張番号　特願2006-199292(P2006-199292)
(32)優先日　平成18年7月21日(2006.7.21)
(33)優先権主張国　日本国(JP)

早期審査対象出願

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　加藤　瑞季
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

審査官　小野　博之

最終頁に続く

(54)【発明の名称】表示装置

(57)【特許請求の範囲】
【請求項１】
第１のトランジスタと、第２のトランジスタと、第１の配線と、第２の配線と、ＥＬ素子と、を有する表示装置であって、
前記第１の配線は、前記第１のトランジスタのソース又はドレインの一方と電気的に接続され、
前記第２の配線は、前記第２のトランジスタのソース又はドレインの一方と電気的に接続され、
前記ＥＬ素子は、前記第１のトランジスタのソース又はドレインの他方と電気的に接続され、
前記第１のトランジスタのチャネル形成領域は、第１の方向に沿ってキャリアが流れる領域を有し、
前記第１のトランジスタのチャネル形成領域を有する半導体層は、折れ曲がった形状を有し、
前記第１の配線は、前記第１のトランジスタを介して前記ＥＬ素子に流れる電流を伝達する機能を有し、
前記第１の配線は、前記半導体層と重なる領域を有し、
前記第１の配線は、前記第１の方向と交差する方向に沿った長尺を有する形状を有し、
前記第２のトランジスタは、前記第２の配線の信号を前記第１のトランジスタに供給する機能を有し、

前記第２の配線は、前記半導体層と重なる領域を有し、
前記第１のトランジスタのチャネル形成領域は、結晶性珪素を有し、
前記第２のトランジスタのチャネル形成領域は、結晶性珪素を有することを特徴とする表示装置。
【請求項２】
第１のトランジスタと、第２のトランジスタと、第１の配線と、第２の配線と、ＥＬ素子と、を有する表示装置であって、
前記第１の配線は、前記第１のトランジスタのソース又はドレインの一方と電気的に接続され、
前記第２の配線は、前記第２のトランジスタのソース又はドレインの一方と電気的に接続され、
前記ＥＬ素子は、前記第１のトランジスタのソース又はドレインの他方と電気的に接続され、
前記第１のトランジスタのチャネル形成領域は、第１の方向に沿ってキャリアが流れる領域を有し、
前記第１のトランジスタのチャネル形成領域を有する半導体層は、折れ曲がった形状を有し、
前記第１の配線は、前記第１のトランジスタを介して前記ＥＬ素子に流れる電流を伝達する機能を有し、
前記第１の配線は、前記半導体層と重なる領域を有し、
前記第１の配線は、前記第１の方向と交差する方向に沿った長尺を有する形状を有し、
前記第２のトランジスタは、前記第２の配線の信号を前記第１のトランジスタに供給する機能を有し、
前記第２の配線は、前記半導体層と重なる領域を有し、
前記第２の配線は、前記第１の方向と交差する方向に沿った長尺を有する形状を有し、
前記第１のトランジスタのチャネル形成領域は、結晶性珪素を有し、
前記第２のトランジスタのチャネル形成領域は、結晶性珪素を有することを特徴とする表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、アクティブマトリクス型の表示装置、及びマトリクス状に素子が配置された半導体装置に関する。
【背景技術】
【０００２】
従来より、画像表示装置として、液晶表示装置、エレクトロルミネッセンス（ＥｌｅｃｔｒｏＬｕｍｉｎｅｓｃｅｎｃｅ：以下「ＥＬ」という。）表示装置等が知られている。これらの表示装置の型式としては、パッシブマトリクス型とアクティブマトリクス型とがある。そして、アクティブマトリクス型表示装置は、画素数が増加した場合であっても高速な動作が可能であるという特徴を有する。
【０００３】
アクティブマトリクス型表示装置は、ＴＦＴ、容量素子、配線、画素電極等を同一基板上に形成するので開口率が減少してしまいやすい。そのため、これらの材料、形状、数、又は配置等の設計を工夫することによって、開口率を上げる試みがなされている。例えば、特許文献１においては、比誘電率の高い酸化タンタルを容量素子の誘電体として利用することにより、容量素子の小面積化を図る方法が開示されている。
【先行技術文献】
【特許文献】
【０００４】
【特許文献１】特開平１１－３１２８０８号公報

【発明の概要】
【発明が解決しようとする課題】
【０００５】
一方、開口率を上げる為、比誘電率の高い材料を容量素子に使用する方法は、工程数の増加につながるという問題がある。
【０００６】
ここで、工程数を増加させないで開口率を上げる為には開口部の面積を大きくすればよい。しかし、開口部の面積を大きくするために配線の間に開口部を設けようとすると、開口部の形状は複雑な形状となる。そして、ＥＬ表示装置において、開口部の形状を複雑な形状とすると、開口部のエッジ（端部）の長さが大きくなってしまう為、ＥＬ発光部のシュリンクが助長されてしまうという問題が生じてしまう。
【０００７】
ここで、ＥＬ発光部のシュリンクとは、ＥＬ層が物理的に収縮することではなく、ＥＬ素子の有効面積（ＥＬ素子が発光している部分の面積）が、端部より徐々に収縮していく状態をいう。
【０００８】
また、表示装置以外の半導体装置（例えばＤＲＡＭ等）においても、トランジスタと接続される素子の面積を大きくすることは好ましいことである。
【０００９】
そこで、本発明は、開口率の高い表示装置（又は素子の面積の大きい半導体装置）を提供することを課題とする。
【課題を解決するための手段】
【００１０】
本明細書において、ＴＦＴのチャネル形成領域とは、ゲート電極の下にゲート絶縁膜を介して配置された半導体領域をいう。また、チャネル長とは、チャネル形成領域におけるキャリアが流れる方向の長さをいう。そして、チャネル幅とは、チャネル長方向と垂直方向のチャネル形成領域の長さをいう。
【００１１】
なお、マルチゲート構造のＴＦＴの場合、チャネル長及びチャネル幅は、一つのチャネル形成領域ごとの寸法をいうものとする。
【００１２】
また、マルチゲート構造とは、一つのＴＦＴに複数のチャネル形成領域を設けた構造である。一方、シングルゲート構造とは、一つのＴＦＴに一つのチャネル形成領域を設けた構造である。
【００１３】
そして、本発明の表示装置は、隣接する画素電極の間に設けられた配線と、薄膜トランジスタと、を有し、前記薄膜トランジスタのチャネル形成領域は、前記配線の下方に設けられており、前記チャネル形成領域は前記配線と重なる位置に設けられており、前記チャネル形成領域のチャネル幅の方向は、前記配線における電流の流れる方向と平行な方向であることを特徴とする。
【００１４】
本発明の表示装置は、隣接する画素電極の間に設けられた配線と、複数のチャネル形成領域を有する薄膜トランジスタと、を有し、前記複数のチャネル形成領域は、前記配線の下方に設けられており、前記複数のチャネル形成領域は前記配線と重なる位置に設けられており、前記複数のチャネル形成領域のチャネル幅の方向は、前記配線における電流の流れる方向と平行な方向であることを特徴とする。
【００１５】
本発明の表示装置は、隣接する画素電極の間に設けられた配線と、薄膜トランジスタと、を有し、前記薄膜トランジスタのチャネル形成領域は、前記配線の下方に設けられており、前記チャネル形成領域は前記配線と重なる位置に設けられており、前記チャネル形成領

域のチャネル幅の方向は、前記配線の形状における長尺方向と平行な方向であることを特徴とする。

【００１６】

本発明の表示装置は、隣接する画素電極の間に設けられた配線と、複数のチャネル形成領域を有する薄膜トランジスタと、を有し、前記複数のチャネル形成領域は、前記配線の下方に設けられており、前記複数のチャネル形成領域は前記配線と重なる位置に設けられており、前記複数のチャネル形成領域のチャネル幅の方向は、前記配線の形状における長尺方向と平行な方向であることを特徴とする。

【００１７】

本発明の表示装置は、隣接する画素電極の間に設けられた配線と、薄膜トランジスタと、を有し、前記薄膜トランジスタのチャネル形成領域は、前記配線の下方に設けられており、前記チャネル形成領域は前記配線と重なる位置に設けられており、前記チャネル形成領域のチャネル幅の方向は、前記画素電極の形状における長尺方向と平行な方向であることを特徴とする。

【００１８】

本発明の表示装置は、隣接する画素電極の間に設けられた配線と、複数のチャネル形成領域を有する薄膜トランジスタと、を有し、前記複数のチャネル形成領域は、前記配線の下方に設けられており、前記複数のチャネル形成領域は前記配線と重なる位置に設けられており、前記複数のチャネル形成領域のチャネル幅の方向は、前記画素電極の形状における長尺方向と平行な方向であることを特徴とする。

【００１９】

本発明の表示装置において、前記薄膜トランジスタは、線形領域で動作することを特徴とする。

【００２０】

トランジスタのゲートとソースの間の電圧をＶｇｓ、トランジスタのソースとドレインの間の電圧をＶｄｓ、トランジスタの閾値電圧をＶｔｈ、とする。この場合、線形領域は、｜Ｖｇｓ－Ｖｔｈ｜＞｜Ｖｄｓ｜の関係式が成り立つ範囲をいう。

【００２１】

即ち、前記薄膜トランジスタは、ゲートとソースの間電圧（Ｖｇｓ）が、ソースとドレインの間電圧（Ｖｄｓ）よりもしきい値電圧（Ｖｔｈ）分以上大きい範囲で動作することを特徴とする。

【００２２】

本発明の表示装置において、前記チャネル形成領域のチャネル幅の長さは、前記チャネル形成領域のチャネル長の長さよりも大きいことを特徴とする。

【００２３】

本発明の表示装置において、前記チャネル形成領域同士を接続する不純物領域の形状における長尺方向は、チャネル幅の方向と平行な方向であることを特徴とする。

【００２４】

本発明の表示装置において、前記チャネル形成領域は、非晶質半導体又は多結晶半導体であることを特徴とする。

【００２５】

本発明の表示装置において、前記チャネル形成領域は単結晶であることを特徴とする。

【００２６】

本発明の表示装置において、前記薄膜トランジスタは、島状半導体層と、ゲート絶縁膜と、ゲート電極と、を有し、前記島状半導体層は、前記複数のチャネル形成領域と、複数の不純物領域と、を有し、前記複数のチャネル形成領域上には、ゲート絶縁膜を介してゲート電極が形成されていることを特徴とする。

【００２７】

本発明の表示装置において、前記配線は、層間絶縁膜を介して前記ゲート電極上に形成されていることを特徴とする。

【００２８】
本発明の表示装置において、前記島状半導体層と、前記島状半導体層上の前記ゲート絶縁膜と、前記ゲート絶縁膜上の前記ゲート電極と、からなる第１の容量と、前記ゲート電極と、前記ゲート電極上の層間絶縁膜と、前記層間絶縁膜上の前記配線と、からなる第２の容量が形成されていることを特徴とする。
【００２９】
本発明の表示装置において、前記ゲート電極の形状における長尺方向は、前記チャネル幅の方向であることを特徴とする。
【００３０】
本発明の表示装置において、前記配線は前記画素電極の端部を覆って形成された隔壁（絶縁物）の下方に形成されていることを特徴とする。
【００３１】
本発明の表示装置において、前記薄膜トランジスタのソース端子（領域）又はドレイン端子（領域）の一方は、前記隣接する画素電極の一方に接続されていることを特徴とする。
【００３２】
本発明の表示装置において、前記薄膜トランジスタのソース端子（領域）又はドレイン端子（領域）の他方は前記配線と接続されていることを特徴とする。
【００３３】
本発明の半導体装置は、隣接する電極の間に設けられた配線と、薄膜トランジスタと、を有し、前記薄膜トランジスタのチャネル形成領域は、前記配線の下方に設けられており、前記チャネル形成領域は前記配線と重なる位置に設けられており、前記チャネル形成領域のチャネル幅の方向は、前記配線における電流の流れる方向（又は前記配線の形状における長尺方向）と平行な方向であることを特徴とする。
【００３４】
本発明の半導体装置は、隣接する電極の間に設けられた配線と、薄膜トランジスタと、を有し、前記薄膜トランジスタのチャネル形成領域は、前記配線の下方に設けられており、前記チャネル形成領域は前記配線と重なる位置に設けられており、前記チャネル形成領域のチャネル幅の方向は、前記電極の形状における長尺方向と平行な方向であることを特徴とする。
【００３５】
本発明の半導体装置は、隣接する素子の間に設けられた配線と、薄膜トランジスタと、を有し、前記薄膜トランジスタのチャネル形成領域は、前記配線の下方に設けられており、前記チャネル形成領域は前記配線と重なる位置に設けられており、前記チャネル形成領域のチャネル幅の方向は、前記配線における電流の流れる方向（又は前記配線の形状における長尺方向）と平行な方向であることを特徴とする。
【００３６】
本発明の半導体装置は、隣接する素子の間に設けられた配線と、薄膜トランジスタと、を有し、前記薄膜トランジスタのチャネル形成領域は、前記配線の下方に設けられており、前記チャネル形成領域は前記配線と重なる位置に設けられており、前記チャネル形成領域のチャネル幅の方向は、前記素子の形状における長尺方向と平行な方向であることを特徴とする。
【００３７】
本発明の半導体装置において、前記チャネル形成領域のチャネル幅の長さは、前記チャネル形成領域のチャネル長の長さよりも大きいことを特徴とする。
【発明の効果】
【００３８】
本発明によって、開口率が高い表示装置（又は、素子の面積の大きい半導体装置）を実現することが可能である。
【００３９】
また、開口率を高くする為に画素電極（又は素子の電極）の形状を複雑な形状にする必要

もなくなる。
【００４０】
さらに、開口率が高くすることにより、素子に対する電流密度が低くなる為、素子の長寿命化が可能となる。
【図面の簡単な説明】
【００４１】
【図１】ダブルゲート構造のレイアウト１
【図２】ダブルゲート構造のレイアウト２
【図３】画素の回路図
【図４】ＴＦＴの作製フロー（上面図）
【図５】画素電極及び配線の図（配線形状：直線）
【図６】画素電極及び配線の図（配線形状：ジグザグ）
【図７】画素電極及び配線の図（配線形状：ミアンダ）
【図８】シングルゲート構造のレイアウト１
【図９】シングルゲート構造のレイアウト２
【図１０】トリプルゲート構造のレイアウト１
【図１１】トリプルゲート構造のレイアウト２
【図１２】無機ＥＬ素子の断面図１
【図１３】無機ＥＬ素子の断面図２
【図１４】表示装置の上面図及び断面図
【図１５】ＤＲＡＭの回路図
【図１６】ＤＲＡＭのレイアウト
【図１７】電子機器の例
【発明を実施するための形態】
【００４２】
以下に、本発明の実施の形態を図面に基づいて説明する。但し、本発明は多くの異なる様態で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。
【００４３】
なお、以下の実施の形態１～１１は、適宜組み合わせることが可能である。
【００４４】
（実施の形態１）
本実施の形態では、本発明の表示装置の画素構成とレイアウトについて説明する。なお、ここでは、２つのＴＦＴから構成される画素について説明する。
【００４５】
まず、図３を用いて本発明の表示装置の画素構成について説明する。画素は画素電極に接続されたＴＦＴ（駆動用ＴＦＴ３０１）と、容量素子３００と、スイッチング用ＴＦＴ３０２と、表示素子３０３と、走査線３０５と、信号線３０４と、電源供給線３０６とを有している。なお、駆動用ＴＦＴ３０１とスイッチング用ＴＦＴ３０２は、２つのチャネル形成領域を有するダブルゲート構造である。
【００４６】
なお、駆動用ＴＦＴ３０１は、シングルゲート構造であっても良いし、３つ以上のチャネル形成領域を有するマルチゲート構造であってもよい。
【００４７】
スイッチング用ＴＦＴ３０２のソース端子又はドレイン端子の一方は信号線３０４に接続されている。
【００４８】
スイッチング用ＴＦＴ３０２のゲート端子は走査線３０５に接続されている。
【００４９】

スイッチング用ＴＦＴ３０２のソース端子又はドレイン端子の他方は駆動用ＴＦＴ３０１のゲート端子及び容量素子の電極の一方に電気的に接続されている。

【００５０】

駆動用ＴＦＴ３０１のソース端子又はドレイン端子の一方は電源供給線３０６に接続されている。

【００５１】

駆動用ＴＦＴ３０１のソース端子又はドレイン端子の他方は表示素子３０３に接続されている。

【００５２】

駆動用ＴＦＴ３０１のゲート端子は容量素子の電極の一方及びスイッチング用ＴＦＴ３０２のソース端子又はドレイン端子の他方に接続されている。

【００５３】

容量素子３００の他方の端子は、電源供給線３０６に電気的に接続されている。

【００５４】

容量素子３００の一方の端子は、駆動用ＴＦＴのゲート端子及びスイッチング用ＴＦＴ３０２のソース端子又はドレイン端子の他方と電気的に接続されている。

【００５５】

次に、画素部のレイアウトについて図１、図２を用いて説明する。図２は図１に対応する上面図であり、第１の半導体層１０１、第２の半導体層１０２とゲート配線１０５、ゲート電極１００を形成した段階の図である。

【００５６】

図１、２と図３との対応関係について説明する。

【００５７】

破線部６００１で囲まれた部分が駆動用ＴＦＴ３０１に対応する。

【００５８】

破線部６０１１で囲まれた部分がスイッチング用ＴＦＴ３０２に対応する。

【００５９】

破線部６０１２で囲まれた部分が容量素子３００に対応する。

【００６０】

画素電極１０７が表示素子３０３の画素電極に対応する。

【００６１】

信号線１０４が信号線３０４に対応する。

【００６２】

電源供給線１０６が電源供給線３０６に対応する。

【００６３】

図１において、第１の半導体層１０１は、スイッチング用ＴＦＴの島状半導体層である。ゲート配線１０５と重なる領域がチャネル形成領域、信号線１０４と接続する領域がソース端子（又はドレイン端子）、コンタクトホールを介して接続電極１０３と接続する領域がドレイン端子（又はソース端子）である。なお、スイッチング用ＴＦＴは、２つのチャネル形成領域を有するダブルゲート構造である。

【００６４】

なお、スイッチング用ＴＦＴは、シングルゲート構造であっても良いし、３つ以上のチャネル形成領域を有するマルチゲート構造であってもよい。

【００６５】

また、第２の半導体層１０２は表示素子を駆動する駆動用ＴＦＴ３０１の島状半導体層である。そして、ゲート電極１００と重なる領域がチャネル形成領域である。そして、駆動用ＴＦＴ３０１のゲート電極は、コンタクトホールを介して接続電極１０３と接続している。さらに、駆動用ＴＦＴ３０１のソース端子（又はドレイン端子）と電源供給線１０６とがコンタクトホールを介して接続されている。駆動用ＴＦＴ３０１のドレイン端子（又はソース端子）と接続電極１０８とがコンタクトホールを介して接続されている。また、

該接続電極１０８と接して画素電極１０７が形成されている。
【００６６】
また、第２の半導体層１０２のうち、ゲート電極１００とゲート絶縁膜を介して重なるチャネル形成領域の上方には、電源供給線１０６が配置されている。このゲート電極１００と電源供給線１０６との間で形成される容量は、表示素子の保持容量として利用することができる。
【００６７】
ゲート電極１００と電源供給線１０６との間には層間絶縁膜が挟まれている。
【００６８】
また、ゲート電極１００が容量素子の電極の一方となり、電源供給線のうちゲート電極と重なる部分が容量素子の電極の他方となる。
【００６９】
また、表示素子の電極のショート防止の為、発光エリア以外の領域を隔壁（絶縁物）で覆っている。隣り合って隣接する左右の画素間に設けられる隔壁の幅は、例えば、２０μｍ～２５μｍ程度である。本実施の形態においては、幅２０μｍの隔壁の下（即ち、隣接する画素電極の間）に信号線１０４と電源供給線１０６を配置する。
【００７０】
なお、本実施の形態においては、電源供給線１０６の長尺方向と画素電極の形状における長尺方向（画素電極の長尺方向）とが平行になるように配置する。さらに、電源供給線１０６の下方に駆動用ＴＦＴを重なるように配置する。そして、チャネル幅の方向を該長尺方向と平行に配置する。
【００７１】
しかし、本願発明は、常に画素電極の形状における長尺方向と平行に電源供給線１０６を配置し、且つ駆動用ＴＦＴ３０１を電源供給線１０６の下方に配置する必要はない。
【００７２】
したがって、信号線１０４を画素電極の形状における長尺方向と平行に配置した場合は、信号線１０４の下方に重なるように駆動用ＴＦＴ３０１を配置しても良い。
【００７３】
また、画素電極の形状が、正方形、略正方形（例えば、正方形の角に切欠部を設けた形状、又は、正方形の角が丸くなっている形状（角の全てが丸くなっている必要はない。一部の角のみ丸くてもよい。）等）、円形等のように長尺方向が存在しない場合は、電源供給線１０６又は信号線１０４のどちらの下方に駆動用ＴＦＴ３０１を配置しても問題はない。
【００７４】
なお、画素電極の形状には、長方形、又は略長方形（例えば、長方形の角に切欠き部を設けた形状、又は、長方形の角の形状が丸くなっている形状（角の全てが丸くなっている必要はない。一部の角のみ丸くてもよい。））、楕円形、多角形、略多角形（例えば、多角形の角に切欠部を設けた形状、又は、多角の角の形状が丸くなっている形状（角の全てが丸くなっている必要はない。一部の角のみ丸くてもよい。））等のさまざまな形状が考えられる。なお、画素電極の形状は、これら例示された形状に限定されない。なお、画素電極の形状が長方形又は略長方形である場合、配線を格子状に配置しやすいので、レイアウトの設計がしやすくなり好ましい。
【００７５】
また、画素電極の大きさが画素ごとに異なっていてもよい。さらに、画素電極の形状が画素ごとに異なっていても良い。
【００７６】
また、要求されるチャネル幅の長さが画素電極の形状における短尺方向の長さよりも短い場合は、該短尺方向と平行に配置された配線の下方に重なるように駆動用ＴＦＴ３０１を配置しても良い。
【００７７】

また、電源供給線１０６の一部が、画素電極の上方又は下方に配置されていても良い。このような配置とした場合、駆動用ＴＦＴ３０１のゲート電極を、電源供給線１０６の一部と重なり合うように配置する。

【００７８】

なお、駆動用ＴＦＴ３０１のチャネル幅の方向は、配線の形状における長尺方向（配線の長尺方向）と平行な方向にする。これにより、チャネル幅の長さを大きくすることが可能だからである。また、配線は隣接する画素電極の間に配置する為、配線の形状における長尺方向（配線の長尺方向）は、画素電極の長尺方向又は短尺方向と平行な方向とすることにより開口率を上げることができる。

【００７９】

なお、通常は配線の長尺方向に電流を流す為、チャネル幅の方向は、チャネル形成領域の上方に配置された配線において電流が流れる方向と平行な方向であるともいえる。

【００８０】

また、本実施の形態では、線形領域で動作する場合である。チャネル長Ｌ、チャネル幅Ｗとすると、駆動用ＴＦＴはＬ＜Ｗのダブルゲート構造としている。ここでは、駆動用ＴＦＴはＬ＝７μｍ、Ｗ＝２０μｍ程度のダブルゲート構造とする。そして、画素のレイアウトを行う際に、幅２０μｍ隔壁の下に配線を配置し、且つ配線の下に駆動用ＴＦＴを配置することによって、駆動用ＴＦＴのサイズが大きくなっても開口率を上げることができる。

【００８１】

本実施の形態では、半導体層をゲート電極１００に対してコの字型に折り曲げるようにパターニングする（図１、図２　破線部６００１）。これにより、チャネル幅の方向を画素電極の形状における長尺方向と平行に配置することができる（図１、図２　矢印７００１）。

【００８２】

なお、チャネル形成領域同士を接続する不純物領域の形状における長尺方向を、チャネル幅の方向と平行な方向とすることが好ましい。これにより、画素電極間の狭いスペース（隣接する画素電極の間のスペース）に可能な限り大きなサイズのＴＦＴを配置できる為、開口率の増加が望めるからである。さらに、該不純物領域においては該不純物領域の形状における長尺方向に電流が流れる為、該不純物領域の抵抗値を上げることができる。したがって、オフ電流を低減することができる。

【００８３】

但し、本発明は、チャネル幅の方向が画素電極の長尺方向と垂直方向になれば、該長尺方向の長さ分までチャネル幅を増やすことができる。したがって、ＴＦＴの島状半導体層の形状は、本実施の形態のようにコの字型形状に限定されない。

【００８４】

なお、容量素子３００は、第２の半導体層１０２と、ゲート電極１００と、第２の半導体層１０２とゲート電極１００の間に形成されるゲート絶縁膜（第１の保持容量）及び、ゲート電極１００と、電源供給線１０６と、ゲート電極１００と電源供給線１０６の間に形成される層間絶縁膜（第２の保持容量）で形成することができる。

【００８５】

そして、この場合、破線部６０１２において、ゲート電極１００と、第２の半導体層１０２と、ゲート電極２の半導体層１０２との間に形成されたゲート絶縁膜と、で保持容量を形成することとなる。したがって、破線部６０１２におけるゲート電極の面積を大きくすることで、保持容量の大きさも大きくすることができる。

【００８６】

上記構成によって、画素電極間の狭いスペース（隣接する画素電極の間のスペース）に可能な限り大きなサイズのＴＦＴ（特に、チャネル幅が大きいサイズのＴＦＴ）を配置できる。したがって、開口率の増加が可能となる。

【００８７】

なお、ＴＦＴは非常に小さなサイズであるため、ゲート絶縁膜の膜厚のばらつき又は膜質のばらつき、イオンドーピング処理時の注入ドーズ量のばらつき等によって、電気的特性がばらつきやすいという問題がある。

【００８８】

特に、ＴＦＴの半導体として非晶質珪素、微結晶珪素、又は多結晶珪素を用いた場合、半導体の結晶性に起因したＴＦＴの特性（例えば、オン電流、オフ電流、閾値電圧、移動度等）のばらつきが生じてしまう。特に、画素に接続されたＴＦＴの特性のばらついた場合、画素に供給される電流（又は電圧）がばらつく為、表示装置の視認性が悪化してしまうという問題がある。

【００８９】

そこで、上記問題を解決するため、マルチゲート構造を採用する方法があるが、マルチゲート構造のＴＦＴは、シングルゲート構造のＴＦＴと比較して、面積が大きくなってしまう。したがって、ＴＦＴの電気的特性のばらつきを低減する為にマルチゲート構造のＴＦＴを採用すると開口率が低下してしまう。しかし、本発明の構成を適用することにより、ＴＦＴの特性のばらつき低減と、開口率の上昇の両方を実現することが可能となる。

【００９０】

ここで、本実施の形態では、駆動用ＴＦＴを線形領域で動作させるいわゆる定電圧駆動方式の一例を説明した。そこで、定電圧駆動方式について以下説明する。

【００９１】

ＴＦＴは、飽和領域で動作させる場合と線形領域で動作させる場合とがある。トランジスタのゲートとソースの間の電圧をＶｇｓ、トランジスタのソースとドレインの間の電圧をＶｄｓ、トランジスタの閾値電圧をＶｔｈ、とする。この場合、飽和領域は、｜Ｖｇｓ－Ｖｔｈ｜＜｜Ｖｄｓ｜の関係式が成り立つ範囲をいう。一方、線形領域は、｜Ｖｇｓ－Ｖｔｈ｜＞｜Ｖｄｓ｜の関係式が成り立つ範囲をいう。

【００９２】

そして、ＥＬ素子の画素電極に接続されたＴＦＴ（以下「駆動用ＴＦＴ」という）を飽和領域で動作させることによって、表示素子に一定の電流を流す方式を定電流駆動方式という。

【００９３】

定電流駆動方式は、一定の電流をＥＬ素子に流し続けることができる為、表示素子の劣化によるばらつきを低減することができる。しかし、定電流駆動方式は、駆動用ＴＦＴが劣化すると、該駆動用ＴＦＴに流れる電流も減少してしまう。したがって、ＴＦＴのばらつきは、表示素子の輝度のばらつきに影響を与えやすい。

【００９４】

一方、駆動用ＴＦＴを線形領域で動作させることによって、一定の電圧をＥＬ素子に印加する方式を定電圧駆動方式という。

【００９５】

定電圧駆動方式は、線形領域で動作する為、ソースとドレインの間の電圧を表示素子の両電極間の電圧と比較して低くすることができる。その為、駆動用ＴＦＴのばらつきのＥＬ素子に流れる電流に対する影響を低減することができる。したがって、ＴＦＴの劣化のばらつきは、表示素子の輝度のばらつきに影響を与えにくい。

【００９６】

しかし、駆動用ＴＦＴを線形領域で動作させたとしても、ＴＦＴの半導体層として非晶質珪素、微結晶珪素、多結晶珪素等を使用した場合、基板面内における結晶性のばらつきの影響を無視することができない。

【００９７】

そこで、駆動用ＴＦＴのばらつきを抑えるために、駆動用ＴＦＴのチャネル形成領域の面積を大きくすることが好ましい。即ち、チャネル長とチャネル幅を大きくすることが好ましい。

【００９８】

また、チャネル幅が長いほど、ソースとドレインの間の電圧を低くすることができる。さらに、チャネル長が短いほどソースとドレイン間の電圧を低くすることができる。よって、チャネル幅は、チャネル長よりも長いことが好ましい。

【００９９】

したがって、ＴＦＴを線形領域で動作させる場合、駆動用ＴＦＴのチャネル形成領域の面積を増大させる為には、チャネル幅を長くすることが好ましい。

【０１００】

ここで、一般的には、チャネル形成領域の面積を増大させることにより、表示装置の開口率は低下してしまう傾向がある。つまり、ＴＦＴの特性のばらつき低減を図った場合、開口率が低下してしまう。即ち、一般的には、ＴＦＴの特性のばらつき低減と、開口率の上昇の両方を同時に実現することは非常に困難である。本実施の形態のようにマルチゲート構造のＴＦＴのチャネル形成領域の面積を増大させた場合、このことは特に顕著になる。

【０１０１】

しかし、本実施の形態の構成を適用することにより、ＴＦＴの特性のばらつき低減と、開口率の上昇の両方を同時に実現することが可能となる。

【０１０２】

また、開口率を上げることは、消費電力の減少、及び表示素子の信頼性の向上になる。即ち、一定の輝度が要求される場合、開口率が大きければ少ない電流（又は電圧）で要求される輝度をえることができるからである。そして、表示素子に供給される電流（又は電圧）が少なければ、表示素子の劣化速度は減少されるからである。

【０１０３】

また、表示素子の劣化速度も表示素子ごとにばらつきが生じる。したがって、開口率を上げて表示素子の劣化速度を減少させた場合、表示素子の輝度劣化のばらつきも低減できる。よって、ＴＦＴの特性のばらつき低減と開口率増加によるばらつき低減の相乗効果により、表示装置の視認性を上げることができる。

【０１０４】

なお、マルチゲート構造のＴＦＴは、ＴＦＴのオフ電流を低減させることができる。したがって、ＴＦＴの半導体が、非単結晶であっても、単結晶であっても、マルチゲート構造のＴＦＴを採用することは好ましいことである。

【０１０５】

また、本実施の形態のように、駆動トランジスタと、該駆動トランジスタに接続されるスイッチングトランジスタと、をともに配線（信号線又は電源供給線）の下方に配置し、スイッチングトランジスタのチャネル長の方向と、駆動トランジスタのチャネル長の方向とを垂直方向に配置し、駆動トランジスタのチャネル幅の方向を該配線において電流の流れる方向とすることによって、開口率を上昇させることができる。

【０１０６】

（実施の形態２）

本実施の形態では、「配線の形状における長尺方向（配線の長尺方向）」の意義について図５、図６、図７を用いて具体的に説明する。

【０１０７】

「配線の形状における長尺方向」（「チャネル幅の方向」）は、「（前述した）チャネル形成領域の上方に配置された配線において電流が流れる方向と平行な方向」である。なお、後述のジグザグ形状又はミアンダ形状の配線の場合、必ずしも配線において電流が直線方向に流れるわけではない。この場合、「配線の形状における長尺方向」（「チャネル幅の方向」）は、「チャネル形成領域の上方に配置された配線領域において電流が流れる方向と略平行な方向」とする。

【０１０８】

ここで、配線の形状は、必ずしも図５のように直線である必要はない。例えば、図６のように、第１の配線５０１、５０２のようにジグザグ形状としてもよい。また、図７のように、第１の配線５０１、５０２のようにミアンダ形状としても良い。

【０１０９】
なお、図５、図６、図７は、配線と画素電極の配置を表す模式図である。したがって、ＴＦＴは図示していない。５０１～５０４は第１の配線であり、６０１、６０２は第２の配線であり、７０１～７０７は画素電極である。なお、第１の配線及び第２の配線は、一方がソース信号線であり、他方が電源供給線である。
【０１１０】
ジグザグ（ｚｉｇｚａｇ）形状とは、直線が左右に何回も折れ曲がっている形をいう。また、ミアンダ（ｍｅａｎｄｅｒ）とは、「曲がりくねって流れる」という意味を有する。そして、ミアンダ形状とは、そのような形状をいう。
【０１１１】
そして、図５のように、第１の配線５０１～５０４及び第２の配線６０１が直線的な形状をしている場合、「配線の形状における長尺方向（図５の第１の矢印８００１）」は、「チャネル形成領域の上方に配置された第１の配線において電流が流れる方向（図５の第１の矢印８００１）」と平行な方向である。
【０１１２】
そして、図６のように配線がジグザグ形状の場合、例えば図６の第１の配線領域５００１の下にＴＦＴを配置する。この場合、「配線の形状における長尺方向（図６の第２の矢印８００２）」は、「チャネル形成領域の上方に配置された配線において電流が流れる方向（図６の第２の矢印８００２）」と平行な方向である。
【０１１３】
一方、例えば図６の第２の配線領域５００２の下にＴＦＴを配置した場合、「配線の形状における長尺方向（図６の第３の矢印８００３）」は、「チャネル形成領域の上方に配置された配線において電流が流れる方向（図６の第３の矢印８００３）」と平行な方向である。
【０１１４】
また、図７のように配線がミアンダ形状の場合であっても、電流は配線の形状に沿って流れる。したがって、配線の形状における長尺方向と平行ではない方向に電流が流れている箇所が存在する。しかし、最終的には電子は配線の形状における長尺方向と平行方向に向かって流れる（図７の第４の矢印８００４）。よって、このような配線の形状とする場合、チャネル幅の方向を「チャネル形成領域の上方に配置された配線領域において電流が流れる方向と略平行な方向」又は「配線の形状における長尺方向と平行な方向」とする。
【０１１５】
上記構成によって、画素電極間の狭いスペース（隣接する画素電極の間のスペース）に配線を配置できる。且つ、その配線の下方に可能な限り大きなサイズのＴＦＴ（特に、チャネル幅が大きいサイズのＴＦＴ）を配置できる。したがって、開口率の増加が可能となる。
【０１１６】
（実施の形態３）
本実施の形態では、本発明の駆動トランジスタのレイアウトの他のバリエーションを例示する。なお、本発明は、本実施の形態に例示するレイアウトに限定されない。
【０１１７】
図８は、シングルゲート構造のレイアウトである。第１の半導体層１０１は、スイッチング用ＴＦＴの島状半導体層である。ゲート配線１０５と重なる領域がチャネル形成領域、信号線１０４とコンタクトホールを介して接続する領域がソース端子（又はドレイン端子）、接続電極１０３と接続する領域がドレイン端子（又はソース端子）である。
【０１１８】
また、第２の半導体層１０２は表示素子を駆動する駆動用ＴＦＴ３０１の島状半導体層である。そして、ゲート電極１００と重なる領域がチャネル形成領域である。そして、駆動用ＴＦＴ３０１のゲート電極は、接続電極１０３とコンタクトホールを介して接続している。さらに、駆動用ＴＦＴ３０１のソース端子（又はドレイン端子）と電源供給線１０６

とが接続されている。駆動用ＴＦＴ３０１のドレイン端子（又はソース端子）と接続電極１０８とがコンタクトホールを介して接続されている。また、該接続電極１０８と接して画素電極１０７が形成されている。

【０１１９】

なお、図８と図３との対応関係は以下の通りである。

【０１２０】

破線部６００２で囲まれた部分が駆動用ＴＦＴ３０１に対応する。

【０１２１】

破線部６０２１で囲まれた部分がスイッチング用ＴＦＴ３０２に対応する。

【０１２２】

破線部６０２２で囲まれた部分が容量素子３００に対応する。

【０１２３】

画素電極１０７が表示素子３０３の画素電極に対応する。

【０１２４】

信号線１０４が信号線３０４に対応する。

【０１２５】

電源供給線１０６が電源供給線３０６に対応する。

【０１２６】

また、図９は図８に対応する上面図であり、第１の半導体層１０１、第２の半導体層１０２とゲート配線１０５、ゲート電極１００を形成した段階の図である。

【０１２７】

そして、半導体層の不純物領域が画素電極の長尺方向（又は、配線における電流の流れる方向、又は、配線の形状における長尺方向）と平行になるようにパターニングする（図８、図９　破線部６００２）。これにより、チャネル幅の方向を画素電極の形状における長尺方向と平行に配置することができる（図８、図９　矢印７００２）。

【０１２８】

図１０は、トリプルゲート構造のレイアウトである。第１の半導体層１０１は、スイッチング用ＴＦＴの島状半導体層である。ゲート配線１０５と重なる領域がチャネル形成領域、信号線１０４と接続する領域がソース端子（又はドレイン端子）、接続電極１０３とコンタクトホールを介して接続する領域がドレイン端子（又はソース端子）である。

【０１２９】

また、第２の半導体層１０２は表示素子を駆動する駆動用ＴＦＴ３０１の島状半導体層である。そして、ゲート電極１００と重なる領域がチャネル形成領域である。そして、駆動用ＴＦＴ３０１のゲート電極は、接続電極１０３と接続している。さらに、駆動用ＴＦＴ３０１のソース端子（又はドレイン端子）と電源供給線１０６とがコンタクトホールを介して接続されている。駆動用ＴＦＴ３０１のドレイン端子（又はソース端子）と接続電極１０８とがコンタクトホールを介して接続されている。また、該接続電極１０８と接して画素電極１０７が形成されている。

【０１３０】

なお、図１０と図３との対応関係は以下の通りである。

【０１３１】

破線部６００３で囲まれた部分が駆動用ＴＦＴ３０１に対応する。

【０１３２】

破線部６０３１で囲まれた部分がスイッチング用ＴＦＴ３０２に対応する。

【０１３３】

破線部６０３２で囲まれた部分が容量素子３００に対応する。

【０１３４】

画素電極１０７が表示素子３０３の画素電極に対応する。

【０１３５】

信号線１０４が信号線３０４に対応する。

【０１３６】
電源供給線１０６が電源供給線３０６に対応する。
【０１３７】
また、図１１は図１０に対応する上面図であり、第１の半導体層１０１、第２の半導体層１０２とゲート配線１０５、ゲート電極１００を形成した段階の図である。
【０１３８】
そして、半導体層の不純物領域が画素電極の長尺方向（又は、配線における電流の流れる方向、又は、配線の形状における長尺方向）と平行になるよう（例えば、Ｓ字形状）に、パターニングする（図１０、図１１　破線部６００３）。これにより、チャネル幅の方向を画素電極の形状における長尺方向と平行に配置することができる（図１０、図１１　矢印７００３）。
【０１３９】
本実施の形態では、チャネル形成領域を１つ又は３つ有するＴＦＴのレイアウトについて説明した。また、実施の形態１では、チャネル形成領域を２つ有するＴＦＴのレイアウトについて説明した。しかし、本発明の構成はこれらの実施の形態の構成に限定されず、４つ以上のチャネル形成領域を有するＴＦＴについても適用可能である。
【０１４０】
（実施の形態４）
本発明は、２つのＴＦＴから構成される画素に限らない。Ｌ＜Ｗのダブルゲート構造の駆動用ＴＦＴを有した画素構成の場合、開口率の向上やシンプルな開口部形状、且つチャネル幅の長さを大きくするような配置になるように適宜用いることができる。
【０１４１】
（実施の形態５）
本実施の形態では、表示装置の作製工程について説明する。なお、説明に際しては、画素部のみについて説明するが、駆動回路部においては、作製工程はこの限りではなく、ここでは説明を省略する。
【０１４２】
図４（Ａ）に示すように、バリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラス等のガラスからなる基板上に、酸化珪素膜、窒化珪素膜、もしくは酸化窒化珪素膜でなる下地膜を形成する。その後、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて結晶化した結晶質半導体膜を所望の形状にパターニングし、島状半導体層４１０１、４１０２を得る。なお、下地膜及び半導体膜は公知の成膜法（例えば、ＣＶＤ法、ＰＶＤ法等）により形成できる。
【０１４３】
なお、ここでは、半導体膜を結晶化して多結晶珪素膜を用いた。しかし、本発明は、非晶質珪素、又は微結晶珪素を用いても良い。また、単結晶珪素を用いても良い。
【０１４４】
単結晶珪素を用いる場合、基板上に薄い単結晶珪素層が配置されているＳＯＩ基板（Ｓｉｌｉｃｏｎ　Ｏｎ　Ｉｎｓｕｌａｔｏｒ基板）等を用いれば良い。
【０１４５】
ここで、島状半導体層４１０１のうち第１の容量部分となる第１の領域に不純物を添加することにより、第１の領域を第１の容量の第１の電極として機能させることができる。ここでは、ｐ型導電性を付与するボロンをイオンドーピング法により注入した。ｎ型導電性を付与する不純物を注入しても良い。ｎ型導電性を付与する不純物としては、リン、ヒ素等がある。なお、不純物の添加については公知の方法（例えば、イオンドーピング法、イオンシャワー法等）を用いることができる。
【０１４６】
次に、島状半導体層４１０１、４１０２を覆うゲート絶縁膜を形成する。その後、Ｔａ、Ｗ、Ｔｉ、Ｍｏ、Ａｌ、Ｃｕ等から選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料を用いて、ゲート電極を形成するための導電膜を形成する。その後

、所望の形状にパターニングし、ゲート電極４１０３、４１０４（４１０４は走査線を兼ねる）を得る（図４（Ｂ））。

【０１４７】

次に、島状半導体層４１０１、４１０２の不純物領域に不純物を添加することにより、ソース領域、ドレイン領域、チャネル領域を形成する。ここでは、ｐチャネル型トランジスタを形成するためにｐ型導電性を付与するボロンをイオンドーピング法により注入した。ｎチャネル型トランジスタを形成する場合は、ｎ型導電性を付与する不純物を注入しても良い。ｎ型導電性を付与する不純物としては、リン、ヒ素等がある。なお、不純物の添加については公知の方法（例えば、イオンドーピング法、イオンシャワー法等）を用いることができる。また、チャネル形成領域と接する部分にＬＤＤ領域を形成しても良い。

【０１４８】

次に、アニールを行い添加した不純物を活性化する。アニールの方法としては、ファーネスアニール、レーザーアニール等の公知の技術を使用すればよい。なお、アニールの前にゲート絶縁膜を保護する為にパッシベーション膜（例えば酸化珪素等）を公知の方法（例えばＣＶＤ法、ＰＶＤ法等）で形成しても良い。

【０１４９】

次に、層間絶縁膜を形成する。層間絶縁膜は、有機絶縁膜であっても無機絶縁膜であっても良い。有機絶縁膜としては、アクリル、ポリイミド、シロキサン等がある。有機絶縁膜の形成方法は公知の方法（スピンコート法、ディップ法等）を用いることができる。また、無機絶縁膜としては、酸化珪素、窒化珪素等がある。公知の方法（例えばＣＶＤ法、ＰＶＤ法等）で形成しても良い。なお、窒化珪素等の比誘電率が高い材料を使用することは、容量を増加できる。一方、有機絶縁膜を用いた場合は、平坦化が可能である。

【０１５０】

なお、層間絶縁膜は公知の技術（例えばＣＭＰ法）により平坦化処理を行っても良い。

【０１５１】

次に、図４（Ｃ）に示すように、島状半導体層４１０１、４１０２、ゲート電極４１０３、４１０４に達するコンタクトホール４１０５を形成し、配線４１０６、４１０７、４１０８（４１０６はソース信号線、４１０７は電源供給線となる）及び電極４１１０を形成する。

【０１５２】

次に、図４（Ｄ）に示すように、画素電極４１０９を形成する。画素電極の材料としては、インジウム錫酸化物（通称「ＩＴＯ」）等が代表的である。画素電極４１０９もまた、前記材料でなる膜を形成した後、パターニングにより所望の形状を得る。ここで、電極４１１０と、画素電極４１０９とは、コンタクトホール４１０５を介して接している。

【０１５３】

次に、隣接する画素の間に隔壁を形成し、発光エリアとなる部分をパターニングにより開口する。その後、開口部分にＥＬ層を形成する。

【０１５４】

本実施の形態においては、トップゲート型のＴＦＴの作製方法について説明した。しかし、本発明はボトムゲート型のＴＦＴにも適用可能である。

【０１５５】

（実施の形態６）

本実施の形態では、発光表示パネルの外観の一例について、図１４を用いて説明する。図１４（Ａ）は、第１の基板と、第２の基板との間を第１のシール材１２０５及び第２のシール材１２０６によって封止されたパネルの上面図であり、図１４（Ｂ）は、図１４（Ａ）のＡ－Ａ’、Ｂ－Ｂ’それぞれにおける断面図に相当する。

【０１５６】

図１４（Ａ）は、点線で示された画素部１２０２、モニター素子部１２３０、走査線駆動回路１２０３（ゲート線駆動回路）を示す。本実施の形態において、画素部１２０２、及び走査線駆動回路１２０３は、第１のシール材及び第２のシール材で封止されている領域

内にある。また、１２０１は信号線（ソース線）駆動回路であり、信号線駆動回路が第１基板１２００上に設けられている。第１のシール材としては、フィラーを含む粘性の高いエポキシ系樹脂を用いるのが好ましい。また、第２のシール材としては、粘性の低いエポキシ系樹脂を用いるのが好ましい。また、第１のシール材１２０５及び第２のシール材１２０６はできるだけ水分や酸素を透過しない材料であることが望ましい。

【０１５７】

また、画素部１２０２と第１のシール材１２０５との間に、乾燥剤を設けてもよい。さらには、画素部において、走査線又は信号線上に乾燥剤を設けてもよい。乾燥剤としては、酸化カルシウム（ＣａＯ）や酸化バリウム（ＢａＯ）等のようなアルカリ土類金属の酸化物のような化学吸着によって水（H_2O）を吸着する物質を用いるのが好ましい。但し、これに限らずゼオライトやシリカゲル等の物理吸着によって水を吸着する物質を用いても構わない。

【０１５８】

また、層間絶縁膜として透湿性の高い樹脂に乾燥剤の粒状の物質を含ませた物を用いて、層間絶縁膜と第２の基板１２０４とをシール材で固定することができる。また、透湿性の高い樹脂の代わりに、ＰＳＧ（リンガラス）、ＢＰＳＧ（リンボロンガラス）等の無機物を用いてもよい。

【０１５９】

また、走査線と重畳する領域に乾燥剤を設けてもよい。更には、層間絶縁膜として透湿性の高い樹脂に乾燥剤の粒状の物質を含ませたものを用いて、層間絶縁膜と第２の基板１２０４とをシール材で固定してもよい。これらの乾燥剤を設けることにより、開口率を低下せずに表示素子への水分の侵入及びそれに起因する劣化を抑制することができる。このため、画素部１２０２の周辺部と中央部における表示素子の劣化のバラツキを抑えることが可能である。

【０１６０】

なお、接続配線１２１０は、信号線駆動回路１２０１及び走査線駆動回路１２０３に入力される信号を伝送するための接続配線であり、外部入力端子となるＦＰＣ１２０９（フレキシブルプリント回路）から、接続配線１２０８を介してビデオ信号やクロック信号を受け取る。

【０１６１】

次に、断面構造について図１４（Ｂ）を用いて説明する。第１基板１２００上には駆動回路及び画素部が形成されており、ＴＦＴを代表とする半導体素子を複数有している。駆動回路として信号線駆動回路１２０１と画素部１２０２とを示す。なお、信号線駆動回路１２０１はｎチャネル型ＴＦＴ１２２１とｐチャネル型ＴＦＴ１２２２とを組み合わせたＣＭＯＳ回路が形成される。

【０１６２】

本実施の形態においては、同一基板上に走査線駆動回路、及び画素部のＴＦＴが形成されている。このため、発光表示装置の容積を縮小することができる。

【０１６３】

また、画素部１２０２はスイッチング用ＴＦＴ１２１１と、駆動用ＴＦＴ１２１２とそのソース又はドレインの他方に電気的に接続された反射性を有する導電膜からなる第１の画素電極１２１３（陽極）を含む複数の画素により形成される。

【０１６４】

また、第１の画素電極１２１３（陽極）の両端には絶縁物１２１４（バンク、隔壁、障壁、土手などと呼ばれる）が形成される。絶縁物１２１４に形成する膜の被覆率（カバレッジ）を良好なものとするため、絶縁物１２１４の上端部または下端部に曲率半径を有する曲面が形成されるようにする。また、絶縁物１２１４表面を、窒化アルミニウム膜、窒化酸化アルミニウム膜、炭素を主成分とする薄膜、または窒化珪素膜からなる保護膜で覆ってもよい。更には、絶縁物１２１４として、黒色顔料、色素などの可視光を吸収する材料を溶解又は分散させてなる有機材料を用いることで、後に形成される表示素子からの迷光

を吸収することができる。この結果、各画素のコントラストが向上する。本発明においては、該絶縁物の下方に走査線、信号線、及びＴＦＴを配置している。また、走査線又は信号線の下方にＴＦＴを配置する。走査線の下方にＴＦＴを配置した場合、走査線の形状における長尺方向（又は電流の流れる方向）とＴＦＴのチャネル幅の方向を平行に配置する。信号線の下方にＴＦＴを配置した場合、信号線の形状における長尺方向（又は電流の流れる方向）とＴＦＴのチャネル幅の方向を平行に配置する。

【０１６５】

また、第１の画素電極１２１３（陽極）上には、有機化合物材料の蒸着を行い、電界発光層１２１５を選択的に形成する。さらには、電界発光層１２１５上に第２の画素電極１２１６（陰極）を形成する。

【０１６６】

こうして、第１の画素電極１２１３（陽極）、電界発光層１２１５、及び第２の画素電極１２１６（陰極）からなる表示素子１２１７が形成される。表示素子１２１７は、第２の基板１２０４側に発光する。

【０１６７】

また、表示素子１２１７を封止するために保護積層１２１８を形成する。保護積層１２１８は、第１の無機絶縁膜と、応力緩和膜と、第２の無機絶縁膜との積層からなっている。次に、保護積層１２１８と第２の基板１２０４とを、第１のシール材１２０５及び第２のシール材１２０６で接着する。なお、第２のシール材を、シール材を滴下する装置を用いて滴下することが好ましい。シール材をディスペンサから滴下、又は吐出させてシール材をアクティブマトリクス基板上に形成した後、真空中で、第２の基板とアクティブマトリクス基板とを貼り合わせ、紫外線硬化を行って封止することができる。

【０１６８】

なお、第２の基板１２０４表面には、外光が基板表面で反射するのを防止するための反射防止膜１２２６を設ける。また、第２の基板と反射防止膜との間に、偏光板、及び位相差板のいずれか一方又は両方を設けてもよい。位相差板、偏光板を設けることにより、外光が画素電極で反射することを防止することが可能である。なお、第１の画素電極１２１３及び第２の画素電極１２１６を、透光性を有する導電膜又は半透光性を有する導電膜で形成し、層間絶縁膜を可視光を吸収する材料、又は可視光を吸収する材料を溶解又は分散させてなる有機材料を用いて形成すると、各画素電極で外光が反射しないため、位相差板及び偏光板を用いなくとも良い。

【０１６９】

接続配線１２０８とＦＰＣ１２０９とは、異方性導電膜又は異方性導電樹脂１２２７で電気的に接続されている。さらに、各配線層と接続端子との接続部を封止樹脂で封止することが好ましい。この構造により、断面部からの水分が表示素子に侵入し、劣化することを防ぐことができる。

【０１７０】

なお、第２の基板１２０４と、保護積層１２１８との間の空間を、第２のシール材１２０６の代わりに、不活性ガス、例えば窒素ガスで充填することで劣化を防いでもよい。

【０１７１】

また、第２の基板と偏光板の間に着色層を設けることができる。この場合、画素部に白色発光が可能な表示素子を設け、ＲＧＢを示す着色層を別途設けることでフルカラー表示することができる。また、画素部に青色発光が可能な表示素子を設け、色変換層などを別途設けることによってフルカラー表示することができる。さらには、各画素部、赤色、緑色、青色の発光を示す表示素子を形成し、且つ着色層を用いることもできる。このような表示モジュールは、各ＲＢＧの色純度が高く、高精細な表示が可能となる。

【０１７２】

また、第１基板１２００又は第２の基板１２０４の一方、若しくは両方にフィルム又は樹脂等の基板を用いて発光表示モジュールを形成してもよい。このようにフィルムまたは樹脂等の基板を用いると、表示装置の軽量化、小型化、薄膜化を向上させることができる。

【０１７３】
更には、外部入力端子となるＦＰＣ１２０９（フレキシブルプリント回路）表面又は端部に、コントローラ、メモリ、画素駆動回路のようなＩＣチップを設け発光表示モジュールを形成してもよい。
【０１７４】
（実施の形態７）
発光素子とは、電界が生じると発光する有機化合物層を、陽極及び陰極で挟んだ構造を有する素子（ＯＬＥＤ素子）を示すものとする。ただし、これに限定されるものではない。
【０１７５】
また、発光素子とは、一重項励起子から基底状態に遷移する際の発光（蛍光）を利用するものと、三重項励起子から基底状態に遷移する際の発光（燐光）を利用するものの両方を示すものとしている。
【０１７６】
有機化合物層としては、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等が挙げられる。発光素子は、基本的に、陽極と発光層と陰極とを順次積み重ねた構造で示されるが、この他に、陽極と正孔注入層と発光層と電子注入層と陰極とを順次積み重ねた構造や、陽極と正孔注入層と正孔輸送層と発光層と電子輸送層と電子注入層と陰極とを順次積み重ねた構造などがある。
【０１７７】
なお、有機化合物層は、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等が、明確に区別された積層構造を有するものに限定されない。つまり、有機化合物層は、正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等を構成する材料が、混合した層を有する構造であってもよい。
【０１７８】
また、無機物が混合されていてもよい。
【０１７９】
また、ＯＬＥＤ素子の有機化合物層としては、低分子材料、高分子材料、中分子材料のいずれの材料であってもよい。
【０１８０】
なお、本明細書中において、中分子材料とは、連鎖する分子の長さが１０ｕｍ以下で、昇華性を有さないものとする。
【０１８１】
（実施の形態８）
本発明の表示素子に適用することのできる他の構成を、図１２及び図１３を用いて説明する。
【０１８２】
エレクトロルミネセンスを利用する発光素子（表示素子）は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機ＥＬ素子、後者は無機ＥＬ素子と呼ばれている。
【０１８３】
無機ＥＬ素子は、その素子構成により、分散型無機ＥＬ素子と薄膜型無機ＥＬ素子とに分類される。前者は、発光材料の粒子をバインダ中に分散させた電界発光層を有し、後者は、発光材料の薄膜からなる電界発光層を有している点に違いはあるが、高電界で加速された電子を必要とする点では共通である。なお、得られる発光のメカニズムとしては、ドナー準位とアクセプター準位を利用するドナー－アクセプター再結合型発光と、金属イオンの内殻電子遷移を利用する局在型発光とがある。一般的に、分散型無機ＥＬ素子ではドナー－アクセプター再結合型発光、薄膜型無機ＥＬ素子では局在型発光である場合が多い。
【０１８４】
本発明で用いることのできる発光材料は、母体材料と発光中心となる不純物元素とで構成される。含有させる不純物元素を変化させることで、様々な色の発光を得ることができる

。発光材料の作製方法としては、固相法や液相法（共沈法）などの様々な方法を用いることができる。また、噴霧熱分解法、複分解法、プレカーサーの熱分解反応による方法、逆ミセル法やこれらの方法と高温焼成を組み合わせた方法、凍結乾燥法などの液相法なども用いることができる。

【０１８５】

固相法は、母体材料と、不純物元素又は不純物元素を含む化合物を秤量し、乳鉢で混合、電気炉で加熱、焼成を行い反応させ、母体材料に不純物元素を含有させる方法である。焼成温度は、７００～１５００℃が好ましい。温度が低すぎる場合は固相反応が進まず、温度が高すぎる場合は母体材料が分解してしまうからである。なお、粉末状態で焼成を行ってもよいが、ペレット状態で焼成を行うことが好ましい。比較的高温での焼成を必要とするが、簡単な方法であるため、生産性がよく大量生産に適している。

【０１８６】

液相法（共沈法）は、母体材料又は母体材料を含む化合物と、不純物元素又は不純物元素を含む化合物を溶液中で反応させ、乾燥させた後、焼成を行う方法である。発光材料の粒子が均一に分布し、粒径が小さく低い焼成温度でも反応が進むことができる。

【０１８７】

発光材料に用いる母体材料としては、硫化物、酸化物、窒化物を用いることができる。硫化物としては、例えば、硫化亜鉛（ＺｎＳ）、硫化カドミウム（ＣｄＳ）、硫化カルシウム（ＣａＳ）、硫化イットリウム（$Ｙ_2Ｓ_3$）、硫化ガリウム（$Ｇａ_2Ｓ_3$）、硫化ストロンチウム（ＳｒＳ）、硫化バリウム（ＢａＳ）等を用いることができる。また、酸化物としては、例えば、酸化亜鉛（ＺｎＯ）、酸化イットリウム（$Ｙ_2Ｏ_3$）等を用いることができる。また、窒化物としては、例えば、窒化アルミニウム（ＡｌＮ）、窒化ガリウム（ＧａＮ）、窒化インジウム（ＩｎＮ）等を用いることができる。さらに、セレン化亜鉛（ＺｎＳｅ）、テルル化亜鉛（ＺｎＴｅ）等も用いることができ、硫化カルシウム－ガリウム（$ＣａＧａ_2Ｓ_4$）、硫化ストロンチウム－ガリウム（$ＳｒＧａ_2Ｓ_4$）、硫化バリウム－ガリウム（$ＢａＧａ_2Ｓ_4$）、等の３元系の混晶であってもよい。

【０１８８】

局在型発光の発光中心として、マンガン（Ｍｎ）、銅（Ｃｕ）、サマリウム（Ｓｍ）、テルビウム（Ｔｂ）、エルビウム（Ｅｒ）、ツリウム（Ｔｍ）、ユーロピウム（Ｅｕ）、セリウム（Ｃｅ）、プラセオジウム（Ｐｒ）などを用いることができる。なお、電荷補償として、フッ素（Ｆ）、塩素（Ｃｌ）などのハロゲン元素が添加されていてもよい。

【０１８９】

一方、ドナーアクセプター再結合型発光の発光中心として、ドナー準位を形成する第１の不純物元素及びアクセプター準位を形成する第２の不純物元素を含む発光材料を用いることができる。第１の不純物元素は、例えば、フッ素（Ｆ）、塩素（Ｃｌ）、アルミニウム（Ａｌ）等を用いることができる。第２の不純物元素としては、例えば、銅（Ｃｕ）、銀（Ａｇ）等を用いることができる。

【０１９０】

ドナーアクセプター再結合型発光の発光材料を固相法を用いて合成する場合、母体材料と、第１の不純物元素又は第１の不純物元素を含む化合物と、第２の不純物元素又は第２の不純物元素を含む化合物をそれぞれ秤量し、乳鉢で混合した後、電気炉で加熱、焼成を行う。母体材料としては、上述した母体材料を用いることができ、第１の不純物元素としては、例えば、フッ素（Ｆ）、塩素（Ｃｌ）等を用いることができ、第１の不純物元素を含む化合物としては、例えば、硫化アルミニウム（$Ａｌ_2Ｓ_3$）等を用いることができ、第２の不純物元素としては、例えば、銅（Ｃｕ）、銀（Ａｇ）等を用いることができ、第２の不純物元素を含む化合物としては、例えば、硫化銅（$Ｃｕ_2Ｓ$）、硫化銀（$Ａｇ_2Ｓ$）等を用いることができる。焼成温度は、７００～１５００℃が好ましい。温度が低すぎる場合は固相反応が進まず、温度が高すぎる場合は母体材料が分解してしまうからである。なお、粉末状態で焼成を行ってもよいが、ペレット状態で焼成を行うことが好ましい。

【０１９１】

また、固相反応を利用する場合の不純物元素として、第１の不純物元素と第２の不純物元素で構成される化合物を組み合わせて用いてもよい。この場合、不純物元素が拡散されやすく、固相反応が進みやすくなるため、均一な発光材料を得ることができる。さらに、余分な不純物元素が入らないため、純度の高い発光材料が得ることができる。第１の不純物元素と第２の不純物元素で構成される化合物としては、例えば、塩化銅（ＣｕＣｌ）、塩化銀（ＡｇＣｌ）等を用いることができる。

【０１９２】

なお、これらの不純物元素の濃度は、母体材料に対して０．０１～１０ａｔｏｍ％であればよく、好ましくは０．０５～５ａｔｏｍ％の範囲である。

【０１９３】

薄膜型無機ＥＬの場合、電界発光層は、上記発光材料を含む層であり、抵抗加熱蒸着法、電子ビーム蒸着（ＥＢ蒸着）法等の真空蒸着法、スパッタリング法等の物理気相成長法（ＰＶＤ）、有機金属ＣＶＤ法、ハイドライド輸送減圧ＣＶＤ法等の化学気相成長法（ＣＶＤ）、原子層エピタキシ法（ＡＬＥ）等を用いて形成することができる。

【０１９４】

図１２（Ａ）乃至（Ｃ）に表示素子として用いることのできる薄膜型無機ＥＬ素子の一例を示す。図１２（Ａ）乃至（Ｃ）において、表示素子は、第１の電極層５０、電界発光層５２、第２の電極層５３を含む。

【０１９５】

図１２（Ｂ）及び図１２（Ｃ）に示す表示素子は、図１２（Ａ）の表示素子において、電極層と電界発光層間に絶縁層を設ける構造である。図１２（Ｂ）に示す表示素子は、第１の電極層５０と電界発光層５２との間に絶縁層５４を有し、図１２（Ｃ）に示す表示素子は、第１の電極層５０と電界発光層５２との間に絶縁層５４ａ、第２の電極層５３と電界発光層５２との間に絶縁層５４ｂとを有している。このように絶縁層は電界発光層を挟持する一対の電極層のうち一方の間にのみ設けてもよいし、両方の間に設けてもよい。また絶縁層は単層でもよいし複数層からなる積層でもよい。

【０１９６】

また、図１２（Ｂ）では第１の電極層５０に接するように絶縁層５４が設けられているが、絶縁層と電界発光層の順番を逆にして、第２の電極層５３に接するように絶縁層５４を設けてもよい。

【０１９７】

分散型無機ＥＬ素子の場合、粒子状の発光材料をバインダ中に分散させ膜状の電界発光層を形成する。発光材料の作製方法によって、十分に所望の大きさの粒子が得られない場合は、乳鉢等で粉砕などによって粒子状に加工すればよい。バインダとは、粒状の発光材料を分散した状態で固定し、電界発光層としての形状に保持するための物質である。発光材料は、バインダによって電界発光層中に均一に分散し固定される。

【０１９８】

分散型無機ＥＬ素子の場合、電界発光層の形成方法は、選択的に電界発光層を形成できる液滴吐出法や、印刷法（スクリーン印刷やオフセット印刷など）、スピンコート法、ディッピング法、ディスペンサ法などを用いることもできる。膜厚は特に限定されることはないが、好ましくは、１０～１０００ｎｍの範囲である。また、発光材料及びバインダを含む電界発光層において、発光材料の割合は５０ｗｔ％以上８０ｗｔ％以下とするよい。

【０１９９】

図１３（Ａ）乃至（Ｃ）に表示素子として用いることのできる分散型無機ＥＬ素子の一例を示す。図１３（Ａ）における表示素子は、第１の電極層６０、電界発光層６２、第２の電極層６３の積層構造を有し、電界発光層６２中にバインダによって保持された発光材料６１を含む。

【０２００】

本実施の形態に用いることのできるバインダには、有機材料や無機材料を用いることができ、有機材料及び無機材料の混合材料を用いてもよい。有機材料としては、シアノエチル

セルロース系樹脂のように、比較的誘電率の高いポリマーや、ポリエチレン、ポリプロピレン、ポリスチレン系樹脂、シリコーン樹脂、エポキシ樹脂、フッ化ビニリデンなどの樹脂を用いることができる。また、芳香族ポリアミド、ポリベンゾイミダゾール（ｐｏｌｙｂｅｎｚｉｍｉｄａｚｏｌｅ）などの耐熱性高分子、又はシロキサン樹脂を用いてもよい。なお、シロキサン樹脂とは、Ｓｉ－Ｏ－Ｓｉ結合を含む樹脂に相当する。シロキサンは、シリコン（Ｓｉ）と酸素（Ｏ）との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基（例えばアルキル基、芳香族炭化水素）が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。また、ポリビニルアルコール、ポリビニルブチラールなどのビニル樹脂、フェノール樹脂、ノボラック樹脂、アクリル樹脂、メラミン樹脂、ウレタン樹脂、オキサゾール樹脂（ポリベンゾオキサゾール）等の樹脂材料を用いてもよい。これらの樹脂に、チタン酸バリウム（$BaTiO_3$）やチタン酸ストロンチウム（$SrTiO_3$）などの高誘電率の微粒子を適度に混合して誘電率を調整することもできる。

【０２０１】

バインダに含まれる無機材料としては、酸化珪素（SiO_x）、窒化珪素（SiN_x）、酸素及び窒素を含む珪素、窒化アルミニウム（ＡｌＮ）、酸素及び窒素を含むアルミニウムまたは酸化アルミニウム（Al_2O_3）、酸化チタン（TiO_2）、$BaTiO_3$、$SrTiO_3$、チタン酸鉛（$PbTiO_3$）、ニオブ酸カリウム（$KNbO_3$）、ニオブ酸鉛（$PbNbO_3$）、酸化タンタル（Ta_2O_5）、タンタル酸バリウム（$BaTa_2O_6$）、タンタル酸リチウム（$LiTaO_3$）、酸化イットリウム（Y_2O_3）、酸化ジルコニウム（ZrO_2）、ＺｎＳその他の無機材料を含む物質から選ばれた材料を用いることができる。有機材料に、誘電率の高い無機材料を含ませる（添加等によって）ことによって、発光材料及びバインダよりなる電界発光層の誘電率をより制御することができ、より誘電率を大きくすることができる。

【０２０２】

作製工程において、発光材料はバインダを含む溶液中に分散されるが本実施の形態に用いることのできるバインダを含む溶液の溶媒としては、バインダ材料が溶解し、電界発光層を形成する方法（各種ウエットプロセス）及び所望の膜厚に適した粘度の溶液を作製できるような溶媒を適宜選択すればよい。有機溶媒等を用いることができ、例えばバインダとしてシロキサン樹脂を用いる場合は、プロピレングリコールモノメチルエーテル、プロピレングリコールモノメチルエーテルアセテート（ＰＧＭＥＡともいう）、３－メトシキ－３メチル－１－ブタノール（ＭＭＢともいう）などを用いることができる。

【０２０３】

図１３（Ｂ）及び図１３（Ｃ）に示す表示素子は、図１３（Ａ）の表示素子において、電極層と電界発光層間に絶縁層を設ける構造である。図１３（Ｂ）に示す表示素子は、第１の電極層６０と電界発光層６２との間に絶縁層６４を有し、図１３（Ｃ）に示す表示素子は、第１の電極層６０と電界発光層６２との間に絶縁層６４ａ、第２の電極層６３と電界発光層６２との間に絶縁層６４ｂとを有している。このように絶縁層は電界発光層を挟持する一対の電極層のうち一方の間にのみ設けてもよいし、両方の間に設けてもよい。また絶縁層は単層でもよいし複数層からなる積層でもよい。

【０２０４】

また、図１３（Ｂ）では第１の電極層６０に接するように絶縁層６４が設けられているが、絶縁層と電界発光層の順番を逆にして、第２の電極層６３に接するように絶縁層６４を設けてもよい。

【０２０５】

図１２における絶縁層５４、図１３における絶縁層６４のような絶縁層は、特に限定されることはないが、絶縁耐圧が高く、緻密な膜質であることが好ましく、さらには、誘電率が高いことが好ましい。例えば、酸化シリコン（SiO_2）、酸化イットリウム（Y_2O_3）、酸化チタン（TiO_2）、酸化アルミニウム（Al_2O_3）、酸化ハフニウム（HfO_2）、酸化タンタル（Ta_2O_5）、チタン酸バリウム（$BaTiO_3$）、チタン酸

ストロンチウム（ＳｒＴｉＯ$_3$）、チタン酸鉛（ＰｂＴｉＯ$_3$）、窒化シリコン（Ｓｉ$_3$Ｎ$_4$）、酸化ジルコニウム（ＺｒＯ$_2$）等やこれらの混合膜又は２種以上の積層膜を用いることができる。これらの絶縁膜は、スパッタリング、蒸着、ＣＶＤ等により成膜することができる。また、絶縁層はこれら絶縁材料の粒子をバインダ中に分散して成膜してもよい。バインダ材料は、電界発光層に含まれるバインダと同様な材料、方法を用いて形成すればよい。膜厚は特に限定されることはないが、好ましくは１０～１０００ｎｍの範囲である。

【０２０６】

本実施の形態で示す表示素子は、電界発光層を挟持する一対の電極層間に電圧を印加することで発光が得られるが、直流駆動又は交流駆動のいずれにおいても動作することができる。

【０２０７】

（実施の形態９）

実施の形態１～８において、主にエレクトロルミネッセンスを用いた表示装置を例として説明した。しかし、本発明は、様々なアクティブマトリクス型表示装置に適用可能である。その他の表示装置としては、例えば、液晶表示装置、ＦＥＤ（Ｆｉｅｌｄ　Ｅｍｉｓｓｉｏｎ　Ｄｉｓｐｌａｙ）等が挙げられる。

【０２０８】

（実施の形態１０）

また、本発明は、表示装置以外の様々な半導体装置にも適用可能である（なお、半導体装置は、表示装置を含む概念である）。

【０２０９】

例えば、ＤＲＡＭ（Ｄｙｎａｍｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）等のメモリ素子（記憶素子）がある。図１５（Ａ）にＤＲＡＭの回路図を示す。トランジスタ４０１の一方の端子とセルプレート４０２（容量素子）が接続されたユニットを１セルとしている。そして、１セル同士は配線によって接続されている。また、トランジスタ４０１の他方の端子は、ビットライン４０３と接続されている。また、トランジスタ４０１のゲートはワードライン４０４と接続されている。

【０２１０】

ＤＲＡＭの動作原理を述べる。トランジスタ４０１がＮ型トランジスタの場合、データ書き込み期間は、ビットライン４０３及びワードライン４０４に正の電圧を印加してセルプレート４０２に電荷を蓄積する。また、データ読み出し期間には、ワードラインに正の電圧を印加することにより、セルプレート４０２に蓄積された電荷がビットライン４０３に流れる。トランジスタ４０１がＰ型トランジスタの場合は、極性を逆にした電圧をそれぞれの期間において印加すればよい。

【０２１１】

さらに、セルプレート４０２は、面積が大きいほど容量が大きくなる。容量を大きくすることによって、ソフトエラー（宇宙線の衝突といった要因により、メモリセルに記録されている情報が消失してしまう（書き換わってしまう）エラー）等の発生を抑制できる。したがって、容量素子の容量を増大する為に、容量素子の表面積の増大が要求される。

【０２１２】

そこで、隣接する電極の間に配線を設け、その下に容量素子と接続する薄膜トランジスタを配置し、且つ薄膜トランジスタのチャネル形成領域のチャネル幅の方向を前記配線における電流の流れる方向と平行な方向、又は該電極の形状における長尺方向と平行方向に配置することで、容量素子の容量の増大が図れる。

【０２１３】

本実施の形態では、図１６のように、トランジスタ４０１のチャネル幅の方向をセルプレート４０２（又は容量素子の電極）の形状における長尺方向と平行に配置する（図１６矢印７００４）。トランジスタ４０１は、シングルゲート構造であっても、マルチゲート構造であっても良い。

【０２１４】
なお、ＤＲＡＭの構造は、スタック型でもトレンチ型でも良い。スタック型とは、絶縁膜を形成した後、該絶縁膜をエッチングすることによって段差を基板上に設け、当該段差に容量素子を埋め込んで形成するものである。一方、トレンチ型とは、基板をエッチングすることにより段差を設け、当該段差に容量素子を埋め込んで形成するものである。
【０２１５】
なお、スタック型のＤＲＡＭの作製方法は、公知の方法でＳＯＩ（Ｓｉｌｉｃｏｎ ｏｎ Ｉｎｓｕｌａｔｏｒ）上にトランジスタを形成するか、又は、実施の形態３に記載の方法でＴＦＴを作製する。その後、絶縁膜（例えば、アクリル、ポリイミド、シロキサン、酸化珪素、窒化珪素等を用いることができる）を形成する。次に、該絶縁膜をパターニングした後、エッチングすることによって段差を形成する。
【０２１６】
その後、トランジスタのソース領域又はドレイン領域と接する下部電極（例えば、アルミニウム等の金属を用いることができる）を形成する。次に誘電体膜（例えば、酸化チタン、酸化タンタル、窒化珪素、酸化珪素等を用いることができる）を形成する。次に、上部電極（例えば、タングステンシリサイド、ポリシリコン等を用いることができる）を形成することにより、段差に容量素子を形成する。
【０２１７】
また、トレンチ型のＤＲＡＭの作製方法は、最初に基板をパターンニングした後、エッチングすることにより、基板に段差を形成する。その後、公知の方法でＳＯＩ（Ｓｉｌｉｃｏｎ ｏｎ Ｉｎｓｕｌａｔｏｒ）上にトランジスタを形成するか、又は、実施の形態３に記載の方法でＴＦＴを作製する。
【０２１８】
その後、トランジスタのソース領域又はドレイン領域と接する下部電極（例えば、アルミニウム等の金属を用いることができる）を形成する。次に誘電体膜（例えば、酸化チタン、酸化タンタル、窒化珪素、酸化珪素等を用いることができる）を形成する。次に、上部電極（例えば、タングステンシリサイド、ポリシリコン等を用いることができる）を形成することにより、段差に容量素子を形成する。
【０２１９】
また、ＤＲＡＭ以外の素子であっても、素子の面積の拡大を図る場合は、本発明が適用可能である。図１５（Ｂ）に本願発明が適用可能な素子の回路図を示す。トランジスタ４１１の一方の端子と素子４１２が接続されたユニットを１セルとしている。そして、１セル同士は配線によって接続されている。また、トランジスタ４１１の他方の端子は、第１の配線４１３と接続されている。また、トランジスタ４１１のゲートは第２の配線４１４と接続されている。
【０２２０】
そこで、隣接する素子の間に配線を設け、その下に該素子と接続する薄膜トランジスタを配置し、且つ薄膜トランジスタのチャネル形成領域のチャネル幅の方向を前記配線における電流の流れる方向と平行な方向、又は該素子の形状におけるの長尺方向と平行方向に配置することで、素子の面積の増大又は素子の数の増加を図ることができる。
【０２２１】
素子４１２としては、例えば、有機メモリ、フォトダイオード、圧電素子等を用いることができる。
【０２２２】
素子４１２として、有機メモリを用いた場合は、記憶素子を形成することができる。なお、有機メモリの方式として、第１の配線４１３と第２の配線４１４の選択によって電気的に記憶させる方式、有機材料、すなわち光酸発生剤をドープした共役高分子材料を用いた有機メモリ素子にレーザ光を照射することにより光学的に記憶させる方式等がある。有機メモリ素子を形成する場合、ある程度の面積が必要となる。また、メモリ容量を増やす為には、メモリ素子の数を増やすことが効果的である。したがって、本発明の構成を採用す

るとメモリ素子の数を増やすことができるので効果的である。
【０２２３】
また、素子４１２として、フォトダイオードを用いると、光センサを形成することができる。フォトダイオードの種類としては、ＰＮフォトダイオード、ＰＩＮフォトダイオード、アバランシェフォトダイオード、ショットキフォトダイオード等を用いることができる。フォトダイオードは、面積が大きいほど光電変換効率が上がる為、本発明の構成を採用すると効果的である。
【０２２４】
また、素子４１２として、圧電素子を用いることで、圧力センサを形成することができる。さらに、圧電素子と表示素子とを同一基板上に形成することでタッチパネルを形成することができる。圧電素子としては、平行平板コンデンサを設けた感圧センサ、ｐ型シリコン結晶にｎ型不純物を熱拡散によりドープし、補償された高抵抗の真性半導体領域をひずみゲージとして用いるひずみゲージ式圧力センサ等がある。圧電素子を形成する場合、ある程度の面積が必要となる。また、面積が大きい方がセンサとしての感度が高い。したがって、本発明の構成を採用すると効果的である。
【０２２５】
以上のように、本発明は、さまざまな半導体装置に適用することが可能である。
【０２２６】
（実施の形態１１）
本発明の表示装置は様々な電子機器の表示部に用いることができる。特に薄型、軽量が要求されるモバイル機器には本発明の表示装置を用いることが望ましい。また、本発明の半導体装置は様々な電子機器に用いることができる。特に薄型、軽量が要求されるモバイル機器には本発明の半導体装置を用いることが望ましい。
【０２２７】
本発明の表示装置又は半導体装置を筐体に組み込んだ電子機器として、テレビジョン装置（単にＴＶ、テレビ、又はテレビジョン受信機ともよぶ。）、カメラ（ビデオカメラやデジタルカメラ等）、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型のゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはＤＶＤ（ｄｉｇｉｔａｌｖｅｒｓａｔｉｌｅｄｉｓｃ）やＨＤＤＶＤ（ＨｉｇｈＤｅｆｉｎｉｔｉｏｎＤＶＤ）、ブルーレイディスク（Ｂｌｕ－ｒａｙ（登録商標）Ｄｉｓｋ）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）、その他表示部を有する電化製品などが挙げられる。電子機器の具体例を図１７に示す。
【０２２８】
図１７（Ａ）は携帯情報端末であり、本体９２０１、表示部９２０２等を含んでいる。
【０２２９】
図１７（Ｂ）はデジタルビデオカメラであり、本体９７０２、表示部９７０１等を含んでいる。
【０２３０】
図１７（Ｃ）は携帯端末であり、本体９１０１、表示部９１０２等を含んでいる。
【０２３１】
図１７（Ｄ）は携帯型のテレビジョン装置であり、本体９３０１、表示部９３０２等を含んでいる。このようなテレビジョン装置は携帯電話などの携帯端末に搭載する小型のものから、持ち運びをすることができる中型のもの、また、大型のもの（例えば４０インチ以上）まで、幅広く適用することができる。
【０２３２】
図１７（Ｅ）は携帯型のコンピュータであり、本体９４０１、表示部９４０２等を含んでいる。
【０２３３】

図１７（Ｆ）はテレビジョン装置であり、本体９５０１、表示部９５０２等を含んでいる。

【０２３４】

以上のように、本発明の適用範囲は極めて広く、あらゆる分野の電子機器の作製方法に適用することが可能である。

【符号の説明】

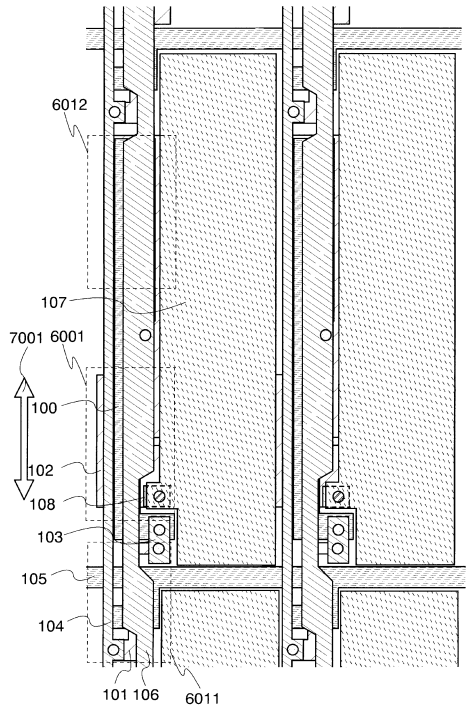
【０２３５】

５１　電界発光層
５２　電界発光層
６２　電界発光層
１００　ゲート電極
１０１　第１の半導体層
１０２　第２の半導体層
１０３　接続電極
１０４　信号線
１０５　ゲート配線
１０６　電源供給線
１０７　画素電極
１０８　接続電極
３００　容量素子
３０１　駆動用ＴＦＴ
３０２　スイッチング用ＴＦＴ
３０３　表示素子
３０４　信号線
３０５　走査線
３０６　電源供給線
４０１　トランジスタ
４０２　セルプレート
４０３　ビットライン
４０４　ワードライン
４１１　トランジスタ
４１２　素子
４１３　第１の配線
４１４　第２の配線
５０１　第１の配線
５０２　第１の配線
５０３　第１の配線
６０１　第２の配線
６０２　第２の配線
７０１　画素電極
７０２　画素電極
７０３　画素電極
７０４　画素電極
７０５　画素電極
７０６　画素電極
７０７　画素電極
１２００　第１基板
１２０１　信号線駆動回路
１２０２　画素部
１２０２　画素部

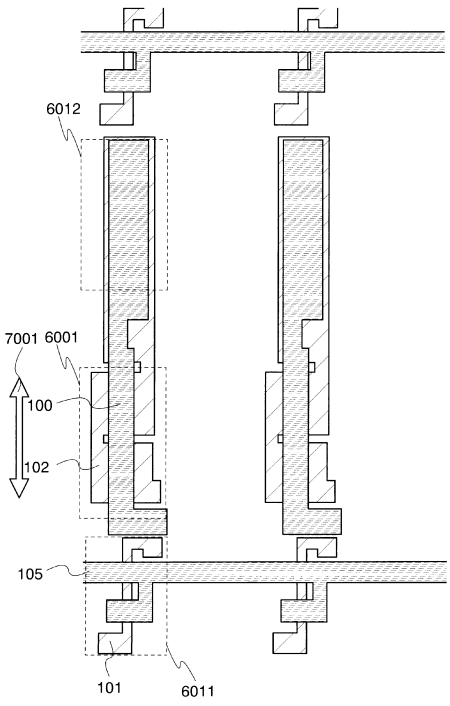
１２０３　走査線駆動回路
１２０４　第２の基板
１２０５　第１のシール材
１２０６　第２のシール材
１２０８　接続配線
１２０９　ＦＰＣ
１２１０　接続配線
１２１１　スイッチング用ＴＦＴ
１２１２　駆動用ＴＦＴ
１２１３　第１の画素電極
１２１４　絶縁物
１２１５　電界発光層
１２１６　第２の画素電極
１２１７　表示素子
１２１８　保護積層
１２２１　ｎチャネル型ＴＦＴ
１２２２　ｐチャネル型ＴＦＴ
１２２６　反射防止膜
１２２７　異方性導電樹脂
１２３０　モニター素子部
４１０１　島状半導体層
４１０２　島状半導体層
４１０３　ゲート電極
４１０４　ゲート電極
４１０５　コンタクトホール
４１０６　配線
４１０７　配線
４１０８　配線
４１０９　画素電極
４１１０　発光エリア
５００１　第１の配線領域
５００２　第２の配線領域
６００１　破線部
６００２　破線部
６００３　破線部
６０１１　破線部
６０１２　破線部
６０２１　破線部
６０２２　破線部
６０３１　破線部
６０３２　破線部
７００１　矢印
７００２　矢印
７００３　矢印
７００４　矢印
８００１　第１の矢印
８００２　第２の矢印
８００３　第３の矢印
８００４　第４の矢印
９１０１　本体

９１０２　表示部
９２０１　本体
９２０２　表示部
９３０１　本体
９３０２　表示部
９４０１　本体
９４０２　表示部
９５０１　本体
９５０２　表示部
９７０１　表示部
９７０２　本体

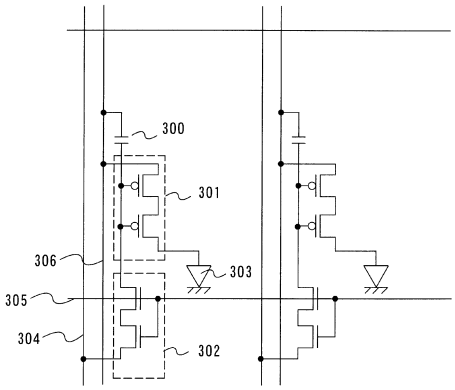
【図１】



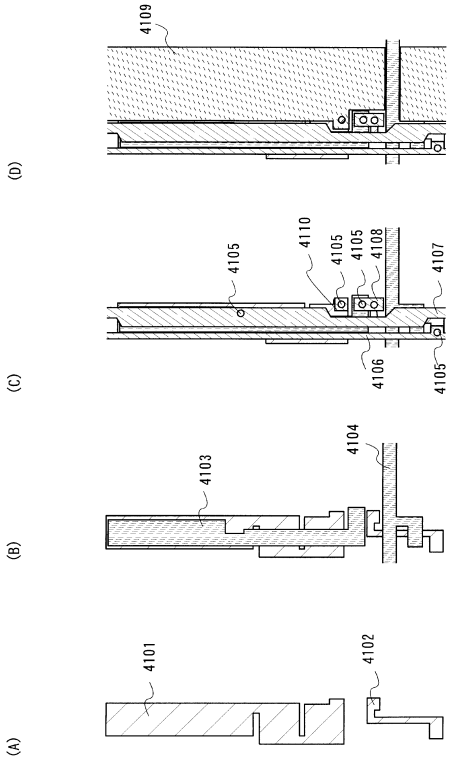
【図２】



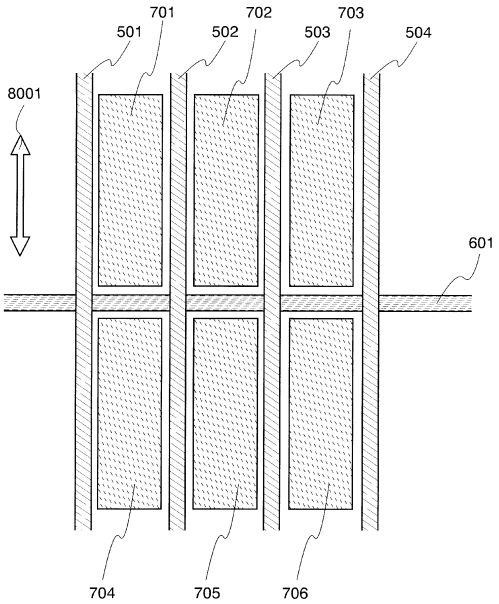
【図３】


300
301
303
306
305
304
302

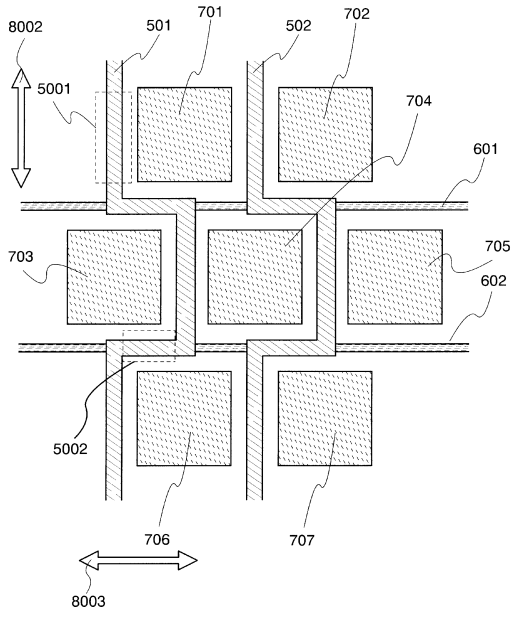
【図４】


(D)
4109
(C)
4105
4110
4105
4105
4108
4107
4106
4105
(B)
4103
4104
(A)
4101
4102

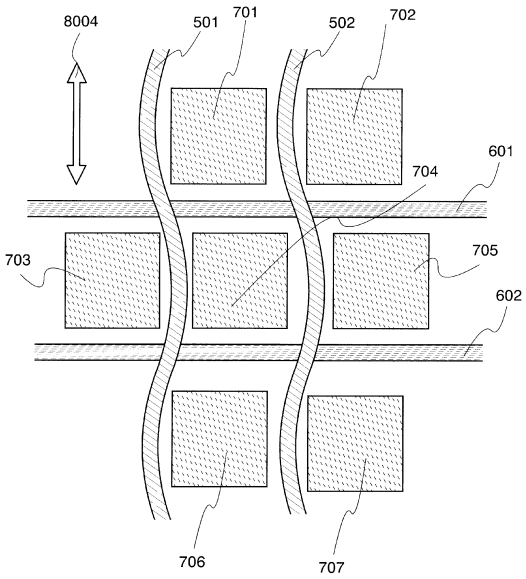
【図５】


701
501
702
502
703
503
504
8001
601
704
705
706

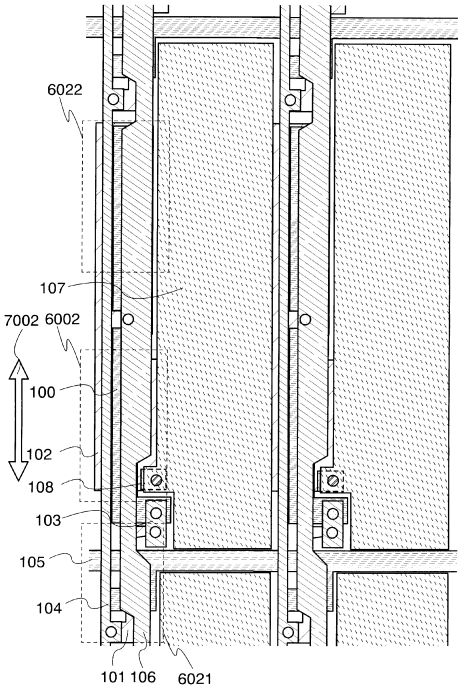
【図６】


8002
501
701
502
702
5001
704
601
703
705
602
5002
706
707
8003

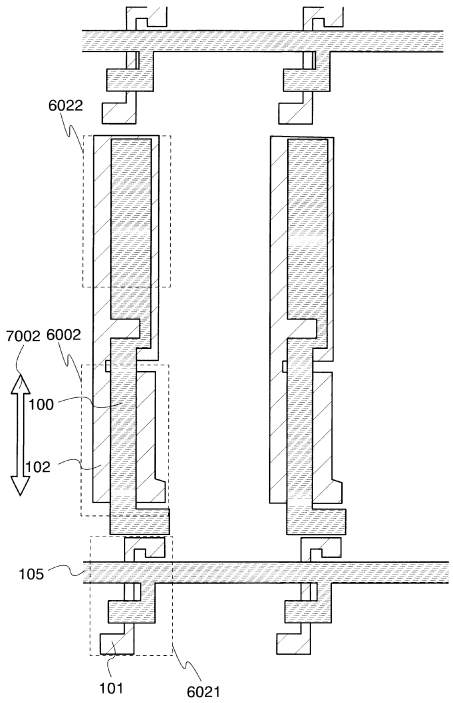
【図７】


8004
501
701
502
702
601
704
703
705
602
706
707

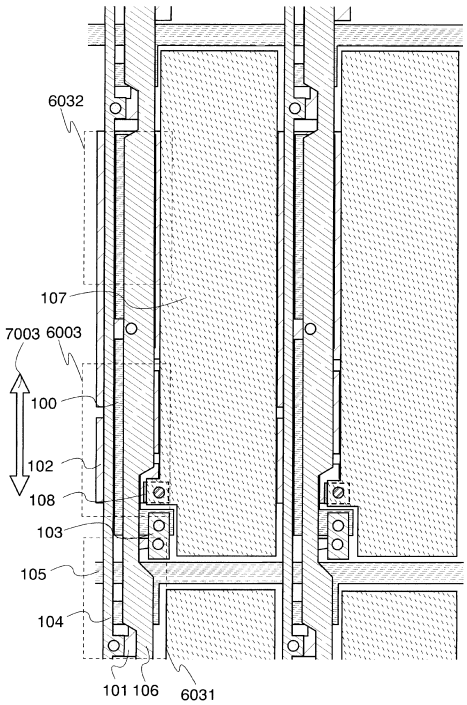
【図８】


6022
107
7002
6002
100
102
108
103
105
104
101
106
6021

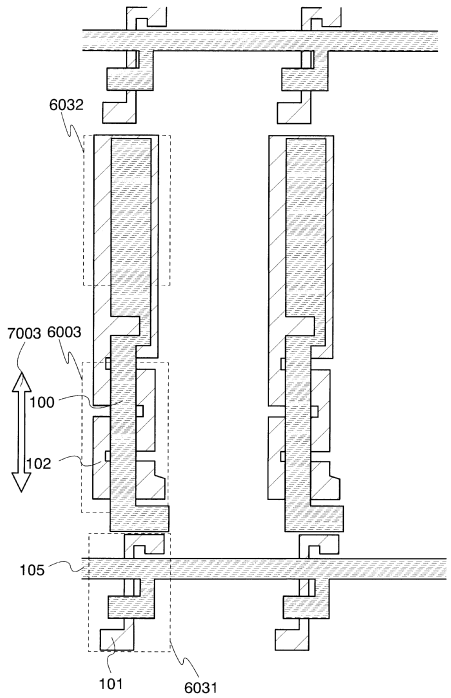
【図９】


6022
7002
6002
100
102
105
101
6021

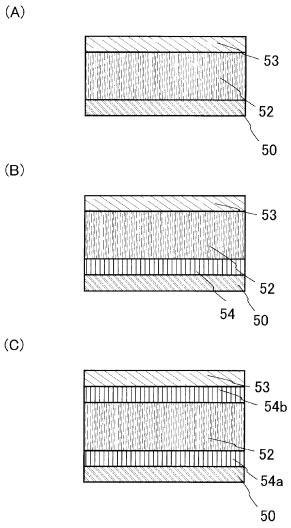
【図１０】


6032
107
7003
6003
100
102
108
103
105
104
101
106
6031

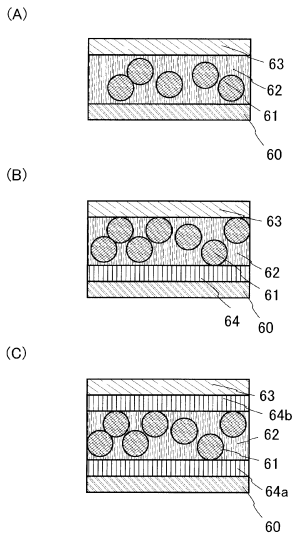
【図１１】



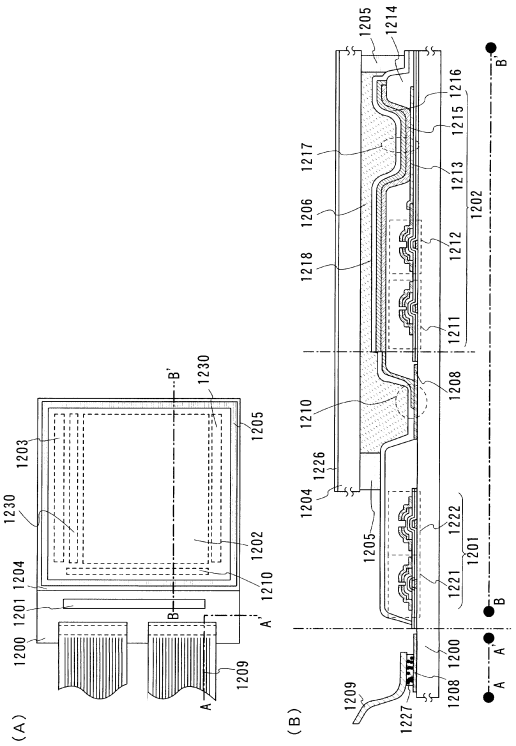
【図１２】



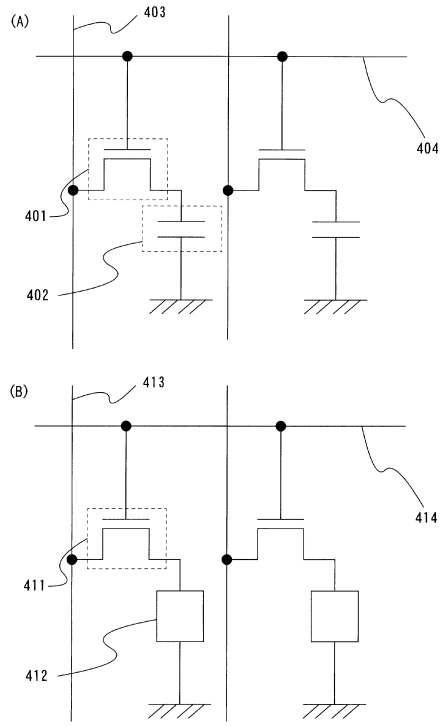
【図１３】



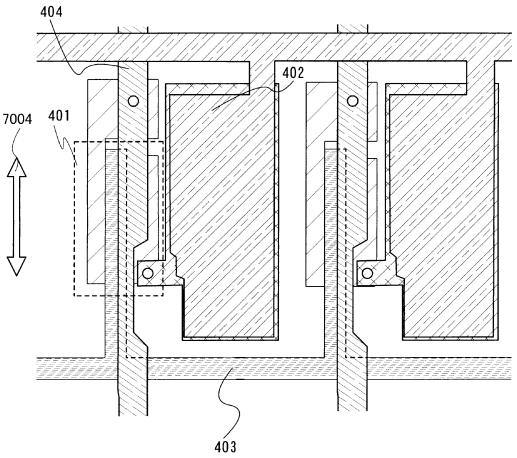
【図１４】



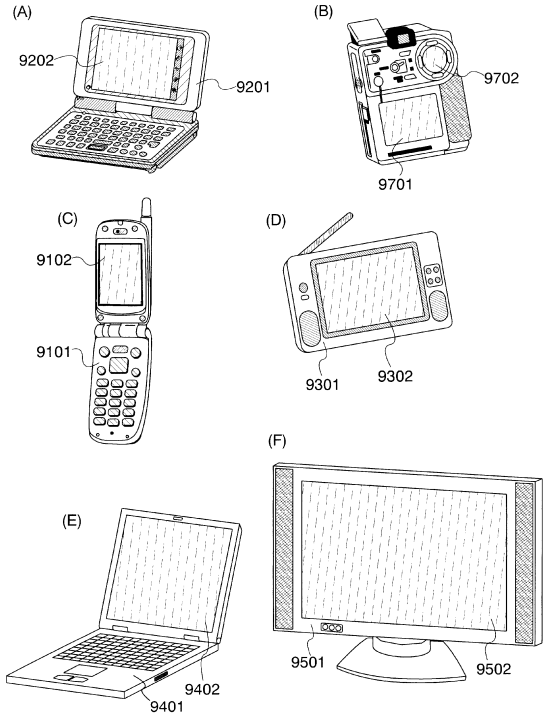
【図１５】


(A)
403
404
401
402
(B)
413
414
411
412

【図１６】


404
402
7004
401
403

【図１７】


(A)
9202
9201
(B)
9702
9701
(C)
9102
9101
(D)
9301
9302
(E)
9402
9401
(F)
9501
9502

フロントページの続き

(51)Int.Cl.

H01L	***29/786***	***(2006.01)***
H01L	***21/336***	***(2006.01)***
H01L	***21/8242***	***(2006.01)***
H01L	***27/108***	***(2006.01)***
H01L	***27/32***	***(2006.01)***

ＦＩ

Ｇ０２Ｆ	1/1368	
Ｈ０１Ｌ	29/78	６１８Ｂ
Ｈ０１Ｌ	29/78	６１８Ｃ
Ｈ０１Ｌ	29/78	６１２Ｄ
Ｈ０１Ｌ	27/108	６２１Ｚ
Ｈ０１Ｌ	27/108	６７１Ｃ
Ｈ０１Ｌ	27/108	６８１Ｚ
Ｈ０１Ｌ	27/32	

(56)参考文献 特開２００５－１５７２６６（ＪＰ，Ａ）
特開２００６－１８９８５２（ＪＰ，Ａ）
特開２００３－１０８０３６（ＪＰ，Ａ）
特開２００５－１２８５７４（ＪＰ，Ａ）
特開２００３－０１５５４８（ＪＰ，Ａ）
特開２００３－０８４６８９（ＪＰ，Ａ）
特開２００６－１１９６１８（ＪＰ，Ａ）
米国特許出願公開第２００５／０２１２４４９（ＵＳ，Ａ１）

(58)調査した分野(Int.Cl.，ＤＢ名)

Ｇ０９Ｆ	９／００－４６
Ｇ０２Ｆ	１／１３－１／１３３５
	１／１３３６３－１／１４１
Ｈ０１Ｌ	２７／３２
	５１／５０
Ｈ０５Ｂ	３３／００－３３／２８
Ｇ０９Ｇ	１／００－５／４２