

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2021年8月26日(26.08.2021)



(10) 国際公開番号

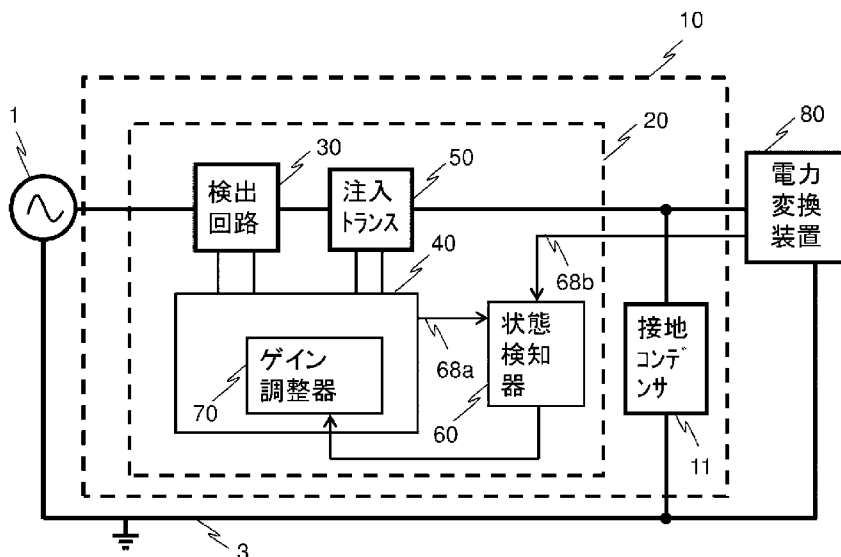
WO 2021/166018 A1

- (51) 国際特許分類:  
*H02M 1/12* (2006.01) *H02M 7/48* (2007.01)
- (21) 国際出願番号: PCT/JP2020/005972
- (22) 国際出願日: 2020年2月17日(17.02.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: 古庄 泰章 (FURUSHO Yasuaki); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 朝倉 良太(ASAKURA Ryota); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 神蔵 護(KAMIKURA Mamoru); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人: 特許業務法人ぱるも特許事務所 (PALMO PATENT FIRM, P.C.); 〒6610033 兵庫県尼崎市南武庫之荘3丁目35番8号 Hyogo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,

(54) Title: NOISE SUPPRESSION DEVICE

(54) 発明の名称: ノイズ抑制装置

図4



- 11 Grounded capacitor
- 30 Detection circuit
- 50 Injection transformer
- 60 State detector
- 70 Gain adjuster
- 80 Power conversion device

(57) Abstract: A noise suppression device (20) disposed between an AC power supply and a device to be controlled and transmitting a signal to the device to be controlled is provided with: a detection circuit (30) for detecting a specific signal; a waveform signal forming circuit (40) for forming a predetermined waveform signal from the specific signal detected by the detection circuit (30); a signal transmitter (50) for transmitting the waveform signal formed by the waveform signal forming circuit (40) to the device to be controlled; a state detector (60) for detecting a state signal indicating the state of the device to be controlled or the waveform signal forming circuit (40); and a gain adjuster (70) built in the waveform signal forming circuit (40) and adjusting the gain of the waveform signal in accordance with any one of the state signals

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,  
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,  
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,  
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,  
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,  
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

---

detected by the state detector (60). The waveform signal adjusted by the gain adjuster (70) is transmitted to the device to be controlled.

(57) 要約：交流電源と被制御装置との間に配置され、被制御装置に信号を送信するノイズ抑制装置(20)であって、特定の信号を検出する検出回路(30)と、この検出回路(30)により検出された特定の信号から所定の波形信号を形成する波形信号形成回路(40)と、波形信号形成回路(40)により形成された波形信号を被制御装置に送信する信号送信器(50)と、被制御装置、あるいは波形信号形成回路(40)の状態を表す状態信号を検知する状態検知器(60)と、波形信号形成回路(40)に内蔵され、状態検知器(60)により検知した状態信号のいずれか一に応じて、波形信号のゲインを調整するゲイン調整器(70)と、を備え、ゲイン調整器(70)で調整された波形信号を被制御装置に送信するようにした。

## 明 細 書

発明の名称：ノイズ抑制装置

### 技術分野

[0001] 本願は、ノイズ抑制装置に関するものである。

### 背景技術

[0002] 従来のノイズフィルタに代表されるノイズ抑制装置は、インバータ装置と系統との間に配線されている電源線に生じる高周波ノイズを低減するために、ノイズ経路に直列に接続されるチョークコイルと、ノイズ経路に並列に接続されるコンデンサ等の組合せで構成される。

[0003] このノイズ抑制装置については、ノイズ低減効果を高めつつ小型化、あるいは軽量化を図るために、高周波ノイズ検出手段と、検出された高周波ノイズを増幅する高周波増幅手段と、増幅された高周波ノイズを逆位相で電源線に電磁的に注入する補助巻線を設けた注入トランスとにより高周波ノイズを低減させる、アクティブノイズキャンセル技術がある。

[0004] 具体的には、三相電源ラインと電力変換装置の間に、コモンモード電流検出手段（例えば零相CT（Current Transformer）等）、補償演算部、電流発生手段、コモンモードトランスを設け、三相電源ラインのコモンモード電流を検出し、補償演算部で演算した相殺電流を、コモンモードトランスの補助巻線に注入しているものがある（例えば、特許文献1参照）。

[0005] また、三相電源ラインと電力変換装置の間に、コンデンサを用いたコモンモード電圧検出手段、電圧発生手段、コモンモードトランスを設け、電力変換装置のコモンモード電圧を検出し、補償演算部で相殺用の補償電圧を演算し、コモンモードトランスの補助巻線に注入しているものがある（例えば、特許文献2参照）。

### 先行技術文献

### 特許文献

[0006] 特許文献1：特許第4238638号公報

特許文献2：特許第5263663号公報

## 発明の概要

### 発明が解決しようとする課題

- [0007] 上記特許文献1あるいは特許文献2で説明したコモンモードトランスを介して補償電圧ないしは相殺電流を送信する、能動素子を用いたノイズ抑制装置においては、トランスコアの磁束飽和、あるいはノイズ抑制装置の保護が制約となり、装置の小型化、あるいは低コスト化の妨げとなっていた。
- [0008] 具体的には、電力変換装置に瞬時過負荷、あるいは瞬時不平衡が生じた場合において、ノーマルモード電流の一時的な増加により、トランスコア内のノーマル成分磁束が一時的に増加するという問題がある。また、トランスコアの磁気飽和を回避するために、トランスコアが大型化してしまうという問題がある。
- [0009] 本願は、上記のような課題を解決するための技術を開示するものであり、能動素子を用いたノイズ抑制装置を小型、かつ低コストで実現することを目的としている。

### 課題を解決するための手段

- [0010] 本願に開示されるノイズ抑制装置は、交流電源と被制御装置との間に配置され、前記被制御装置に信号を送信するノイズ抑制装置であって、特定の信号を検出する検出回路と、この検出回路により検出された特定の信号から所定の波形信号を形成する波形信号形成回路と、当該波形信号形成回路により形成された波形信号を前記被制御装置に送信する信号送信器と、前記被制御装置、あるいは前記波形信号形成回路の状態を表す状態信号を検知する状態検知器と、前記波形信号形成回路に内蔵され、前記状態検知器により検知した前記いずれかの状態信号に応じて、前記波形信号のゲインを調整するゲイン調整器

と、

を備え、

前記ゲイン調整器で調整された波形信号を前記被制御装置に送信することを特徴とするものである。

### 発明の効果

[0011] 本願に開示されるノイズ抑制装置によれば、能動素子を用いたノイズ抑制装置を小型、かつ低コストで実現することができる。

### 図面の簡単な説明

[0012] [図1]本願に係るノイズ抑制装置の適用先である電力変換システムの回路を示す概要図である。

[図2]典型的な2レベルの三相インバータの回路の一例を示す図である。

[図3]本願に係るノイズ抑制装置の適用先である電力変換システムの共通モード等価回路を示す図である。

[図4]実施の形態1に係るノイズ抑制装置の回路を説明するための図である。

[図5]実施の形態1、2、3、4、5に係る検出回路の構成例を示す図である。

。

[図6]実施の形態1、2、3、4、5に係る波形信号形成回路の一例を示す図である。

[図7]実施の形態1、2、3、4、5に係る信号送信器の構成例を示す図である。

[図8]実施の形態1、2、3、4、5に係るゲイン調整器の構成例を示す図である。

[図9]実施の形態1、2、3、4、5に係るゲイン調整器の構成例の動作の一例を示す図である。

[図10]実施の形態2に係るノイズ抑制装置の一例を示す回路図である。

[図11]実施の形態1、2、3、4、5に係る状態検知器の構成例を示す図である。

[図12]実施の形態4に係るノイズ抑制装置の一例を示す回路図である。

[図13]本願のノイズ抑制装置の信号処理に係るハードウェアの一例を示す図である。

### 発明を実施するための形態

[0013] 本願は、交流電源に接続され任意の交流電圧を出力する電力変換装置等で発生する高周波ノイズを低減するノイズ抑制装置に関するものであり、以下、このノイズ抑制装置について、図面を参照しながら説明する。

[0014] また、以下の図面において、同一の符号を付したものは、同一またはこれに相当するものであり、以下に記載する実施の形態の全文において共通することとする。そして、明細書全文に表されている構成要素の形態は、あくまでも例示であって明細書に記載された形態に限定するものではない。特に構成要素の組み合わせは、各実施の形態における組み合わせのみに限定するものではなく、他の実施の形態に記載した構成要素を別の実施の形態に適用することができる。

[0015] 実施の形態1.

図1は、本願に係るノイズ抑制装置の適用対象である電力変換システム100の回路を示す概要図である。交流電源1と、被制御装置である電力変換装置80と、その負荷90と、交流電源1と電力変換装置80の間を接続する交流電源と電力変換装置間の電源線2と、電力変換装置80の動作により生じ交流電源1へ流出するノイズを抑制するために設けられ交流電源1と電力変換装置80間の電源線に挿入されるノイズフィルタ10と、で構成される、電力変換システム100を示したものである。

[0016] 電力変換装置80の一例として、図2に典型的な2レベルの三相インバータの回路図を示す。負荷としては、例えば電動機などが接続される。半導体スイッチ82aと半導体スイッチ82bの組合せでU相上下アーム83を構成し、同様に、半導体スイッチ84aと半導体スイッチ84bの組合せでV相上下アーム85を構成し、半導体スイッチ86aと半導体スイッチ86bの組合せでW相上下アーム87を構成している。これら3種類の上下アーム83、85、87がスイッチング動作を行うことにより、インバータ出力端

88に交流電力を出力する。このとき、U相V相W相の各アームの出力電位はインバータ直流電源89の正電圧ないしは負電圧のいずれか一方をとるため、インバータのコモンモード電圧 $V_{cm}$ は、ゼロではない一定の値である、 $(V_u + V_v + V_w) / 3$ で示される。

[0017] 図3は、上述の電力変換システム100の、コモンモード等価回路である。ノイズフィルタ10に含まれる接地コンデンサ11、あるいは電力変換装置80の対地寄生容量81、負荷90の対地寄生容量91、および接地線3を介するコモンモードループに、前記コモンモード電圧が印加され、コモンモード電流が流れる。なお、交流電源1とノイズフィルタ10の間に示した矢印は発生するコモンモードノイズ4を示す。

[0018] 図4は、実施の形態1に係るノイズ抑制装置20の回路である。ノイズ抑制装置20（図の内側の点線の枠を参照）は、かかる電力変換システムのコモンモードノイズを低減させることを目的とし、ノイズフィルタ10（図の外側の点線の枠を参照）の一部ないしは全てを構成する。本実施の形態では、接地コンデンサ11とノイズ抑制装置20によってノイズフィルタ10を構成している。

[0019] このノイズ抑制装置20は、ノイズなどの特定の信号を検出する検出回路30と、この検出回路30から検出された成分をもとに所望の波形信号を形成する波形信号形成回路40と、形成した波形信号をコモンモードへ送信する注入トランス50などで構成される信号送信器と、電力変換装置80、あるいは波形信号形成回路40自身の動作状態を検知する状態検知器60と、検知した信号に応じて所定の量、あるいは所定のタイミングだけゲインを調整するゲイン調整器70で構成される。

[0020] 図5は、実施の形態1、2、3、4、5に係る検出回路30の構成例であり、検出回路をコモンモードトランスで構成した場合を示す。検出トランスは、交流電源1と被制御装置である電力変換装置80間のRST相動力線に挿入され、R相巻線31、S相巻線32、T相巻線33は同相に巻かれている。このとき、ノーマルモードの発生磁束は相殺され、コモンモードの発生

磁束は強め合うため、検出コイルは、コモンモードのみ高いインダクタンス値を備え、コモンモードチョークコイルとして働く。さらに、検出トランスを通過するコモンモードノイズ4によって、補助巻線34の両端に、ノイズ検出信号35が生じる。補助巻線の出力両端は、波形信号形成回路40へと接続される。

[0021] 図6は、実施の形態1、2、3、4、5に係る波形信号形成回路の一例であり、帯域制限回路41と高周波増幅回路42で構成した場合を示す。帯域制限回路41はたとえば抵抗とコンデンサで構成されるパッシブフィルタにより、ノイズ補償に不要となる低周波成分を減衰させる。高周波増幅回路42は、たとえばオペアンプ45を用いて反転ないしは非反転増幅回路を形成し、帯域制限回路41によって不要成分をカットされた信号を、入力抵抗43と帰還抵抗44の比に応じて増幅させる。

[0022] 図7は、実施の形態1、2、3、4、5に係る信号送信器の構成例であり、信号送信器をコモンモードトランスで構成した場合を示す。注入トランス50は、検出回路30と電力変換装置80間のRST相動力線に挿入され、R相巻線51、S相巻線52、T相巻線53は同相に巻かれている。ここで補助巻線54にノイズ注入信号55が入力され、R相巻線51、S相巻線52、T相巻線53のコモンモードに対して、(図示しない)コモンモードノイズを相殺するようなコモンモード注入電圧56が入力される。

[0023] ここで、電力変換装置80が負荷急変などにより一時的な過負荷あるいは不平衡状態になる場合、負荷電流値が一時的に上昇するため、信号送信器に生じるノーマル成分の磁束が一時的に上昇する。信号送信器の1つである注入トランス50に生じる磁束は、漏れインダクタンスとノーマル電流の積により発生するノーマル成分の磁束と、ノイズ抑制装置の能動的な動作により生じるコモンモード成分の磁束の和である。このうちノーマル成分の磁束が上昇し、コア内の磁束密度が上昇する。

[0024] 換言すると、コアの磁気飽和を生じさせないためには、一時的な過負荷あるいは不平衡状態のノーマル成分磁束の上昇を考慮してコモンモードトラン

スのコア磁気設計を行わねばならず、コアのサイズは大きくなり、小型化、あるいは低コスト化の妨げとなる課題があった。

[0025] 本実施の形態では、ノイズ抑制装置に備えた（図示しない）注入電流センサから出力される、注入電流の電流状態信号68aを状態検知器60に入力し、入力値が所定の閾値を超えた場合（例えば過電流の場合）に、ゲイン調整器70を用いてゲインを所定の時間だけ低下させることができる。これにより、コアに生じる磁束のうち、ノイズ抑制装置の能動的な動作により生じるコモンモード成分の磁束が一時的に減少し、コアの磁気飽和を回避することができる。なお、上記電流状態信号、及び後述する保護状態信号、特定状態信号、動作状態信号を総称して状態信号と呼ぶ。

[0026] 本願の構成要素を示す図8、および図9に従い、本実施の形態1の動作を説明する。

図8は、実施の形態1、2、3、4、5に係るゲイン調整器70の構成例であり、ゲイン調整器70をアップダウン式のデジタルポテンショメータで構成した場合を示す。ここでは、ゲイン調整器70は、制御IC71とデジタルポテンショメータ72で構成される。

[0027] 図9は、実施の形態1、2、3、4、5に係る図8のゲイン調整器70の構成例の動作の一例を示すものである。図8および図9中では状態検知器60が検知する信号の1つである状態検知信号60aを（ローレベルで有効となる）ローアクティブ信号DETECTで表記している。ローアクティブ信号DETECTは、タイミングt1でハイからローになって任意状態を検知し、タイミングt2でローからハイになって任意状態の検知を終了する。

[0028] ここで、制御IC71は、タイミングt1でデジタルポテンショメータ72のチップセレクト信号73をハイ（抵抗値の切り替え不可状態）からロー（抵抗値の切り替え可能状態）に切り替えて、アップダウン制御入力74をハイ（アップカウント）からロー（ダウンカウント）に切り替える。ここで、制御IC71の3つの信号の論理はすべて負論理であり、ローレベルで有効となる。

[0029] このときデジタルポテンショメータ72は、インクリメント制御入力75のハイからローの立下りに同期し、抵抗値76が、アップダウン制御入力74のハイ状態、あるいはロー状態に従って所定の分解能幅で上昇または低下する。

ここではアップダウン制御入力74がロー（ダウンカウント）のため、抵抗値76が低下し、高周波増幅回路42の増幅ゲインは低下する。その後、タイミングt2となり、インクリメント制御入力75がカウント停止しハイとなった後、チップセクタ信号を所定の復帰時間77だけ遅延させてローからハイへと切り替え、低下した抵抗値76をデジタルポテンショメータの不揮発メモリへ記録することなく、抵抗値76を初期値へと復帰させる動作を行う。この復帰動作により、一時的に増加した増幅ゲインが、過電流状態の解除に伴い、所定の復帰時間後に再び元の値に復帰する。

[0030] ここで、電力変換装置80において負荷変動などの要因により、一時的な過負荷状態が生じるとき、信号送信器の1つである注入トランス50におけるコア磁束について、ノーマルモード成分の磁束が一時的に増加してしまうため、コアの磁束飽和を避けるためには、一時的な過負荷状態も考慮のうえ、コアの磁束設計をしなければならなかった。

[0031] 本願では、被制御装置である電力変換装置80から得られる電流状態信号68bを状態検知器60に入力し、入力値が所定の閾値を超えた場合に、ゲイン調整器70を用いてゲインを所定の時間低下させ、保護状態が解除されたのちに所定の復帰時間をもって増幅ゲインを再び元の値に戻すことができる。これにより、信号送信器の1つである注入トランス50のコアの磁束設計において、一時的な過負荷状態による設計制約を生じさせず、ノイズ補償動作を実現することができる。

[0032] 以上より、電力変換装置80が一時的な過電流になり、コモンモードとノーマルモードの和で示されるコア磁束のうちノーマルモード成分の磁束が一時的に増加した場合、波形信号形成回路によって注入トランスに送信されるコモンモード成分の磁束を一時的に低下させることによってコアの最大磁束

密度を低減することで、コアサイズを小型化することができ、ノイズ抑制装置の小型化および低コスト化を実現することができる。

[0033] なお、電流センサ出力は、ノイズ抑制装置が備えるものでもよく、直接的な電流の検出量でなく、装置からのI/O信号（たとえば過電流状態通知信号、負荷急変通知信号など）であってもよい。

[0034] なお、帯域制限回路は低周波を抑制するハイパスフィルタのみならず、高周波を抑制するローパスフィルタ、特定帯域を抑制するノッチフィルタ、特定帯域を通過させるバンドパスフィルタなど、本願の趣旨を逸脱しない範囲で自由に構成することができる。また、高周波増幅回路は、オペアンプをもちいた反転増幅回路、非反転増幅回路など、本願の趣旨を逸脱しない範囲で自由に構成することができる。

[0035] また、本実施の形態の構成は、三相三線式の電力変換システムのみならず、三相四線式の電力変換システムであってもよい。さらに、ゲイン調整器は、制御ICと通信インターフェースを持つデジタルポテンショメータの組合せ、アナログ回路網とアップダウン式デジタルポテンショメータの組合せ、あるいは半導体スイッチを用いた抵抗短絡回路ないしは異なるアナログ制御回路網同士のロードスイッチの切り替えによる抵抗およびコンデンサ容量値の切り替え、抵抗値を可変できる電子抵抗による抵抗値の切り替えなど、本願の趣旨を逸脱しない範囲で自由に構成することができる。

[0036] 実施の形態2.

図10は、実施の形態2に係るノイズ抑制装置20の回路である。

実施の形態2に係るノイズ抑制装置20が、実施の形態1に係るノイズ抑制装置20と異なる点は、状態検知器60に入力される信号が、電流状態信号68aの代わりに保護状態信号65となる点である。

[0037] ここで、波形信号形成回路40において何らかの理由で注入電流が過電流となる場合（たとえば雷サージ等の外来ノイズ侵入によりノイズ注入手段である信号送信器のコモンモードトランスが瞬時磁気飽和を起こした場合）、波形信号形成回路40の回路部品保護のために、装置動作を停止する必要が

ある。しかし、波形信号形成回路40の回路部品に保護回路内蔵の部品を選定することで、この動作を実現する場合、一般に保護回路内蔵部品は高価であることと、ラインナップ上の制約があり、設計制約が生じてしまう課題があった。

[0038] 図11は、実施の形態1、2、3、4、5に係る状態検知器60の構成例であり、状態検知器60を、単体の注入電流の過電流検出回路で構成した場合を示す。ここでは、波形信号形成回路40の出力と信号送信器の1つである注入トランス50の入力に対して、直列に挿入されたシャント抵抗61と、注入電流値に比例してシャント抵抗の両端に生じる注入電流検出電圧を所定の閾値と比較するコンパレータ62と、コンパレータ62に所定の閾値を供給する閾値作成回路63とで構成され、コンパレータ62の出力が注入電流の過電流検出信号となる。

[0039] この他、状態検知器60には、被制御装置である電力変換装置80から特定の状態を示す特定状態信号66（たとえば装置が過負荷状態であることを示す過負荷状態検出信号）をI/Oポートより受け取るインターフェース回路が追加されていてもよい。さらには、注入回路の発熱部品を冷却するための冷却フィンに具備したサーミスタからの過熱状態検出信号を受け取るインターフェース回路が追加されてもよい。

[0040] 本実施の形態のノイズ抑制装置では、波形信号形成回路40に備えた安価なシャント抵抗61などの適宜の手段によって得られる保護状態信号65を状態検知器60に入力し、入力値が所定の閾値を超えた場合に、ゲイン調整器70を用いてゲインを所定の時間低下させ、保護状態が解除されたのちに所定の復帰時間をもって増幅ゲインを再び元の値に戻すことができる。

[0041] これにより、波形信号形成回路40の回路部品の選定において、設計制約を生じさせず、保護動作を実現することができる。

[0042] 以上より、コアの磁気飽和が生じてノイズ補償用の注入電流が過電流になったときに、コモンモード成分とノーマルモード成分の和で示されるコア磁束のうち、コモンモード成分の磁束を一時的に減少させることによってコア

の最大磁束密度を低減することで、コアサイズを小型化することができ、ノイズ抑制装置の小型化および低コスト化を実現することができる。

[0043] 実施の形態3.

実施の形態3は、図10に示す実施の形態2の変形例である。

実施の形態3に係るノイズ抑制装置20が、実施の形態2に係るノイズ抑制装置20と異なる点は、保護状態信号を検知したのちの、ゲイン調整器70の動作について、所定の復帰時間経過後に、直ちに元の増幅ゲインに復帰させずに、段階的に増幅ゲインを微小値まで下げたのちに、再び上昇させて復帰に至る点である。

[0044] ここで、波形信号形成回路40の何らかの保護動作によりノイズ抑制装置20の出力が遮断された場合を考える。このとき、出力遮断直前のコア磁性材のヒステリシス特性にしたがって、コア内部には残留磁束が生じる。保護動作の働いた原因が取り除かれ、ノイズ抑制装置20が再び出力を始めるとすると、通常のゲインでノイズ抑制装置が動作すると、通常生じる磁束に残留磁束が加わることで、コモンモードトランスコアの磁気飽和の恐れがある。コア磁性材中でも、高い透磁率のコア、たとえばファインメット等の高透磁率のナノ結晶磁性材では、一般的なフェライト材と比べて残留磁束が大きいため、問題となる。

[0045] 本願では、ノイズ抑制装置20が再始動する際に、波形信号形成回路40の補償ゲインを、保護動作がはたらく以前の値に戻す際に、段階的に増幅ゲインを微小値まで低下させる動作を行うことで残留磁束を消磁することができる。

[0046] これにより、磁気飽和によるラッシュ電流の発生を回避することによって、残留磁束の大きなコア磁性材を適用することができる。また、ノイズ抑制装置20が保護動作による遮断後、再び出力を開始する際に、補償ゲインを所定の時間をかけて段階的に上昇させることで、波形信号形成回路40をソフトスタートさせ、回路消費電流のオーバーシュートを抑制し、回路電源容量の低減を図ることができる。

[0047] 実施の形態 4.

図 12 は、実施の形態 4 に係るノイズ抑制装置の回路である。

実施の形態 4 に係るノイズ抑制装置 20 が、実施の形態 2 に係るノイズ抑制装置 20 と異なる点は、状態検知器 60 に入力される信号が、保護状態信号 65 の代わりに動作状態信号 69 a となる点である。

[0048] ここで、電力変換装置 80 が複数の運転モードを持っている場合、装置の運転モードが切り替わると、半導体スイッチのスイッチングパターンが変化することにより、一般にノイズの振幅と発生周波数が変化し、ノイズ規格を満たすためにノイズ抑制装置 20 に必要となる減衰量、あるいは周波数特性が変化してしまう。

[0049] このため、すべての運転モードに対応したノイズ抑制装置 20 の設計を行うことは難しく、ノイズ抑制装置 20 の回路部品定格ならびに回路電源容量の低減、あるいはノイズ抑制効果の最大化の妨げとなっていた。

[0050] 本実施の形態では、電力変換装置 80 から得られる動作状態信号 69 b を状態検知器 60 に入力し、ゲイン調整器 70 を用いて、波形信号形成回路 40 の増幅ゲインを動作状態信号 69 b の値に応じた所定の増幅ゲインに変化させることができる。

[0051] これにより、波形信号形成回路 40 および信号送信器の 1 つである注入トランス 50 のコアの磁束設計において、運転モードによるノイズ抑制装置 20 の設計制約を生じさせず、ノイズ補償動作を実現することができる。

[0052] 以上より、電力変換装置 80 が異なるノイズ振幅と発生周波数をもつ複数の運転モードを持っている場合に、それぞれのノイズ振幅と発生周波数のパターンに応じて、波形信号形成回路 40 の増幅ゲインを動作状態信号 69 a の値に応じた所定の増幅ゲインに変化させることによって、波形信号形成回路 40 および信号送信器の 1 つである注入トランス 50 のコアサイズを小型化することができ、ノイズ抑制装置 20 の回路部品定格ならびに回路電源容量を低減するとともに、ノイズ抑制効果を最大化することができる。

[0053] 実施の形態 5.

実施の形態5は、実施の形態1、2、3、4の変形例である。

ここで、上記の実施の形態1による波形信号形成回路40の保護動作について、典型的には、装置、あるいはトランスの発熱により、ノイズ量ないしはノイズの周波数帯域が異なるものに推移した場合、最適な補償ゲインが変化することで、連続して保護動作が働き続ける恐れがある。

[0054] これを回避するためには、典型的には、熱、あるいは電気的条件上のロバスト性も考慮のうえ、ノイズ減衰量、あるいは回路電源容量を設計せねばならず、小型化あるいは低コスト化の妨げとなっていた。

[0055] 本実施の形態では、所定の時間幅内で所定の回数以上、連続して保護動作が働いた場合に、最適な増幅ゲインが低い値に変化したとみなし、ゲイン調整器70によって所定の幅だけ増幅ゲインを恒久的に低下させる。

[0056] 実現手段としては、図10に示した実施形態1の動作例とは異なり、所定の復帰時間の経過後に、インクリメント制御入力75をロー状態ではなくハイ状態のまま、チップセレクト信号73を立ち上げることにより、ゲイン調整器70のデジタルポテンショメータ72（図8参照）の設定抵抗値の設定を不揮発メモリに書き込むことで、恒久的に増幅ゲインを所定の幅だけ低下させる。

[0057] さらには、所定の時間幅内で、保護動作が一切働かない場合に、最適な増幅ゲインがより高い値にあるとみなし、ゲイン調整器によって所定の幅だけ増幅ゲインを恒久的に増加させることもできる。これにより、小型でかつ低コストであり、ロバストなノイズ抑制装置を実現させることができる。

[0058] なお、本願のノイズ抑制装置の信号処理に係るハードウェア92の一例を図13に示す。この図に示すように、本装置の信号処理に係るハードウェア92（具体的には、図4、図10、図12に示す波形信号形成回路40、あるいは状態検知器60の少なくとも一部が該当する）には、プロセッサ93と記憶装置94が含まれる。記憶装置は図示していないが、ランダムアクセスメモリ等の揮発性記憶装置と、フラッシュメモリ等の不揮発性の補助記憶装置とを具備する。また、フラッシュメモリの代わりにハードディスクの補

助記憶装置を具備してもよい。プロセッサ93は、記憶装置94から入力されたプログラムを実行する。この場合、補助記憶装置から揮発性記憶装置を介してプロセッサ93にプログラムが入力される。また、プロセッサ93は、演算結果等のデータを記憶装置94の揮発性記憶装置に出力してもよいし、揮発性記憶装置を介して補助記憶装置にデータを保存してもよい。

## 符号の説明

- [0059] 1 交流電源、2 交流電源と電力変換装置間の電源線、3 接地線、4 コモンモードノイズ、10 ノイズフィルタ、11 接地コンデンサ、20 ノイズ抑制装置、30 検出回路、31、51 R相巻線、32、52 S相巻線、33、53 T相巻線、34、54 補助巻線、35 ノイズ検出信号、40 波形信号形成回路、41 帯域制限回路、42 高周波増幅回路、43 入力抵抗、44 帰還抵抗、45 オペアンプ、50 注入トランス、55 ノイズ注入信号、56 コモンモード注入電圧、60 状態検知器、60a 状態検知信号、61 シャント抵抗（電流検出抵抗）、62 コンパレータ、63 閾値作成回路、65 保護状態信号、66 特定状態信号、68a、68b 電流状態信号、69a、69b 動作状態信号、70 ゲイン調整器、71 制御IC、72 デジタルポテンショメータ、73 チップセレクト信号、74 アップダウン制御入力、75 インクリメント制御入力、76 抵抗値、77 復帰時間、80 電力変換装置、81、91 対地寄生容量、82a、82b、84a、84b、86a、86b 半導体スイッチ、83 U相上下アーム、85 V相上下アーム、87 W相上下アーム、88 インバータ出力端、89 インバータ直流電源、90 負荷、92 ハードウェア、93 プロセッサ、94 記憶装置、100 電力変換システム、 $V_{cm}$  コモンモード電圧

## 請求の範囲

- [請求項1] 交流電源と被制御装置との間に配置され、前記被制御装置に信号を送信するノイズ抑制装置であって、  
特定の信号を検出する検出回路と、  
この検出回路により検出された特定の信号から所定の波形信号を形成する波形信号形成回路と、  
当該波形信号形成回路により形成された波形信号を前記被制御装置に送信する信号送信器と、  
前記被制御装置、あるいは前記波形信号形成回路の状態を表す状態信号を検知する状態検知器と、  
前記波形信号形成回路に内蔵され、前記状態検知器により検知した前記状態信号のいずれかーに応じて、前記波形信号のゲインを調整するゲイン調整器と、  
を備え、  
前記ゲイン調整器で調整された波形信号を前記被制御装置に送信することを特徴とするノイズ抑制装置。
- [請求項2] 前記状態検知器が波形信号形成回路に過電流が生じたことを検知した場合に、前記過電流の検知時に前記波形信号のゲインを一時的に低下させるとともに、過電流状態が解消された後に前記波形信号のゲインを前記過電流の検知時の大きさに戻すことを特徴とする請求項1に記載のノイズ抑制装置。
- [請求項3] 前記状態検知器は、前記被制御装置に接続された負荷が過負荷状態であることを検知した場合に、前記過負荷状態の検知時に前記波形信号のゲインを一時的に低下させるとともに、前記過負荷状態が解消された後に前記過負荷状態の検知時の前記波形信号のゲインに戻すことを特徴とする請求項1に記載のノイズ抑制装置。
- [請求項4] 前記被制御装置が一時的に動作を停止、または、前記波形信号形成回路が前記状態検知器から入力される前記波形信号形成回路の保護信号

により一時的に動作を停止した後に、停止した前記被制御装置、あるいは停止した前記波形信号形成回路の再起動を行う場合、前記ゲイン調整器にゲインを段階的に低下させる動作を行わせた後、段階的に上昇させる動作を行わせることを特徴とする請求項1に記載のノイズ抑制装置。

[請求項5] 前記被制御装置が複数の運転モードを持つ場合において、前記状態検知器が、前記被制御装置の運転モードが切り替わったことを検知した場合、前記ゲイン調整器が前記波形信号のゲインを各運転モードに応じたゲインに変化させることを特徴とする請求項1に記載のノイズ抑制装置。

[請求項6] 前記波形信号形成回路について、設定した時間以内に所定の回数以上の保護信号を検知した場合に、前記ゲイン調整器が前記波形信号のゲインを所定値幅だけ低下させた値に切り替え、所定の時間を超えて保護動作が生じない場合に、ゲイン調整器が前記波形信号のゲインを所定値幅だけ増加させた値に切り替えることを特徴とする請求項1に記載のノイズ抑制装置。

[請求項7] 前記検出回路および前記信号送信器は、コモンモードトランスで構成されることを特徴とする請求項1に記載のノイズ抑制装置。

[請求項8] 前記波形信号形成回路は、帯域制限回路と高周波増幅回路で構成されることを特徴とする請求項1に記載のノイズ抑制装置。

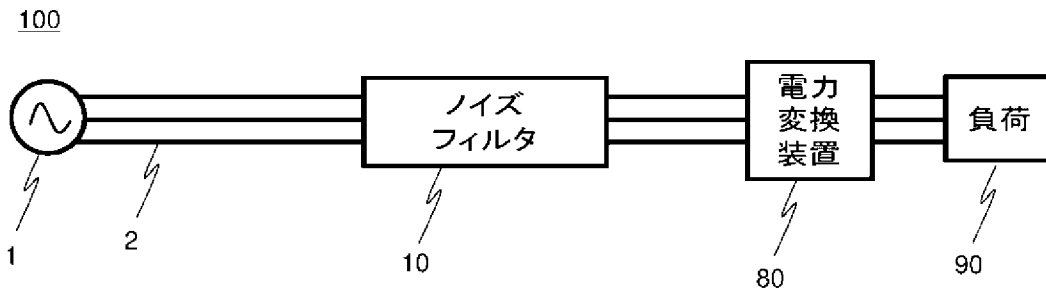
[請求項9] 前記状態検知器は、前記信号送信器に対して直列に接続されたシャント抵抗と、当該シャント抵抗の両端に生ずる電圧を所定の閾値と比較するコンパレータと、当該コンパレータに前記所定の閾値を与える閾値作成回路と、を備えることを特徴とする請求項1に記載のノイズ抑制装置。

[請求項10] 前記ゲイン調整器は、異なる制御回路同士を切り替えるロードスイッチ、回路部品を短絡させて定数を変化させる半導体スイッチ、抵抗値を可変できる電子抵抗のいずれかで構成されることを特徴とする請

求項 1 に記載のノイズ抑制装置。

[図1]

図1



[図2]

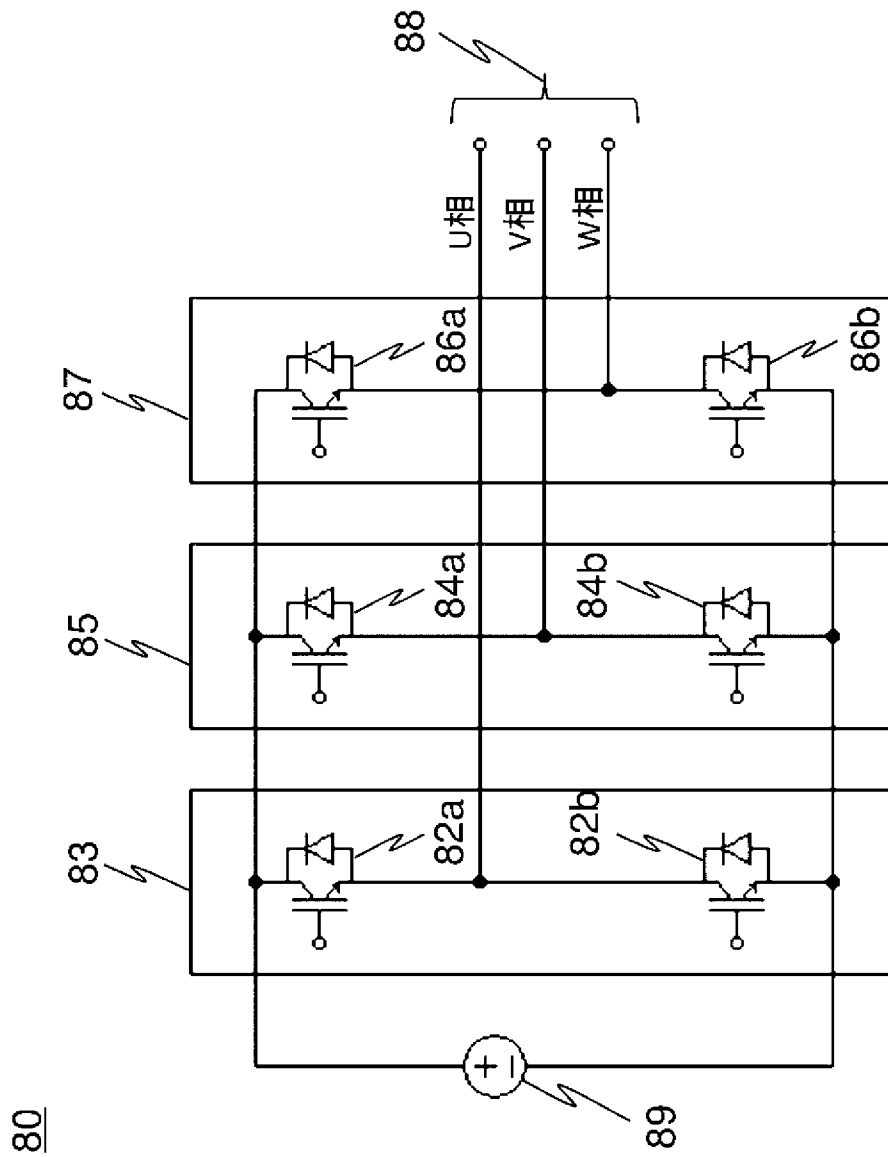
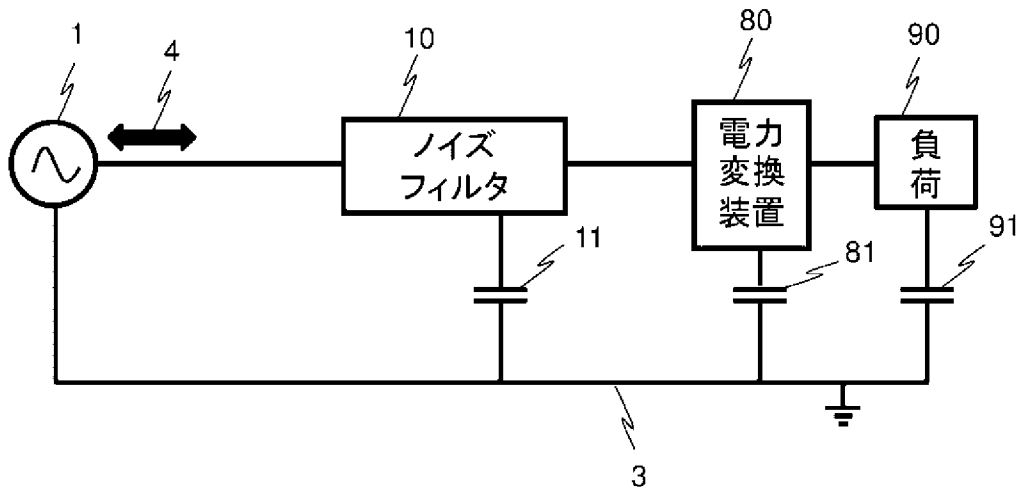


図2

[図3]

図3



[図4]

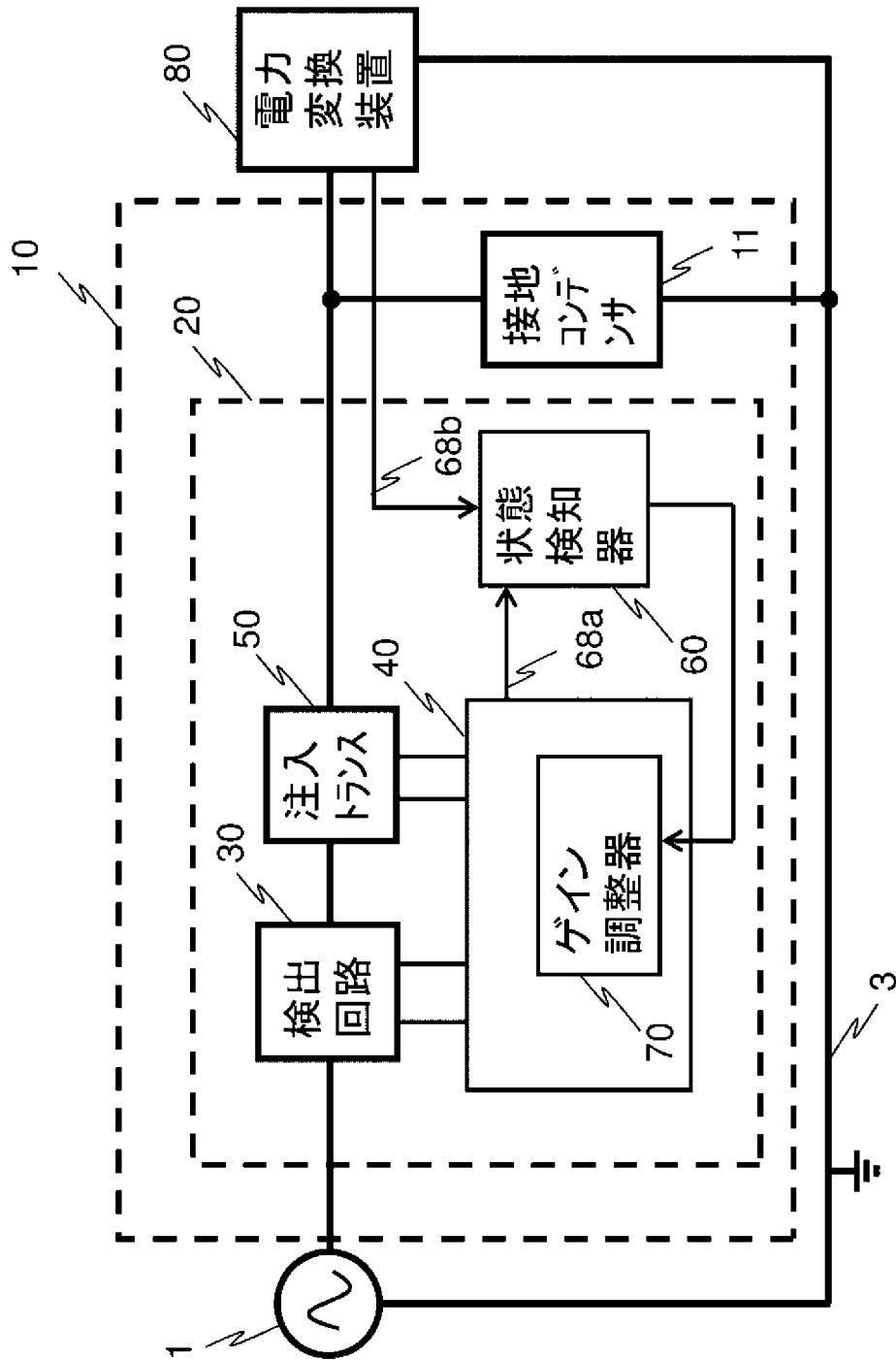
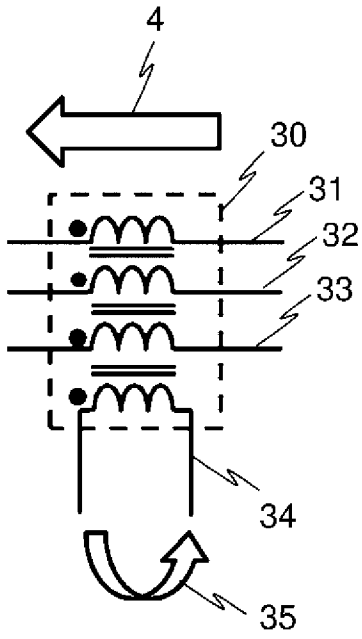


図4

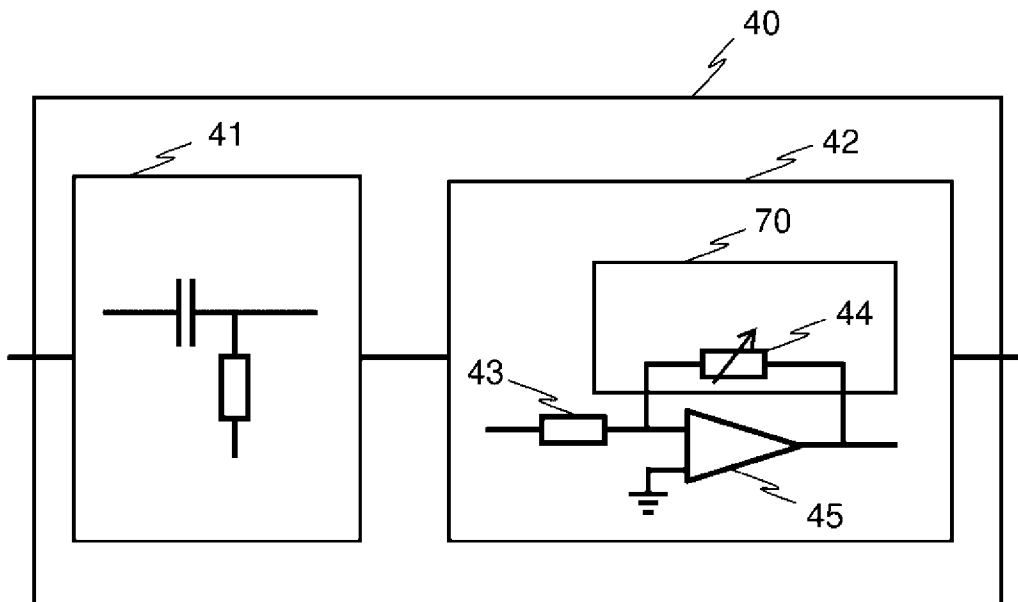
[図5]

図5



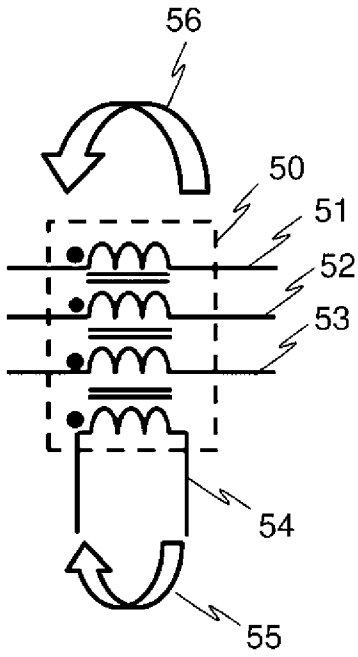
[図6]

図6



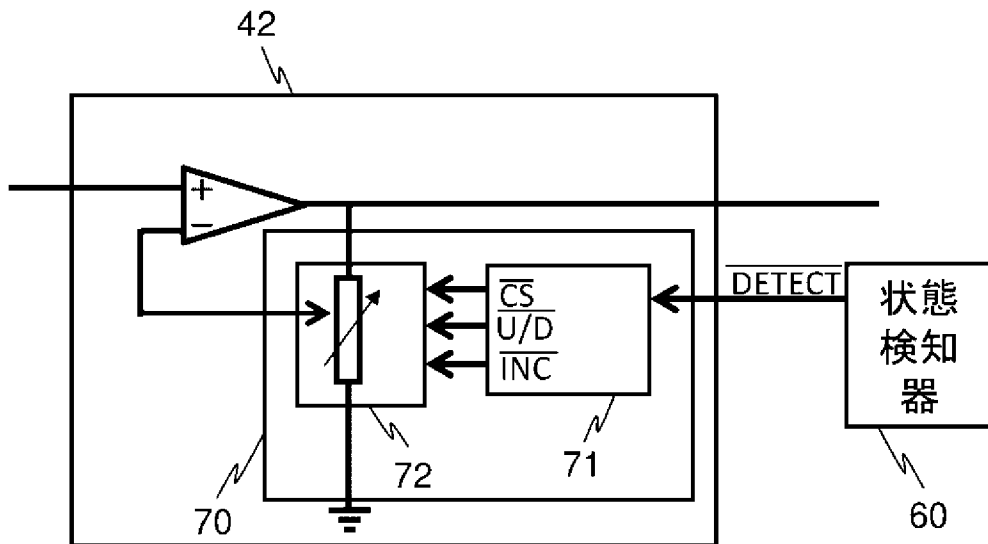
[図7]

図7



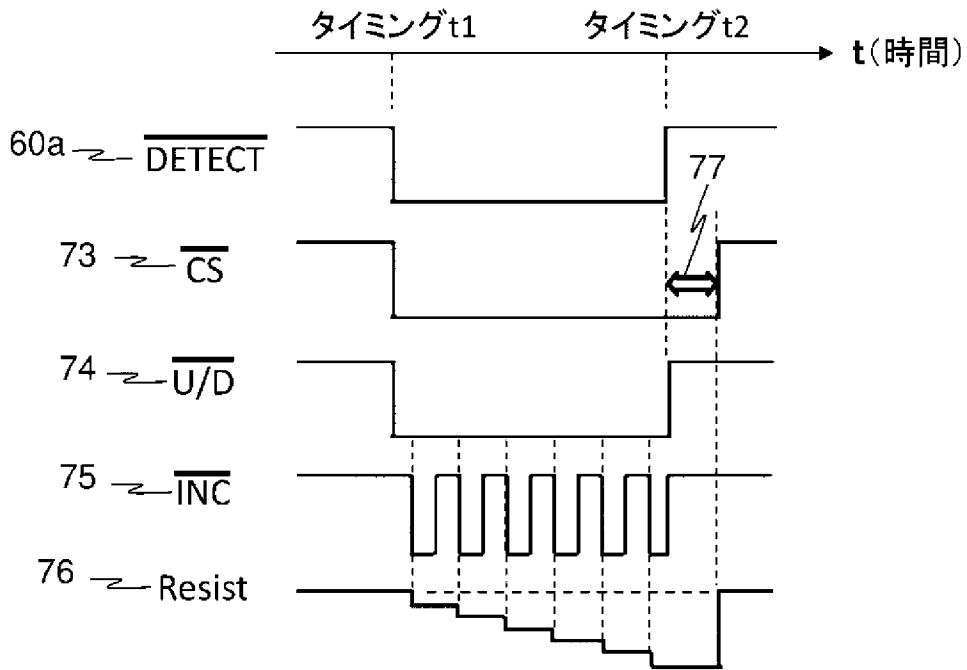
[図8]

図8



[図9]

図9



[図10]

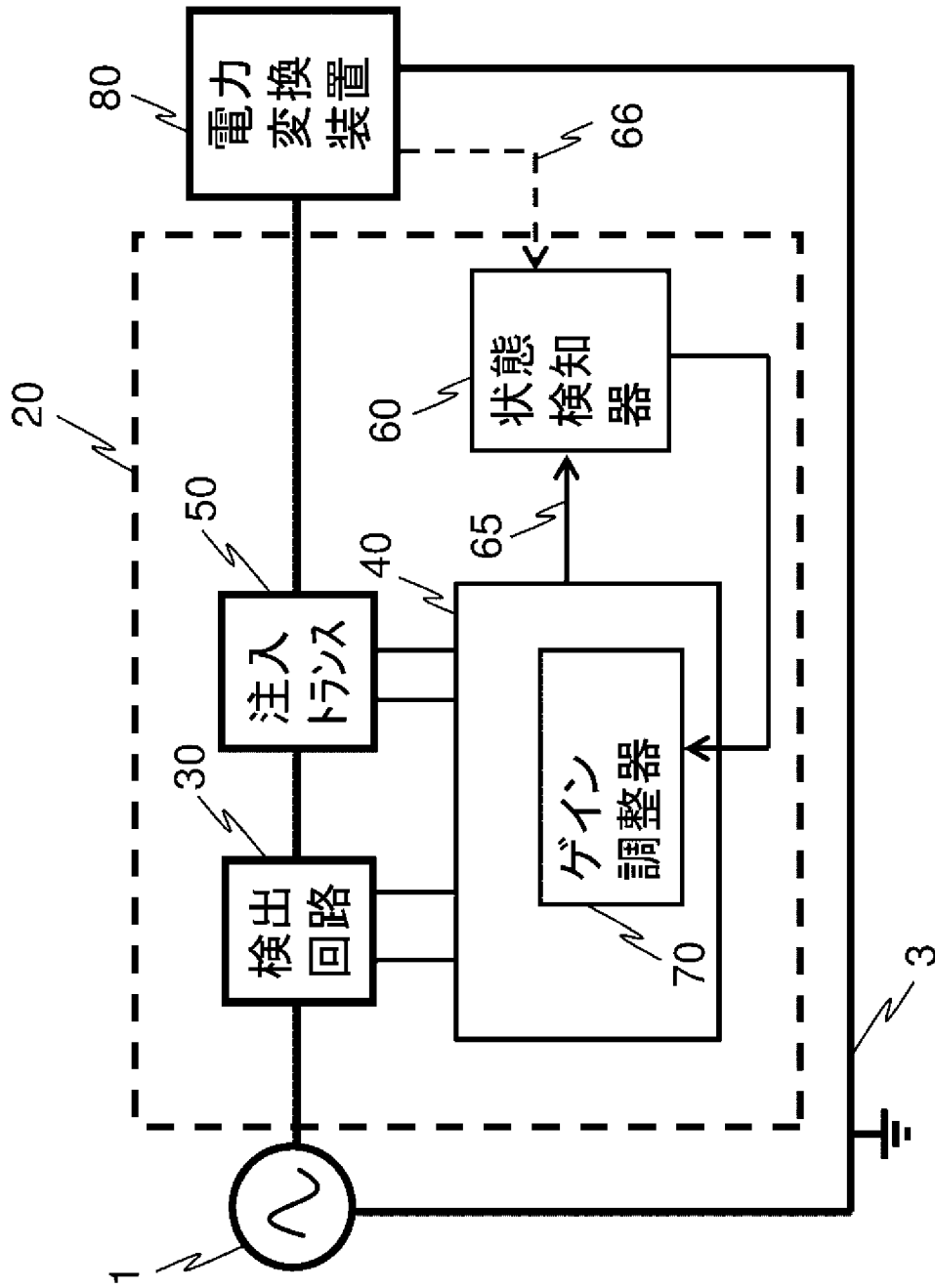


図10

[图11]

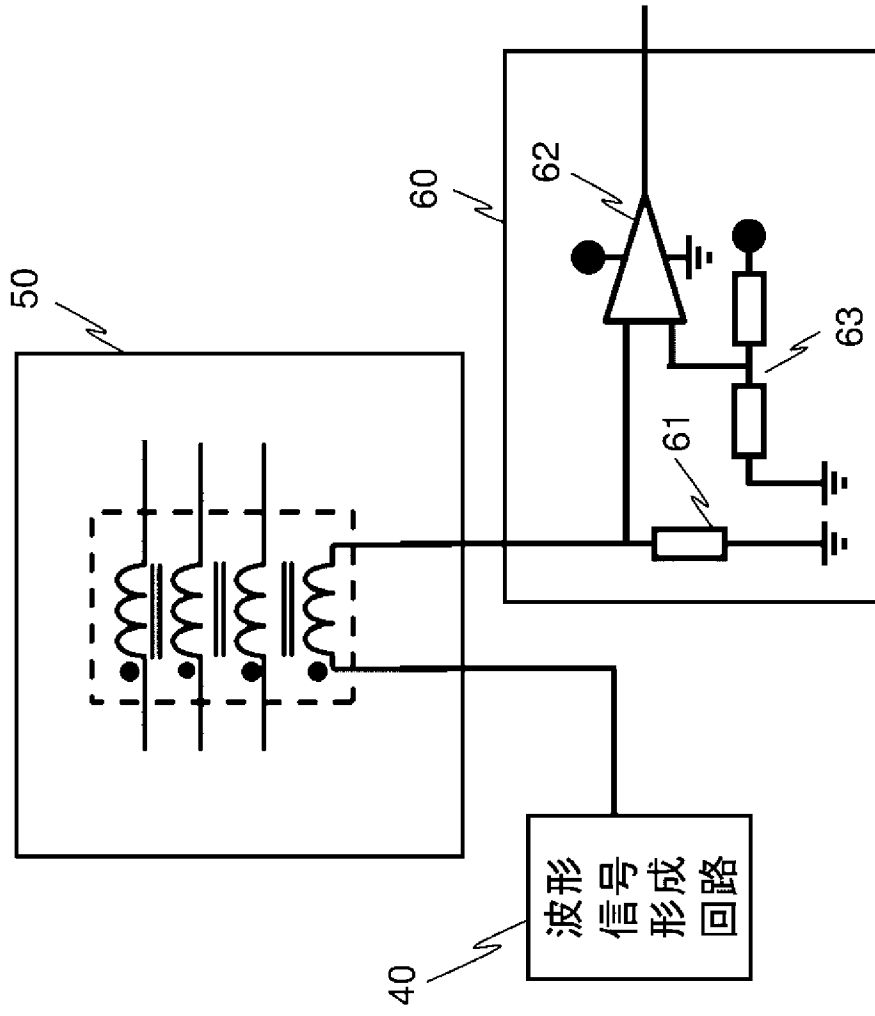


图11

[図12]

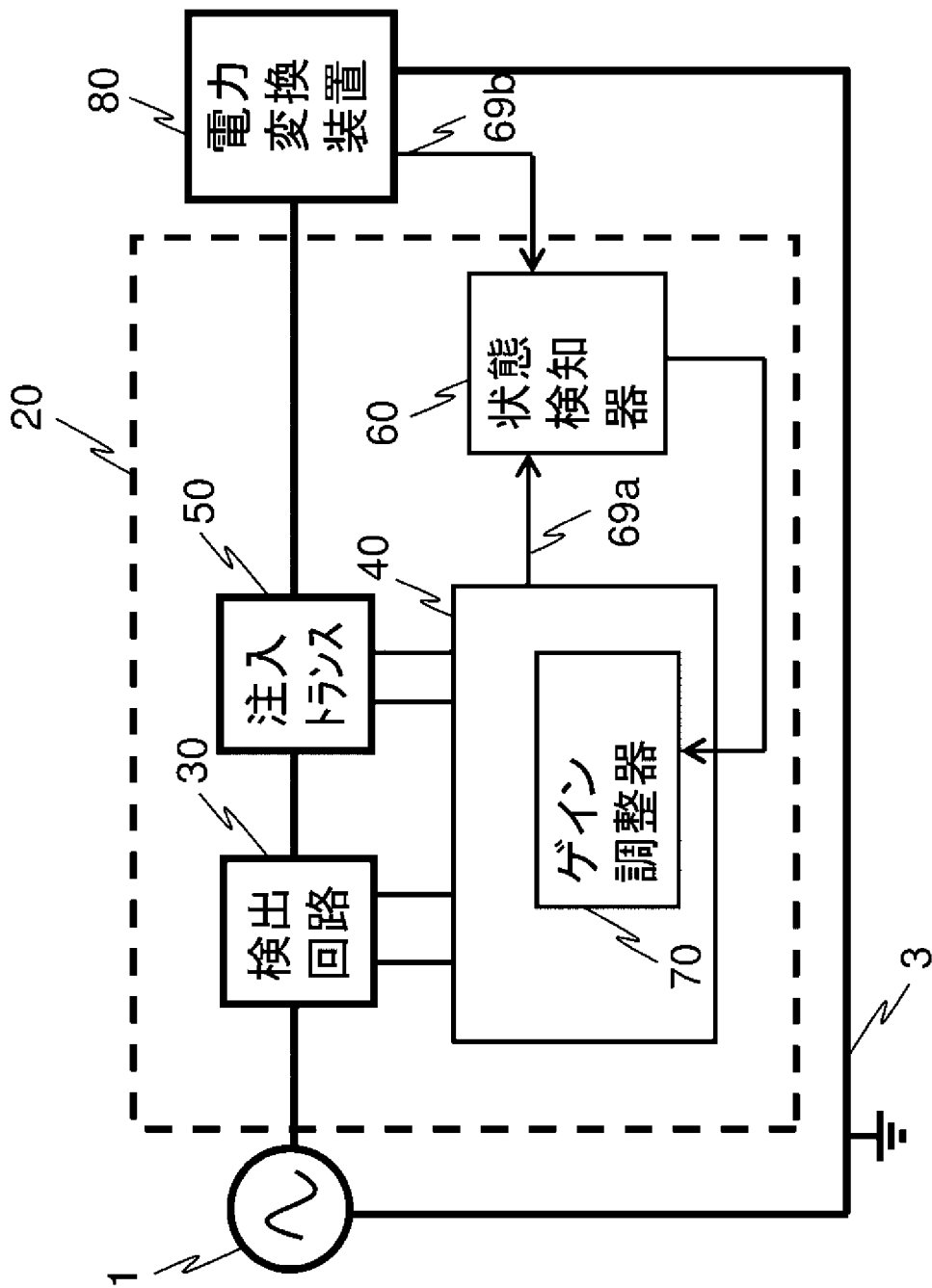
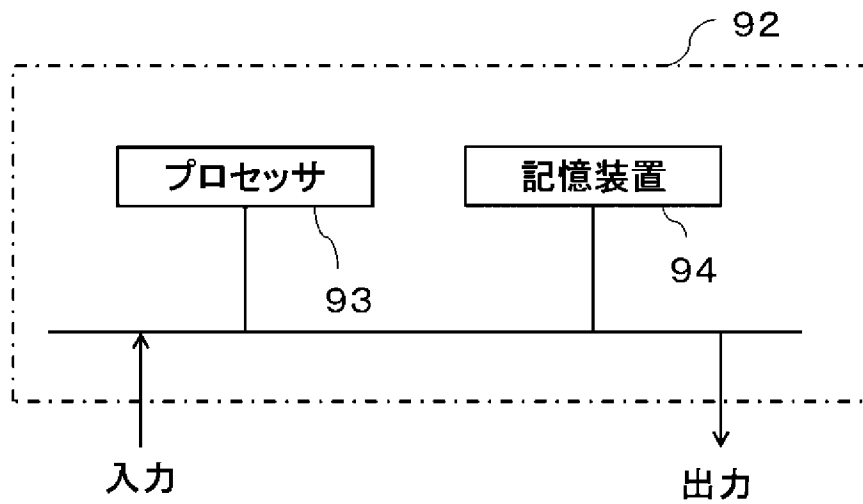


図12

[図13]

図13



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2020/005972

**A. CLASSIFICATION OF SUBJECT MATTER**

Int. Cl. H02M1/12 (2006.01) i, H02M7/48 (2007.01) i  
FI: H02M1/12, H02M7/48 M

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H02M1/12, H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996  
Published unexamined utility model applications of Japan 1971-2020  
Registered utility model specifications of Japan 1996-2020  
Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-57268 A (FUJI ELECTRIC SYSTEMS CO., LTD.) 11 March 2010, paragraphs [0017]-[0030], fig. 1-4,	1-3, 5, 7, 8, 10
A	paragraphs [0017]-[0030], fig. 1-4	4, 6, 9
Y	JP 2004-357421 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 16 December 2004, paragraphs [0013]- [0030], fig. 1	1-3, 5, 7, 8, 10
A	WO 2011/125944 A1 (MITSUBISHI ELECTRIC CORP.) 13 October 2011, entire text, all drawings	1-10
A	JP 2004-357447 A (MEIDENSHA CORP.) 16 December 2004, entire text, all drawings	1-10

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search  
07.04.2020

Date of mailing of the international search report  
19.05.2020

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer  
  
Telephone No.

**INTERNATIONAL SEARCH REPORT**International application No.  
PCT/JP2020/005972

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-204395 A (SANKEN ELECTRIC CO., LTD.) 28 July 2005, entire text, all drawings	1-10

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.  
PCT/JP2020/005972

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2010-57268 A	11.03.2010	(Family: none)	
JP 2004-357421 A	16.12.2004	(Family: none)	
WO 2011/125944 A1	13.10.2011	US 2013/0010506 A1 entire text, all drawings CN 102844975 A	
JP 2004-357447 A	16.12.2004	(Family: none)	
JP 2005-204395 A	28.07.2005	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 1/12(2006.01)i; H02M 7/48(2007.01)i FI: H02M1/12; H02M7/48 M		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H02M1/12; H02M7/48 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-57268 A（富士電機システムズ株式会社）11.03.2010（2010-03-11） 段落17-30, 図1-4	1-3, 5, 7, 8, 10
A	段落17-30, 図1-4	4, 6, 9
Y	JP 2004-357421 A（松下電器産業株式会社）16.12.2004（2004-12-16） 段落13-30, 図1	1-3, 5, 7, 8, 10
A	WO 2011/125944 A1（三菱電機株式会社）13.10.2011（2011-10-13） 全文, 全図	1-10
A	JP 2004-357447 A（株式会社明電舎）16.12.2004（2004-12-16） 全文, 全図	1-10
A	JP 2005-204395 A（サンケン電気株式会社）28.07.2005（2005-07-28） 全文, 全図	1-10
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 07.04.2020	国際調査報告の発送日 19.05.2020	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 佐藤 匡 5G 9650 電話番号 03-3581-1101 内線 3526	

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/005972

引用文献	公表日	パテントファミリー文献	公表日
JP 2010-57268 A	11.03.2010	(ファミリーなし)	
JP 2004-357421 A	16.12.2004	(ファミリーなし)	
WO 2011/125944 A1	13.10.2011	US 2013/0010506 A1 全文, 全図 CN 102844975 A	
JP 2004-357447 A	16.12.2004	(ファミリーなし)	
JP 2005-204395 A	28.07.2005	(ファミリーなし)	