

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5808814号
(P5808814)

(45) 発行日 平成27年11月10日(2015.11.10)

(24) 登録日 平成27年9月18日(2015.9.18)

(51) Int.Cl.	F I	
HO 1 L 21/31 (2006.01)	HO 1 L 21/31	C
HO 1 L 21/205 (2006.01)	HO 1 L 21/205	
HO 1 L 21/316 (2006.01)	HO 1 L 21/316	X
HO 1 L 21/318 (2006.01)	HO 1 L 21/318	B
C 2 3 C 16/42 (2006.01)	HO 1 L 21/316	M
請求項の数 16 (全 16 頁) 最終頁に続く		

(21) 出願番号	特願2013-532837 (P2013-532837)	(73) 特許権者	390040660
(86) (22) 出願日	平成23年9月28日 (2011.9.28)		アプライド マテリアルズ インコーポレ イテッド
(65) 公表番号	特表2013-546169 (P2013-546169A)		APPLIED MATERIALS, I NCORPORATED
(43) 公表日	平成25年12月26日 (2013.12.26)		アメリカ合衆国 カリフォルニア州 95 054 サンタ クララ パウアーズ ア ベニュー 3050
(86) 国際出願番号	PCT/US2011/053730		
(87) 国際公開番号	W02012/047697	(74) 代理人	100109726
(87) 国際公開日	平成24年4月12日 (2012.4.12)		弁理士 園田 吉隆
審査請求日	平成26年9月26日 (2014.9.26)	(74) 代理人	100101199
(31) 優先権主張番号	12/899,401		弁理士 小林 義教
(32) 優先日	平成22年10月6日 (2010.10.6)		
(33) 優先権主張国	米国 (US)		
早期審査対象出願			
		最終頁に続く	

(54) 【発明の名称】 3Dメモリに適用するPECVD酸化物-窒化物スタック及び酸化物-シリコンスタック

(57) 【特許請求の範囲】

【請求項1】

- (a) PECVDチャンバ内に基板を配置するステップと、
 (b) 第1のプロセスガスを第1のプラズマに活性化するステップと、
 (c) 前記第1のプラズマから前記基板上に第1の方向に第1の応力を有する第1の材料の層を堆積するステップと、
 (d) 前記PECVDチャンバをプラズマパージし、前記プラズマパージによって堆積のために調整されるように前記第1の材料の表面を暴露するステップと、
 (e) 前記PECVDチャンバをガスパージして全てのガス汚染物質を除去するステップと、
 (f) 第2のプロセスガスを第2のプラズマに活性化するステップと、
 (g) 前記第2のプラズマから前記基板上に、前記第1の方向と逆の第2の方向に第2の応力を有する第2の材料の層を堆積するステップと、
 (h) 前記PECVDチャンバをプラズマパージし、前記プラズマパージによって堆積のために調整されるように前記第2の材料の表面を暴露するステップと、
 (i) 前記PECVDチャンバをガスパージしてガス汚染物質を除去するステップと、
 (j) ステップ(b)～(i)全体を通して前記PECVDチャンバ内の真空を保持するステップと、
 (k) 前記基板上に所定の数の前記第1の材料の層及び前記第2の材料の層が堆積され、且つ前記基板の上面が平滑となるまで、ステップ(b)～(j)を繰り返すステップと

を含む、方法。

【請求項 2】

前記第 1 の材料の層の前記所定の数 8 以上であり、前記第 2 の材料の層の前記所定の数 8 以上である、請求項 1 に記載の方法。

【請求項 3】

前記 PECVD チャンバの前記ガスパージは、 NH_3 、 N_2 及び N_2O 、それらの混合物からなるガスのグループから選択されたパージガスに前記 PECVD チャンバの一部を暴露することを含む、請求項 1 に記載の方法。

【請求項 4】

前記第 1 の材料はシリコンであり、前記第 1 のプロセスガスがシリコン含有分子を含む、請求項 1 に記載の方法。

10

【請求項 5】

前記第 1 の材料は酸化シリコンであり、前記第 1 のプロセスガスはシリコン含有分子及び酸素含有分子を含む、請求項 1 に記載の方法。

【請求項 6】

前記第 1 の材料は窒化シリコンであり、前記第 1 のプロセスガスはシリコン含有分子及び窒素含有分子を含む、請求項 1 に記載の方法。

【請求項 7】

ステップ (c) とステップ (d) との間に前記窒化シリコンの表面処理のために、第 3 のプロセスガスを第 3 のプラズマに活性化するステップを更に含む、請求項 6 に記載の方法。

20

【請求項 8】

前記第 3 のプロセスガスは NH_3 及び N_2 を含む、請求項 7 に記載の方法。

【請求項 9】

(a) 真空状態にある PECVD チャンバ内に基板を配置するステップと、
(b) 第 1 のプロセスガスを第 1 のプラズマに活性化するステップと、
(c) 前記第 1 のプラズマから前記基板上に第 1 の方向に第 1 の応力を有する第 1 の材料の層を堆積するステップと、
(d) プラズマパージして前記 PECVD チャンバを洗浄し、堆積のために調整されるように前記第 1 の材料の表面を暴露するステップと、
(e) 前記 PECVD チャンバをガスパージしてガス汚染物質を除去するステップと、
(f) 第 2 のプロセスガスを第 2 のプラズマに活性化するステップと、
(g) 前記基板上に、前記第 1 の材料の前記第 1 の方向の前記第 1 の応力と大きさが概ね等しく、かつ方向が逆である第 2 の方向の第 2 の応力を有する第 2 の材料の層を堆積するステップと、
(h) 前記 PECVD チャンバをプラズマパージし、堆積のために調整されるように前記第 2 の材料の表面を暴露するステップと、
(i) 前記 PECVD チャンバをガスパージしてガス汚染物質を除去するステップと、
(j) ステップ (b) ~ (i) 全体を通して前記 PECVD チャンバ内の真空を保持するステップと、
(k) 前記基板上に所定の数 8 以上であり、前記第 2 の材料の層の前記所定の数 8 以上である、請求項 9 に記載の方法。

30

40

【請求項 10】

前記第 1 の材料の層の前記所定の数 8 以上であり、前記第 2 の材料の層の前記所定の数 8 以上である、請求項 9 に記載の方法。

【請求項 11】

前記 PECVD チャンバの前記ガスパージは、 NH_3 、 N_2 及び N_2O 、それらの混合物からなるガスのグループから選択されたパージガスに前記 PECVD チャンバの一部を暴露することを含む、請求項 9 に記載の方法。

50

【請求項 1 2】

前記第 1 の材料はシリコンであり、前記第 1 のプロセスガスはシリコン含有分子を含む、請求項 9 に記載の方法。

【請求項 1 3】

前記第 1 の材料は酸化シリコンであり、前記第 1 のプロセスガスはシリコン含有分子及び酸素含有分子を含む、請求項 9 に記載の方法。

【請求項 1 4】

前記第 1 の材料は窒化シリコンであり、前記第 1 のプロセスガスはシリコン含有分子及び窒素含有分子を含む、請求項 9 に記載の方法。

【請求項 1 5】

ステップ (c) とステップ (d) との間に前記窒化シリコンの表面処理のために、第 3 のプロセスガスを第 3 のプラズマに活性化するステップを更に含む、請求項 1 4 に記載の方法。

【請求項 1 6】

前記第 3 のプロセスガスは NH_3 及び N_2 を含む、請求項 1 5 に記載の方法。

【発明の詳細な説明】**【技術分野】****【0001】**

関連出願の相互参照

本出願は 2010 年 10 月 6 日に出願の「PECVD OXIDE - NITRIDE AND OXIDE - SILICON STACKS FOR 3D MEMORY APPLICATION」と題する米国特許出願第 12 / 899 , 401 号に対する優先権を主張する。その内容は参照により本明細書に組み込まれる。

【0002】

本発明は半導体基板処理システムに関し、より詳細には、層状の材料スタックを堆積するためのプロセスに関する。

【背景技術】**【0003】**

半導体基板処理システムは一般的にプロセスチャンバを含み、プロセスチャンバは、処理領域に隣接してチャンバ内に半導体基板を支持するためのペDESTALを有する。チャンバはプロセス領域を部分的に画定する真空封入体を形成する。ガス分配アセンブリ又はシャワーヘッドが、プロセス領域に 1 つ又は複数のプロセスガスを与える。その後、ガスは加熱され、かつ / 又はエネルギーを供給され、基板上で特定のプロセスを実行するプラズマを形成する。これらのプロセスは、基板上に膜を堆積するプラズマ化学気相堆積 (PECVD) を含むことができる。

【0004】

3Dメモリは、基板上に堆積される交互の膜材料の層スタックから作製することができる。例えば、3Dメモリは酸化物膜及び窒化物膜の交互層、又は酸化物膜及びシリコン膜の交互層を含むことができる。これらのスタックは、第 1 の材料及び第 2 の材料からなる複数の層を含むことができる。これらの層状スタックを形成するために、基板は第 1 の PECVD チャンバ内に配置され、チャンバに真空が印加される。前駆体ガスを用いてプラズマを生成し、基板上に第 1 の材料が堆積される。チャンバは窒素のような不活性ガスを用いてパージすることができ、その後、第 1 の PECVD チャンバから基板が取り出される。その後、基板は第 2 の PECVD チャンバに移送される。第 2 の処理チャンバに真空が印加され、前駆体ガスを用いてプラズマを生成し、基板上の第 1 の材料上に第 2 の材料が堆積される。基板が取り出され、基板上に必要とされる数の層が形成されるまで、そのプロセスが繰り返される。

【発明の概要】**【0005】**

上記のプロセスに関する問題は、異なる処理チャンバ内で各材料層を堆積するのが極め

10

20

30

40

50

て非効率的であるということである。処理チャンバの真空を破壊する必要のない、単一の処理チャンバ内でそれぞれ異なる材料からなる複数の層を形成するための方法が必要とされている。

【 0 0 0 6 】

一実施形態では、交互材料の層状スタックを作製するためのプロセスが、単一の P E C V D 処理チャンバにおいてイン・サイチュで実行される。基板が、P E C V D 処理チャンバ内の接地されたペDESTAL上に配置される。処理チャンバのドアを閉めて、チャンバを封止し、チャンバに真空を印加する。一実施形態では、容量性結合される構成においてペDESTALの上方に電極を取り付けることができる。電極に交流高周波 (R F) 電力を加えることができ、それにより基板と電極との間に電界が生成される。第 1 のグループのプロセスガスが処理チャンバに流れ込み、P E C V D チャンバ内で第 1 のプラズマに活性化される。プラズマは十分なパーセンテージの原子又は分子を有し、それらの原子又は分子はイオン化されて、電子を放出する。これらのエネルギー電子が第 1 のプロセスガス分子の解離、及び大量の遊離基の生成を誘発することができる。この結果として、基板上に第 1 の材料が堆積される。

10

【 0 0 0 7 】

第 1 の材料の層が堆積された後に、プラズマパージを実行して、P E C V D チャンバが洗浄され、堆積される次の材料の層との良好な界面を得るために第 1 の材料の層の表面が調整される。その後、ガスパージを実行して、残留ガスを一掃する。第 2 のグループの処理ガスが処理チャンバに流れ込み、P E C V D 内で第 2 のプラズマに活性化される。第 2 のプラズマから、第 1 の材料上に第 2 の材料の層が堆積される。プラズマパージによって、P E C V D チャンバを洗浄し、第 2 の材料の層の表面を調整する。その後、ガスパージを実行して、第 2 のプロセスガスを除去する。

20

【 0 0 0 8 】

第 1 及び第 2 の材料の層を堆積する上記のプロセスは、基板上に必要な数の層が堆積されるまで繰り返される。同じ P E C V D 処理チャンバ内で異なる材料の堆積が実行され、堆積プロセス全体を通して、P E C V D 処理チャンバにおいて真空が保持されるので、プロセスの効率は改善される。したがって、異なる材料の層を堆積するのに、2 つの異なる P E C V D 処理チャンバ間で基板を移送する必要があることから、時間が大幅に節約される。

30

【 0 0 0 9 】

堆積される材料層スタックは、作製される 3 D メモリのタイプによって決まり得る。層状スタックを形成することができる材料の例は、酸化シリコン / 窒化シリコン、酸化シリコン / シリコン、シリコン / ドープされたシリコン、シリコン / 窒化シリコン及び他の材料を含む。層スタックが堆積された後に、P E C V D 処理チャンバから基板を取り出すことができ、3 D メモリデバイスを作製するために更なる処理を実行することができる。幾つかの実施形態では、メモリデバイスは 8 x、1 6 x、2 4 x、又はそれ以上の材料層を必要とする可能性がある。

【 0 0 1 0 】

基板上に材料層を堆積することに関する潜在的な問題は、各層が引張応力又は圧縮応力を生成する可能性があり、その応力が基板に加わることである。基板が堆積された層からの応力に逆らう結果として基板に歪み変形が生じる可能性があり、それにより、基板の上面が弓状に曲がる可能性がある。基板の上面のこの変形の結果として、後続のリソグラフィ処理に誤差が生じる可能性がある。基板の変形を最小限に抑えるために、基板にかかる正味応力が小さくなるように、堆積された材料層を調整することができる。より具体的には、2 つの材料の応力は、大きさが概ね等しく、かつ逆向きになるように調整することができる。一対の層が互いに隣接して堆積されるとき、等しいが、逆向きの引張応力又は圧縮応力は、基板の正味応力が非常に弱くなり、基板に如何なる変形も生じないように、互いに相殺する傾向がある。

40

【 0 0 1 1 】

50

正味応力は 0 に近い場合もあるが、隣接する層間の応力は逆向きであるので、非常に高い可能性がある。応力が高すぎる場合には、隣接する層間の結合を破壊し、結果として、層スタックの一部に層間剥離を生じる可能性がある。層間剥離を避けるために、隣接する材料の結合は非常に強くなければならない。一実施形態では、材料が堆積された後に、材料の露出面にプラズマ処理を施して適用して、隣接する層間の結合界面を改善し、層間剥離を防ぐことができる。

【図面の簡単な説明】

【0012】

【図1】基板上に堆積された層スタックを示す図である。

【図2】PECVD処理チャンバを示す図である。

10

【図3】基板上に堆積された、引張応力を有する層の断面図である。

【図4】基板上に堆積された、圧縮応力を有する層の断面図である。

【図5】引張応力及び圧縮応力の交互層を有する層スタックの断面図である。

【図6】引張応力及び圧縮応力の交互層を有する層スタックの平面図である。

【図7】基板上に酸化シリコン/窒化シリコン層スタックを堆積するためのプロセスステップの流れ図である。

【図8】基板上に酸化シリコン/シリコン層スタックを堆積するためのプロセスステップの流れ図である。

【図9】基板上にシリコン/ドーパされたシリコン層スタックを堆積するためのプロセスステップの流れ図である。

20

【図10】基板上にシリコン/ドーパされたシリコン層スタックを堆積するためのプロセスステップの流れ図である。

【図11】基板上にシリコン/窒化シリコン層スタックを堆積するためのプロセスステップの流れ図である。

【図12】基板上に第1の材料/第2の材料層スタックを堆積するためのプロセスステップの流れ図である。

【発明を実施するための形態】

【0013】

図1を参照すると、一実施形態では、基板100上に、第1の材料層103と、第2の材料層105とを有する多重層スタック101が形成される。後続の層は、第1の材料層103と第2の材料層105のこの交互パターンを繰り返すことができる。一実施形態では、第1の材料は酸化物とすることができ、第2の材料は窒化物とすることができ、他の実施形態では、第1/第2の材料スタックは酸化物/シリコン、シリコン/ドーパされたシリコン、又はシリコン/窒化物とすることができ、これらの全ての材料の組み合わせを、ビットコストスケラブル(BiCS)、テラビットセルアレイトランジスタ(TCAT)及び他の3Dメモリ構造体において用いることができる。他の実施形態では、第1/第2の材料スタックは他の材料の組み合わせとすることができ、基板上の第1の材料層及び第2の材料層の堆積順序は入れ替えることもできる。

30

【0014】

層数は作製されるメモリデバイスによることができる。一実施形態では、スタック数は8X、又は16X、又は24X、又はそれ以上とすることができ、8、16、24又はそれ以上の層の各スタックが1つのメモリデバイスに対応する。異なる材料からなる2つの層が各スタックを形成するので、8xスタック数の場合の対応する層数は16とすることができ、16xスタック数の場合の対応する層数は32とすることができ、24xスタック数の場合の対応する層数は48とすることができ、それ以上のスタック数はそれ以上の層数を有することができる。

40

【0015】

図2を参照すると、PECVD処理チャンバ201が示される。処理チャンバ201は、ペDESTAL211と、プロセスガスマニホールド213と、プロセスガス源215と、電極217と、交流RF電力を送出するRF電源219と、ヒータ221と、パージガス

50

源 2 2 1 とを含む。一実施形態では、電極 2 1 7 はペDESTAL 2 1 1 の上方に直接存在することができる、ペDESTAL は容量性結合構成において電氣的に接地される。一実施形態では、電極 2 1 7 は、プロセスガスのための流路を有するシャワーヘッド構造とすることができる。プロセスガス及びパーJガスはマニホールD 2 1 3 及び電極 2 1 7 を通って、ペDESTAL の上方のプロセスチャンバ 2 0 1 の中に流れ込むことができる。

【0016】

処理中に、基板 1 0 0 はペDESTAL 2 1 1 上に配置され、P E C V D 処理チャンバ 2 0 1 に真空が印加される。ヒータ 2 1 1 にエネルギーを加えて、基板 1 0 0 を加熱することができる。第 1 のグループの処理ガスはマニホールD 2 1 3 を通って処理チャンバ 2 0 1 の中に進む。R F 電源 2 1 9 によって電極 2 1 7 に電圧が印加され、電極 2 1 7 と接地されたペDESTAL 2 1 1 との間に電界が生成される。一実施形態では、ペDESTAL 2 1 1 は、可変高さ調整器上に存在することができる、それにより、基板 1 0 0 の上面と電極 2 1 7 との間の間隔を制御できるようにする。R F 電界によって第 1 のグループのプロセスガスに電圧が印加され、プラズマ 2 2 5 が生成される。プラズマ 2 2 5 は十分なパーセンテージの原子又は分子を有し、それらの原子又は分子はイオン化され、電子を放出する。これらのエネルギー電子が前駆体分子の解離、及び大量の遊離基の生成を誘発することができる。この結果として、基板 1 0 0 上に材料が堆積される。所望の厚さの第 1 の材料が堆積されると、その堆積は中止することができる。第 1 の材料の層厚は 1 0 0 オングストローム ~ 1 0 0 0 オングストロームとすることができる。

【0017】

基板 1 0 0 上に第 1 の材料が堆積された後に、P E C V D 処理チャンバ 2 0 1 はプラズマパーJされる。パーJガスがパーJガス源 2 2 1 からマニホールD 2 1 3 及び処理チャンバ 2 0 1 の中に流れ込むことができる。電極 2 1 7 及びペDESTAL 2 1 1 は、電圧を印加され、パーJガスプラズマが生成される。 NH_3 、 N_2 、 N_2O 、 H_3 、Ar 及び他の適切なプラズマパーJガスを含む、種々のパーJガスを用いることができる。パーJプロセス中に、処理チャンバ内の熱及び圧力は保持することができる。プラズマパーJは、更なる堆積のために露出した層の表面を調整する。調整済みの表面は結果として、層間の界面を滑らかにし、層間の接着を良好にし、さらには粒子制御を良好にする。幾つかの実施形態では、より良好な層結合を得るために粗い界面が望ましい場合があり、異なる、又は更なるプラズマパーJプロセスを実行することができる。プラズマパーJが完了した後に、電極 2 1 7 及びペDESTAL 2 1 1 へのエネルギーをオフにすることができ、パーJガス源 2 2 2 からのパーJガスがマニホールD 2 1 3 及び処理チャンバ 2 0 1 の中に流れ込み、全てのガス汚染物質を除去する。一実施形態では、パーJプロセス中に前駆体ガスのうちの 1 つ又は複数の成分が停止される。例えば、プロセスガスが SiH_4 及び N_2O の混合物を含む場合には、パーJガスは N_2O のみを含むことができ、 SiH_4 の流れは遮断される。他の実施形態では、1 つ又は複数の異なるパーJガスを用いることができる。

【0018】

プラズマパーJ及びガスパーJが完了した後に、基板上に第 2 の材料が堆積することができる。R F 電源 2 1 9 によって電極 2 1 7 に電圧が印加され、電極 2 1 7 との間に電界が生成され、電界によって第 2 のグループのプロセスガスに電圧が印加され、プラズマ 2 2 5 が生成される。所望の厚さの第 2 の材料が堆積されると、その堆積は中止することができる。第 2 の材料の層厚は 1 0 0 オングストローム ~ 1 0 0 0 オングストロームとすることができる。第 2 の材料層が堆積された後に、上記のように、P E C V D チャンバはプラズマパーJすることができる。その後、電極 2 1 7 へのエネルギーを除去することができ、P E C V D チャンバは上記のようにガスパーJされる。プラズマパーJ及びガスパーJが完了すると、必要とされる層が堆積されるまで、第 1 の材料及び第 2 の材料を堆積するプロセスを繰り返すことができる。その後、更なる処理のために、P E C V D チャンバ 2 0 1 から基板 1 0 0 を取り出すことができる。

【0019】

同じ P E C V D 処理チャンバ内で異なる材料の堆積が行われるので、上記の第 1 の材料

10

20

30

40

50

及び第2の材料の層堆積プロセスは時間効率及びエネルギー効率が低い。第1の材料層及び第2の材料層を堆積する2つのPECVD処理チャンバ間でウエハが移送されないで、大幅に時間が節約される。例えば、開示されるプロセスの時間節約は、2つのPECVD処理チャンバを用いる同じ堆積プロセスよりも50%以上短時間にすることができる。また、単一のPECVD処理チャンバしか必要とされず、堆積される層毎に処理チャンバ内の真空を破壊し、再び真空を印加する必要がないので、上記の層スタック堆積プロセスはエネルギー効率が低い。

【0020】

生じる可能性がある別の問題は、基板上に堆積された後に、異なる材料の堆積が圧縮応力又は引張応力を誘発する可能性があることである。この応力の結果として基板が曲がる可能性がある。図3を参照すると、基板100上に材料層291を堆積することができる。その際、第1の材料層291は膨張し、圧縮応力295を引き起こす可能性がある。第1の材料層291の圧縮応力295に基板100が逆らって、基板100のエッジが弓状に下方に曲がる。同様に図4を参照すると、第2の材料層293を基板100上に堆積することができ、第2の材料層293は引張応力297を誘発する可能性がある。同じく、引張応力297に基板100が逆らう結果として、基板100のエッジが弓状に上方に曲がる。製造公差は非常に正確でなければならないので、基板にいくらかの曲がりがあるか、又は基板内にバンプがある結果として、後続のリソグラフィ処理が実行されるときに、アライメントの問題が生じる可能性がある。このアライメント不良の結果として、製造誤差が生じ、欠陥のあるデバイスが構成される可能性がある。

【0021】

この問題を解消するために、一実施形態では、堆積される各層によって基板に加えられる応力を調整することができる。応力は堆積される材料によることができる。また、応力は、プロセス温度、前駆体ガスの流量、ガス圧及びプラズマ密度を含む堆積処理条件を調整することによって限られた範囲内で調整することができる。例えば、処理温度が低いと圧縮応力を生成することができ、処理温度が高いと引張応力を生成することができる。プラズマ圧が低いと、反応種へのイオン衝撃を大きくすることができ、それゆえ、結果として圧縮応力が生じ、逆にプラズマ圧が高い結果として、引張応力が生じる可能性がある。RF電力を高めるか、又は基板上方の間隔を小さくすることによってプラズマ密度を高めることができ、それにより反応種へのイオン衝撃を大きくすることができ、それゆえ、結果として圧縮応力を生成することができ、プラズマ密度が低い結果として、引張応力を生成することができる。温度及びプラズマ密度を制御することによって、堆積される材料の応力を予測することができる。

【0022】

図5を参照すると、多層スタック101の断面が示されており、図6は多層スタック101の平面図を示す。第1の材料層291の引張応力295は、第1の材料層291上に堆積される第2の材料層293の圧縮応力297に概ね等しくすることができる。これらの応力295、297は逆向きであるので、それらの応力は実質的に相殺する。等しい数の引張層及び圧縮層があるので、基板100にかかる全正味応力は0に近い。

【0023】

例えば、第1の材料層291は圧縮応力を生成する酸化シリコンとすることができる。第2の層293は引張応力を生成する窒化シリコン層とすることができる。窒化シリコンからなる第2の層293によって生成される引張応力の大きさは、酸化シリコンからなる第1の層291の圧縮応力に概ね等しくすることができる。これらの層対291、293は重ねて堆積され、結果として、150MPa未満の低い全正味応力を有する、応力の均衡が保たれた層スタック101が形成される。この結果として、基板100には、堆積された層の応力に起因する歪み変形は生じない。応力の均衡が保たれているので、変形は最小限に抑えられ、基板100の上面は平滑である。層291及び293が堆積された後に正確なリソグラフィ処理を実行して、BiSC3Dメモリのような半導体デバイスを形成するために、平坦な基板表面が必要とされる。弓状に曲がるか、又は別の態様で変形する

基板 100 は、結果としてリソグラフィ誤差を生じることになる。

【0024】

先に論じられたように、種々の組み合わせの材料を基板 100 上に層として堆積することができる。これらの材料はそれぞれ、特定のプロセスガス及び特定の PECVD 動作条件を用いて堆積することができる。層スタックを堆積するためのプロセスは図 7 ~ 図 10 において示されており、それらの図は、基板上の複数の層内に異なる組み合わせの材料を堆積するために用いることができる堆積プロセスのための流れ図である。

【0025】

図 7 を参照すると、基板上に酸化シリコン及び窒化シリコンの層スタックをイン・サイチュ堆積するための流れ図が示される。PECVD 処理チャンバ内に基板が配置され、チャンバに真空が印加される (301)。チャンバ内の真空圧は約 0.5 Torr ~ 10 Torr とすることができる。処理チャンバは約 180 ~ 650 に加熱される。電極に加えられる高周波又は RF 電力は約 45 ワット (W) ~ 1000 W とすることができ、基板と電極との間の間隔は約 200 mil ~ 800 mil とすることができる。第 1 のプロセスガスは SiH_4 及び N_2O 又は他のシリコン含有分子及び酸素含有分子を含むことができる。 SiH_4 は、約 20 標準立方センチメートル / 分 (sccm) ~ 1,000 sccm の流量とすることができ、 N_2O の流量は約 1,000 sccm ~ 20,000 sccm とすることができる。 SiH_4 及び N_2O は活性化され、 Si イオン及び O イオンを含むプラズマに変換される。イオンの反応によって、基板上に酸化シリコンの層が堆積される (303)。その堆積は、必要とされる酸化シリコン厚が堆積された後に中止される。

【0026】

一実施形態では、 SiH_4 を処理チャンバに導入する前にプラズマをオンに切り替えることによって酸化シリコン表面上の表面粗さを低減することができる。 SiH_4 種の滞留時間を短縮することによって、ウエハ表面が更に滑らかになり、それにより、堆積される後続の層との界面結合を改善することができる。

【0027】

酸化シリコンが堆積された後に、PECVD 処理チャンバはプラズマパージ及びガスパージされる。その温度は約 180 ~ 650 とすることができ、真空圧は約 0.5 Torr ~ 10 Torr とすることができる。基板と電極との間の間隔は約 200 mil ~ 800 mil とすることができる。 N_2O のパージガスは、マニホールドを通過して約 2,000 sccm ~ 30,000 sccm の流量において処理チャンバに流れ込むことができる (305)。電極及びベDESTAL に電圧を印加し、100 W ~ 1,000 W の電力を有するパージガスプラズマを生成する。プラズマパージ及び N_2O パージは処理チャンバを洗浄し、結果として、層間の界面を滑らかにし、堆積された層間の接着を良好にし、さらには粒子制御を良好にする。

【0028】

パージが完了した後に、酸化シリコン層上に窒化シリコンの層を堆積することができる。チャンバ内の圧力は約 0.5 Torr ~ 10 Torr とすることができる。処理チャンバは約 180 ~ 650 に加熱される。電極に加えられる高周波又は RF 電力は約 50 W ~ 700 W とすることができ、基板と電極との間の間隔は約 200 mil ~ 800 mil とすることができる。第 2 のプロセスガスは SiH_4 、 NH_3 及び N_2 又は他のシリコン含有分子及び窒素含有分子を含むことができる。 SiH_4 は、約 20 sccm ~ 1,000 sccm の流量を有することができ、 NH_3 の流量は約 50 sccm ~ 1,000 sccm とすることができ、 N_2 の流量は約 2,000 sccm ~ 30,000 sccm とすることができる。 SiH_4 、 NH_3 及び N_2 は活性化され、 Si イオン及び N イオンを含むプラズマに変換され、それらのイオンが反応して、基板上に窒化シリコンの層を堆積する (307)。その堆積は、必要とされる窒化シリコン厚が堆積された後に中止される。その後、システムは、更なる層が堆積される必要があると判断する (309)。

【0029】

窒化シリコンが堆積された後に、窒化シリコン層 3 1 1 上でプラズマ処理を実行して、窒化シリコン上に酸化シリコン層を確実に堆積できるように窒化シリコン上の結合界面表面を改善することができる。基板の正味応力は 0 に近くすることができるが、隣接する任意の層間の界面結合が弱い場合には、隣接する層間の個々の応力によって層間剥離が生じる恐れがある。層スタックの単一の部分に層間剥離がある結果として、デバイスに欠陥が生じることになる。したがって、層間剥離を防ぐために、隣接する層間に強い界面結合が必要とされる。一実施形態では、窒化シリコン層上に堆積される材料との強い結合が生じるように、窒化シリコン層上で実行されるプラズマ処理によって、表面粗さを改善することもできる。

【 0 0 3 0 】

10

隣接する層間の界面結合が強く、かつ層の応力が、大きさが等しく、方向が逆である場合には、基板上の正味応力は 1 5 0 M P a 未満とすることができ、基板は層内の応力によって変形しない。基板が変形しないので、層スタックが堆積された後に、上面は平滑になる。酸化物層及び窒化物層が堆積された後に正確なリソグラフィ処理を実行して、B i S C 及び T C A T 3 D メモリのような半導体デバイスを形成するために、滑らかな表面が必要とされる。層スタック 1 0 1 の上面内のバンプ又は曲がりがある結果として、リソグラフィ誤差が生じ、それにより、作製されるディスプレイ内に欠陥が生じる可能性がある。

【 0 0 3 1 】

一実施形態では、プラズマ処理ガスは NH_3 及び N_2 を含むことができる。処理チャンバは約 1 8 0 ~ 6 5 0 に加熱され、真空圧は約 0 . 5 T o r r ~ 1 0 T o r r とすることができる。電極に加えられる高周波又は R F 電力は約 2 0 0 W ~ 2 0 0 0 W とすることができ、基板と電極との間の間隔は約 2 0 0 m i l ~ 8 0 0 m i l とすることができる。 NH_3 は約 5 0 s c c m ~ 1 , 0 0 0 s c c m の流量を有することができ、 N_2 の流量は約 2 , 0 0 0 s c c m ~ 3 0 , 0 0 0 s c c m とすることができる。 NH_3 及び N_2 は活性化されてプラズマになり、そのプラズマが窒化シリコン層の表面を処理し、必要とされる表面粗さを与えることによって界面を改善する。調整済み表面は、堆積されることになる酸化シリコン層との良好な界面結合を与える。層間の強い結合は層間剥離を防ぎ、基板の曲がり又は変形を防ぐ。

20

【 0 0 3 2 】

窒化シリコンプラズマ処理が実行された後に、処理チャンバはパージされる (3 1 3) 。ステップ 3 1 3 のパージプロセスは、上記のステップ 3 0 5 を参照しながら行った先の説明と同じプロセスにすることができ、約 2 , 0 0 0 s c c m ~ 約 3 0 , 0 0 0 s c c m の流量において N_2 パージガスを用いる。その後、基板上に必要とされる数の酸化物層及び窒化物層が堆積されるまで (3 0 9) 、プロセスステップ 3 0 3 ~ 3 1 3 を繰り返すことができる。

30

【 0 0 3 3 】

3 D メモリデバイスでは、上記のようにして堆積される層の数は、垂直に積重されるメモリトランジスタの数に比例する。一実施形態では、基板上に、8、16、24又はそれ以上のトランジスタを垂直に配置することができる。各トランジスタは、一对の隣接する層を必要とする場合がある。したがって、必要とされる層数は16、32、48又はそれ以上とすることができる。必要とされる材料層が基板上に堆積された後に、P E C V D 処理チャンバは周囲圧に戻され、更なる処理を実行できるように、P E C V D チャンバから基板が取り出される (3 1 5) 。

40

【 0 0 3 4 】

図 8 を参照すると、基板上の酸化シリコン及びシリコンの層スタックのイン・サイチュ堆積のための流れ図が示される。P E C V D 処理チャンバ内に基板が配置され、チャンバに真空が印加される (4 0 1) 。酸化シリコン材料は、上記の図 7 のステップ 3 0 3 を参照しながら行った先の説明と同じようにして、同じ動作条件で堆積することができる。プロセスガスを活性化し、S i イオン及びO イオンを含むプラズマに変換することができ、それらのイオンは反応して、基板上に酸化シリコンの層が堆積される (4 0 3) 。酸化シ

50

リコンが堆積された後に、チャンバはプラズマパージ及びガスパージされる(405)。図7のステップ305において先に説明されたのと同じパージプロセスを用いることができる。

【0035】

処理チャンバがプラズマパージ及びガスパージされた後に、酸化シリコン層上にシリコン層を堆積することができる(407)。チャンバ内の圧力は約0.5 Torr ~ 10 Torrとすることができる。処理チャンバは約400 ~ 650 に加熱される。電極に加えられる高周波又はRF電力は約50W ~ 700Wとすることができ、基板と電極との間の間隔は約200mil ~ 800milとすることができる。プロセスガスはSiH₄又は他のシリコン含有分子及びHeを含むことができる。SiH₄は、約50sccm ~ 2,000sccmの流量を有することができ、Heの流量は約1,000sccm ~ 20,000sccmとすることができる。プロセスガスを活性化して、シリコンイオンを形成し、それらのイオンは電子と反応して、シリコン層を堆積する。システムは更なる層が必要であると判断し(409)、更なる堆積に備えて、PECVDチャンバをパージすることができる(415)。全ての酸化シリコン層及びシリコン層が堆積されるまで、プロセスステップ403 ~ 411を繰り返すことができる。層が堆積された後に(409)、PECVDチャンバが周囲圧に戻され、基板が取り出される(415)。3Dメモリの場合、基板上に、少なくとも8つの材料層が堆積されなければならない。他の処理チャンバにおいて更なる処理を実行することができる。

【0036】

図9を参照すると、一実施形態では、基板上にシリコン及びドーパされたシリコンの層スタックを堆積することができる。PECVD処理チャンバ内に基板が配置され、チャンバに真空が印加される(501)。基板上にシリコン材料が堆積される(503)。図8のステップ403を参照しながら先に説明されたシリコン堆積プロセスを用いてシリコン層を堆積することができる。シリコン材料が堆積された後に、処理チャンバはプラズマパージ及びガスパージされる(505)。図7のステップ305において先に説明されたパージプロセスを用いてPECVDチャンバをパージすることができる。

【0037】

その後、シリコン及びドーパント前駆体の両方を処理チャンバに送り込むことによって、シリコン層上にドーパされたシリコン材料を堆積することができる(507)。ドーパされたシリコンは、シリコンと、シリコンの導電率を高める不純物とを含む。導電率は、不純物原子の数によってだけでなく、不純物原子のタイプによっても変更することができる。ドーパされたシリコンの堆積処理は、上記の図8のステップ407において先に説明されたシリコン堆積に類似している。プロセスガスはSiH₄及びHe、並びにp型又はn型にドーパされたシリコン層を作り出す他のドーパントガスを含むことができる。ドーパント前駆体ガスをSiH₄及びH₂と混合し、堆積したシリコン結晶格子に更に不純物を添加する。

【0038】

p型にドーパされたシリコンを生成するために、Bドーパント前駆体ガスが必要とされる。適切なドーパント前駆体ガスは、B(CH₃)₃トリメチルホウ素TMB及びB₂H₆ジボラン又は他のホウ素含有分子を含み、それらのガスはSiH₄及びHeとともに処理チャンバに流れ込むことができる。他の実施形態では、ホウ素を含む他の処理ガスを用いることができる。p型ドーパントガスをSiH₄及びHeと混合し、堆積したシリコン結晶格子に更に不純物を添加する。これらのBドーパント前駆体ガスは約1sccm ~ 50sccmの流量を有することができる。Bドーパント前駆体ガスの流量は、p型にドーパされたシリコン層内のBドーパントの濃度に比例することができる。必要とされるp型シリコン厚が堆積された後に、その堆積は中止される。一実施形態では、p型にドーパされたシリコン層からホウ素が拡散する場合がある。ホウ素拡散を最小限に抑えるために、薄い窒素リッチ材料層をp型にドーパされたシリコン層に隣接して堆積することができる。窒素リッチ材料は、必要とされる量のホウ素がドーパされたシリコン内にとどまるよう

に、ドーブされたシリコン層からホウ素が拡散するのを防ぐことができる。

【0039】

n型にドーブされたシリコンを生成するために、Pドーパント前駆体ガスが必要とされる。適切なPドーパント前駆体ガスは、 PH_3 、ホスフィン及び他のリン含有分子を含み、それらのガスは、約1 sccm ~ 50 sccmの流量で SiH_4 及びHeとともに処理チャンバに流れ込むことができる。他の実施形態では、他のリン含有分子を用いることができる。 PH_3 の流量は、n型にドーブされたシリコン層内のPドーパントの濃度に比例することができる。必要とされるn型シリコン厚が堆積された後に、その堆積処理は中止される。

【0040】

ドーブされたシリコンが堆積された後に、そのシステムは更なる層が必要である判断することができる(509)、PECVD処理チャンバをパージすることができる(511)、必要とされる層が堆積されるまで(509)、ステップ503 ~ 511を繰り返すことができ、その数は4層以上とすることができる。全ての層が同じPECVD処理チャンバ内で堆積され、層の堆積全体を通して処理チャンバ内の真空が保持される。シリコン及びドーブされたシリコン層が堆積された後に、PECVD処理チャンバの真空を解除することができ、基板を取り出すことができる(515)。その後、ウエハにおいて更なる処理を実行することができる。

【0041】

別の実施形態では、異なるプロセスを用いて、ウエハ上にシリコン及びドーブされたシリコンの層スタックを堆積することができる。ドーパント前駆体の流量のオン/オフを切り替えることによって、シリコンプラズマ及びドーブされたシリコンプラズマを次々に流し込むことができる。図10を参照すると、PECVD処理チャンバ内に基板が配置され、チャンバが真空にされる(501)。電極にPR電力が加えられる。シリコン前駆体ガスが処理チャンバに流れ込み、プラズマを生成し、図9に関して先に説明されたようにウエハ上にシリコンの層が堆積される。必要とされるシリコン厚が堆積された後に、ドーブされたシリコンが堆積される。プラズマパージ及びガスパージを実行するのではなく、シリコン前駆体にドーパント前駆体を加えられ(506)、シリコン層上にドーブされたシリコンが堆積される(507)。必要とされるドーブされたシリコン厚が堆積されたとき、ドーパント前駆体が停止され(512)、ウエハ上に更なるシリコン層が堆積される(503)。全てのシリコン/ドーブされたシリコン層が堆積されるまで(509)、プロセスステップ503 ~ 512が繰り返される。シリコン及びドーブされたシリコン層が堆積された後に、PECVD処理チャンバの真空を解除することができ、基板を取り出すことができ(515)、その後、ウエハにおいて更なる処理を実行することができる。プラズマパージ及びガスパージステップが不要であるので、上記のようなウエハのシリコン/ドーブされたシリコン層スタック堆積処理は、はるかに効率的にすることができる。

【0042】

一実施形態では、シリコン及びドーブされたシリコン層の水素含有量を削減することが望ましい場合がある。水素含有量を削減することによって、ウエハの後続のアニーリング処理中のガス発生を低減することができる。また、水素含有量が少ないと、層スタック、又は炭素系膜、金属窒化物及び誘電体窒化物を含むことができるハードマスク構造の界面における層間剥離を防ぐこともできる。

【0043】

図11を参照すると、一実施形態では、基板上にシリコン及びドーブされたシリコンの層スタックを堆積することができる。PECVD処理チャンバ内に基板が配置され、真空にされる(801)。基板上にシリコン材料が堆積される(803)。図8のステップ403を参照しながら先に説明されたシリコン堆積プロセスを用いて、シリコン層を堆積することができる。シリコン材料が堆積された後に、処理チャンバをパージすることができる(805)。図7のステップ305において先に説明されたパージプロセスを用いて、PECVDチャンバをパージすることができる。

【 0 0 4 4 】

シリコン層上に窒化シリコン層を直接堆積するのではなく、電極に R F 電力を加えながら P E C V D 処理チャンバの中に酸化シリコンプロセスガスを導入することによって、シリコン層上に薄い酸化シリコン層を堆積することができる (8 0 7)。酸化シリコンは、シリコン層と窒化シリコン層との間の結合を改善し、後続のアニーリングプロセス中の界面における層間剥離を防ぐ接着剤としての役割を果たすことができる。シリコン層上に酸化シリコンの薄膜が堆積される。酸化シリコン堆積プロセスは図 7 のステップ 3 0 3 を参照しながら説明される。その後、チャンバをプラズマパージ及びガスパージすることができ (8 0 9)、酸化シリコン層上に窒化シリコン層が堆積される (8 1 1)。界面が改善されるように、窒化シリコン上で窒化シリコン処理を実行して表面粗さを改善することができ (8 1 5)、プラズマパージ及びガスパージ (8 1 7) プロセスを繰り返すことができる。一実施形態では、ステップ 8 0 7、8 0 9、8 1 1、8 1 5 及び 8 1 7 は、図 7 のステップ 3 0 3、3 0 5、3 0 7、3 1 1 及び 3 1 3 を参照しながらそれぞれ説明される。

10

【 0 0 4 5 】

材料堆積は様々に組み合わせることができる。以下の表 1 を参照すると、層スタックのために取り得る第 1 の材料及び第 2 の材料が掲載される。第 1 の材料層及び第 2 の材料層の堆積順は、応用形態の要件に応じて変更することができる、すなわち、逆にすることができる。

【表 1】

20

第1の材料	酸化シリコン	酸化シリコン	シリコン	シリコン
第2の材料	窒化シリコン	シリコン	ドーパされたシリコン	窒化シリコン

【 0 0 4 6 】

図 1 2 を参照すると、基板上に第 1 の材料及び第 2 の材料の層スタックをイン・サイチュ堆積するための流れ図が示される。P E C V D チャンバ内に基板が配置され (6 0 1)、基板上に第 1 の材料が堆積される (6 0 3)。P E C V D チャンバがプラズマパージ及びガスパージされる (6 0 5)。必要な場合には、第 1 の材料層上でプラズマ処理を実行することができる (6 0 6)。第 1 の材料上に第 2 の材料が堆積される (6 0 7)。基板上に更なる層が堆積される (6 0 9)。必要な場合には、第 2 の材料層上でプラズマ処理を実行することができる (6 1 1)。P E C V D チャンバが再びパージされ (6 1 3)、プロセスステップ 6 0 3 ~ 6 1 3 を繰り返して、基板上に更なる層を堆積する。全ての層が堆積された後に、P E C V D チャンバは周囲圧に戻され、基板が取り出される (6 1 5)。更なるエッチング及び堆積プロセスを実行して、基板上に 3 D メモリデバイスを作り出すことができる。

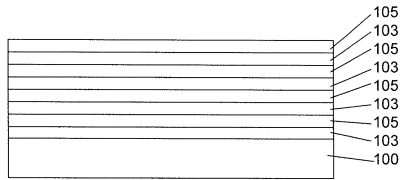
30

【 0 0 4 7 】

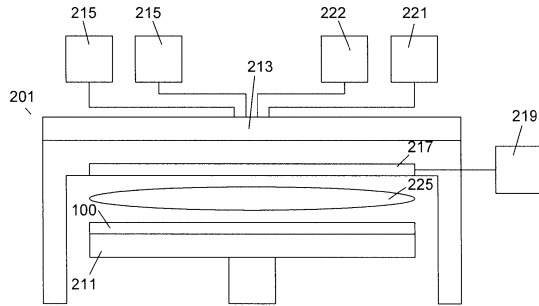
本発明のシステムが特定の実施形態を参照しながら説明されてきたが、本発明のシステムの範囲から逸脱することなく、これらの実施形態に付加、削除及び変更を加えることができることは理解されよう。説明されてきたシステムは種々の構成要素を含むが、これらの構成要素及び説明された構成は変更することができ、種々の他の構成において構成し直すことができることを十分に理解されたい。

40

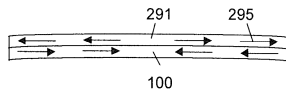
【図 1】



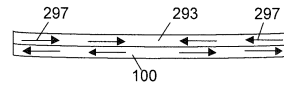
【図 2】



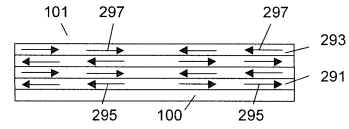
【図 3】



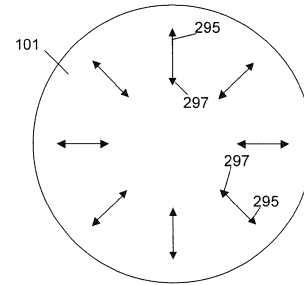
【図 4】



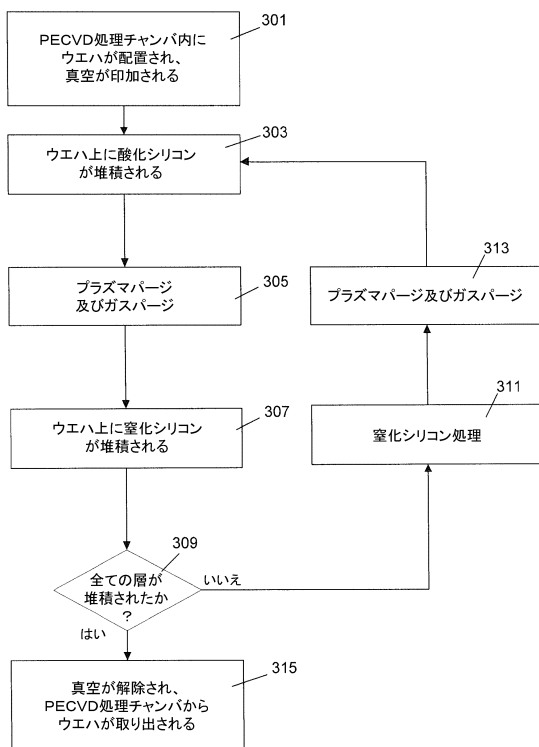
【図 5】



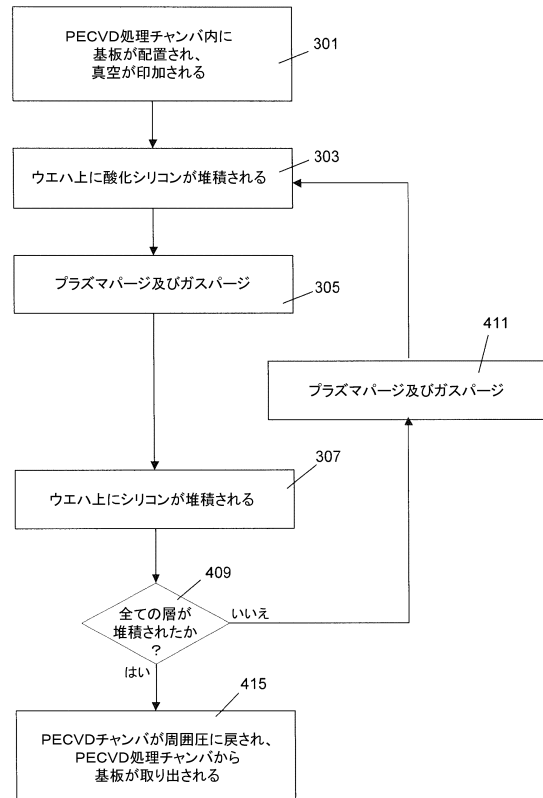
【図 6】



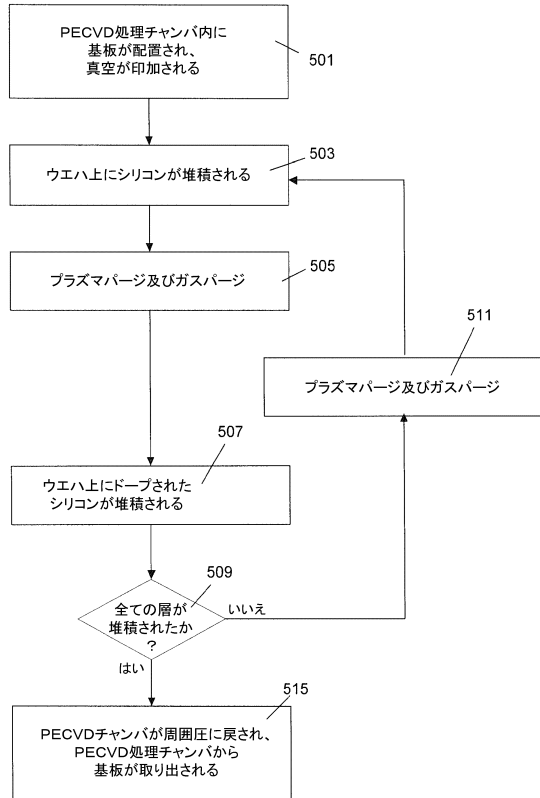
【図 7】



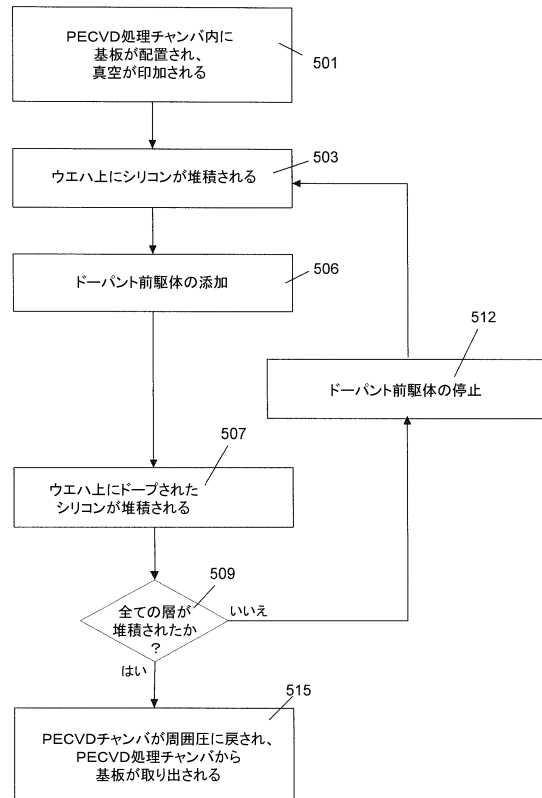
【図 8】



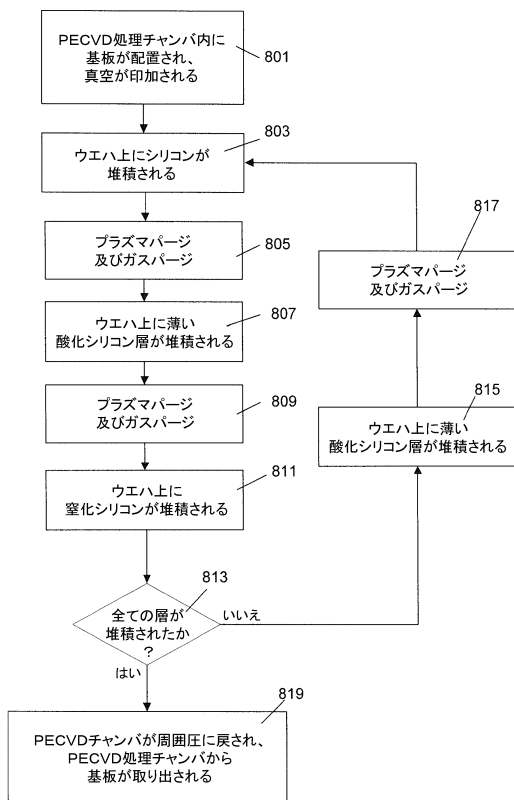
【図 9】



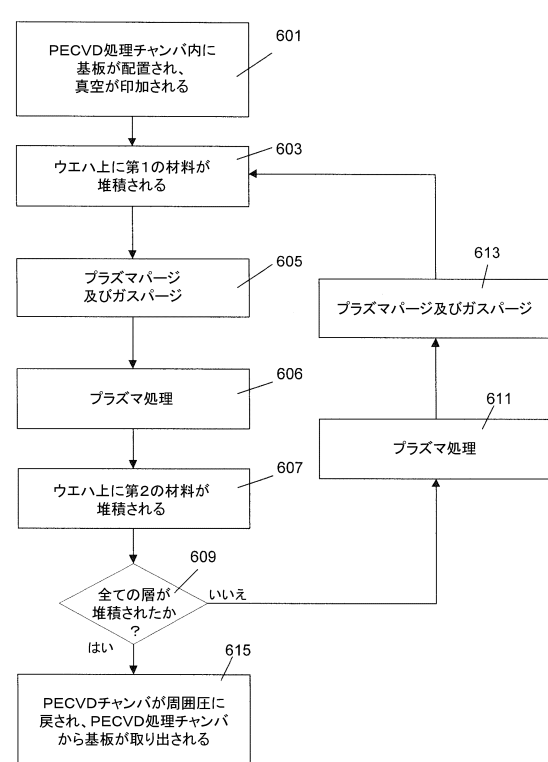
【図 10】



【図 11】



【図 12】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	21/8247	(2006.01)	H 0 1 L	21/318 M
H 0 1 L	27/115	(2006.01)	C 2 3 C	16/42
H 0 1 L	21/336	(2006.01)	H 0 1 L	27/10 4 3 4
H 0 1 L	29/788	(2006.01)	H 0 1 L	29/78 3 7 1
H 0 1 L	29/792	(2006.01)	H 0 5 H	1/46 M
H 0 5 H	1/46	(2006.01)		

- (72)発明者 ラージャゴーパーラン, ナーガラージャン
アメリカ合衆国 カリフォルニア 9 5 0 5 4, サンタ クララ, フォーリン ウォーター
コート 2 3 4 4
- (72)発明者 ハン, シンハイ
アメリカ合衆国 カリフォルニア 9 4 5 3 8, フリーモント, ビッドウェル ドライブ 3
9 3 9 アpartment 4 6 5
- (72)発明者 パク, ジェー エ
アメリカ合衆国 カリフォルニア 9 5 0 5 4, サンタ クララ, モアランド ウェイ 5 5
0, 4 3 1 0 番
- (72)発明者 清原 勉
アメリカ合衆国 カリフォルニア 9 5 0 0 8, キャンベル, ハシエンダ アヴェニュー 5
4 5, 3 0 8 番
- (72)発明者 パク, ソヒョン
アメリカ合衆国 カリフォルニア 9 5 0 5 1, サンタ クララ, フローラ ヴィスタ アヴ
ェニュー 3 7 7 0, アpartment 2 2 0 8
- (72)発明者 キム, ボク, ホーエン
アメリカ合衆国 カリフォルニア 9 5 1 2 0, サン ノゼ, スターリング ゲート ドライ
ブ 1 1 1 6

審査官 正山 旭

- (56)参考文献 特表2008-522442(JP,A)
特開昭64-000773(JP,A)
特開2004-006537(JP,A)
特開昭64-047032(JP,A)
特開平06-291039(JP,A)
特開2006-287194(JP,A)
特開2010-183069(JP,A)
特開2008-306093(JP,A)
特開2010-050425(JP,A)
米国特許出願公開第2006/0172545(US,A1)
米国特許出願公開第2011/0027999(US,A1)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 1
C 2 3 C 1 6 / 4 2
H 0 1 L 2 1 / 2 0 5
H 0 1 L 2 1 / 3 1 6
H 0 1 L 2 1 / 3 1 8
H 0 1 L 2 1 / 3 3 6

H 0 1 L	2 1 / 8 2 4 7
H 0 1 L	2 7 / 1 1 5
H 0 1 L	2 9 / 7 8 8
H 0 1 L	2 9 / 7 9 2
H 0 5 H	1 / 4 6