

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年10月24日(24.10.2024)



(10) 国際公開番号

WO 2024/219142 A1

(51) 国際特許分類:

H10B 63/10 (2023.01) H10N 70/00 (2023.01)
H10B 63/00 (2023.01) H10N 70/20 (2023.01)
H10B 99/00 (2023.01) H10N 97/00 (2023.01)

(21) 国際出願番号: PCT/JP2024/010661

(22) 国際出願日: 2024年3月19日(19.03.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2023-069443 2023年4月20日(20.04.2023) JP
特願 2023-114479 2023年7月12日(12.07.2023) JP

(71) 出願人: 国立大学法人東北大学 (TOHOKU UNIVERSITY) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 Miyagi (JP). 日本電気硝子株式会社 (NIPPON ELECTRIC GLASS CO., LTD.) [JP/JP]; 〒5208639 滋賀県大津市晴嵐二丁目7番1号 Shiga (JP).

(72) 発明者: 須藤 祐司 (SUTOU, Yuji); 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 Miyagi (JP). シュアンイ (SHUANG, Yi); 〒9808577 宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内 Miyagi (JP). 柄木田 航介 (KARAKIDA, Kosuke); 〒5208639 滋賀県大津市晴嵐二丁目7番1号 日本電気硝子株式会社内 Shiga (JP). 松下 佳雅 (MATSUSHITA, Yoshimasa); 〒5208639 滋賀県大津市晴嵐二丁目7番1号 日本電気

硝子株式会社内 Shiga (JP). 佐藤 史雄 (SATO, Fumio); 〒5208639 滋賀県大津市晴嵐二丁目7番1号 日本電気硝子株式会社内 Shiga (JP).

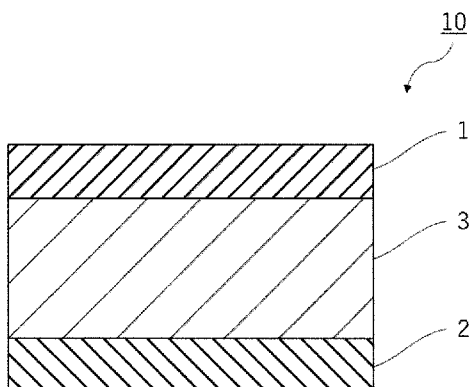
(74) 代理人: 弁理士法人大阪フロント特許事務所 (OSAKA FRONT); 〒5400028 大阪府大阪市中央区常盤町1丁目3番8号 中央大通F Nビル Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,

(54) Title: VARIABLE RESISTANCE MATERIAL, MATERIAL FOR SWITCH ELEMENT, SWITCH LAYER, SWITCH ELEMENT, AND STORAGE DEVICE

(54) 発明の名称: 抵抗変化材料、スイッチ素子用材料、スイッチ層、スイッチ素子及び記憶装置



(57) Abstract: Provided are: a variable resistance material, a material for a switch element, a switch layer, a switch element, and a storage device that can exhibit excellent ovonic threshold switch (OTS) properties. [Solution] This variable resistance material contains Te and has an OFF current density of no greater than $3.1 \times 10^2 \text{ A/cm}^2$ if the OFF current density is the current density when a voltage that is 1/2 of a threshold voltage is applied.

(57) 要約: 優れたOTS特性を得ることが可能な抵抗変化材料、スイッチ素子用材料、スイッチ層、スイッチ素子及び記憶装置を提供する。【解決手段】Teを含有する抵抗変化材料であって、閾値電圧の1/2の電圧を印加したときの電流密度をOFF電流密度とすると、OFF電流密度が $3.1 \times 10^2 \text{ A/cm}^2$ 以下である、抵抗変化材料。

CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,
SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称：

抵抗変化材料、スイッチ素子用材料、スイッチ層、スイッチ素子及び記憶装置

技術分野

[0001] 本発明は、抵抗変化材料、スイッチ素子用材料、スイッチ層、スイッチ素子及び記憶装置に関する。

背景技術

[0002] N A N D型フラッシュメモリに代わる記憶装置として、次世代不揮発性記憶装置が注目されている。次世代不揮発性記憶装置として、例えば、抵抗変化型、相変化型の記憶装置が提案されており、大容量化、高速化を目指し開発が進んでいる。

[0003] また、次世代不揮発性記憶装置の構造として、クロスポイント型の記憶装置が注目されている（特許文献1、2）。クロスポイント型の記憶装置は、ワード線と、平面視でワード線に対して直交するビット線と、平面視における両者の交点に配置される記憶素子及びスイッチ素子を含む。スイッチ素子には従来、トランジスタやダイオードが用いられてきたが、記憶装置の小型化、大容量化、高集積化に伴い、印加電圧により抵抗が変化するオボニックスイッチ素子（O v o n i c T h r e s h o l d S w i t c h : O T S素子）の使用が注目されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2006-086526号公報
特許文献2：特開2018-164085号公報

非特許文献

[0005] 非特許文献1：Lencer, D. et al., “A map for phase-change materials”, Nat. Mater. 7, 972-977 (2008)

発明の概要

発明が解決しようとする課題

[0006] O T S 素子では安定したスイッチ作用を得るため、印加電圧に対して大きな抵抗変化を示すこと（すなわち、優れた O T S 特性を有すること）が求められている。

[0007] 以上に鑑み、本発明は優れた O T S 特性を有する抵抗変化材料、スイッチ素子用材料、スイッチ層、スイッチ素子及び記憶装置を提供することを目的とする。

課題を解決するための手段

[0008] 上記課題を解決する抵抗変化材料、スイッチ素子用材料、スイッチ層、スイッチ素子及び記憶装置の各態様について説明する。

[0009] 態様 1 の抵抗変化材料は、T e を含有する抵抗変化材料であって、閾値電圧の $1/2$ の電圧を印加したときの電流密度を O F F 電流密度とすると、O F F 電流密度が $3.1 \times 10^{-2} \text{ A/cm}^2$ 以下であることを特徴とする。ここで、閾値電圧とは、電気抵抗値が高抵抗状態から低抵抗状態に急激に変化する際の電圧値を意味する。O F F 電流密度とは、閾値電圧の $1/2$ の電圧を印加した際に流れる電流値（O F F 電流値）を電極との接触面積で除した値を意味する。

[0010] 態様 2 の抵抗変化材料は、態様 1 において、さらに、閾値電圧以上の電圧を印加したときの電流密度を O N 電流密度とすると、O N 電流密度が $1 \times 10^{-6} \text{ A/cm}^2$ 以上であることが好ましい。ここで、O N 電流密度とは、閾値電圧以上の電圧を印加した際に流れる電流値（O N 電流値）を電極との接触面積で除した値を意味する。

[0011] 態様 3 の抵抗変化材料は、態様 1 又は態様 2 において、キャリア移動度が $5 \times 10^{-3} \text{ cm}^2/\text{Vs}$ 以下であることが好ましい。

[0012] 態様 4 の抵抗変化材料は、態様 1 から態様 3 のいずれか一つの態様において、閾値電圧以上の電圧を印加したときの電流密度を O N 電流密度とすると、O N 電流密度を O F F 電流密度で除することにより得られる O N / O F

F 電流比が 1×10^4 以上であることが好ましい。

[0013] 態様 5 の抵抗変化材料は、態様 1 から態様 4 のいずれか一つの態様において、閾値電圧が $0.5 \text{ V} \sim 10 \text{ V}$ の範囲内であることが好ましい。

[0014] 態様 6 の抵抗変化材料は、態様 1 から態様 5 のいずれか一つの態様において、原子%で、Ge $0.1\% \sim 50\%$ 、Te $40\% \sim 90\%$ を含有することが好ましい。

[0015] 態様 7 の抵抗変化材料は、態様 1 から態様 6 のいずれか一つの態様において、原子%で、Si + Al + Ga + Sn + Bi + Cu + Ag + Zn + Y + In + Ca + Mg $1\% \sim 59\%$ を含有することが好ましい。

[0016] 態様 8 の抵抗変化材料は、態様 1 から態様 7 のいずれか一つの態様において、原子%で、Sb $0\% \sim 5\%$ 未満を含有することが好ましい。

[0017] 態様 9 の抵抗変化材料は、態様 1 から態様 7 のいずれか一つの態様において、Sb、Se 及び As を実質的に含有しないことが好ましい。

[0018] 態様 10 の抵抗変化材料は、態様 1 から態様 9 のいずれか一つの態様において、酸素含有量が 1 原子%未満であることが好ましい。

[0019] 態様 11 の抵抗変化材料は、態様 1 から態様 10 のいずれか一つの態様において、薄膜であることが好ましい。

[0020] 態様 12 のスイッチ素子用材料は、態様 1 から態様 11 のいずれか一つの態様の抵抗変化材料からなることを特徴とする。

[0021] 態様 13 のスイッチ層は、態様 1 から態様 11 のいずれか一つの態様の抵抗変化材料からなることを特徴とする。

[0022] 態様 14 のスイッチ素子は、態様 13 のスイッチ層と、スイッチ層上に配置される第 1 電極とを備えることを特徴とする。

[0023] 態様 15 のスイッチ素子は、スイッチ層と、スイッチ層上に配置される第 1 電極と、スイッチ層を挟んで、第 1 電極と対向する位置に配置される第 2 電極と、を備え、スイッチ層が、Te を含有し、かつ閾値電圧の $1/2$ の電圧を印加したときの電流密度を OFF 電流密度とすると、OFF 電流密度が $3.1 \times 10^2 \text{ A/cm}^2$ 以下である、抵抗変化材料からなることを特徴と

する。

[0024] 態様 16 のスイッチ素子は、態様 15 において、第 1 電極がスイッチ層の外周面に配置され、前記スイッチ層の内周面に前記第 2 電極が配置されることが好ましい。

[0025] 態様 17 のスイッチ素子は、態様 15 又は 16 において、第 1 電極及び第 2 電極は、タングステン、チタン、銅、プラチナ、窒化タングステン及び窒化チタンから選択される少なくとも一種であることが好ましい。

[0026] 態様 18 のスイッチ素子は、態様 15 から態様 17 のいずれか一つの態様において、スイッチ層のイオン性 r_{σ}^{-1} 及びハイブリダイゼーション r_{π}^{-1} が以下の値を満たすことが好ましい。

$$r_{\sigma}^{-1} \geq 0.05$$

$$r_{\pi}^{-1} \leq 2.0$$

[0027] 態様 19 のスイッチ素子は、態様 15 から態様 18 のいずれか一つの態様において、スイッチ層に 0.15 V の印加電圧を加えたときのキャリア活性化エネルギーを a とし、スイッチ層に 0.30 V の印加電圧を加えたときのキャリア活性化エネルギーを b とするとき、 $a/b < 1$ を満たすことが好ましい。

[0028] 態様 20 の記憶装置は、態様 15 から態様 19 のいずれか一つの態様のスイッチ素子を備えることが好ましい。

[0029] 態様 21 の記憶装置は、態様 15 から態様 19 のいずれか一つの態様のスイッチ素子と、記憶素子とを備えることが好ましい。

[0030] 態様 22 の記憶装置は、スイッチ素子と記憶素子とが積層した積層体を備える記憶装置であって、スイッチ素子は、スイッチ層と、スイッチ層上に配置される第 1 電極と、を備え、スイッチ層は、閾値電圧の $1/2$ の電圧を印加したときの電流密度を OFF 電流密度とするとき、OFF 電流密度が $3.1 \times 10^{-2} \text{ A/cm}^2$ 以下である、抵抗変化材料からなり、記憶素子は、抵抗変化記憶素子、磁気抵抗記憶素子、相変化記憶素子及び強誘電体記憶素子のいずれか一種からなることを特徴とする。

発明の効果

[0031] 本発明によれば、優れたOTS特性を有する抵抗変化材料、スイッチ素子用材料、スイッチ層、スイッチ素子及び記憶装置を提供することができる。

図面の簡単な説明

[0032] [図1]図1は、本発明の一実施形態に係るスイッチ素子の模式的断面図である。

[図2]図2は、本発明の一実施形態に係る記憶素子の模式的断面図である。

[図3]図3は、本発明の第1の実施形態に係る記憶装置の模式的立体図である。

[図4]図4は、本発明の第1の実施形態に係る記憶装置を拡大した模式的立体図である。

[図5]図5は、本発明の第1の実施形態に係る記憶装置の変形例の模式的立体図である。

[図6]図6は、本発明の第2の実施形態に係る記憶装置の模式的立体図である。

[図7]図7は、本発明の第2の実施形態に係る記憶装置の変形例の模式的立体図である。

[図8]図8は、スイッチ層のイオン性 r_{σ} 及びハイブリダイゼーション r_{π}^{-1} をプロットしたグラフである。

発明を実施するための形態

[0033] 以下、好ましい実施態様について説明する。ただし、以下の実施態様は単なる例示であり、本発明は以下の実施態様に限定されるものではない。なお、以下の説明において、特に断りのない限り「%」は「原子%」を意味する。また、本発明において、「 $x + y + z + \dots$ 」は各成分の含有量の含量を意味する。ここで、必ずしも各成分を必須成分として含有しなくてもよく、含有しない（含有量0%）成分が存在しても構わない。また「 $x + y + z + \dots \quad A\% \sim B\%$ 」は、例えば「 $x = 0\%$ 、 $y + z + \dots \quad A\% \sim B\%$ 」や「 $x = 0\%$ 、 $y = 0\%$ 、 $z + \dots \quad A\% \sim B\%$ 」の場合を含む。

[0034] <抵抗変化材料>

本発明の抵抗変化材料は、 T_e を含有する抵抗変化材料であって、閾値電圧の $1/2$ の電圧を印加したときの電流密度をOFF電流密度とすると、OFF電流密度が $3.1 \times 10^2 \text{ A/cm}^2$ 以下であることを特徴とする。

[0035] 本発明者らは、OFF電流密度が所定の値を満たす抵抗変化材料において、優れたOTS特性が得られるという知見を得た。OTS特性とは、カルコゲナイド系の薄膜において、電圧印加により抵抗値が変化する特性を意味する。詳細に述べると以下の通りである。抵抗変化材料は、初期状態（オフ状態）では高抵抗を示す。この状態に電圧を印加していくと、閾値電圧を超えるまでは高抵抗状態を維持し、閾値電圧を超えると急激に低抵抗状態（オン状態）にスイッチする。オン状態から印加電圧を下げると、再びオフ状態に戻る。優れたOTS特性を有する抵抗変化材料は、この高抵抗状態と低抵抗状態の抵抗差が大きい。言い換えると、低抵抗状態における電流密度と、高抵抗状態における電流密度の違い（ON/OFF電流比）が大きい。そのため、スイッチ層及びスイッチ素子として安定して使用することができる。ここで、ON/OFF電流比は、ON電流密度をOFF電流密度で除した値を意味する。

[0036] 本発明の抵抗変化材料は、閾値電圧の $1/2$ の電圧を印加したときの電流密度をOFF電流密度とすると、OFF電流密度の上限が $3.1 \times 10^2 \text{ A/cm}^2$ 以下であり、 $3 \times 10^2 \text{ A/cm}^2$ 以下、 $2.8 \times 10^2 \text{ A/cm}^2$ 以下、特に $2.6 \times 10^2 \text{ A/cm}^2$ 以下であることが好ましい。OFF電流密度が上記値を満たすことにより、ON/OFF電流比を大きくしやすくなる。したがって、安定したOTS特性を得ることが可能となる。OFF電流密度の下限は特に限定されないが、 $5 \times 10^{-3} \text{ A/cm}^2$ 以上、 $6 \times 10^{-3} \text{ A/cm}^2$ 以上、 $1 \times 10^{-2} \text{ A/cm}^2$ 以上としてもよい。

[0037] 本発明の抵抗変化材料は、閾値電圧以上の電圧を印加したときの電流密度をON電流密度とすると、ON電流密度の下限が $1 \times 10^6 \text{ A/cm}^2$ 以上、 $2 \times 10^6 \text{ A/cm}^2$ 以上、 $3.1 \times 10^6 \text{ A/cm}^2$ 以上、 $3.2 \times 10^6 \text{ A/cm}^2$

A/cm^2 以上、 $3.5 \times 10^6 \text{ A}/\text{cm}^2$ 以上、 $4.1 \times 10^6 \text{ A}/\text{cm}^2$ 以上、 $4.2 \times 10^6 \text{ A}/\text{cm}^2$ 以上、 $4.3 \times 10^6 \text{ A}/\text{cm}^2$ 以上、 $4.4 \times 10^6 \text{ A}/\text{cm}^2$ 以上、特に $4.5 \times 10^6 \text{ A}/\text{cm}^2$ 以上であることが好ましい。ON電流密度が上記値を満たすことにより、ON/OFF電流比を一層大きくすることができる。ON電流密度の上限は特に限定されないが、例えば、 $1 \times 10^9 \text{ A}/\text{cm}^2$ 以下、 $1 \times 10^8 \text{ A}/\text{cm}^2$ 以下、 $1 \times 10^7 \text{ A}/\text{cm}^2$ 以下としてもよい。

[0038] 本発明の抵抗変化材料は、ON/OFF電流比の下限が 1×10^4 以上、 1.2×10^4 以上、 1.5×10^4 以上、 1.8×10^4 以上、 5×10^4 以上、 1×10^5 以上、 1.5×10^5 以上、 3.1×10^5 以上、 3.9×10^5 以上、 5×10^5 以上、 6.3×10^5 以上、特に 1×10^6 以上であることが好ましい。または、ON/OFF電流比を x とすると、 $\log_{10} x$ の下限が4以上、4.1以上、4.2以上、4.3以上、4.7以上、5以上、5.2以上、5.5以上、5.6以上、5.7以上、5.8以上、特に6以上であることが好ましい。このようにON/OFF電流比が大きいことにより、低抵抗状態における電流密度と、高抵抗状態における電流密度の違い（ON/OFF電流比）が大きくなる。すなわち、優れたOTS効果を得ることができる。ON/OFF電流比の上限は特に限定されないが、例えば、 2×10^{10} 以下、 1×10^9 以下、 1×10^8 以下、特に 1×10^7 以下とすることができる。また、 $\log_{10} x$ の値の上限が10.3以下、9以下、8以下、特に7以下であることが好ましい。

[0039] 本発明の抵抗変化材料は、閾値電圧が0.5V～10Vの範囲内に存在することが好ましい。より詳細には、閾値電圧の上限が10V以下、8V以下、6V以下、特に5V以下であることが好ましい。閾値電圧が上記範囲内に存在することにより、より少ないエネルギーでスイッチ素子などを駆動させることができる。閾値電圧の下限は特に限定されないが、0.5V以上、0.8V以上、1V以上、1.2V以上、特に1.5V以上であってもよい。

[0040] OFF電流密度、ON電流密度、ON/OFF電流比及び閾値電圧は以下

のように求めることができる。はじめに、スイッチ素子に $0\text{ V} \sim 10\text{ V}$ の電圧を印加し、スイッチ素子に流れる電流値及び閾値電圧を測定する。このとき印加する電圧は直流電圧、交流電圧、パルス電圧など限定されないが、スイッチ素子の蓄熱を防ぐ観点から、パルス電圧で測定することが好ましい。閾値電圧は電気抵抗値が高抵抗状態から低抵抗状態に急激に変化するときの電圧値とすることができる。OFF電流密度は、閾値電圧の $1/2$ の電圧を印加した際に流れる電流値（OFF電流値）を第1電極又は第2電極との接触面積で除した値とすることができる。ON電流密度は閾値電圧以上の電圧を印加した際に流れる電流値（ON電流値）を第1電極又は第2電極との接触面積で除した値とすることができる。ON電流値をOFF電流値で除することによりON/OFF電流比を求めることができる。なお、スイッチ素子と第1電極との接触面積と、スイッチ素子と第2電極との接触面積の大きさが同じである場合は、上記のように、第1電極又は第2電極の接触面積を使用して電流密度を求めることができる。また、スイッチ素子と第1電極との接触面積と、スイッチ素子と第2電極との接触面積の大きさが異なる場合は、接触面積が小さい方の値を使用して電流密度を求めることができる。

[0041] 本発明の抵抗変化材料は、キャリア移動度の上限が $5 \times 10^{-3} \text{ cm}^2/\text{Vs}$ 以下、 $4.5 \times 10^{-3} \text{ cm}^2/\text{Vs}$ 以下、 $4 \times 10^{-3} \text{ cm}^2/\text{Vs}$ 以下、 $3.5 \times 10^{-3} \text{ cm}^2/\text{Vs}$ 以下、特に $3 \times 10^{-3} \text{ cm}^2/\text{Vs}$ 以下であることが好ましい。キャリア移動度が上記値を満たすことにより、OFF電流密度が低下しやすくなる。したがって、ON/OFF電流比を大きくしやすくなる。キャリア移動度の下限は特に限定されないが、例えば、 $1 \times 10^{-8} \text{ cm}^2/\text{Vs}$ 以上、 $1 \times 10^{-7} \text{ cm}^2/\text{Vs}$ 以上、 $1 \times 10^{-6} \text{ cm}^2/\text{Vs}$ 以上であってもよい。なお、キャリア移動度は、比抵抗・ホール測定システムを用いて測定することができる。

[0042] 本発明の抵抗変化材料はTeを含有する。Teは抵抗変化材料を構成し、OTS特性を得るための必須成分である。Teの含有量は $40\% \sim 90\%$ であることが好ましい。より詳細には、Teの含有量の下限は、 40% 以上、

42%以上、47%以上、50%以上、50%超、51%以上、53%以上、55%以上、60%以上、61%以上、65%以上、67%以上、70%以上、特に71%以上であることが好ましい。Teの含有量の上限は、90%以下、89%以下、85%以下、82.5%以下、80%以下、75%以下、特に72.5%以下であることが好ましい。Teの含有量が少なすぎると、アモルファス状態が不安定になりやすい。また、OTS特性が得づらくなる。Teの含有量が多すぎると、アモルファス状態が不安定になりやすい。また、キャリア移動度が大きくなり過ぎて、OFF電流密度が大きくなりやすい。

[0043] 本発明の抵抗変化材料は、Te以外の成分を含有してもよい。例えば、原子%で、Ge 0.1%~50%、Te 40%~90%を含有することが好ましい。また、Ge及びTe以外の成分を含有してもよい。

[0044] Geは抵抗変化材料のアモルファス状態を安定化させる成分である。Geの含有量は0.1%~50%であることが好ましい。より詳細には、Geの含有量の下限は、0.1%以上、1%以上、3%以上、5%以上、7%以上、10%以上、11%以上、特に13%以上であることが好ましい。Geの含有量の上限は、50%以下、40%以下、30%以下、特に20%以下であることが好ましい。Geの含有量が少なすぎると、アモルファス状態が不安定になりやすい。Geの含有量が多すぎると、OTS特性が得づらくなる。また、製造コストが増加しやすくなる。

[0045] Ge+Teの含有量（Ge及びTeの含量）の下限は、41%以上、45%以上、50%以上、60%以上、65%以上、70%以上、75%以上、特に80%以上であることが好ましい。Ge+Teの含有量の上限は、99%以下、98%以下、97%以下、特に95%以下であることが好ましい。Ge+Teの含有量が少なすぎると、アモルファス状態が不安定になりやすい。また、OTS特性が得づらくなる。Ge+Teの含有量が多すぎると、OTS特性が得づらくなる。

[0046] Si、Al、Ga、Sn、Bi、Cu、Ag、Zn、Y、In、Ca、M

gは、抵抗変化材料のアモルファス状態を安定化させる成分である。また、OFF電流密度を低下させることでON/OFF電流比を大きくしやすい成分である。そのため、本発明の抵抗変化材料は、Si+Al+Ga+Sn+Bi+Cu+Ag+Zn+Y+In+Ca+Mgの含有量（Si、Al、Ga、Sn、Bi、Cu、Ag、Zn、Y、In、Ca及びMgの含量）が1%～59%であることが好ましい。より詳細には、Si+Al+Ga+Sn+Bi+Cu+Ag+Zn+Y+In+Ca+Mgの含有量の下限は、1%以上、特に2%以上であることが好ましい。Si+Al+Ga+Sn+Bi+Cu+Ag+Zn+Y+In+Ca+Mgの含有量の上限は、59%以下、58%以下、55%以下、50%以下、45%以下、40%以下、35%以下、30%以下、25%以下、20%以下、15%以下、14%以下、13%以下、10%以下、特に9%以下であることが好ましい。なお、上記含有量は、Si、Al、Ga、Sn、Bi、Cu、Ag、Zn、Y、In、Ca、Mgから選択される成分の1種類又は2種類以上を含有すると言い換えてもよい。これらの成分の含有量が少なすぎると、上記効果が得づらくなる。これらの成分の含有量が多すぎると、アモルファス状態が不安定になりやすい。また、OTS特性が得づらくなる。なお、Si、Al、Ga、Sn、Bi、Cu、Ag、Zn、Y、In、Ca、Mgの各成分の含有量の下限は、0%以上、0%超、0.1%以上、0.5%以上、1%以上、特に2%以上であることが好ましい。Si、Al、Ga、Sn、Bi、Cu、Ag、Zn、Y、In、Ca、Mgの各成分の含有量の上限は、59%以下、58%以下、55%以下、50%以下、45%以下、40%以下、35%以下、30%以下、25%以下、20%以下、15%以下、14%以下、13%以下、10%以下、特に9%以下であることが好ましい。

[0047] 上記成分のうち、Ga、Agは、キャリア移動度を低下させ、OFF電流密度を下げやすい成分であるため、特にON/OFF電流比の向上に寄与する。また、アモルファス状態を特に安定化させやすい成分でもある。Ga+Agの含有量（Ga及びAgの含量）の下限は、0%以上、0%超、0.1

%以上、0.5%以上、1%以上、2%以上、3%以上、特に5%以上であることが好ましく、Ga + Agの含有量の上限は、59%以下、58%以下、55%以下、50%以下、45%以下、40%以下、35%以下、30%以下、25%以下、20%以下、15%以下、14%以下、13%以下、10%以下、特に9%以下であることが好ましい。Ga + Agの含有量が多すぎると、アモルファス状態が不安定になりやすい。

[0048] 特にOFF電流密度を下げる観点から、 $Ga / (Ga + Ag)$ の下限は0.1以上、特に0.2以上であることが好ましく、 $Ga / (Ga + Ag)$ の上限は1.2以下、1.2未満、特に1.1以下であることが好ましい。ここで、 $Ga / (Ga + Ag)$ とは、Gaの含有量をGa及びAgの合量で除した値である。

[0049] 特に後述するサイクル回数を増やす観点から、 $Ag / (Ga + Ag)$ の下限は0.1以上、特に0.2以上であることが好ましく、 $Ag / (Ga + Ag)$ の上限は1.2以下、1.2未満、特に1.1以下であることが好ましい。ここで、 $Ag / (Ga + Ag)$ とは、Agの含有量をGa及びAgの合量で除した値である。

[0050] Sbは高温下において非結晶状態を不安定にさせやすい成分である。そのため、Sbの含有量は0%～5%未満であることが好ましい。より詳細には、Sbの含有量の上限は、5%未満、4%以下、3%以下、2%以下、特に実質的に含有しないことが好ましい。なお、本明細書において、「実質的に含有しない」とは、意図的に原料中に含有させないという意味であり、不純物レベルの混入を排除するものではない。客観的には、各成分の含有量が0.1%未満を指す。

[0051] Seは抵抗変化材料のアモルファス状態を安定化させやすい成分である。Seの含有量の上限は、58%以下、55%以下、特に50%以下であることが好ましい。Seの含有量の下限は0%以上、1%以上、5%以上、10%以上、特に20%以上であることが好ましい。Seの含有量が多すぎると、アモルファス状態が不安定になりやすい。また、Seは毒性成分である。

そのため、環境への負荷を低減するという観点からは、S eの含有量の上限は、40%以下、30%以下、20%以下、10%以下、特に実質的に含有しないことが好ましい。

[0052] A sは抵抗変化材料のアモルファス状態を安定化させやすい成分である。ただし、A sは毒性成分であるため、環境負荷を低減するという観点から、A sの含有量は0%~30%であることが好ましい。より詳細には、A sの含有量の上限は、30%以下、25%以下、20%以下、10%以下、5%以下、3%以下、特に実質的に含有しないことが好ましい。

[0053] 本発明の抵抗変化材料は、S b、S e及びA sを実質的に含有しないことが好ましい。これにより、環境負荷を一層低減しやすくなる。

[0054] B、C、N、F、C l、B r及びIは、その含有量が多すぎるとアモルファス状態が不安定になりやすい。また、耐候性が低下しやすい。したがって、 $B + C + N + F + C l + B r + I$ の含有量（B、C、N、F、C l、B r及びIの合量）の上限は、50%以下、45%以下、40%以下、35%以下、30%以下、25%以下、20%以下、15%以下、14%以下、12%以下、10%以下、8%以下、6%以下、特に5%以下であることが好ましい。また、B、C、N、F、C l、B r及びIの各成分の含有量の上限は、50%以下、45%以下、40%以下、35%以下、30%以下、25%以下、20%以下、15%以下、14%以下、12%以下、10%以下、8%以下、6%以下、特に5%以下であることが好ましい。もっとも、結晶化温度を高める観点から、B、C、N、F、C l、B r及びIを合量で0%以上、1%以上、特に2%以上含有させてもよい。

[0055] P、C r、M n、T i、F eは、その含有量が多すぎると、アモルファス状態が不安定になりやすい。したがって、 $P + C r + M n + T i + F e$ の含有量（P、C r、M n、T i及びF eの合量）は0%~10%であることが好ましい。より詳細には、 $P + C r + M n + T i + F e$ の含有量の上限は、10%以下、5%以下、1%以下、1%未満、0.1%以下、特に実質的に含有しないことが好ましい。これらの成分の含有量が多すぎると、アモルフ

ァス状態が不安定になりやすい。なお、P、Cr、Mn、Ti、Feの各成分の含有量は0%~10%であることが好ましい。より詳細には、P、Cr、Mn、Ti、Feの各成分の含有量の上限は、10%以下、5%以下、1%以下、1%未満、0.1%以下、特に実質的に含有しないことが好ましい。

[0056] 環境負荷を低減する観点から、Cd、Tl及びPbは実質的に含有しないことが好ましい。

[0057] 本発明の抵抗変化材料は、酸素含有量が1原子%未満であることが好ましい。より詳細には、酸素含有量の上限が原子%で、0.8%以下、0.5%以下、0.3%以下、0.1%以下、0.09%以下、0.05%以下、特に0.02%以下であることが好ましい。酸素含有量が多すぎると、ON電流密度が低下しやすくなることに加え、閾値電圧が高くなりやすい。酸素含有量の下限は原料精製コストの観点から、原子%で、 $1 \times 10^{-6}\%$ 以上、 $1 \times 10^{-5}\%$ 以上、 $5 \times 10^{-5}\%$ 以上、 $1 \times 10^{-4}\%$ 以上、特に $2 \times 10^{-4}\%$ 以上であることが好ましい。

[0058] 抵抗変化材料の組成はエネルギー分散型X線分光法(EDX: Energy Dispersive X-ray Spectroscopy)、電子線プローブマイクロアナライザー(EPMA: Electron Probe Micro Analyzer)、蛍光X線分析法(XRF: X-ray Fluorescence)等を用いて評価できる。EDXは透過型電子顕微鏡(TEM)や走査型電子顕微鏡(SEM)等に付属した装置TEM-EDXやSEM-EDXで評価してもよい。また、酸素含有量については不活性ガス融解-赤外線吸収法等を用いて評価できる。

[0059] 本発明の抵抗変化材料は、結晶化温度 T_x が150℃以上、160℃以上、特に170℃以上であることが好ましい。結晶化温度 T_x が上記値を満たすことにより、スイッチング時に生じる発熱による結晶化が生じにくくなり、後述するサイクル回数をより一層増加させやすくなる。結晶化温度 T_x の上限は特に限定されないが、例えば、500℃以下、450℃以下、特に4

00℃以下としてもよい。

- [0060] 抵抗変化材料の結晶化温度 T_x は示差熱分析 (DTA: Differential Thermal Analysis) や示差走査熱量計 (DSC: Differential Scanning Calorimetry) を用いて評価できる。また、二端子法での電気抵抗の測定において電気抵抗の温度依存性を測定し、電気抵抗が急激に低下した温度を結晶化温度 T_x と評価してもよい。さらに、得られた抵抗変化材料を所定の温度で熱処理し、XRDで結晶化ピークが生じる点を結晶化温度 T_x と評価してもよい。上記方法のいずれかで評価された結晶化温度 T_x が上述した結晶化温度 T_x の好ましい値を満たすことが好ましい。特に電気抵抗の温度依存性において評価した結晶化温度 T_x が上述した結晶化温度 T_x の好ましい値を満たすことが好ましい。
- [0061] 本発明の抵抗変化材料はアモルファス状態が安定であるため、スイッチ素子として使用した場合にサイクル回数を多くすることが可能である。すなわち、ON、OFFを繰り返してもON/OFF電流比を保つことができる。具体的には、サイクル回数 (ON/OFF電流比が初期測定値の10%となるまでON/OFF電流のスイッチを繰り返した時の回数) の下限は、 5×10^2 回以上、 1×10^3 回以上、特に 1×10^4 回以上であることが好ましい。サイクル回数が少なすぎると、スイッチ素子として使用することが困難になる。サイクル回数の上限は、特に限定されないが、例えば 1×10^{10} 回以下、 1×10^9 回以下、 1×10^8 回以下、 1×10^7 回以下としてもよい。
- [0062] 本発明の抵抗変化材料は、薄膜 (抵抗変化膜) として用いられることが好ましい。当該薄膜 (抵抗変化膜) は、後述するスイッチ層やスイッチ記憶層として特に好適に用いることができる。もっとも、抵抗変化材料は薄膜に限定されない。
- [0063] 薄膜 (抵抗変化膜) の膜厚は1nm~300nmであることが好ましい。より詳細には、抵抗変化膜の膜厚の下限は、1nm以上、2nm以上、5nm以上、10nm以上、30nm以上、特に50nm超であることが好まし

く、抵抗変化膜の膜厚の上限は、300nm以下、200nm以下、特に100nm以下とすることが好ましい。膜厚が小さすぎると高抵抗状態での電流値（OFF電流）が高くなる傾向がある。膜厚が大きすぎると閾値電圧が大きくなりやすい。

[0064] 本発明のスイッチ素子用材料は、上述した本発明の抵抗変化材料からなることが好ましい。また、本発明のスイッチ層は、上述した本発明の抵抗変化材料からなることが好ましい。上述したように、本発明の抵抗変化材料は優れたOTS特性を有するため、スイッチ層及びスイッチ素子の材料として好適に用いることができる。

[0065] 本発明の抵抗変化材料は、例えば以下のように作製することができる。はじめに、所望の組成となるように原料を調合する。次に、加熱しながら真空排気を行った石英ガラスアンプルに調合した原料を入れ、真空排気を行いながら酸素バーナーで封管する。次に、封管された石英ガラスアンプルを650℃～1000℃程度で6時間～12時間保持する。その後、室温まで急冷することにより、バルク状の抵抗変化材料を得ることができる。

[0066] 原料には、元素原料（Ge、Ga、Si、Te、Ag、I等）を用いてもよく、化合物原料（GeTe₄、Ga₂Te₃、AgI等）を用いても良い。また、これらを併用してもよい。

[0067] 得られた抵抗変化材料をターゲットとして用いるPVD法（Physical Vapor Deposition）により、上述した組成を有する薄膜（抵抗変化膜）を形成することができる。

[0068] なお、ターゲットとして純元素Mターゲット（Ge、Te、Sb、Si、Al、Ga、Sn、Bi、Cu、Ag、Zn、Y、In、Ca及びMg）、2元系合金ターゲット、あるいは3元系以上の合金ターゲットを用いた多元スパッタリング法により、適宜成膜出力を調整することにより成分調整し、上述した組成を有する薄膜（抵抗変化膜）を形成することもできる。

[0069] 薄膜の製造方法は特に限定されず、PVD法としてスパッタリング法、真空蒸着法、イオンプレーティング法を用いることができる。また、薄膜の製

造方法としてCVD (Chemical Vapor Deposition) 法、ALD (atomic layer deposition) 法等を選択してもよい。特に、組成制御や膜厚制御が簡便なため、スパッタリング法を用いることが好ましい。

[0070] <スイッチ素子>

図1は、本発明の一実施形態に係るスイッチ素子の模式的断面図である。スイッチ素子10は、第1電極1と、第2電極2と、第1電極1の主面上に配置されるスイッチ層3とを備える。第2電極2は、第1電極1と対向する位置に配置される。スイッチ層3は、本実施形態において、第1電極1及び第2電極2の間に配置される。言い換えると、本実施形態のスイッチ素子10は、スイッチ層3と、スイッチ層3上に配置される第1電極1とを備える。さらに言い換えると、本実施形態のスイッチ素子10は、スイッチ層3を挟んで、第1電極1と対向する位置に配置された第2電極2とを備えることが好ましい。このとき、スイッチ層3がTeを含有し、かつ閾値電圧の1/2の電圧を印加したときの電流密度をOFF電流密度とすると、OFF電流密度が $3.1 \times 10^2 \text{ A/cm}^2$ 以下である抵抗変化材料からなることが好ましい。

[0071] 本実施形態のスイッチ素子10は、後述するクロスポイント型の記憶装置やBiCS (Bit-Cost Scalable) 型の記憶装置に好適に用いることができる。BiCS型の記憶装置の場合、本実施形態のスイッチ素子10は、第1電極1がスイッチ層3の外周面に配置され、第2電極2がスイッチ層3の内周面に配置されることが好ましい。

[0072] 第1電極1及び第2電極2には、無機材料を用いることができる。無機材料としては、金属材料、セラミック材料を用いることができる。例えば、第1電極1及び第2電極2は、タングステン、チタン、銅、プラチナ、窒化タングステン及び窒化チタンから選択される少なくとも一種であることが好ましい。タングステン、チタン、銅、プラチナは、金属材料として好ましい。また、窒化タングステン、窒化チタンはセラミック材料として好ましい。

- [0073] 第1電極1及び第2電極2の厚みは適宜設計することができる。例えば、第1電極1及び第2電極2の厚みの上限は、それぞれ、200nm以下、100nm以下、80nm以下、60nm以下、特に50nm以下とすることが好ましい。第1電極1及び第2電極2の厚みが小さいほど、メモリデバイスの大容量化に有利になりやすい。第1電極1及び第2電極2の厚みの下限は、例えば、それぞれ、1nm以上、特に2nm以上であることが好ましい。
- [0074] 第1電極1及び第2電極2の面積の上限は、例えば、それぞれ、1000000nm²以下、562500nm²以下、250000nm²以下、62500nm²以下、10000nm²以下、6400nm²以下、2500nm²以下、特に1600nm²以下であることが好ましい。第1電極1及び第2電極2の面積の下限は特に限定されないが、製造コストの観点から、それぞれ、1nm²以上、特に2nm²以上としてもよい。また、第1電極1とスイッチ層3との接触面積又は第2電極2とスイッチ層3との接触面積の上限は、それぞれ、1000000nm²以下、562500nm²以下、250000nm²以下、62500nm²以下、10000nm²以下、6400nm²以下、2500nm²以下、特に1600nm²以下であることが好ましい。これによりメモリデバイスの大容量化に有利になりやすい。第1電極1とスイッチ層3との接触面積又は第2電極2とスイッチ層3との接触面積の下限は特に限定されないが、製造コストの観点から、1nm²以上、特に2nm²以上としてもよい。なお、電極とスイッチ層3の接触面積は、第1電極1とスイッチ層3との接触面積、又は第2電極2とスイッチ層3との接触面積のうち、少なくとも一方が上記値を満たしていればよく、両方の接触面積が上記値を満たしていることがより好ましい。
- [0075] スイッチ層3は本発明の抵抗変化材料から形成され、OTS特性を示す。より詳細には、スイッチ層3は薄膜（抵抗変化膜）からなることが好ましい。スイッチ層3は印加電圧により抵抗状態が変化する。すなわち、閾値電圧以上の電圧を印加した際には低抵抗状態（ON状態）となる。また、閾値電

圧の $1/2$ の電圧を印加した際には高抵抗状態（OFF 状態）となる。なお、本実施形態において、スイッチ層 3 はアモルファス状態であり、電圧印加による相変化は生じない。言い換えると、スイッチ層 3 は電圧印加により結晶質に相変化しない。

[0076] スイッチ層 3 は、少なくとも 1 つの電極と接する状態で配置される。言い換えると、スイッチ層 3 は第 1 電極 1 上に配置されることが好ましい。さらに別の表現では、第 1 電極 1 はスイッチ層 3 上に配置されることが好ましい。また、スイッチ層 3 を挟んで、第 1 電極 1 と対向する位置に配置された第 2 電極 2 を備えることが好ましい。

[0077] スイッチ層 3 の厚みは、所望の閾値電圧に応じて適宜設計することができる。スイッチ層 3 の厚みの上限は、例えば、 300 nm 以下、 200 nm 以下、特に 100 nm 以下とすることが好ましい。厚みが大きすぎると、閾値電圧が大きくなりすぎやすい。スイッチ層 3 の厚みの下限は、例えば、 1 nm 以上、 2 nm 以上、 5 nm 以上、 10 nm 以上、 30 nm 以上、特に 50 nm 超であることが好ましい。

[0078] スイッチ素子 10 では、スイッチ層 3 のイオン性 r_{σ}^{-1} 及びハイブリダイゼーション r_{π}^{-1} が所望の値を満たすことが好ましい。より詳細には、スイッチ層 3 のイオン性 r_{σ}^{-1} が 0.05 以上であることが好ましい。イオン性 r_{σ}^{-1} の上限は特に限定されないが、例えば、 0.30 以下、 0.25 以下、特に 0.20 以下とすることができる。また、スイッチ層 3 のハイブリダイゼーション r_{π}^{-1} が 2.0 以下、特に 1.9 以下であることが好ましい。ハイブリダイゼーション r_{π}^{-1} の下限は特に限定されないが、例えば 1.0 以上、 1.1 以上、 1.2 以上、特に 1.3 以上であることが好ましい。スイッチ層 3 のイオン性 r_{σ}^{-1} とハイブリダイゼーション r_{π}^{-1} が上記値を満たすことにより、アモルファス状態の安定性を保ちつつ OFF 電流密度を低くすることができる。なお、スイッチ層 3 のイオン性 r_{σ}^{-1} 及びハイブリダイゼーション r_{π}^{-1} は非特許文献 1 に記載の下記式 1、2 により算出することができる。ここで、 r_s 及び r_p は s と p の軌道半径、 n_i 、 n_j は化学種 i（アニオン）、化

学種 j （カチオン）の式単位あたりの原子数を意味する。

[0079] [数1]

$$r'_\sigma = \left(\frac{\sum_i n_i r_{p,i}}{\sum_i n_i} \right) - \left(\frac{\sum_j n_j r_{p,j}}{\sum_j n_j} \right) \cdots \text{式(1)}$$

[0080] [数2]

$$r_\pi^{-1} = \left[\left(\frac{\sum_i n_i (r_{p,i} - r_{s,i})}{\sum_i n_i} \right) + \left(\frac{\sum_j n_j (r_{p,j} - r_{s,j})}{\sum_j n_j} \right) \right]^{-1} \cdots \text{式(2)}$$

[0081] 本実施形態のスイッチ素子10は、印加電圧の増加に伴いキャリア活性化エネルギーが増加することが好ましい。例えば、スイッチ素子10は、スイッチ層3に0.15Vの印加電圧を加えたときのキャリア活性化エネルギーを a (eV)とし、スイッチ層3に0.30Vの印加電圧を加えたときのキャリア活性化エネルギーを b (eV)とするとき、 $a/b < 1$ を満たすことが好ましい。上記特性を示すことにより、印加電圧が大きくなってもOFF電流密度が高くなりやすく、ON/OFF電流比が大きくなる。ここで、キャリア活性化エネルギーとは、電子が伝導状態に遷移する際に必要なエネルギーを指し、以下のように求めることができる。はじめに、スイッチ素子10に異なる温度下で電圧を印加し、そのときの電流値を測定する。このときの温度と印加電圧の範囲は限定されないが、例えば温度は30℃～80℃、印加電圧は0V～0.30Vとすることができる。次に、任意の電圧値における電流値と測定時の温度から、下記式(3)を用いてキャリア活性化エネルギーを算出することができる。なお、 I は電流、 E_a はキャリア活性化エネルギー、 k はボルツマン定数、 T は絶対温度、 C は定数を意味する。

[0082]

[数3]

$$\ln(I) = \frac{E_a}{kT} + C \quad \cdots \quad \text{式(3)}$$

[0083] 本実施形態のスイッチ素子10は、加熱に伴い閾値電圧が高くなる傾向を示すことが好ましい。例えば、80℃におけるスイッチ素子10の閾値電圧は、室温25℃における閾値電圧の1.05倍以上、特に1.1倍以上であることが好ましい。上記特性を示すことにより、電子の運動エネルギーが大きくなる高温状態でもOFF電流密度が高くなりやすく、高温でも高いON/OFF電流比が保たれることで優れた耐熱性を示す。

[0084] 本実施形態のスイッチ素子10は、温度上昇に伴いショットキー障壁高さが大きくなることが好ましい。例えば、80℃におけるスイッチ素子10のショットキー障壁高さが30℃におけるショットキー障壁高さの1.01倍以上、特に1.02倍以上であることが好ましい。上記特性を示すことにより、キャリアの移動が妨げられるため、OFF電流密度を低くすることができ、したがって、ON/OFF電流比を大きくしやすくなる。なお、ショットキー障壁高さ ϕ_B は下記式(4)により算出できる。ここで、 I_s は飽和電流、 A は接触面積、 A^* はリチャードソン定数、 q は電気素量、 k はボルツマン定数、 T は絶対温度を意味する。

[0085] [数4]

$$I_s = AA^* \exp\left(-\frac{q\phi_B}{kT}\right) \quad \cdots \quad \text{式(4)}$$

[0086] <記憶素子>

図2は、本発明の一実施形態に係る記憶素子の模式的断面図である。記憶素子21は、第1電極11と、第2電極12と、第1電極11の主面上に配

置されるスイッチ記憶層4とを備える。第2電極12は、第1電極11と対向する位置に配置される。スイッチ記憶層4は、本実施形態において、第1電極11及び第2電極12の間に配置される。言い換えると、本実施形態の記憶素子21は、スイッチ記憶層4と、スイッチ記憶層4の一方側の主面上に配置される第1電極11と、スイッチ記憶層4の他方側の主面上に配置される第2電極12とを備える。スイッチ記憶層4は抵抗変化膜からなる。

[0087] 第1電極11及び第2電極12には、無機材料を用いることができる。無機材料としては、金属材料、セラミック材料を用いることができる。金属材料としては、例えば、タングステン、チタン、銅、プラチナ等を使用することが好ましい。また、セラミック材料としては、例えば、窒化タングステン、窒化チタンを使用することが好ましい。

[0088] 第1電極11及び第2電極12の厚みは適宜設計することができる。例えば、第1電極11及び第2電極12の厚みは、それぞれ、200nm以下、100nm以下、80nm以下、60nm以下、特に50nm以下とすることが好ましい。第1電極11及び第2電極12の厚みが小さいほど、メモリデバイスの大容量化に有利になりやすい。第1電極11及び第2電極12の厚みの下限は、例えば、1nm以上、特に2nm以上であることが好ましい。

[0089] 記憶素子21は抵抗変化記憶素子であり、メモリ機能とスイッチ素子機能を有するスイッチ記憶層4を備える。例えば、スイッチ記憶層4に所定の電圧以上を印加することで低抵抗状態LR1に変化させ情報を記録することができる。また、低抵抗状態LR1から印加電圧を小さくしていくと情報が記録された状態で高抵抗状態HR1となり、さらに、消去動作を行わずに読出し電圧を印加すると低抵抗状態LR2へと変わる。一方で、情報が記録されていない、または消去動作を行った高抵抗状態で読出し電圧を印加すると、高抵抗状態HR2となる。このとき、LR2、HR2にそれぞれ1、0を対応させることにより、情報を記録することができる。また、動作方法は前述した方法に限らない。例えば情報を記録した後に印加電圧を0にし、読出し

電圧を印加するとL R 2となる。一方で、消去動作を行った後に読出し電圧を印加するとH R 2となるため、それぞれに1、0を対応させることにより情報を記録できる。

[0090] 第1電極11及び第2電極12の面積の上限は、例えば1000000nm²以下、562500nm²以下、250000nm²以下、62500nm²以下、10000nm²以下、6400nm²以下、2500nm²以下、特に1600nm²以下であることが好ましい。第1電極11及び第2電極12の面積の下限は特に限定されないが、製造コストの観点から、1nm²以上、特に2nm²以上としてもよい。また、第1電極11とスイッチ記憶層4との接触面積又は第2電極12とスイッチ記憶層4との接触面積の上限は、1000000nm²以下、562500nm²以下、250000nm²以下、62500nm²以下、10000nm²以下、6400nm²以下、2500nm²以下、特に1600nm²以下であることが好ましい。これによりメモリデバイスの大容量化に有利になりやすい。第1電極11とスイッチ記憶層4との接触面積及び／又は第2電極12とスイッチ記憶層4との接触面積の下限は特に限定されないが、製造コストの観点から例えば、1nm²以上、特に2nm²以上としてもよい。なお、電極とスイッチ記憶層4の接触面積は、第1電極11とスイッチ記憶層4との接触面積、又は第2電極12とスイッチ記憶層4との接触面積のうち、少なくとも一方が上記値を満たしていればよく、両方の接触面積が上記値を満たしていることがより好ましい。

[0091] <記憶装置>

(第1の実施形態)

本実施形態の記憶装置は、スイッチ素子を備えることが好ましく、スイッチ素子と記憶素子とを備えることがより好ましい。また、スイッチ素子と記憶素子とを備える場合は、本発明の記憶装置は、スイッチ素子と記憶素子とが積層した積層体からなることが好ましい。より詳細には、本実施形態の記憶装置は、スイッチ素子と記憶素子とが積層した積層体を備える記憶装置であって、スイッチ素子は、スイッチ層と、スイッチ層上に配置される第1電

極と、を備え、スイッチ層は、閾値電圧の $1/2$ の電圧を印加したときの電流密度を OFF 電流密度とすると、OFF 電流密度が $3.1 \times 10^2 \text{ A/cm}^2$ 以下である、抵抗変化材料からなり、記憶素子は、抵抗変化記憶素子、磁気抵抗記憶素子、相変化記憶素子及び強誘電体記憶素子のいずれか一種からなることが好ましい。

[0092] 図3は、本発明の第1の実施形態に係る記憶装置の模式的立体図であり、図4は、本発明の第1の実施形態に係る記憶装置を拡大した模式的立体図である。図3及び図4に示すように、記憶装置100は、スイッチ素子10、記憶素子20、ワード線30、ビット線40を含む。ビット線40は、平面視でワード線30に対して直交する。スイッチ素子10及び記憶素子20は、平面視におけるワード線30及びビット線40の交点に配置される。すなわち、本実施形態の記憶装置100は、いわゆるクロスポイント型記憶装置である。

[0093] 図5は、本発明の第1の実施形態に係る記憶装置の変形例の模式的立体図である。記憶装置200は、スイッチ素子10、記憶素子20、ワード線30、ビット線40を含む。ビット線40は、ワード線30に設けられた貫通孔中に配置される。また、ビット線40の外周部に、記憶素子20及びスイッチ素子10が配置される。スイッチ素子10は、第1電極1がスイッチ層3の外周面に配置され、スイッチ層3を挟んで、第1電極1と対向する内周面に第2電極2が配置される。すなわち、本変形例の記憶装置200は、いわゆるB i C S型の記憶装置である。このように、本発明の記憶装置は、クロスポイント型の記憶装置に限定されず、種々の記憶装置であってもよい。

[0094] 記憶素子20は、抵抗変化記憶素子、磁気抵抗記憶素子、相変化記憶素子及び強誘電体記憶素子等の任意の記憶素子を用いることができる。以下、各記憶素子について好ましい形態を記載する。

[0095] 抵抗変化記憶素子は、抵抗変化層を含む。より詳細には、抵抗変化記憶素子は、上部電極と下部電極とで抵抗変化層を挟んだ積層体を含むことが好ましい。抵抗変化層は、金属酸化物材料、金属窒化物材料又はカルコゲナイド

材料から構成されることが好ましい。金属酸化物材料は、例えば、 NiO_x 、 NbO_x 、 TiO_x 、 TaO_x 、 HfO_x 、 ZrO_x 、 MoO_x 、 WO_x 、 $\text{Pr}_{1-x}\text{Ca}_x\text{MnO}_3$ （PCMO）から選択される少なくとも1種であることが好ましい。金属窒化物材料は、例えば、 SiN_x 、 AlN_x 、 ZrN_x 、 NiN_x 、 CuN_x 、 CrN_x から選択される少なくとも1種であることが好ましい。カルコゲナイド材料は、例えば、 Ge-Te 、 Sb-Te 、 Ge-Sb-Te 、 Si-Sb-Te 、 Ge-Ga-Te 、 In-Sb-Te 、 Ge-Se-As 、 Ge-Se-As-Te から選択される少なくとも1種であることが好ましい。また、抵抗変化層はカーボンナノチューブから構成されていてもよい。

[0096] 抵抗変化記憶素子において、上部電極及び／又は下部電極は、タングステン、チタン、銅、プラチナ、窒化タングステン及び窒化チタンから選択される少なくとも1種から構成されることが好ましい。タングステン、チタン、銅、プラチナは、金属材料として好ましい。また、窒化タングステン、窒化チタンはセラミック材料として好ましい。

[0097] 磁気抵抗記憶素子は、絶縁体層を強磁性体層で挟んだ積層体（TMR素子）を含む。絶縁体層は絶縁体から構成され、例えば、 MgO 、 CaO 、 SrO 、 Al_2O_3 から選択される少なくとも1種から構成されることが好ましい。絶縁体層の厚みは0.1 nm～3 nmであることが好ましい。強磁性体層は強磁性材料から構成され、例えば、 CoFeB 、 FeB 、 NiFe 、 MnIr 、 Fe 、 CoPt 、 CoNi 、 Co 、 Ni 、 Pt 、 Ni 、 Mn から選択される少なくとも1種から構成されることが好ましい。

[0098] 強誘電体記憶素子は、強誘電体層を含む。より詳細には、強誘電体記憶素子は、上部電極と下部電極とで強誘電体層を挟んだ積層体を含むことが好ましい。強誘電体層は、酸化ハフニウムを含む強誘電体から構成されることが好ましく、例えば、 Si 、 Zr 、 Ge 、 Gd 、 La 、 Y 又は Yb から選択される少なくとも1つが添加された酸化ハフニウムから構成されることが好ましい。また、強誘電体層はチタン酸ジルコン酸鉛（PZT）、タンタル酸ビ

スマス酸ストロンチウム（S B T）、ビスマスフェライト（B F O）から選択される少なくとも1種から構成されてもよい。

[0099] 相変化記憶素子は、相変化材料から構成される記憶層である。より詳細には、相変化記憶素子は、上部電極と下部電極とで相変化層を挟んだ積層体を含むことが好ましい。相変化層はカルコゲナイド材料から構成されることが好ましい。カルコゲナイド材料は、例えば、Ge-Te、Sb-Te、Ge-Sb-Te、Si-Sb-Te、Ge-Ga-Te、In-Sb-Te、Cu-Ge-Te、Cr-Ge-Te、Mn-Te、Ge-Se-As、Ge-Se-As-Teから選択される少なくとも1種であることが好ましい。

[0100] （第2の実施形態）

本発明の記憶装置は、スイッチ層と記憶素子とを別々に備える構成に限定されない。例えば、本発明の記憶装置は、スイッチ素子のみを備える構成であってもよい。この場合は、スイッチ素子がスイッチ素子及び記憶素子として機能し得る。例えば、本実施形態の記憶装置は、上述したメモリ機能とスイッチ素子機能を有する抵抗変化記憶素子（記憶素子21）を備えることが好ましい。本実施形態では、メモリ機能とスイッチ素子機能を有する抵抗変化記憶素子を用いることにより、スイッチ素子を備えていなくても記憶素子に情報を記録することができる。もっとも、本実施形態の記憶装置において、任意のスイッチ素子を備えていてもよい。

[0101] 図6は、本発明の第2の実施形態に係る記憶装置の模式的立体図である。図6に示すように、記憶装置101は、記憶素子21、ワード線30、ビット線40を含む。ビット線40は平面視でワード線30に対して直交する。記憶素子21は平面視におけるワード線30及びビット線40の交点に配置される。すなわち、本実施形態の記憶装置101は、いわゆるクロスポイント型記憶装置である。

[0102] 図7は、本発明の第2の実施形態に係る記憶装置の変形例の模式的立体図である。図7に示すように、記憶装置201は、記憶素子21、ワード線3

0、ビット線40を含む。ビット線40はワード線30に設けられた貫通孔中に配置される。また、ビット線40の外周部に記憶素子21が配置される。すなわち、本実施形態の記憶装置201は、いわゆるB i C S型の記憶装置である。このように、本実施形態においても、記憶装置はクロスポイント型の記憶装置に限定されず、種々の記憶装置であってもよい。

実施例

[0103] 以下、本発明を実施例に基づいて説明するが、本発明はこれらの実施例に限定されるものではない。

[0104] [表1]

		実施例1	実施例2	実施例3	実施例4	実施例5	実施例6	実施例7	比較例1
抵抗変化材料 (原子%)	Te	76.9	75.0	78.9	77.1	71.1	71.1	72.0	83.3
	Ge	15.4	15.0	15.8	12.9	14.2	14.2	18.0	16.7
	Ga	7.7	5.0	0.0	5.0	10.0	4.7	5.0	0.0
	Ag	0.0	5.0	5.3	5.0	4.7	10.0	5.0	0.0
Ge+Te		92.3	90.0	94.7	90.0	85.3	85.3	90.0	100.0
Ge/Te		0.2	0.2	0.2	0.2	0.2	0.2	0.3	0.2
Ga+Ag		7.7	10.0	5.3	10.0	14.7	14.7	10.0	0.0
Ga/(Ga+Ag)		1.0	0.5	0.0	0.5	0.7	0.3	0.5	-
Ag/(Ga+Ag)		0.0	0.5	1.0	0.5	0.3	0.7	0.5	-
酸素含有量 (原子%)		0.0004	0.0011	0.0042	0.0052	0.0076	0.0104	0.0027	0.0038

[0105] [表2]

	実施例1	実施例2	実施例3	実施例4	実施例5	実施例6	実施例7	比較例1
OFF電流密度 J_{off} (A/cm ²)	4.59×10^1	1.27×10^0	2.55×10^2	3.46×10^1	1.70×10^2	6.37×10^1	3.92×10^0	3.57×10^2
ON電流密度 J_{on} (A/cm ²)	4.59×10^6	5.81×10^6	4.60×10^6	9.17×10^6	6.11×10^6	5.10×10^6	5.61×10^6	3.16×10^6
ON/OFF電流比 $\log_{10}x$	5.1	6.6	4.3	5.4	4.6	4.9	6.2	3.9
閾値電圧 V_{th} (V)	3.5	1.9	3.0	2.9	2.6	2.8	2.7	2.2
キャリア移動度 (cm ² /Vs)	2.1×10^{-4}	8.7×10^{-5}	2.6×10^{-3}	1.6×10^{-4}	7.5×10^{-4}	2.2×10^{-4}	1.1×10^{-4}	5.1×10^{-3}

[0106]

[表3]

		実施例 2	比較例 1
キャリア活性化エネルギー (eV)	a	0.41	0.39
	b	0.46	0.38
	a/b	0.90	1.03

[0107] [表4]

		実施例 2
ショットキー障壁高さ (eV)	$\Phi_{B30^{\circ}C}$	0.46
	$\Phi_{B80^{\circ}C}$	0.48
	$\Phi_{B80^{\circ}C}/\Phi_{B30^{\circ}C}$	1.04

[0108] 実施例及び比較例は以下のように作製した。はじめに、石英ガラスアンプルを加熱しながら真空排気した後、表 1 の組成となるよう原料を調合し、石英ガラスアンプルに入れた。次に、石英ガラスアンプルを酸素バーナーで封管した。次に、封管された石英ガラスアンプルを溶融炉に入れ、 $10^{\circ}C \sim 40^{\circ}C$ ／時間の速度で $650^{\circ}C \sim 1000^{\circ}C$ まで昇温後、6 時間～12 時間保持した。保持時間中、石英ガラスアンプルの上下を反転し、溶融物を攪拌した。最後に、石英ガラスアンプルを溶融炉から取り出し、室温まで急冷することにより抵抗変化材料を得た。

[0109] 得られた抵抗変化材料に対して、不活性ガス融解－赤外線吸収法により酸素含有量を測定した。結果を表 1 に示す。

[0110] 次に、抵抗変化材料をターゲットとして使用してスイッチ素子を作製した。はじめに、 Si/SiO_2 基板上に厚み 50 nm の W 電極を成膜した。次に、W 電極上に厚み 100 nm の SiO_2 絶縁層を成膜した。その後、フォーカスイオンビーム装置 (JEOL、JIB-4600F) を用いて、 SiO_2 絶縁層および W 電極層に $\Phi 500\text{ nm}$ の孔を形成した。次に、形成した孔に、厚み 150 nm の抵抗変化材料を成膜してスイッチ層を形成した。最後に、

スイッチ層上にさらに厚み150nmのW電極を成膜してスイッチ素子を作製した。なお、成膜は減圧雰囲気下、Arスパッタリングで行った。

[0111] 得られたスイッチ素子を用いて、OFF電流密度、ON電流密度、ON/OFF電流比、閾値電圧を求めた。結果を表2に示す。

[0112] OFF電流密度、ON電流密度、ON/OFF電流比及び閾値電圧は以下のように求めた。はじめに、スイッチ素子に0V~10Vの電圧を印加し、スイッチ素子に流れる電流値及び閾値電圧を測定した。このとき印加する電圧は直流電圧、交流電圧、パルス電圧など限定されないが、スイッチ素子の蓄熱を防ぐ観点から、パルス電圧で測定した。閾値電圧は電気抵抗値が高抵抗状態から低抵抗状態に急激に変化するときの電圧値とした。OFF電流密度は、閾値電圧の1/2の電圧を印加した際に流れる電流値（OFF電流値）を電極との接触面積で除した値とした。ON電流密度は、閾値電圧以上の電圧を印加した際に流れる電流値（ON電流値）を電極との接触面積で除した値とした。ON電流値をOFF電流値で除することによりON/OFF電流比を求めた。

[0113] キャリア移動度測定用の薄膜試料は、Si/SiO₂基板上に厚み150nmの抵抗変化材料をArスパッタリングで成膜し作製した。得られた薄膜試料に対して、比抵抗・ホール測定システム（ResiTest 8308、東陽テクニカ社製）を用いて30℃におけるキャリア移動度を測定した。結果を表2に示す。

[0114] 図8にスイッチ層のイオン性 r_{σ}^{-1} 及びハイブリダイゼーション r_{π}^{-1} をプロットしたグラフを示す。図8に示すように、実施例のスイッチ層のイオン性 r_{σ}^{-1} は0.05以上、ハイブリダイゼーション r_{π}^{-1} は2.0以下を満たしていた。

[0115] 表1、2に示すように、実施例1~7の抵抗変化材料は、キャリア移動度が $2.6 \times 10^{-3} \text{ cm}^2/\text{Vs}$ 以下であり、OFF電流密度が $2.55 \times 10^{-2} \text{ A}/\text{cm}^2$ 以下となった。また、ON/OFF電流比 x の対数の値 $\log_{10} x$ は4.3~6.6となった。一方、比較例1のキャリア移動度は $5.1 \times$

$1.0^{-3} \text{ cm}^2/\text{Vs}$ と大きく、OFF電流密度が $3.57 \times 10^2 \text{ A}/\text{cm}^2$ と大きかった。また、ON/OFF電流比 x の対数の値 $\log_{10} x$ は3.9と小さかった。

[0116] 表3にスイッチ素子に電圧を印加したときのキャリア活性化エネルギー変化、表4にスイッチ素子の絶対温度とショットキー障壁高さの関係を示す。表3に示すように、実施例2において、スイッチ層に0.15Vの印加電圧を加えたときのキャリア活性化エネルギーを a (eV)、スイッチ層に0.30Vの印加電圧を加えたときのキャリア活性化エネルギーを b (eV)とすると、 $a/b < 1$ を満たしていた。また、表4に示すように、実施例2において、80℃におけるショットキー障壁高さ $\phi_{B80^\circ\text{C}}$ は30℃におけるショットキー障壁高さ $\phi_{B30^\circ\text{C}}$ の1.04倍となった。

産業上の利用可能性

[0117] 本発明の抵抗変化材料は、抵抗変化型、磁気抵抗型、相変化型、強誘電体型等の記憶装置に使用可能なスイッチ素子に好適に用いることができる。

符号の説明

[0118] 1、11 第1電極
2、12 第2電極
3 スwitch層
4 スwitch記憶層
10 スwitch素子
20、21 記憶素子
30 ワード線
40 ビット線
100、101、200、201 記憶装置

請求の範囲

- [請求項1] T_e を含有する抵抗変化材料であって、
 閾値電圧の $1/2$ の電圧を印加したときの電流密度を OFF 電流密度とすると、前記 OFF 電流密度が $3.1 \times 10^2 \text{ A/cm}^2$ 以下である、抵抗変化材料。
- [請求項2] さらに、前記閾値電圧以上の電圧を印加したときの電流密度を ON 電流密度とすると、前記 ON 電流密度が $1 \times 10^6 \text{ A/cm}^2$ 以上である、請求項 1 に記載の抵抗変化材料。
- [請求項3] キャリア移動度が $5 \times 10^{-3} \text{ cm}^2/\text{Vs}$ 以下である、請求項 1 又は 2 に記載の抵抗変化材料。
- [請求項4] 前記閾値電圧以上の電圧を印加したときの電流密度を ON 電流密度とすると、前記 ON 電流密度を前記 OFF 電流密度で除することにより得られる ON/OFF 電流比が 1×10^4 以上である、請求項 1 又は 2 に記載の抵抗変化材料。
- [請求項5] 前記閾値電圧が $0.5 \text{ V} \sim 10 \text{ V}$ の範囲内である、請求項 1 又は 2 に記載の抵抗変化材料。
- [請求項6] 原子%で、 $Ge \ 0.1\% \sim 50\%$ 、 $Te \ 40\% \sim 90\%$ を含有する、請求項 1 又は 2 に記載の抵抗変化材料。
- [請求項7] 原子%で、 $Si + Al + Ga + Sn + Bi + Cu + Ag + Zn + Y + In + Ca + Mg \ 1\% \sim 59\%$ を含有する、請求項 1 又は 2 に記載の抵抗変化材料。
- [請求項8] 原子%で、 $Sb \ 0\% \sim 5\%$ 未満を含有する、請求項 1 又は 2 に記載の抵抗変化材料。
- [請求項9] Sb 、 Se 及び As を実質的に含有しない、請求項 1 又は 2 に記載の抵抗変化材料。
- [請求項10] 酸素含有量が 1 原子% 未満である、請求項 1 又は 2 に記載の抵抗変化材料。
- [請求項11] 薄膜である、請求項 1 又は 2 に記載の抵抗変化材料。

- [請求項12] 請求項1又は2に記載の抵抗変化材料からなる、スイッチ素子用材料。
- [請求項13] 請求項1又は2に記載の抵抗変化材料からなる、スイッチ層。
- [請求項14] 請求項13に記載のスイッチ層と、
前記スイッチ層上に配置される第1電極と、
を備える、スイッチ素子。
- [請求項15] スイッチ層と、
前記スイッチ層上に配置される第1電極と、
前記スイッチ層を挟んで、前記第1電極と対向する位置に配置される第2電極と、
を備え、
前記スイッチ層が、Teを含有し、かつ閾値電圧の1/2の電圧を印加したときの電流密度をOFF電流密度とすると、前記OFF電流密度が $3.1 \times 10^2 \text{ A/cm}^2$ 以下である、抵抗変化材料からなる、スイッチ素子。
- [請求項16] 前記第1電極が前記スイッチ層の外周面に配置され、
前記スイッチ層の内周面に前記第2電極が配置される、請求項15に記載のスイッチ素子。
- [請求項17] 前記第1電極及び前記第2電極は、タングステン、チタン、銅、プラチナ、窒化タングステン及び窒化チタンから選択される少なくとも一種である、請求項15又は16に記載のスイッチ素子。
- [請求項18] 前記スイッチ層のイオン性 r_{σ}^{-} 及びハイブリダイゼーション r_{π}^{-1} が以下の値を満たす、請求項15又は16に記載のスイッチ素子。
$$r_{\sigma}^{-} \geq 0.05$$
$$r_{\pi}^{-1} \leq 2.0$$
- [請求項19] 前記スイッチ層に0.15Vの印加電圧を加えたときのキャリア活性化エネルギーをaとし、前記スイッチ層に0.30Vの印加電圧を加えたときのキャリア活性化エネルギーをbとすると、 $a/b < 1$

を満たす、請求項 15 又は 16 に記載のスイッチ素子。

[請求項20] 請求項 15 又は 16 に記載のスイッチ素子を備える、記憶装置。

[請求項21] 請求項 15 又は 16 に記載のスイッチ素子と、
記憶素子と、
を備える、記憶装置。

[請求項22] スイッチ素子と記憶素子とが積層した積層体を備える記憶装置であ
って、

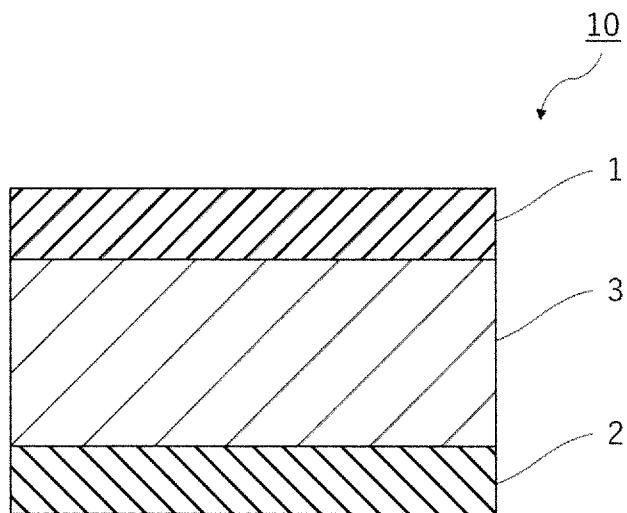
前記スイッチ素子は、スイッチ層と、前記スイッチ層上に配置され
る第 1 電極と、

を備え、

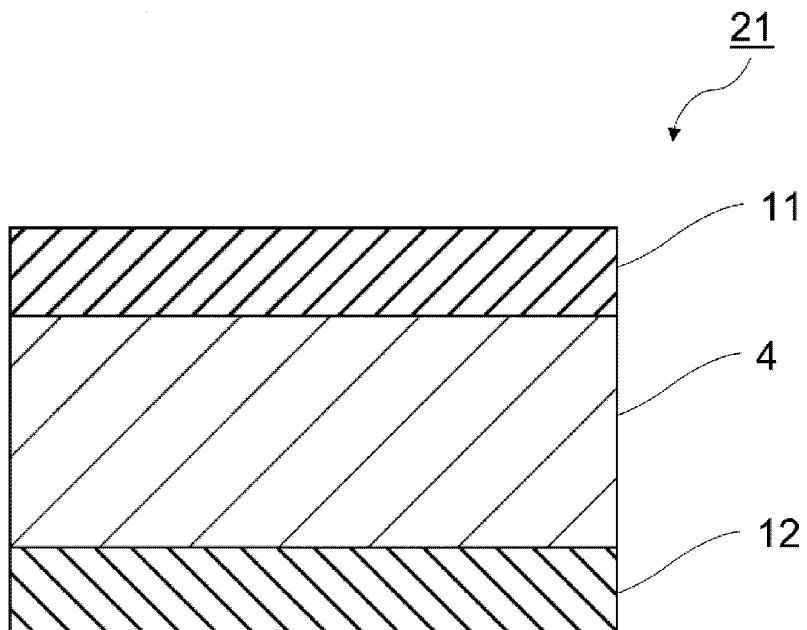
前記スイッチ層は、閾値電圧の $1/2$ の電圧を印加したときの電流
密度を OFF 電流密度とすると、前記 OFF 電流密度が $3.1 \times 10^{-2} \text{ A/cm}^2$ 以下である、抵抗変化材料からなり、

前記記憶素子は、抵抗変化記憶素子、磁気抵抗記憶素子、相変化記
憶素子及び強誘電体記憶素子のいずれか一種からなる、記憶装置。

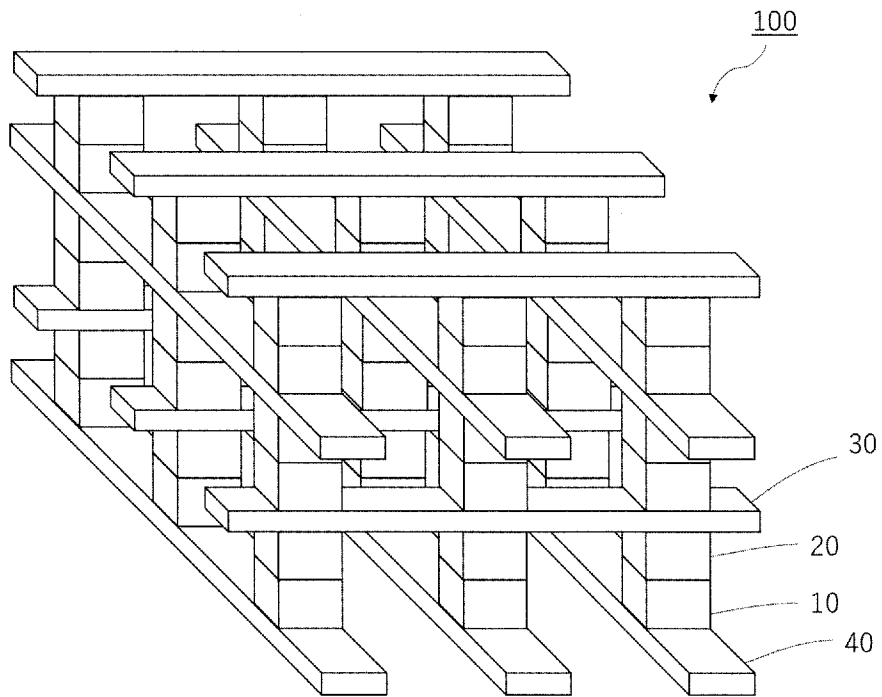
[図1]



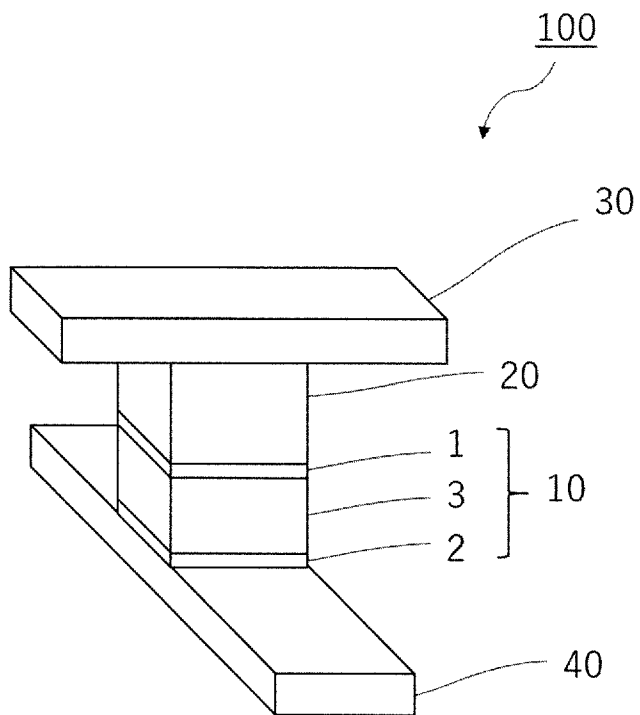
[図2]



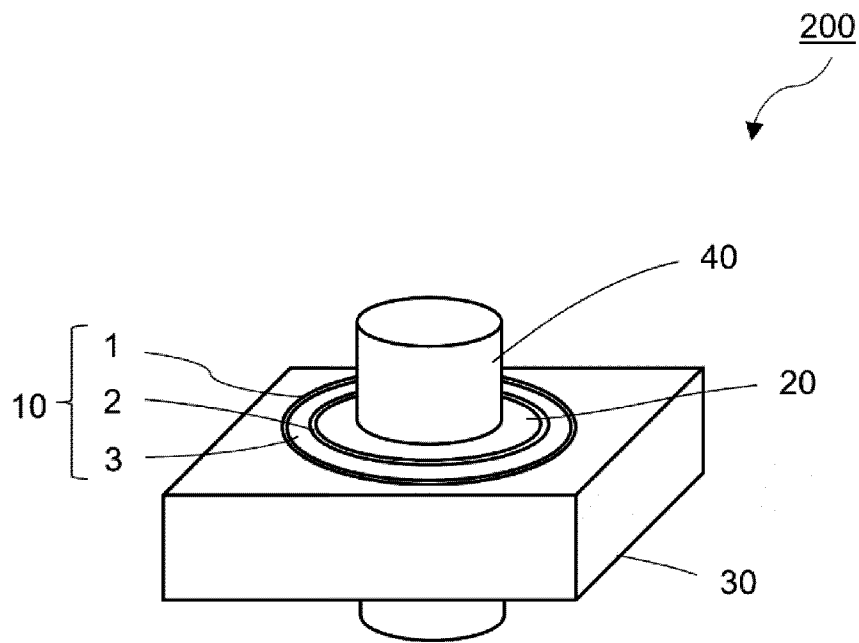
[図3]



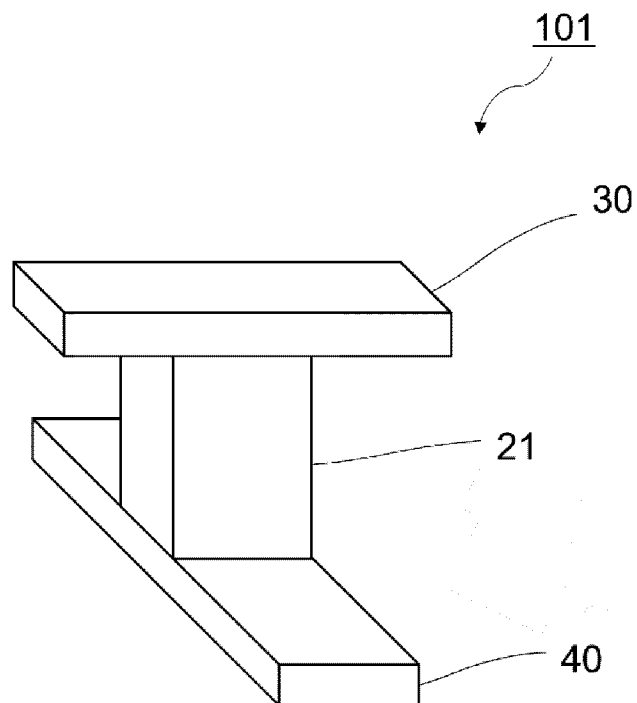
[図4]



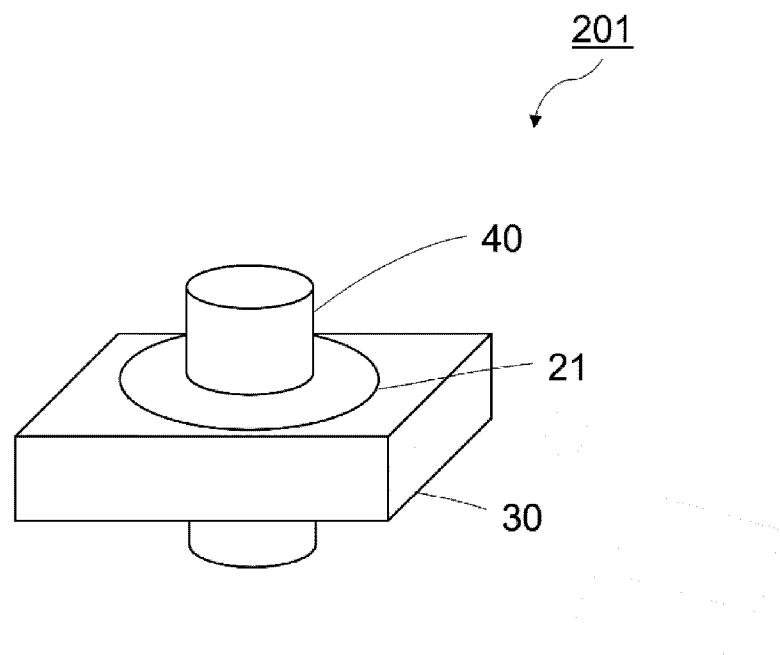
[図5]



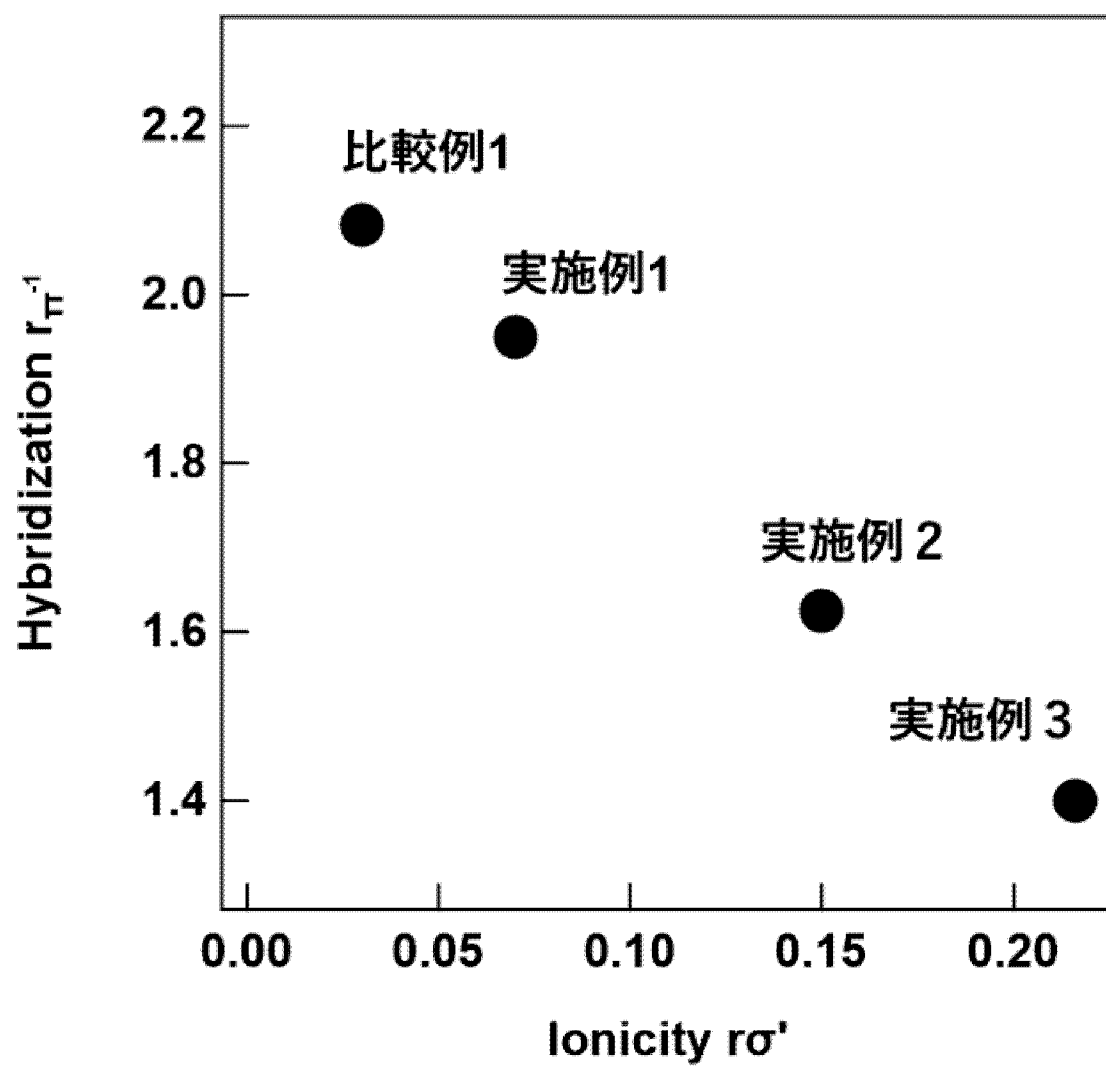
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/010661

A. CLASSIFICATION OF SUBJECT MATTER H10B 63/10 (2023.01)i; H10B 63/00 (2023.01)i; H10B 99/00 (2023.01)i; H10N 70/00 (2023.01)i; H10N 70/20 (2023.01)i; H10N 97/00 (2023.01)i FI: H10B63/10; H10B63/00; H10B99/00 301; H10N70/00 A; H10N70/00 Z; H10N70/20; H10N97/00 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H10B63/10; H10B63/00; H10B99/00; H10N70/00; H10N70/20; H10N97/00 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2010-519762 A (INTERNATIONAL BUSINESS MACHINES CORPORATION) 03 June 2010 (2010-06-03) paragraphs [0019], [0031], [0039]-[0040], [0044], [0063]	1-2, 4, 6-10 3, 5, 11-22
X Y A	JP 2015-135917 A (SONY CORPORATION) 27 July 2015 (2015-07-27) paragraphs [0018]-[0020], [0044], [0047], [0051], [0054], [0066]-[0068], fig. 9A, 12	1-2, 4-6, 8-15, 20-22 16-17 3, 7, 18-19
Y A	JP 2010-287872 A (SHARP KABUSHIKI KAISHA) 24 December 2010 (2010-12-24) paragraphs [0009], [0068]-[0070], fig. 5	16-17 1-15, 18-22
A	JP 2018-164085 A (SAMSUNG ELECTRONICS CO., LTD.) 18 October 2018 (2018-10-18) entire text, all drawings	1-22
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 17 May 2024		Date of mailing of the international search report 28 May 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/010661

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2010-519762	A	03 June 2010	WO 2008/104462 A1 page 4, lines 16-22, page 10, lines 16-24, page 12, line 20 to page 13, line 2, page 13, lines 21-28, page 19, lines 6-10 US 7382647 B1 US 2008/0232160 A1 US 8817533 B2 KR 10-2009-0089340 A	
JP	2015-135917	A	27 July 2015	US 2015/0207066 A1 paragraphs [0056]-[0058], [0082], [0085], [0089], [0092], [0104]-[0106], fig. 9A, 12 US 2017/0098683 A1 US 2017/0098684 A1 KR 10-2015-0086182 A	
JP	2010-287872	A	24 December 2010	US 2010/0219392 A1 paragraphs [0011], [0081]- [0083], fig. 5 CN 101847647 A CN 102637686 A	
JP	2018-164085	A	18 October 2018	US 2018/0277601 A1 entire text, all drawings KR 10-2018-0109287 A CN 108666417 A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H10B 63/10(2023.01)i; H10B 63/00(2023.01)i; H10B 99/00(2023.01)i; H10N 70/00(2023.01)i; H10N 70/20(2023.01)i; H10N 97/00(2023.01)i
FI: H10B63/10; H10B63/00; H10B99/00 301; H10N70/00 A; H10N70/00 Z; H10N70/20; H10N97/00

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H10B63/10; H10B63/00; H10B99/00; H10N70/00; H10N70/20; H10N97/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2024年
日本国実用新案登録公報 1996-2024年
日本国登録実用新案公報 1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2010-519762 A（インターナショナル・ビジネス・マシーンズ・コーポレーション）03.06.2010（2010-06-03） [0019], [0031], [0039] - [0040], [0044], [0063]	1-2, 4, 6-10
A		3, 5, 11-22
X	JP 2015-135917 A（ソニー株式会社）27.07.2015（2015-07-27） [0018] - [0020], [0044], [0047], [0051], [0054], [0066] - [0068], 図9A, 12	1-2, 4-6, 8-15, 20-22
Y		16-17
A		3, 7, 18-19
Y	JP 2010-287872 A（シャープ株式会社）24.12.2010（2010-12-24） [0009], [0068] - [0070], 図5	16-17
A		1-15, 18-22
A	JP 2018-164085 A（三星電子株式会社）18.10.2018（2018-10-18） 全文, 全図	1-22

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技术水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日
17.05.2024

国際調査報告の発送日
28.05.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

宮本 博司 5F 6313

電話番号 03-3581-1101 内線 3514

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/010661

引用文献			公表日	パテントファミリー文献	公表日
JP	2010-519762	A	03.06.2010	W0 2008/104462 A1 第4頁第16 - 22行, 第10頁 第16 - 24行, 第12頁第20行 - 第13頁第2行, 第13頁第 21-28行, 第19頁第6-10行 US 7382647 B1 US 2008/0232160 A1 US 8817533 B2 KR 10-2009-0089340 A	
JP	2015-135917	A	27.07.2015	US 2015/0207066 A1 [0056] - [0058], [0082], [0085], [0089], [0092], [0104] - [0106], 図9A, 12 US 2017/0098683 A1 US 2017/0098684 A1 KR 10-2015-0086182 A	
JP	2010-287872	A	24.12.2010	US 2010/0219392 A1 [0011], [0081] - [0083], 図5 CN 101847647 A CN 102637686 A	
JP	2018-164085	A	18.10.2018	US 2018/0277601 A1 全文, 全図 KR 10-2018-0109287 A CN 108666417 A	