



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0112224
(43) 공개일자 2007년11월22일

(51) Int. Cl.

G11C 16/04 (2006.01) G11C 16/34 (2006.01)
G11C 16/10 (2006.01) G11C 16/34 (2006.01)
G11C 16/10 (2006.01)

(21) 출원번호 10-2007-7022130

(22) 출원일자 2007년09월27일

심사청구일자 2007년09월27일

번역문제출일자 2007년09월27일

(86) 국제출원번호 PCT/US2006/006882

국제출원일자 2006년02월28일

(87) 국제공개번호 WO 2006/093886

국제공개일자 2006년09월08일

(30) 우선권주장

11/067,977 2005년02월28일 미국(US)

(71) 출원인

마이크론 테크놀로지, 인크.

미국 83716-9632 아이다호주 보이스 피.오. 박스
6 사우스 페드럴 웨이 8000

(72) 발명자

리, 디

미국 83716 아이다호주 보이스 이. 레드 쉐다 레
인 넘버 204 2701

(74) 대리인

양영준, 백만기

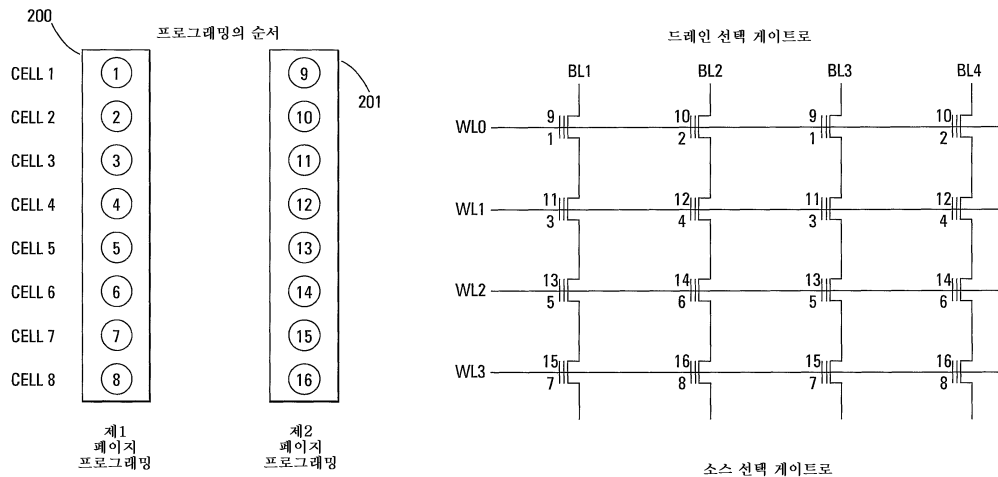
전체 청구항 수 : 총 20 항

(54) 비휘발성 메모리 장치에서의 다중 레벨 프로그래밍

(57) 요약

본 발명의 프로그래밍 방법은 비휘발성 메모리 장치에서 메모리 블록의 하위 페이지를 초기에 프로그래밍함으로써 프로그램 교란을 최소화한다. 메모리 블록의 상위 페이지는 그 다음에 프로그래밍된다.

대표도



특허청구의 범위

청구항 1

비트라인 열들 및 워드라인 행들을 갖는 복수의 메모리 블럭들로 조직된 복수의 메모리 셀들을 갖는 다중 레벨의, 비휘발성 메모리 장치를 프로그래밍하기 위한 방법으로서,

복수의 메모리 블럭들 중 제1 메모리 블럭의 하위 페이지를 초기에 프로그래밍하되, 상기 프로그래밍은 상기 제1 메모리 블럭의 최하위 워드라인에서 시작하여 워드라인 증가 방향으로 계속 행하는 단계; 및

상기 제1 메모리 블럭의 상위 페이지를 프로그래밍하되, 상기 프로그래밍은 상기 제1 메모리 블럭의 최하위 워드라인에서 시작하여 워드라인 증가 방향으로 계속 행하는 단계

를 포함하는 방법.

청구항 2

제1항에 있어서,

상기 제1 메모리 블럭은 128페이지로 이루어지는 방법.

청구항 3

제1항에 있어서,

상기 복수의 메모리 셀들의 각각은 다중 레벨 메모리 셀인 방법.

청구항 4

제1항에 있어서,

상기 복수의 메모리 셀들은 NAND 구조로 배열되는 방법.

청구항 5

제1항에 있어서,

상기 복수의 메모리 셀들은 NOR 구조로 배열되는 방법.

청구항 6

제1항에 있어서,

소거된 상태를 초기에 갖는 메모리 셀들을 더 포함하는 방법.

청구항 7

제6항에 있어서,

상기 소거된 상태는 논리적으로 "11" 상태인 방법.

청구항 8

비트라인 열들 및 워드라인 행들을 갖는 복수의 메모리 블럭들에 조직된 복수의 메모리 셀들을 포함하는 메모리 어레이를 갖는 다중 레벨 플래시 장치를 프로그래밍하는 방법으로서,

복수의 메모리 블럭들 중 제1 메모리 블럭의 상위 페이지를 초기에 프로그래밍하되, 상기 프로그래밍은 상기 제1 메모리 블럭의 상부에서 시작하여 상기 제1 메모리 블럭의 하부쪽으로 계속되고, 상기 프로그래밍은 실질적으로 모든 기입 동작에 대해 비트라인 방향으로 교체 셀들을 동시에 프로그래밍하는 것을 포함하는 단계; 및

상기 제1 메모리 블럭의 제2 페이지를 프로그래밍하되, 상기 프로그래밍은 상기 제1 메모리 블럭의 상부에서 시작하여 상기 제1 메모리 블럭의 하부쪽으로 계속하여 행하고, 상기 프로그래밍은 실질적으로 모든 기입 동작에

대해서 비트라인 방향으로 교체 셀들을 동시에 프로그래밍하는 것을 포함하는 단계를 포함하는 방법.

청구항 9

제8항에 있어서,

상기 제1 메모리 블록의 상기 제1 페이지를 프로그래밍하는 단계는, 제1 워드라인의 교체 메모리 셀 각각에 대해 제1 기입 동작을 비트라인 방향으로 수행하고, 상기 제1 워드라인에 연결된 상기 제1 블록의 나머지 메모리 셀들에 대해 제2 기입 동작을 수행하고, 제2 워드라인의 교체 메모리 셀 각각에 대해 제3 기입 동작을 비트라인 방향으로 수행하고, 상기 제2 워드라인에 연결된 상기 제1 블록의 나머지 메모리 셀들에 대해 제4 기입 동작을 수행하고, 제3 워드라인의 교체 메모리 셀 각각에 대해 제5 기입 동작을 비트라인 방향으로 수행하고, 상기 제3 워드라인에 연결된 상기 제1 블록의 나머지 메모리 셀들에 대해 제6 기입 동작을 수행하고, 제4 워드라인의 교체 메모리 셀 각각에 대해 제7 기입 동작을 비트라인 방향으로 수행하고, 상기 제4 워드라인에 연결된 상기 제1 블록의 나머지 메모리 셀들에 대해 제8 기입 동작을 수행하는 것을 포함하는 방법.

청구항 10

제9항에 있어서,

상기 제1 메모리 블록의 상기 제2 페이지를 프로그래밍하는 단계는, 상기 제1 워드라인의 교체 메모리 셀 각각에 대해 제9 기입 동작을 비트라인 방향으로 수행하고, 상기 제1 워드라인에 연결된 상기 제1 블록의 나머지 메모리 셀들에 대해 제10 기입 동작을 수행하고, 상기 제2 워드라인의 교체 메모리 셀 각각에 대해 제11 기입 동작을 비트라인 방향으로 수행하고, 상기 제2 워드라인에 연결된 상기 제1 블록의 나머지 메모리 셀들에 대해 제12 기입 동작을 수행하고, 제3 워드라인의 교체 메모리 셀 각각에 대해 제13 기입 동작을 비트라인 방향으로 수행하고, 상기 제3 워드라인에 연결된 상기 제1 블록의 나머지 메모리 셀들에 대해 제14 기입 동작을 수행하고, 제4 워드라인의 교체 메모리 셀 각각에 대해 제15 기입 동작을 비트라인 방향으로 수행하고, 상기 제4 워드라인에 연결된 상기 제1 블록의 나머지 메모리 셀들에 대해 제16 기입 동작을 수행하는 것을 포함하는 방법.

청구항 11

제8항에 있어서,

상기 제1 페이지를 프로그래밍하기 전에 상기 제1 메모리 블록을 소거하는 단계를 더 포함하는 방법.

청구항 12

제8항에 있어서,

상기 제1 및 제2 페이지를 프로그래밍한 후에 상기 제1 메모리 블록을 검증하는 단계를 더 포함하는 방법.

청구항 13

제8항에 있어서,

각각의 기입 동작은 프로그래밍된 메모리 셀에 대해 문턱 전압을 증가시키는 방법.

청구항 14

플래시 메모리 장치로서,

복수의 다중 레벨 메모리 셀들을 포함하는 메모리 어레이 - 상기 복수의 메모리 셀들은 복수의 워드라인 행들 및 복수의 비트라인 열들을 갖는 메모리 블록들로 조직화됨 - ; 및

상기 메모리 어레이를 프로그램하도록 결합된 제어 회로 - 상기 제어 회로는 제1 메모리 블록의 상위 페이지를 프로그래밍하기 전에 상기 제1 메모리 블록의 하위 페이지를 초기에 프로그래밍하도록 구성되며, 각 프로그래밍 동작은 상기 제1 메모리 블록의 최하위 워드라인에서 시작하고 워드라인 증가 방향으로 계속해서 행해짐 -

를 포함하는 플래시 메모리 장치.

청구항 15

제14항에 있어서,
상기 최하위 워드라인은 워드라인 0인 플래시 메모리 장치.

청구항 16

제14항에 있어서,
상기 제어 회로는 수신된 명령들에 응답하여 상기 메모리 어레이에 대해 소거, 판독 및 검증 동작들을 행하도록 구성되는 플래시 메모리 장치.

청구항 17

제14항에 있어서,
상기 메모리 블록들의 프로그래밍된 상태를 결정하기 위해 상기 메모리 어레이에 연결된 감지 증폭기들을 더 포함하는 플래시 메모리 장치.

청구항 18

제14항에 있어서,
상기 복수의 다중 레벨 메모리 셀들은 NAND 구조, AND 구조, 또는 OR 구조 중 하나로 구성되는 플래시 메모리 장치.

청구항 19

전자 시스템에 있어서,
메모리 신호들을 발생하는 프로세서; 및
상기 처리계 결합되었으며, 상기 메모리 신호들에 응답하여 동작하기 위한 메모리 장치를 포함하며,
상기 메모리 장치는,
메모리 블록들로 조직화되는 복수의 다중 레벨 메모리 셀들에 각각 연결되는 복수의 워드라인들을 포함하는 메모리 어레이; 및
상기 메모리 어레이를 프로그래밍하기 위해 연결된 제어 회로 - 상기 제어 회로는 상기 제1 메모리 블록의 상위 페이지를 프로그래밍하기 전에 제1 메모리 블록의 하위 페이지를 초기에 프로그래밍하도록 구성됨 - 를 포함하는 전자 시스템.

청구항 20

제19항에 있어서,
상기 메모리 신호들이 소거, 판독 및 기입 신호들을 포함하는 전자 시스템.

명세서

기술분야

<1> 본 발명은 일반적으로 메모리 장치들과 관련되어 있고, 특히 본 발명은 비휘발성 메모리 장치들과 관련되어 있다.

배경기술

<2> 통상적으로 컴퓨터들 또는 그외의 전자 장치들의 내부 반도체 집적 회로들로서 메모리 장치들이 제공된다. 랜덤 액세스 메모리(RAM), 읽기 전용 메모리(ROM), 다이내믹 랜덤 액세스 메모리(DRAM), 동기식 다이내믹 랜덤 액세스

세스 메모리(SDRAM) 및 플래시 메모리를 포함하는 많은 상이한 종류의 메모리들이 있다.

- <3> 플래시 메모리 장치들은 광범위한 전자적인 응용들에 비휘발성 메모리의 대중적인 소스(source)로 개발되었다. 플래시 메모리 장치들은 통상적으로 높은 메모리 밀도, 높은 신뢰성 및 낮은 전력 소모를 가능하게 하는 한 개의 트랜지스터 메모리 셀(one-transistor memory cell)을 사용한다. 플래시 메모리에 대한 통상적인 사용은 개인용 컴퓨터들, 개인용 디지털 보조수단들(PDAs), 디지털 카메라 및 무선 전화들이다. 기본적 입력/출력 시스템(BIOS)과 같은 시스템 데이터 및 프로그램 코드는 통상적으로 개인용 컴퓨터 시스템에 사용하기 위해 플래시 메모리 장치들에 저장된다.
- <4> 전자 시스템의 성능 및 복잡성이 증가함에 따라서, 시스템에서의 추가적인 메모리에 대한 요구 또한 증가한다. 그러나, 시스템의 비용을 계속해서 줄이기 위해서, 부품 수는 최소로 유지되어야 했다. 이것은 집적 회로의 메모리 밀도를 증가시킴으로써 달성될 수 있다.
- <5> 메모리 밀도는 플로팅 게이트(floating gate) 셀들 사이의 간격을 줄이고 셀들의 크기를 감소시킴으로써 증가시킬 수 있다. 추가적으로, 멀티 레벨 셀(MLC)들을 사용하는 것에 의해 추가적인 셀들을 부가하지 않고도, 그리고/또는 다이(die)의 크기를 증가시키지 않고도 집적 회로상에 저장되는 데이터의 양을 증가시킬 수 있다. MLC 방법은 각 메모리 셀에 둘 이상의 데이터 비트를 저장한다.
- <6> MLC는 셀당 다중 문턱(multiple threshold) 레벨을 사용하기 위해서 문턱 전압(threshold voltage)의 엄격한 제어를 요구한다. 가까이 배치된 비휘발성 메모리 셀들, 특히 MLC에서의 한가지 문제점은, 플로팅 게이트와 플로팅 게이트간의 용량성 결합에 의해 셀들 사이에 간섭이 야기되는 것이다. 하나의 셀이 프로그램됨에 따라서, 간섭은 인접 셀들의 문턱 전압을 시프트 시킨다. 이것은 프로그램되기를 원치 않는 셀들을 프로그램하는 프로그램 교란 조건으로 지칭된다.
- <7> 이 문제를 줄이기 위해서 사용되어온 한가지 방법은 임의의 셀에 대한 상위 페이지(upper page) 프로그래밍 전에 첫번째 셀에 인접한 셀들에 대해 하위 페이지(lower page)(즉, 낮은 문턱 전압) 프로그래밍을 수행하는 것이다. 따라서, 상위 페이지 프로그래밍이 수행될 때, 영향받은 셀의 문턱 전압은 재조정되려하기 때문에 간섭이 줄어든다. 그러나, 이 프로그래밍 방법은 프로그래밍 공정에 복잡성을 야기한다.
- <8> 전문적인 이유들로 인하여, 그리고 본 명세서를 읽고 이해하여 본 기술 분야에 통상적인 지식을 가진 자에게는 명백하게 될, 아래에 기술될 그외의 이유들로 인하여, 본 기술 분야에는 프로그램 교란을 감소시키면서, 다중 레벨의 비휘발성 메모리 셀들을 프로그래밍하는 덜 복잡한 방법에 대한 요구가 존재한다.

발명의 상세한 설명

- <9> <개요>
- <10> 플래시 메모리들과 관련된 전문적인 문제들 및 그외의 문제들은 본 발명에 의해서 언급되었고, 이하의 명세서를 읽고 학습함으로써 이해될 수 있을 것이다.
- <11> 본 발명은 다중 레벨의, 비휘발성 메모리 장치를 프로그래밍하는 방법을 포함한다. 메모리 장치는 복수의 메모리 블록으로 조직된 메모리 셀들을 가진다. 각 메모리 블록은 비트라인 열들(bit line columns)과 워드라인 행들(word line rows)을 갖는다.
- <12> 상기 방법은 처음에 복수의 메모리 블록들 중 첫번째 메모리 블록의 하위 페이지를 프로그래밍한다. 하위 페이지 프로그래밍은 첫번째 메모리 블록의 최하위 워드라인에서 시작하고, 워드라인이 증가하는 방향으로 첫번째 메모리 블록의 전체 하위 페이지가 프로그래밍될 때까지 계속한다. 그 다음에 첫번째 메모리 블록의 상위 페이지가 프로그래밍된다. 이 프로그래밍은 첫번째 메모리 블록의 최하위 워드라인에서 시작하고, 워드라인이 증가하는 방향으로 첫번째 메모리 블록의 전체 상위 페이지가 프로그래밍될 때까지 계속한다.
- <13> 본 발명의 보다 상세한 실시에는 변형된 범주의 방법들 및 장치를 포함한다.

실시예

- <19> <상세한 설명>
- <20> 이하 본 발명의 상세한 설명에서는, 본 명세서의 부분을 형성하는 첨부하는 도면이 참조될 것이며, 이 도면들은 본 발명이 구현될 수 있는 구체적인 실시예들을 예로서 도시한다. 도면들에서, 유사한 숫자들은 실질적으로 여러 도면에 걸쳐서 유사한 구성 요소들을 기술한다. 이러한 실시예들은 본 기술분야에 통상적인 지식을 가진 자

들이 본 발명을 실행할 수 있도록 충분히 자세하게 기술된다. 그외의 실시예들이 이용될 수 있으며, 본 발명의 범주를 벗어나지 않으면서 구조적, 논리적 및 전기적 변경을 행할 수 있다. 따라서, 이하의 상세 설명은 제한적인 의미에서 고려되어서는 안되며, 본 발명의 범주는 첨부된 특허 청구 범위 및 그 등가물에 의해서만 정의된다.

- <21> 도 1은 본 발명의 반도체 NAND 플래시 메모리 어레이에 대한 일 실시예의 간략화된 개략도를 도시한다. 본 발명이 NAND 플래시에 한정되지 않고 그외의 플래시 구조들(예를 들면, NOR, AND) 및 전기적으로 소거가능하고 프로그래밍가능한 읽기 전용 메모리(EEPROM)과 같은 그외의 비휘발성 메모리 기술에 사용될 수 있으므로, 이 메모리 어레이는 단지 예시의 목적을 위한 것일 뿐이다.
- <22> 도 1의 메모리 어레이는, 명료함을 위하여, 메모리 어레이에 통상적으로 요구되는 모든 구성요소들을 전부 도시하지는 않았다. 예를 들어, 실제로 요구되는 비트라인의 수는 메모리 밀도와 칩(chip) 구조에 따르지만, 오직 3개의 비트라인만이 도시되어 있다(BL1, BL2 및 BLN). 비트라인들은 이어서 (BL1-BLN)로서 지칭 된다. 비트라인들(BL1-BLN)은 결국 각 셀의 상태를 검출하는 감지 증폭기(sense amplifier)(도시되지 않음)에 연결된다.
- <23> 어레이는 연속 스트링(series string)(104, 105) 내에 정렬된 플로팅 게이트 셀들(101)의 어레이로 이루어진다. 각각의 플로팅 게이트 셀(101)들은 각각의 연속 체인(series chain)(104, 105) 상에서 드레인과 소스가 결합된다. 다중 연속 스트링들(104, 105)을 가로질러 걸쳐있는 워드라인(word line)(WL0-WLN)은 그들의 동작을 제어하기 위해 행(row)의 모든 플로팅 게이트 셀의 제어 게이트들에 연결된다. 일 실시예에서, 하나의 어레이는 32개의 워드라인들로 이루어져 있다. 그러나, 본 발명은 임의의 하나의 워드라인 수량에 한정되지 않는다.
- <24> 동작시에, 워드라인들(WL0-WLN)은 연속 체인내(104, 105)에서, 기입되거나 또는 그로부터 판독되어질 개별적인 플로팅 게이트 메모리 셀들을 선택하고 각각의 연속 스트링(104, 105)내의 나머지 플로팅 게이트 메모리 셀들은 패스 쓰루 모드(pass through mode)로 동작시킨다. 플로팅 게이트 셀들의 각각의 연속 스트링(104, 105)은 소스 선택 게이트(116, 117)에 의해 소스 라인(106)에 연결되고, 드레인 선택 게이트(112, 113)에 의해 개별적인 비트라인(BL1-BLN)에 연결된다. 소스 선택 게이트들(116, 117)은 그들의 제어 게이트들에 연결된 소스 선택 게이트 제어 라인 SG(S)(118)에 의해 제어된다. 드레인 선택 게이트들(112, 113)은 드레인 선택 게이트 제어 라인 SG(D)(114)에 의해 제어된다.
- <25> 도 1의 실시예에서는, 어레이의 선두(즉, WL0)는 페이지의 선두이고 어레이의 바닥(즉, WLN)은 페이지의 바닥이다. 그러나, WL0는 또한 워드라인 번호들이 페이지의 바닥에서 시작하여 페이지의 선두쪽으로 증가할 수 있으므로, 이러한 표시는 단지 예시의 목적을 위한 것이다.
- <26> 각각의 셀은 셀당 단일 비트(single bit per cell)(즉, 단일 레벨 셀-SLC) 또는 셀당 다중 비트(multi bits per cell)(즉, 다중 레벨 셀-MLC)로써 프로그래밍될 수 있다. 각각의 셀의 문턱 전압(V_t)은 셀내에 저장되는 데이터를 결정한다. 예를 들어, 단일 레벨 셀에서는, 0.50V의 V_t 는 프로그램된 셀을 가리킬 수 있고, -0.50V의 V_t 는 소거된(erased) 셀을 가리킬 수 있다. 다중 레벨 셀은 각각이 상이한 상태를 나타내는 복수의 V_t 윈도우들(windows)을 가질 수 있다. 다중 레벨 셀들은 셀에 저장된 특정 전압 구간에 비트 패턴을 할당함으로써 전통적인 플래시(flash) 셀의 아날로그적 성질을 이용할 수 있다. 이 기술은 셀에 할당된 전압 구간의 양에 따라 셀당 2개 이상의 비트들을 저장할 수 있게 한다.
- <27> 예를 들어, 셀에는 각 범위에 대해 200mV인 서로 다른 4개의 전압 구간을 할당할 수 있다. 통상적으로, 각 구간 사이에 0.2V에서 0.4V의 데드 스페이스(dead space) 또는 마진(margin)이 존재한다. 만약 셀에 저장된 전압이 제1 구간 내에 있으면, 셀은 01을 저장한다. 만약 전압이 제2 구간 내에 있으면, 셀은 00을 저장한다. 이것은 셀에 이용되는 많은 구간들에 대해 계속된다.
- <28> 본 발명의 실시예는 셀당 2비트로 제한되지 않는다. 일부 실시예에서는 셀에 따라 구별되어 질 수 있는 서로 다른 전압 구간들의 수에 따라 셀당 2비트 이상을 저장할 수 있다.
- <29> 통상적인 종래 기술의 프로그래밍 동작 중에는, 프로그램되어질 플래시 메모리 셀에 대해 선택된 워드라인은, 일 실시예에서는, 16V보다 큰 전압에서 프로그래밍 펄스를 사용하여 바이어스 된다. 그 다음에 0V의 워드라인 전압을 사용한 검증 동작이 수행되어 플로팅 게이트가 적당한 전압(예를 들면, 0.5V) 상태인지를 판정한다. 나머지 셀들에 대해서 선택되지 않은 워드라인들은 통상적으로 프로그램 동작 중에 대략 10V의 전압에서 바이어스 된다. 일 실시예에서는, 선택되지 않은 워드라인 전압들은 접지전위(ground potential)보다 큰 임의의 전압일 수 있다. 메모리 셀들의 각각은 실질적으로 마찬가지로의 방식으로 프로그램된다.

- <30> 통상적인 메모리 블록은 64페이지들의 단일 레벨 셀들로 이루어질 수 있다. MLC 메모리 블록은 통상적으로 128 페이지로 이루어진다. 이 페이지들 중 하나가 액세스 되면, 블록 내의 나머지 페이지들은 교란상태를 경험할 수 있다. 이것은 판독 및 기입 액세스의 양쪽 모두에서 발생한다. 양쪽 모두의 경우에, 페이지들은, 이 페이지들 중 어느 한 페이지가 프로그램/판독 될 때마다 더 높은 프로그래밍/판독 전압들을 경험할 수 있는 공통 워드라인들 및 비트라인들을 공유한다.
- <31> 도 2는 메모리 장치의 다중 레벨 프로그래밍에 대한 본 발명의 방법의 일 실시예를 도시하는 도면이다. 이 도면은 장치의 셀들 및 페이지들이 프로그램되는 순서를 보여준다. 명료성을 위해서, 오직 8개의 셀들(즉, 4개의 워드라인들)만이 논의된다. 그러나, 본 방법은 메모리 워드라인들의 전체 블록을 포함하기 위해서 반복된다. 이 개념은 이어지는 도 3을 참조하여 예시되고 논의된다.
- <32> 도 2의 도면의 각 행은 도 1에 도시된 셀들(1-8)의 각각에 대한 기입 동작을 도시한다. 각 열(200, 201)은 프로그램되고 있는 페이지(즉, 제1 또는 제2)를 도시한다. 각 페이지(200, 201) 내에는 기입 동작의 순서를 나타내는 원숫자(circled number)들이 있다.
- <33> 제1 기입 동작에서는, 데이터의 일 비트가 메모리 셀(1)의 제1 페이지에 기입된다. 제2 기입 동작은 데이터의 일 비트를 메모리 셀(2)의 제1 페이지(즉, 하위 페이지)에 기입한다. 제3 기입 동작은 데이터의 일 비트를 메모리 셀(3)의 제1 페이지에 기입한다. 제4 기입 동작은 데이터의 일 비트를 메모리 셀(4)의 제1 페이지에 기입한다. 제5 기입 동작은 데이터의 일 비트를 메모리 셀(5)의 제1 페이지에 기입한다. 제6 기입 동작은 데이터의 일 비트를 메모리 셀(6)의 제1 페이지에 기입한다. 제7 기입 동작은 데이터의 일 비트를 메모리 셀(7)의 제1 페이지에 기입한다. 제8 기입 동작은 데이터의 일 비트를 메모리 셀(8)의 제1 페이지에 기입한다.
- <34> 마찬가지로, 제9 기입 동작은 데이터의 일 비트를 메모리 셀(1)의 제2 페이지(즉, 상위 페이지)에 기입한다. 제10 기입 동작은 데이터의 일 비트를 메모리 셀(2)의 제2 페이지에 기입한다. 제11 기입 동작은 데이터의 일 비트를 메모리 셀(3)의 제2 페이지에 기입한다. 제12 기입 동작은 데이터의 일 비트를 메모리 셀(4)의 제2 페이지에 기입한다. 제13 기입 동작은 데이터의 일 비트를 메모리 셀(5)의 제2 페이지에 기입한다. 제14 기입 동작은 데이터의 일 비트를 메모리 셀(6)의 제2 페이지에 기입한다. 제15 기입 동작은 데이터의 일 비트를 메모리 셀(7)의 제2 페이지에 기입한다. 제16 기입 동작은 데이터의 일 비트를 메모리 셀(8)의 제2 페이지에 기입한다.
- <35> 본 기술분야에서 잘 알려져 있는 바와 같이, 메모리 블록 상에서 전술한 기입 동작 전에 소거 동작이 수행된다. 이것은 메모리 셀들을 논리적 "11" 상태로 초기화 시킨다. 추가적으로, 기입 동작 후에 검증 동작이 수행되어 적절한 프로그래밍을 검증한다. 소거 및 검증 동작은 본 기술 분야에 잘 알려져 있으므로 더 이상 논의하지 않는다.
- <36> 도 3은 도 2의 다중 레벨 프로그래밍 실시예를 사용하는 메모리 어레이에 대한 기입 패턴을 도시한다. 명료함을 위하여, 메모리 블록의 셀들 중 오직 적은 부분만이 도시된다.
- <37> 각각의 셀은 이전에 도 2를 참조하여 논의한 바와 같이, 각각의 메모리 셀 게이트 근처에 기입 동작의 순서를 나타내는 한 쌍의 숫자들을 보여준다. 하부 숫자는 셀의 하위 페이지 프로그래밍의 순서를 가리킨다. 상부 숫자는 셀의 상위 페이지 프로그래밍의 순서를 가리킨다. 이 패턴은 128페이지의 블록 전체에 걸쳐서 반복된다.
- <38> 도 4는 본 발명의 프로그래밍 방법으로부터 기인한 문턱 전압(V_t)의 일련의 표들(400-402)을 연속적으로 도시한 것이다. 제1 표(400)는 소거된(즉, 논리적으로 "11") 상태의 9개의 메모리 셀에 대한 문턱 전압의 행렬을 도시한다. 이 실시예에서는, 이 상태의 문턱 전압은 각각 -3.50V 이다.
- <39> 제2 표(401)는 하위 페이지 프로그래밍 동작 후의 메모리 셀 행렬의 문턱 전압들 결과를 도시한다. 1.00V의 문턱 전압들을 갖는 메모리 셀들은 논리적으로 "01" 상태로 프로그램되었고, 나머지 셀들은 아직 소거된 상태로 남아있다. 프로그램된 셀들에 인접한 셀들은 문턱 전압이 소량 변화하였음을 나타내는 것을 볼 수 있다.
- <40> 제3 표(402)는 행렬의 모든 셀들이 논리적으로 "01" 상태로 프로그램된 후의 메모리 셀 행렬의 "최악의 경우" 발생되는 문턱 전압들을 도시한다. 1.15V의 문턱 전압을 갖는 셀들은 이들이 인접하는 셀들로부터 간섭받지 않고 1.00V 상태에 있기 때문에 소량의 프로그램 캐패시턴스 간섭을 보인다. 행렬(402)의 중심 셀(410)은, 프로그램된 셀들에 의해 둘러싸여 있고, 따라서, 프로그램 교란을 가장 크게 나타내야 한다. 그러나, 이 셀은 단지 150mV의 교란 상태를 경험한다. 통상의 종래 기술의 프로그램 동작에서는, 이러한 셀은 프로그램된 문턱 전압으로부터 230mV의 문턱 전압을 가질 수 있었다.

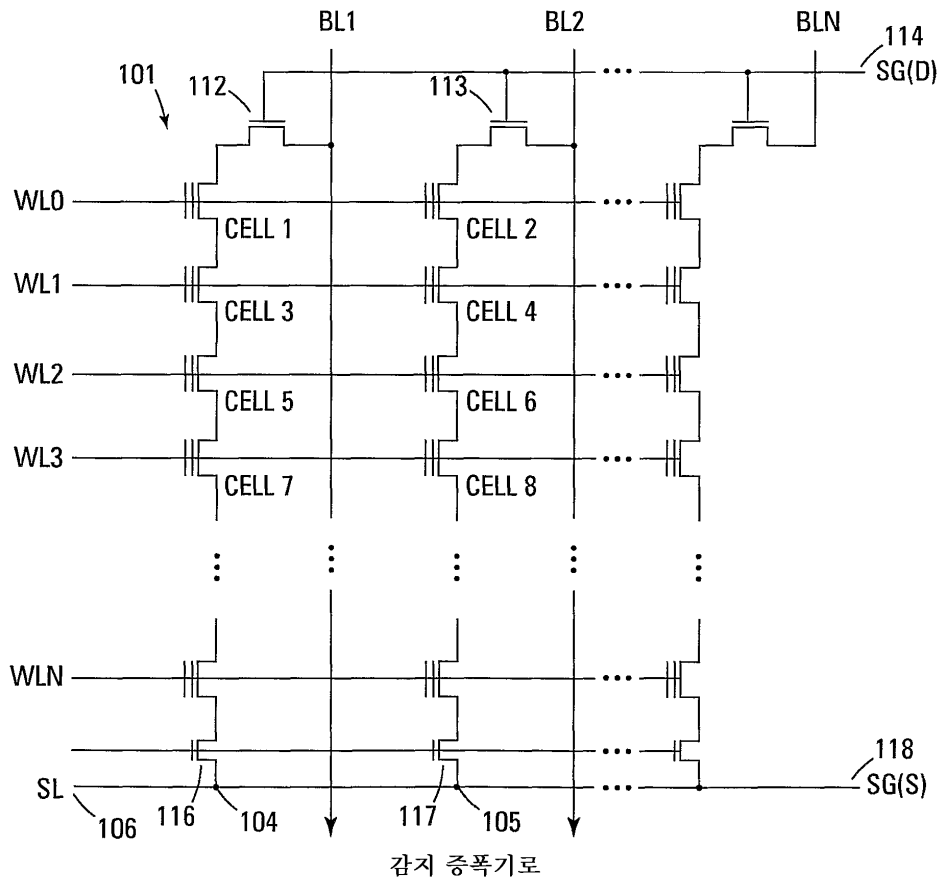
- <41> 도 5는 플래시 메모리 어레이를 포함할 수 있는 메모리 장치(500)의 기능 블록도 및 본 발명의 프로그래밍 방법의 실시예들을 도시한다. 메모리 장치(500)은 프로세서(510)에 연결되어 있다. 프로세서(510)는 마이크로프로세서 또는 일부 다른 종류의 제어 회로일 수 있다. 메모리 장치(500) 및 프로세서(510)는 전자 시스템(52)의 부분을 형성한다. 메모리 장치(500)는, 본 발명을 이해하는데 도움이 되는 메모리의 특징에 집중하기 위하여 간략화되어 있다.
- <42> 메모리 장치는 도 1을 참조하여 기술한 바와 같이 플래시 메모리 셀들(530)의 어레이를 포함한다. 메모리 어레이(530)는 행 및 열의 बैं크들 상에서 정렬된다. 메모리 셀의 각 행의 제어 게이트들은 워드라인과 연결되며, 메모리 셀들의 드레인 및 소스 접속들은 비트라인들에 연결되어 있다. 본 기술분야에 잘 알려져 있는 바와 같이, 셀들에서 비트라인들로의 접속은 어레이가 NAND 구조인지, AND 구조인지, 또는 NOR 구조인지를 판정한다.
- <43> 어드레스 버퍼 회로(540)가 제공되어 어드레스 입력 접속들 A0-Ax(542)상에 제공된 어드레스 신호들을 래치한다. 어드레스 신호들은 행 디코더(544) 및 열 디코더(546)에 의해 수신되고 디코딩되어 메모리 어레이(530)를 액세스한다. 본 기술 분야에 통상의 지식을 가진 자라면, 본 발명의 이점으로, 어드레스 입력 접속의 수는 메모리 어레이(530)의 밀도 및 구조에 의존한다는 것을 이해할 수 있을 것이다. 즉, 메모리 셀 수가 증가하고 बैं크 및 블록 수가 증가하면 어드레스들의 수가 증가한다.
- <44> 메모리 장치(500)는 감지/버퍼 회로(550)를 이용하여 메모리 어레이의 열들에서 전압 또는 전류의 변화를 감지함으로써 메모리 어레이(530)에서 데이터를 판독한다. 감지/버퍼 회로는, 일 실시예에서, 메모리 어레이(530)로부터 데이터의 행을 판독하고 래치하기 위해서 연결된다. 데이터 입력 및 출력 버퍼 회로(560)는 복수의 데이터 커넥션들(562)들을 통해 제어기(510)와 양방향의 데이터 통신을 행하기 위해 포함되어 있다. 기입 회로(555)가 제공되어 메모리 어레이에 데이터를 기입한다.
- <45> 제어 회로(570)는 프로세서(510)로부터 제어 커넥션들(572) 상에 제공된 신호들을 디코딩한다. 이 신호들은 데이터 판독, 데이터 기입(프로그래밍), 및 소거 동작들을 포함하는, 메모리 어레이(530) 상의 동작들을 제어하는데 사용된다. 제어회로(570)는 상태 머신(state machine), 시퀀서(sequencer), 또는 그외의 임의의 종류의 제어기일 수 있다. 일 실시예에서, 제어 회로(570)는 MLC 어레이의 개선된 간섭 저항성을 위해 본 발명의 프로그래밍 방법의 실시예들을 실행하는 기능을 한다.
- <46> 도 5에 도시된 플래시 메모리 장치는 메모리 특성의 기본적인 이해를 돕기 위해 간략화되었다. 플래시 메모리의 내부 회로 및 기능들에 대한 더 상세한 이해는 본 기술 분야의 당업자라면 알 것이다.
- <47> <결론>
- <48> 요약하면, 본 발명의 실시예들은 프로그래밍 처리량은 유지시키면서, MLC 레벨들 간의 마진을 개선시킨다. 이것은 초기에 메모리 블록의 하위 페이지 비트들을 모두 프로그래밍함으로써 달성된다. 그 다음에 메모리 블록의 상위 페이지 비트들을 프로그래밍한다. 일 실시예에서, 이 프로그래밍 방법은 종래 기술의 프로그래밍 방법과 비교하여, 프로그램된 셀들의 간섭을 30-40% 만큼 줄일 수 있다.
- <49> 비록 본 명세서에는 특정 실시예들이 도시되고 설명되었으나, 본 기술 분야에 통상적 기술수준을 가진 자라면 동일 목적을 달성하기 위하여 계산된 임의의 배치가 도시된 특정 실시예를 대체할 수 있음을 이해할 수 있을 것이다. 본 발명의 많은 응용들은 당업자에게는 명백할 것이다. 따라서, 본 출원은 본 발명의 모든 응용 또는 변형을 포함하도록 의도된다. 본 발명은 명백히 이하의 특허청구 범위 및 그 균등물에 의해서만 제한받는 것을 의도한다.

도면의 간단한 설명

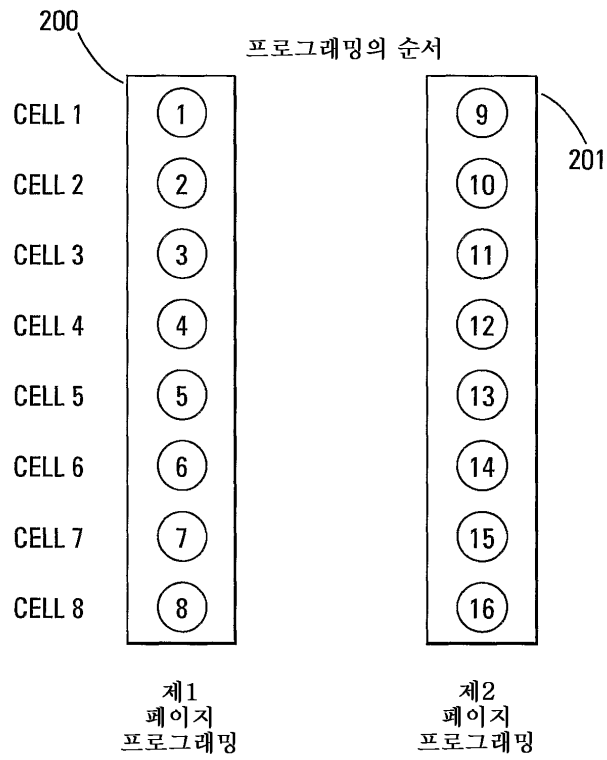
- <14> 도 1은 본 발명의 NAND 플래시 메모리 어레이(array)를 위한 일 실시예의 간략화된 개략도이다.
- <15> 도 2는 메모리 장치의 다중 레벨 프로그래밍을 위한 본 발명의 방법의 일 실시예를 도시하는 도면이다.
- <16> 도 3은 도 2의 다중 레벨 프로그래밍 방법 실시예에 따른 비휘발성 메모리 어레이의 간략화된 회로도들 도시한다.
- <17> 도 4는 도 2의 다중 레벨 프로그래밍 실시예에 따른 문턱 전압의 일련의 표들을 도시한다.
- <18> 도 5는 본 발명의 전자 시스템의 일 실시예의 블록도를 도시한다.

도면

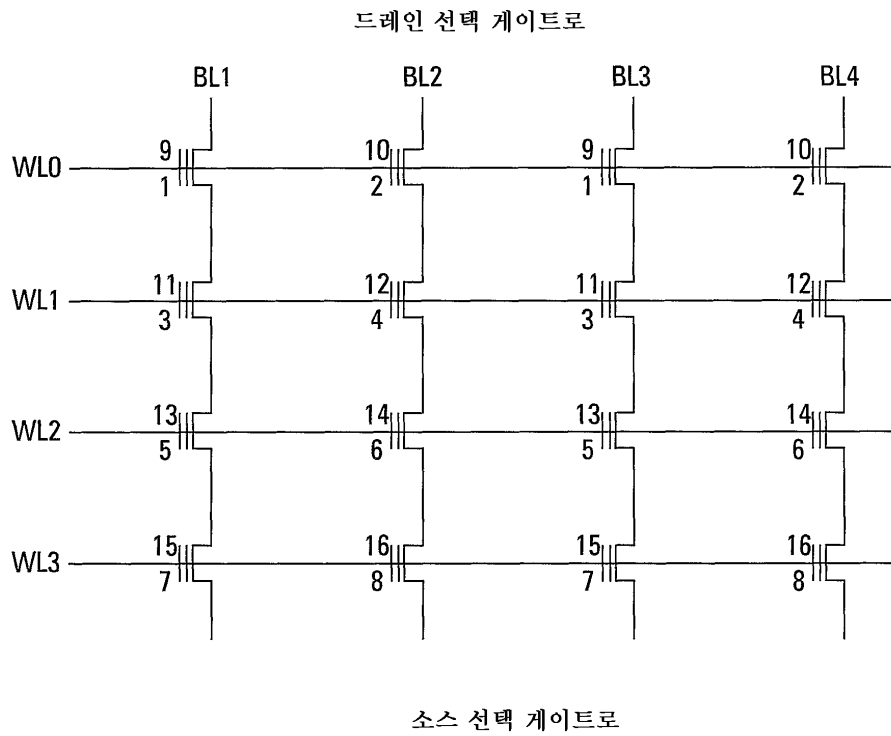
도면1



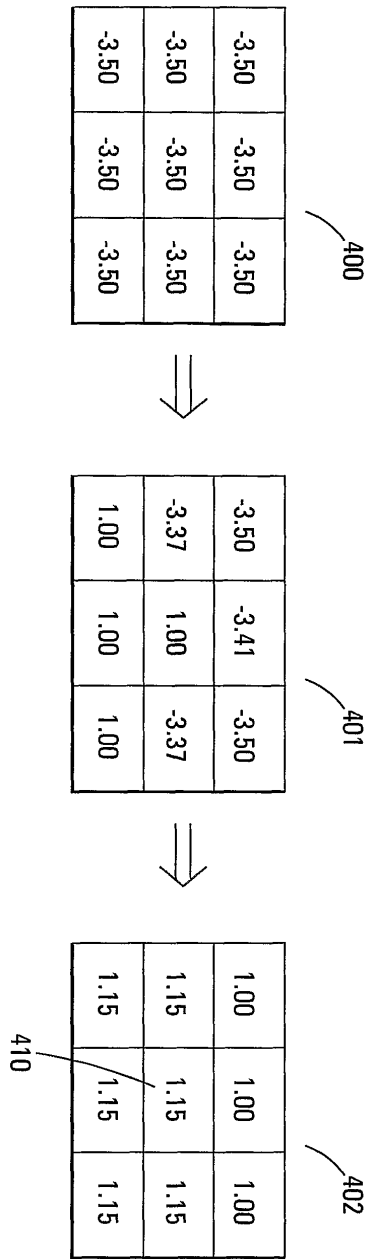
도면2



도면3



도면4



도면5

