(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3844917号
(P3844917)

(45)発行日　平成18年11月15日(2006.11.15)　(24)登録日　平成18年8月25日(2006.8.25)

| (51)Int.Cl. | | F I | | |
|---|---|---|---|---|
| G11C 29/04 | (2006.01) | G11C | 29/00 | 603J |
| G11C 11/401 | (2006.01) | G11C | 29/00 | 603P |
| | | G11C | 11/34 | 371D |

請求項の数 15　(全 14 頁)

(21)出願番号　特願平11-210295
(22)出願日　平成11年7月26日(1999.7.26)
(65)公開番号　特開2001-35186(P2001-35186A)
(43)公開日　平成13年2月9日(2001.2.9)
審査請求日　平成15年5月8日(2003.5.8)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100092820
弁理士　伊丹　勝
(72)発明者　原　毅彦
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝　マイクロエレクトロニクスセンター内

審査官　小松　正

(56)参考文献　特開平１１－０１６３８５（ＪＰ，Ａ）
特開平０６－２０３５９４（ＪＰ，Ａ）

最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】

【請求項１】

メモリセルアレイと、

このメモリセルアレイの不良メモリセルを救済するための複数の冗長セルアレイと、

アドレスをデコードして前記メモリセルアレイのメモリセルを選択するデコード回路と、

検出された不良アドレスに対して前記複数の冗長セルアレイの一つを選択する置換信号を出力するための、プログラミングが可能な第１のアドレス比較回路と、

検出された不良アドレスに対して前記複数の冗長セルアレイの他の一つを選択する置換信号を出力するための、プログラミングが可能な第２のアドレス比較回路とを備え、

前記メモリセルアレイは、複数のセルアレイブロックに分割され、

前記複数の冗長セルアレイは、各セルアレイブロック内をそれぞれ救済するように各セルアレイブロック毎に配置された複数セットの冗長セルアレイからなり、且つ前記第１のアドレス比較回路は、前記複数のセルアレイブロックで共有されて各セルアレイブロックの複数の冗長セルアレイに対して特定の番地のものから順に対応付けられ、

前記第２のアドレス比較回路は、前記複数のセルアレイブロックで共有されて各セルアレイブロックの複数の冗長セルアレイに対して前記第１のアドレス比較回路とは逆の順に対応付けられることを特徴とする半導体記憶装置。

【請求項２】

前記第１のアドレス比較回路は、レーザによりプログラミングされるフューズ回路を用

いて構成され、
前記第２のアドレス比較回路は、電気的にプログラミングされるフューズ回路を用いて構成されることを特徴とする請求項１記載の半導体記憶装置。
【請求項３】
前記複数の冗長セルアレイの欠陥を検出するテスト回路を有することを特徴とする請求項１記載の半導体記憶装置。
【請求項４】
前記テスト回路は、前記第１のアドレス比較回路に対応づけられていない冗長セルアレイを選択してその欠陥を検出する機能を有することを特徴とする請求項３記載の半導体記憶装置。
【請求項５】
メモリセルアレイと、
前記メモリセルアレイの不良メモリセルを救済するための複数の冗長素子と、
入力アドレスをデコードして前記メモリセルアレイのメモリセルを選択するデコード回路と、
検出された不良アドレスに対して前記複数の冗長素子の一つを選択する置換信号を出力するための、レーザによりプログラミングが可能な第１のアドレス比較回路と、
検出された不良アドレスに対して前記複数の冗長素子の他の一つを選択する置換信号を出力するための、電気的にプログラミングが可能な第２のアドレス比較回路とを備え、
前記メモリセルアレイは、複数のセルアレイブロックに分けられており、
冗長素子の複数のセットを含み、各セルアレイブロックに設けられた複数の冗長セルアレイを備え、
前記第１及び第２のアドレス比較回路は、前記複数のセルアレイブロックのそれぞれの前記複数の冗長素子にフレキシブルに対応可能とされ、
前記第１のアドレス比較回路は、各セルアレイブロックの複数の冗長素子に対応付けて前記複数のセルアレイブロックで共有されており、
前記第２のアドレス比較回路は、前記第１のアドレス比較回路による置換と重ならないように、各セルアレイブロックの複数の冗長素子に対応付けて前記複数のセルアレイブロックで共有され、
前記第１のアドレス比較回路は、各セルアレイブロックの複数の冗長素子に対して特定のアドレスのものから順に対応付けられ、
前記第２のアドレス比較回路は、各セルアレイブロックの複数の冗長素子に対して、前記第１のアドレス比較回路とは逆の順から対応付けられることを特徴とする半導体記憶装置。
【請求項６】
複数のセルアレイブロックに分けられているメモリセルアレイと、
複数の冗長素子からそれぞれ構成される第１及び第２の群と、
を備え、
前記複数のセルアレイブロックのうち対応するセルアレイブロックにある不良メモリセルを救済するために、前記第１及び第２の群は、それぞれセルアレイブロック毎に設けられており、
入力アドレスをデコードして前記メモリセルアレイのメモリセルを選択するデコード回路と、
検出された不良アドレスに対して前記複数の冗長素子の一つを選択する置換信号を出力するための、プログラミングが可能な第１のアドレス比較回路と、
検出された不良アドレスに対して前記複数の冗長素子の他の一つを選択する置換信号を出力するための、電気的にプログラミングが可能な第２のアドレス比較回路と、
を備え、
前記第１のアドレス比較回路は、各セルアレイブロックの前記第１の群とフレキシブルに対応できるように、前記複数のセルアレイブロックで共有されており、

前記第２のアドレス比較回路は、各セルアレイブロックの前記第２の群とフレキシブルに対応できるように、前記複数のセルアレイブロックで共有され、
前記メモリセルアレイは、複数のセルアレイブロックに分けられており、
冗長素子の複数のセットを含み、各セルアレイブロックに設けられた複数の冗長セルアレイを備え、
前記第１及び第２のアドレス比較回路は、前記複数のセルアレイブロックのそれぞれの前記複数の冗長素子にフレキシブルに対応可能とされ、
前記第１のアドレス比較回路は、各セルアレイブロックの複数の冗長素子に対応付けて前記複数のセルアレイブロックで共有されており、
前記第２のアドレス比較回路は、前記第１のアドレス比較回路による置換と重ならないように、各セルアレイブロックの複数の冗長素子に対応付けて前記複数のセルアレイブロックで共有され、
前記第１のアドレス比較回路は、各セルアレイブロックの複数の冗長素子に対して特定のアドレスのものから順に対応付けられ、
前記第２のアドレス比較回路は、各セルアレイブロックの複数の冗長素子に対して、前記第１のアドレス比較回路とは逆の順から対応付けられることを特徴とする半導体記憶装置。

【請求項７】

メモリセルアレイと、
前記メモリセルアレイの不良メモリセルを救済するための複数の冗長素子と、
入力アドレスをデコードして前記メモリセルアレイのメモリセルを選択するデコード回路と、
検出された第１の不良アドレスを記憶するために、プログラミングのレーザによりプログラムが可能なフューズの第１のセットを有する第１のアドレス比較回路と、
検出された第２の不良アドレスを記憶するために、電気的にプログラミングが可能なフューズの第２のセットを有する第２のアドレス比較回路と、
を備え、
前記第１のアドレス比較回路は、前記第１の不良アドレスに対して前記複数の冗長素子の一つを選択する置換信号を出力し、
前記第２のアドレス比較回路は、前記第２の不良アドレスに対して前記複数の冗長素子の他の一つを選択する置換信号を出力し、
前記メモリセルアレイは、複数のセルアレイブロックに分けられており、
冗長素子の複数のセットを含み、各セルアレイブロックに設けられた複数の冗長セルアレイを備え、
前記第１及び第２のアドレス比較回路は、前記複数のセルアレイブロックのそれぞれの前記複数の冗長素子にフレキシブルに対応可能とされ、
前記第１のアドレス比較回路は、各セルアレイブロックの複数の冗長素子に対応付けて前記複数のセルアレイブロックで共有されており、
前記第２のアドレス比較回路は、前記第１のアドレス比較回路による置換と重ならないように、各セルアレイブロックの複数の冗長素子に対応付けて前記複数のセルアレイブロックで共有され、
前記第１のアドレス比較回路は、各セルアレイブロックの複数の冗長素子に対して特定のアドレスのものから順に対応付けられ、
前記第２のアドレス比較回路は、各セルアレイブロックの複数の冗長素子に対して、前記第１のアドレス比較回路とは逆の順から対応付けられることを特徴とする半導体記憶装置。

【請求項８】

前記特定のアドレスは、論理アドレスであることを特徴とする請求項５～７のうちいずれか１項記載の半導体記憶装置。

【請求項９】

前記特定のアドレスは、物理アドレスであることを特徴とする請求項５～７のうちいずれか１項記載の半導体記憶装置。

【請求項１０】

前記第１の群と前記第２の群と比はソフトウェアにより割り当てられることを特徴とする請求項６記載の半導体記憶装置。

【請求項１１】

前記第１のアドレス比較回路は、レーザによりプログラミングされるフューズ回路を用いて構成され、

前記第２のアドレス比較回路は、電気的にプログラミングされるフューズ回路を用いて構成されることを特徴とする請求項６記載の半導体記憶装置。

【請求項１２】

前記複数の冗長素子の欠陥を検出するテスト回路を備えることを特徴とする請求項５～７のうちいずれか１項記載の半導体記憶装置。

【請求項１３】

前記テスト回路は、前記第１のアドレス比較回路に対応づけられていない冗長素子を選択してその欠陥を検出する機能を有することを特徴とする請求項１２記載の半導体記憶装置。

【請求項１４】

前記テスト回路は、前記第１及び第２のアドレス比較回路の両方に対応づけられている冗長素子を検出する機能を有することを特徴とする請求項１２記載の半導体記憶装置。

【請求項１５】

前記第１のアドレス比較回路は、ウェハ状態でプログラミングが可能であり、
前記第２のアドレス比較回路は、アセンブリ後にプログラミングが可能である
ことを特徴とする請求項１、５、６、７のうちいずれか１項記載の半導体記憶装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

この発明は、不良救済のための冗長回路方式を採用した半導体記憶装置に関する。

【０００２】

【従来の技術】

ＤＲＡＭ等の半導体メモリにおいて、メモリセルアレイの不良ロウや不良カラムを冗長ロウや冗長カラムに置換することにより救済することは一般に行われている。この目的のためにチップ内には、冗長ロウや冗長カラムを含むセルアレイと共に、アドレス比較回路が設けられる。アドレス比較回路は、ウェハ状態で行うテスト（ダイソートテスト）結果に基づいて、不良アドレスがプログラムされる。アドレス比較回路は、入力されたアドレスとプログラムされた不良アドレスとが一致した場合に置換信号を出力して、不良ロウ或いは不良カラムに代わって冗長ロウ或いは冗長カラムを選択する機能を持つ。

【０００３】

アドレス比較回路の不良アドレス記憶回路には通常、レーザによるプログラミングが行われるフューズ回路が用いられる。アドレス比較回路のプログラミング後、良品メモリチップはウェハから切り出されてパッケージにアセンブリされる。その後、ストレス試験を経て、最終的にメモリが正常動作するか否かのメモリテストが行われ、このメモリテストに合格した良品のみが出荷され、残りは廃棄される。

【０００４】

【発明が解決しようとする課題】

アセンブリ後のテストでの不良に対しては、レーザで溶断するヒューズ素子を利用する場合、従来救済手段はなかった。従って、メモリの歩留まり向上のためには、ウェハプロセスを精度よく行い、ダイソート試験の収率を高めること、出荷試験により破棄されるチップを少なくすることが重要であった。しかし、出荷試験後に破棄されるチップを少なくするためには、アセンブリ後新たに発生した不良に対する救済手段を持たせることが望まれ

る。

【０００５】

この発明は、上記事情を考慮してなされたもので、アセンブリ後の不良救済をも可能とした半導体記憶装置を提供することを目的としている。

【０００６】

【課題を解決するための手段】

この発明に係る半導体記憶装置は、メモリセルアレイと、このメモリセルアレイの不良メモリセルを救済するための複数の冗長セルアレイと、アドレスをデコードして前記メモリセルアレイのメモリセルを選択するデコード回路と、検出された不良アドレスに対して前記複数の冗長セルアレイの一つを選択する置換信号を出力するための、プログラミングが可能な第１のアドレス比較回路と、検出された不良アドレスに対して前記複数の冗長セルアレイの他の一つを選択する置換信号を出力するための、プログラミングが可能な第２のアドレス比較回路とを備え、前記メモリセルアレイは、複数のセルアレイブロックに分割され、前記複数の冗長セルアレイは、各セルアレイブロック内をそれぞれ救済するように各セルアレイブロック毎に配置された複数セットの冗長セルアレイからなり、且つ前記第１のアドレス比較回路は、前記複数のセルアレイブロックで共有されて各セルアレイブロックの複数の冗長セルアレイに対して特定の番地のものから順に対応付けられ、前記第２のアドレス比較回路は、前記複数のセルアレイブロックで共有されて各セルアレイブロックの複数の冗長セルアレイに対して前記第１のアドレス比較回路とは逆の順に対応付けられることを特徴とする。

この発明において、具体的に例えば、第１のアドレス比較回路は、レーザによりプログラミングされるフューズ回路を用いて構成され、第２のアドレス比較回路は、電気的にプログラミングされるフューズ回路を用いて構成される。

【０００７】

この発明によると、ウェハ状態でプログラミングを行う第１のアドレス比較回路に加えて、アセンブリ後にプログラミング可能な第２のアドレス比較回路を備えることより、アセンブリ後のテストで発生する不良をも救済することができ、メモリの救済効率を高いものとすることができる。

【０００９】

またこの発明において、好ましくは、複数の冗長セルアレイの欠陥を検出するテスト回路を有するものとする。このテスト回路は例えば、第１のアドレス比較回路に対応づけられていない冗長セルアレイを選択してその欠陥を検出する機能を有するものとする。この様なテスト回路を設ければ、第２のアドレス比較回路のプログラミング時に欠陥冗長セルアレイを避けることができる。この発明の他の局面は、メモリセルアレイと、前記メモリセルアレイの不良メモリセルを救済するための複数の冗長素子と、入力アドレスをデコードして前記メモリセルアレイのメモリセルを選択するデコード回路と、検出された不良アドレスに対して前記複数の冗長素子の一つを選択する置換信号を出力するための、レーザによりプログラミングが可能な第１のアドレス比較回路と、検出された不良アドレスに対して前記複数の冗長素子の他の一つを選択する置換信号を出力するための、電気的にプログラミングが可能な第２のアドレス比較回路とを備え、前記メモリセルアレイは、複数のセルアレイブロックに分けられており、冗長素子の複数のセットを含み、各セルアレイブロックに設けられた複数の冗長セルアレイを備え、前記第１及び第２のアドレス比較回路は、前記複数のセルアレイブロックのそれぞれの前記複数の冗長素子にフレキシブルに対応可能とされ、前記第１のアドレス比較回路は、各セルアレイブロックの複数の冗長素子に対応付けて前記複数のセルアレイブロックで共有されており、前記第２のアドレス比較回路は、前記第１のアドレス比較回路による置換と重ならないように、各セルアレイブロックの複数の冗長素子に対応付けて前記複数のセルアレイブロックで共有され、前記第１のアドレス比較回路は、各セルアレイブロックの複数の冗長素子に対して特定のアドレスのものから順に対応付けられ、前記第２のアドレス比較回路は、各セルアレイブロックの複数の冗長素子に対して、前記第１のアドレス比較回路とは逆の順から対応付けられるこ

とを特徴とする。また、更に他の局面は、複数のセルアレイブロックに分けられているメモリセルアレイと、複数の冗長素子からそれぞれ構成される第１及び第２の群と、を備え、前記複数のセルアレイブロックのうち対応するセルアレイブロックにある不良メモリセルを救済するために、前記第１及び第２の群は、それぞれセルアレイブロック毎に設けられており、入力アドレスをデコードして前記メモリセルアレイのメモリセルを選択するデコード回路と、検出された不良アドレスに対して前記複数の冗長素子の一つを選択する置換信号を出力するための、プログラミングが可能な第１のアドレス比較回路と、検出された不良アドレスに対して前記複数の冗長素子の他の一つを選択する置換信号を出力するための、電気的にプログラミングが可能な第２のアドレス比較回路と、を備え、前記第１のアドレス比較回路は、各セルアレイブロックの前記第１の群とフレキシブルに対応できるように、前記複数のセルアレイブロックで共有されており、前記第２のアドレス比較回路は、各セルアレイブロックの前記第２の群とフレキシブルに対応できるように、前記複数のセルアレイブロックで共有され、前記メモリセルアレイは、複数のセルアレイブロックに分けられており、冗長素子の複数のセットを含み、各セルアレイブロックに設けられた複数の冗長セルアレイを備え、前記第１及び第２のアドレス比較回路は、前記複数のセルアレイブロックのそれぞれの前記複数の冗長素子にフレキシブルに対応可能とされ、前記第１のアドレス比較回路は、各セルアレイブロックの複数の冗長素子に対応付けて前記複数のセルアレイブロックで共有されており、前記第２のアドレス比較回路は、前記第１のアドレス比較回路による置換と重ならないように、各セルアレイブロックの複数の冗長素子に対応付けて前記複数のセルアレイブロックで共有され、前記第１のアドレス比較回路は、各セルアレイブロックの複数の冗長素子に対して特定のアドレスのものから順に対応付けられ、前記第２のアドレス比較回路は、各セルアレイブロックの複数の冗長素子に対して、前記第１のアドレス比較回路とは逆の順から対応付けられることを特徴とする。また更に他の局面は、メモリセルアレイと、前記メモリセルアレイの不良メモリセルを救済するための複数の冗長素子と、入力アドレスをデコードして前記メモリセルアレイのメモリセルを選択するデコード回路と、検出された第１の不良アドレスを記憶するために、プログラミングのレーザによりプログラムが可能なフューズの第１のセットを有する第１のアドレス比較回路と、検出された第２の不良アドレスを記憶するために、電気的にプログラミングが可能なフューズの第２のセットを有する第２のアドレス比較回路と、を備え、前記第１のアドレス比較回路は、前記第１の不良アドレスに対して前記複数の冗長素子の一つを選択する置換信号を出力し、前記第２のアドレス比較回路は、前記第２の不良アドレスに対して前記複数の冗長素子の他の一つを選択する置換信号を出力し、前記メモリセルアレイは、複数のセルアレイブロックに分けられており、冗長素子の複数のセットを含み、各セルアレイブロックに設けられた複数の冗長セルアレイを備え、前記第１及び第２のアドレス比較回路は、前記複数のセルアレイブロックのそれぞれの前記複数の冗長素子にフレキシブルに対応可能とされ、前記第１のアドレス比較回路は、各セルアレイブロックの複数の冗長素子に対応付けて前記複数のセルアレイブロックで共有されており、前記第２のアドレス比較回路は、前記第１のアドレス比較回路による置換と重ならないように、各セルアレイブロックの複数の冗長素子に対応付けて前記複数のセルアレイブロックで共有され、前記第１のアドレス比較回路は、各セルアレイブロックの複数の冗長素子に対して特定のアドレスのものから順に対応付けられ、前記第２のアドレス比較回路は、各セルアレイブロックの複数の冗長素子に対して、前記第１のアドレス比較回路とは逆の順から対応付けられることを特徴とする。

【００１０】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態を説明する。

図１は、この発明の実施の形態によるＤＲＡＭの構成を示す。メモリセルアレイ１は、図２に示すように、複数本ずつの互いに交差するビット線ＢＬ，ｂＢＬとワード線ＷＬの各交差部にダイナミック型メモリセルＭＣを配置して構成される。ビット線ＢＬ，ｂＢＬの端部にはビット線センスアンプＳＡが設けられている。ビット線ＢＬ，ｂＢＬは、カラム

選択線ＣＳＬにより駆動されるカラムゲートにより選択されてデータ線ＤＱ，ｂＤＱに接続される。

【００１１】

メモリセルアレイ１の不良救済のための冗長回路として、冗長ロウセルアレイ２と冗長カラムセルアレイ３が設けられている。冗長ロウセルアレイ２は、複数本の不良ワード線を置換するための複数本のスペアワード線により構成される。冗長カラムセルアレイ３は、複数本のビット線（具体的には、カラム選択線）を置換するための複数本のスペアカラム選択線により構成される。より具体的に、冗長ロウセルアレイ２は、１本のワード線又は複数本のワード線の束を置換の単位（１セット）として、複数セット設けられる。同様に、冗長カラムセルアレイ３についても、１本のカラム選択線又は複数本のカラム選択線の束を置換の単位（１セット）として、複数セット設けられる。

【００１２】

アドレスバッファ８により取り込まれるロウアドレス、カラムアドレスはそれぞれ、ロウデコーダ５、カラムデコーダ４によりデコードされる。ロウデコーダ５のデコード出力によりメモリセルアレイ１のワード線ＷＬが選択駆動され、カラムデコーダ４のデコード出力によりメモリセルアレイ１のビット線ＢＬ，ｂＢＬの選択がなされる。これらのロウデコーダ５及びカラムデコーダ４と並んで、それぞれ冗長ロウセルアレイ２及び冗長カラムセルアレイ３を選択するための冗長ロウデコーダ７及び冗長カラムデコーダ６が設けられている。

【００１３】

冗長ロウセルアレイ２により不良ロウを置き換えるために不良ロウアドレスを記憶し、不良ロウアドレスが入力されたときにそれとの一致検出を行って置換信号を出力するためのロウアドレス比較回路として、第１のロウアドレス比較回路１０ａと第２のロウアドレス比較回路１０ｂを有する。同様に、冗長カラムセルアレイ３により不良カラムを置き換えるために不良カラムアドレスを記憶し、不良カラムアドレスが入力されたときにそれとの一致検出を行って置換信号を出力するためのカラムアドレス比較回路として、第１のカラムアドレス比較回路１１ａと第２のカラムアドレス比較回路１１ｂを有する。

【００１４】

第１のロウアドレス比較回路１０ａ及び第１のカラムアドレス比較回路１１ａは、ウェハ状態でのテスト結果により検出された不良アドレスをウェハ状態でプログラミングするためのものであり、レーザにより溶断されるフューズを用いたフューズ回路である。第２のロウアドレス比較回路１０ｂ及び第２のカラムアドレス比較回路１１ｂは、チップをアセンブリした後のテスト結果により検出された不良アドレスをアセンブリ後にプログラミングするためのものであり、電気的に高電圧を印加することにより、切断又は接続されるフューズを用いたフューズ回路を用いて構成される。

【００１５】

第２のロウアドレス比較回路１０ｂ及び第２のカラムアドレス比較回路１１ｂは上述のように、アセンブリ後、即ちＤＲＡＭチップをパッケージに収納した後に電気的にプログラミング可能とするものである。そのために図１に示すように、これらの第２のロウアドレス比較回路１０ｂ及び第２のカラムアドレス比較回路１１ｂに不良アドレスを書き込むためのプログラム回路１２が用意されている。このプログラム回路１２は例えば、アセンブリ後の出荷テストに用いられるテスト回路１３のテスト結果に基づいて、第２のロウアドレス比較回路１０ｂ及び第２のカラムアドレス比較回路１１ｂの電気的プログラミングを行う。

【００１６】

図３は、この実施の形態のＤＲＡＭのウェハプロセスから出荷までの処理の流れを示している。ウェハプロセス（Ｓ１）が終了すると、ウェハ状態でダイソート試験が行われる（Ｓ２）。このダイソート試験で検出された不良に対して、従来と同様に、レーザによる冗長回路プログラム、即ち図１における第１のアドレス比較回路１０ａ，１１ａのプログラムが行われる（Ｓ３）。その後、ＤＲＡＭチップは分割されて各チップ毎にアセンブリさ

れ（Ｓ４）、バーンイン処理が行われる（Ｓ５）。そして出荷試験が行われ（Ｓ６）、合格であれば出荷される。出荷試験で不合格となった場合は、新たに検出された不良アドレスについて、電気的な冗長回路プログラム、即ち図１における第２のアドレス比較回路１０ｂ，１１ｂのプログラムが行われる（Ｓ７）。プログラム終了後、再度出荷試験（或いは破線で示すようにバーンイン試験）に戻され、最終的に良品となったものが出荷される。

【００１７】

従来より、アセンブリ後の出荷試験で新たに不良となるＤＲＡＭチップの多くは、不良ビット数は少ない。従って、電気的プログラミングを行う第２のアドレス比較回路１０ｂ，１１ｂは、少ないビット数でも有効であり、従来破棄されていたチップを救済することが可能になる。

【００１８】

ここまでの説明は、２種のアドレス比較回路による不良救済の基本的な構成と作用であるが、次に具体的なアドレス比較回路と冗長回路の対応関係について説明する。実際のＤＲＡＭでは、メモリセルアレイは複数のセルアレイブロックに分けられ、各セルアレイブロック内の不良を救済するように、各セルアレイブロック毎にそれぞれ冗長セルアレイが設けられる。これに対応して、アドレス比較回路も複数個設けられる。

【００１９】

この場合、アドレス比較回路と冗長セルアレイの対応関係には、２種類ある。但し、以下の説明は全てロウ側のみに着目して行うが、カラム側についても同様である。その一つは、図４に示すように、Ｎセットのアドレス比較回路と、Ｎセットの冗長ロウセルアレイ（通常、それぞれが複数本のスペアワード線の束からなる）とを１：１に対応させる方法である。もう一つは、図５に示すように、Ｍセットのアドレス比較回路をＮセットの冗長ロウセルアレイに対してフレキシブルに対応させる方法である。

【００２０】

通常チップ内の欠陥は、個々のチップで見れば偏在していることが多く、従って冗長セルアレイが全て使用されることはない。図４の方式を用いた場合、平均して使用される冗長セルアレイが半分であれば、使用されるアドレス比較回路の数も半分になる。この様に実際に使用されないアドレス比較回路があることは、チップの面積縮小の妨げとなる。

これに対して、図５に示すように、アドレス比較回路を冗長セルアレイに対してフレキシブルに対応させる方式では、アドレス比較回路の数Ｍは、実際に使用される冗長セルアレイの数だけあればよく、Ｍ＜Ｎとすることができる。実際に必要な冗長セルアレイの数は、使用するプロセス技術に依存する欠陥分布や欠陥モードの推定により事前に決定することができ、これにより図５の方式の場合のアドレス比較回路の数Ｍを決定することができる。従って、図５の方式を採用することにより、チップ面積の縮小が可能になる。

【００２１】

図５の方式は、通常のレーザによるプログラミングを行うアドレス比較回路のみの場合は、一般に用いられている。しかしこの発明では、上述のように２種のアドレス比較回路を用いるから、これらを冗長セルアレイに対してフレキシブルに対応させるのは、単純ではない。冗長セルアレイと２種のアドレス比較回路の対応関係が何らかの条件で特定されないと、２種のアドレス比較回路による置換が同じ冗長セルアレイにより行われるという事態、具体的には異なるアドレスにより同じ冗長セルが選択されるという事態が生じる可能性があるためである。

【００２２】

図６は、２種のアドレス比較回路により同じ冗長セルアレイの置換が行われることがないようにした一つの実施の形態である。メモリセルアレイ１は、複数のセルアレイブロックＭＲ０～ＭＲｎに分割され、それぞれに冗長ロウセルアレイ２が設けられる。この実施の形態の場合、各セルアレイブロック毎に冗長ロウセルアレイ２は、Ａ，Ｂの２群に分けられており、それぞれ複数本ずつのスペアワード線ＳＷＬを含む。

【００２３】

レーザによりプログラミングを行うアドレス比較回路１０ａは、各セルアレイブロックのＡ群の冗長セルアレイを選択する冗長ロウデコーダＳＲＤａに対してフレキシブルに対応できるようにしている。同様に、アセンブリ後に電気的にプログラミングを行うアドレス比較回路１０ｂは、各セルアレイブロックのＢ群の冗長セルアレイを選択する冗長ロウデコーダＳＲＤｂに対してフレキシブルに対応できるようにしている。

【００２４】

この実施の形態によると、冗長セルアレイ２は、ダイソート時に使用するＡ群とアセンブリ後に使用するＢ群として異なる番地をもって分けられているので、同一スペアワード線が二つのアドレス比較回路１０ａ，１０ｂにより選択されることはない。なお具体的に、二つのアドレス比較回路１０ａ，１０ｂをそれぞれＡ，Ｂ群の冗長セルアレイのみに対応させるには、不良アドレスをプログラムするソフトウェア上で、或いは回路的に制約を加えればよい。

【００２５】

上述した図６の実施の形態では、Ａ，Ｂ群に属するスペアワード線は一定であり、ダイソート時に使用できるスペアワード線は、これにより制限される。従って、ダイソート時にＡ群のスペアワード線数を超える不良があった場合には、救済不可能となる。従って、実際の適用に際しては、冗長回路にＡ，Ｂ群という区別がなく、ダイソート時には、全てのスペアワード線を使用可能とし、アセンブリ後のプログラミングでは残りのスペアワード線を使用するという使い方ができることが好ましい。

【００２６】

図７は、その様な使用法を可能とする実施の形態を示している。即ち先の図６の実施の形態と異なりこの実施の形態では、二つのアドレス比較回路１０ａ，１０ｂを、各セルアレイブロックの全ての冗長ロウデコーダＳＲＤに対してフレキシブルに対応可能としている。言い換えれば、冗長ロウデコーダＳＲＤは、二つのアドレス比較回路１０ａ，１０ｂとの対応関係が特定されていない。

従って、アドレス比較回路１０ａ，１０ｂは、共に複数のセルアレイブロックで共有されるが、実際の使用に際しては、アドレス比較回路１０ａは、各セルアレイブロックの複数の冗長セルアレイ２に対して特定の番地のものから順に対応付けられる。またアドレス比較回路１０ｂは、各セルアレイブロックの複数の冗長セルアレイ２に対してアドレス比較回路１０ａとは逆の順に対応付けられるようにする。

【００２７】

より具体的な例を説明すれば、ダイソート時のアドレス比較回路１０ａは、各セルアレイブロックの複数の冗長ロウセルアレイを番地の小さい順に使用する。スペアワード線に欠陥がある場合には、その番地を飛ばして次にスペアワード線を用いる。そして、アセンブリ後のアドレス比較回路１０ｂは、逆に各セルアレイブロックの複数の冗長ロウセルアレイを番地の大きい順に使用する。

【００２８】

この様な手法を用いれば、ダイソート時に検出される不良が多い場合には、各セルアレイブロックに付属する冗長ロウセルアレイを全て使うことも可能になる。出荷試験時の救済では、どのスペアワード線が未使用であるかを調べることなく、番地の大きい方から使用する。従って、出荷試験時に、既にダイソート時に使用されたスペアワード線を重ねて使用する可能性はあるが、その確率は小さい。何故なら、欠陥は個々のチップ毎に偏在しており、ダイソート時に全ての冗長セルアレイを使い切ることは殆どなく、また出荷試験での不良ビット数は少ないからである。

なお、小さい確率ながら、上記のような重複使用が発生した場合には、最終的に出荷試験でスクリーニングすればよい。

【００２９】

ところで、スペアワード線に欠陥がある場合には、その欠陥のスペアワード線により不良ワード線を置換しても良品とはならない。従って不良救済効率を高めるためには、スペアワード線の欠陥をテストできるようにすることが好ましい。

図８は、その様なスペアワード線の欠陥をテストすることを可能としたＤＲＡＭのテスト回路の構成である。各種制御信号の組み合わせにより、様々なテストを行うことが可能となっている。内部ロウアドレス信号ｘａ０，／ｘａ０，…，ｘｄ０，／ｘｄ０は、ワード線ＷＬを選択するロウデコーダ５のデコードゲートＧ１に接続され、このデコードゲートＧ１にはワード線活性化信号ＮＴａｃｔが入力される。スペアワード線ＳＷＬを選択するデコードゲートＧ２には、スペアワード線用アドレス信号ｘａＲ，／ｘａＲ，ｘｂＲ，／ｘｂＲと、ゲートＧ３の出力が入力される。

【００３０】

スペアワード線用アドレス信号は、スペアワード線アドレス選択回路２０により、スペアワード線用アドレス切り換え信号ＳＲｔｅｓｔに応じて、通常のロウアドレスｘａ，／ｘａ，ｘｂ，／ｘｂ、或いはロウアドレスがアドレス比較回路に予めプログラムされた不良アドレスに一致した場合にスペアワード線アドレス発生回路２１で発生されるアドレス信号ｘａｐ，／ｘａｐ，ｘｂｐ，／ｘｂｐのどちらかが選択的に供給される。ゲートＧ３には、スペアワード線活性化信号／ＳＲａｃｔと、スペアロウデコーダ制御回路２２の出力信号ＳＷＬｏｆｆが入力される。スペアロウデコーダ制御回路２２は、ロウアドレスと、アドレス比較回路１０ａ或いは１０ｂに予めプログラムされた不良アドレスが一致しているかどうか、及び二種のテスト信号／ＭＲｔｅｓｔ１，／ＭＲｔｅｓｔ２に応じて出力信号ＳＷＬｏｆｆを出す。

【００３１】

図９は、スペアロウデコーダ制御回路２２の具体的な回路構成である。この回路は、テスト信号／ＭＲｔｅｓｔ１，／ＭＲｔｅｓｔ２が共に“Ｈ”の場合、ＮＡＮＤゲート３０の出力が“Ｌ”、従って、ＣＭＯＳトランスファゲート３６がオンとなり、ヒット信号ＲＤｈｉｔ１，ＲＤｈｉｔ１のいずれかが“Ｈ”のときに、出力信号ＳＷＬｏｆｆ＝“Ｌ”を出す。テスト信号／ＭＲｔｅｓｔ１，／ＭＲｔｅｓｔ２のどちらかが“Ｌ”のときは、トランスファゲート３７がオンとなる。

【００３２】

図１０は、各種動作モードに対応した制御信号の組み合わせを示している。ユーザーが普通にメモりアクセスする通常動作の場合は、ＳＲｔｅｓｔを除いて他の制御信号は“Ｌ”である。従ってスペアワード線は、ロウアドレスがアドレス比較回路１０ａ，１０ｂに予めプログラムされた不良アドレスに一致した場合（即ち、ヒット信号ＲＤｈｉｔ１，ＲＤｈｉｔ１のいずれかが“Ｈ”）のみ活性化され、スペアワード線アドレス発生回路２１から出力されたアドレスに応じてスペアワード線ＳＷＬが立ち上がり、不良ワード線は立ち上がらない。

【００３３】

ダイソート時に冗長セルアレイのテストを行う場合は、制御信号ＮＲａｃｔを“Ｌ”にして、ワード線ＷＬが立たないようにし、／ＳＲａｃｔを“Ｌ”、ＳＲｔｅｓｔを“Ｈ”として、ロウデコーダに供給される下位アドレスに応じてスペアワード線ＳＷＬを立てるようにする。この方法により、冗長ロウセルアレイ部分に含まれる不良スペアワード線を知ることができる。そしてこれにより、レーザによりアドレス比較回路１０ａをプログラムする際に、不良スペアワード線を使用しないようにすることができる。

【００３４】

アセンブリ後の試験で不良が出た場合、アドレス比較回路１０ｂを用いて不良救済を行うが、このときスペアワード線の使用状態を調べることなく番地の大きい方から順に使用することは、先に説明した。この場合、アドレス比較回路１０ａ，１０ｂで同じスペアワード線を重複使用する確率は小さいものの、救済前に重複使用となるか否かを簡単にチェックできれば好ましい。更には、未使用のスペアワード線のみテストできれば、不良スペアワード線を避けて不良ワード線救済を行うことができる。

【００３５】

この様なテストを行う場合は、ＮＲａｃｔ，／ＭＳｔｅｓｔ１を“Ｌ”、他の制御信号を“Ｈ”にする。ここで、／ＭＳｔｅｓｔ１は、ロウアドレスと、アドレス比較回路１０ａ

にプログラムされた不良アドレスが一致した場合はスペアワード線を立てないようにする信号である。ＳＲｔｅｓｔが“Ｈ”であるので、入力アドレスと不良アドレスの一致不一致に拘わらず、デコードゲートＧ２には常にロウアドレスが供給される。またこの場合、／ＳＲａｃｔが“Ｈ”であるから、ＳＷＬｏｆｆが“Ｈ”であれば、スペアワード線ＳＷＬは立たない。複数あるアドレス比較回路１０ａの中で、入力アドレスとプログラムされた不良アドレスとが一致すれば、ヒット信号ＲＤｈｉｔ１は“Ｈ”となり、／ＭＳｔｅｓｔ１が“Ｌ”の場合はスペアロウデコーダ制御回路２２は、出力信号ＳＷｏｆｆ＝“Ｈ”を出すから、スペアワード線ＳＷＬは立たなくなる。アドレス比較回路にプログラムされていなくても、欠陥セルを含むスペアワード線を不良する。従って、アドレス比較回路１０ｂに不良アドレスをプログラムする際には、既に使用されているスペアワード線と、使用されていないが欠陥を含むスペアワード線とを避けることができる。

【００３６】

実際の適用においては、先に述べたように、試験コストとの関係でスペアワード線の使用状態を調べることなく、置換後のテストのみを行う場合もある。図８の回路構成は、スペアワード線の重複使用をチェックする試験を行うことができる。その場合は、通常動作時から／ＭＲｔｅｓｔ１を“Ｌ”にして、アドレス比較回路１０ａでプログラムしたスペアワード線を立てない試験１と、通常動作時から／ＭＲｔｅｓｔ２を“Ｌ”にして、アドレス比較回路１０ｂでプログラムしたスペアワード線を立てない試験２とを別々に行う。これらの試験では、救済前の不良ワード線のアドレスに不良が生じるので、試験１の不良アドレスと試験２の不良アドレスの比較を行い、一致するものがあれば同一スペアワード線を使用しているものと判断することができる。これにより、スペアワード線を重複使用しているものをスクリーニングすることが可能になる。

【００３７】

【発明の効果】

以上述べたようにこの発明によれば、ウェハ状態でプログラミングを行う第１のアドレス比較回路に加えて、アセンブリ後にプログラミング可能な第２のアドレス比較回路を備えることより、アセンブリ後のテストで発生する不良をも救済することができ、メモリの救済効率を高いものとすることができる。

【図面の簡単な説明】

【図１】この発明の実施の形態によるＤＲＡＭの構成を示す図である。

【図２】同実施の形態によるＤＲＡＭのメモリセルアレイの構成を示す図である。

【図３】同実施の形態のＤＲＡＭの製造プロセスを示す図である。

【図４】同実施の形態のアドレス比較回路と冗長セルアレイの対応関係の一例を示す図である。

【図５】同実施の形態のアドレス比較回路と冗長セルアレイの対応関係の他の例を示す図である。

【図６】図５の対応関係を適用した具体的な実施の形態を示す図である。

【図７】図５の対応関係を適用した具体的な他の実施の形態を示す図である。

【図８】冗長セルアレイのテスト回路の構成を示す図である。

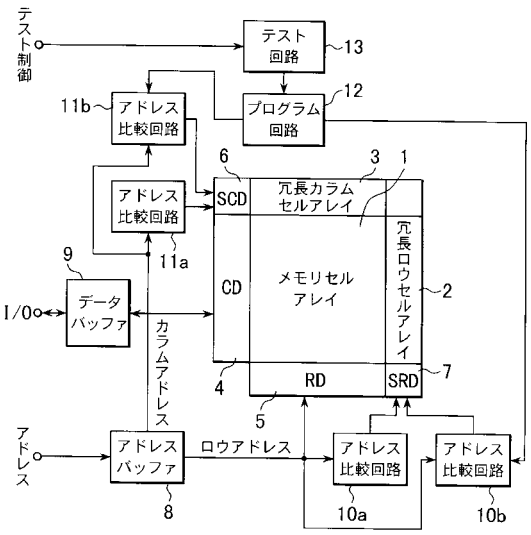
【図９】図８のスペアロウデコーダ制御回路の構成を示す図である。

【図１０】各種動作時の制御信号の組み合わせを示す図である。

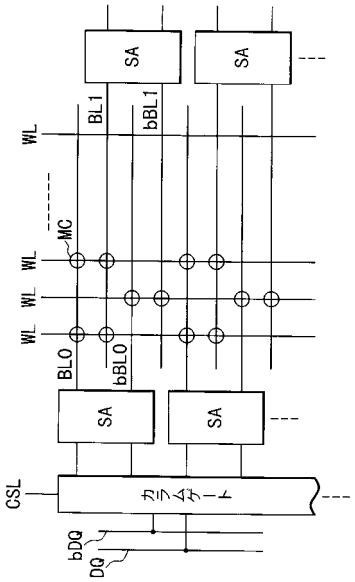
【符号の説明】

１…メモリセルアレイ、２…冗長ロウセルアレイ、３…冗長カラムセルアレイ、４…カラムデコーダ、５…ロウデコーダ、６…冗長カラムデコーダ、７…冗長ロウデコーダ、８…アドレスバッファ、９…データバッファ、１０ａ，１１ａ…第１のアドレス比較回路、１０ｂ，１１ｂ…第２のアドレス比較回路、１３…テスト回路、１２…プログラム回路、２０…スペアワード線アドレス選択回路、２１…スペアワード線アドレス発生回路、２２…スペアロウデコーダ制御回路。

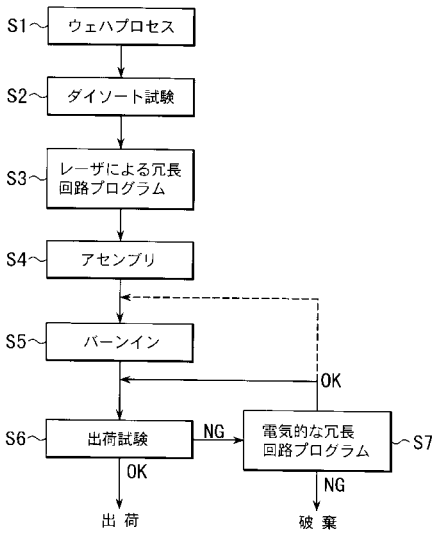
【図１】


テスト制御
テスト回路
13
12
プログラム回路
11b
アドレス比較回路
アドレス比較回路
11a
6
3
1
SCD
冗長カラムセルアレイ
冗長ロウセルアレイ
CD
メモリセルアレイ
2
9
データバッファ
I/Oo
カラムアドレス
4
RD
SRD
7
5
アドレス
アドレスバッファ
8
ロウアドレス
アドレス比較回路
10a
アドレス比較回路
10b

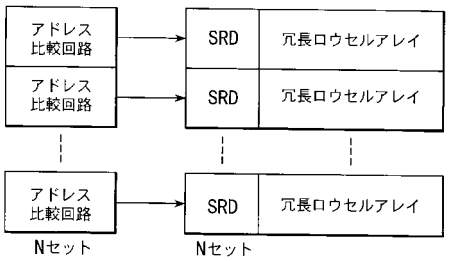
【図２】


SA
SA
WL
BL1
bBL1
MC
WL
WL
WL
BLO
bBLO
SA
SA
CSL
bDQ
DQ

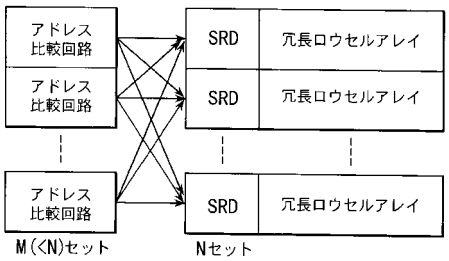
【図３】


S1
ウェハプロセス
S2
ダイソート試験
S3
レーザによる冗長回路プログラム
S4
アセンブリ
S5
バーンイン
OK
S6
出荷試験
NG
電気的な冗長回路プログラム
S7
OK
NG
出荷
破棄

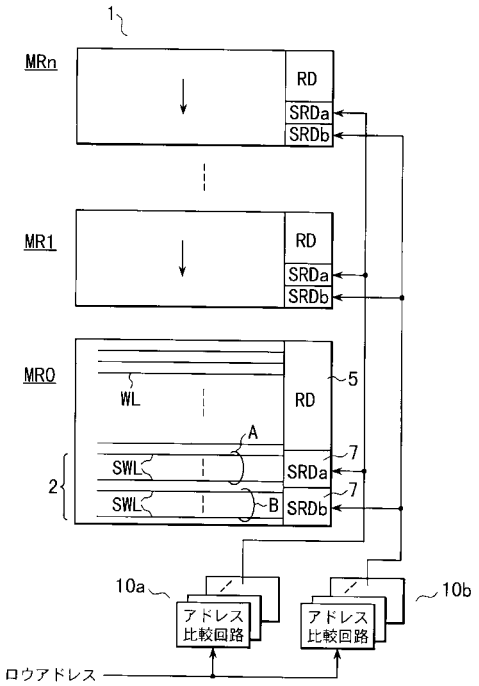
【図４】


アドレス比較回路
アドレス比較回路
アドレス比較回路
SRD
冗長ロウセルアレイ
SRD
冗長ロウセルアレイ
SRD
冗長ロウセルアレイ
Nセット
Nセット

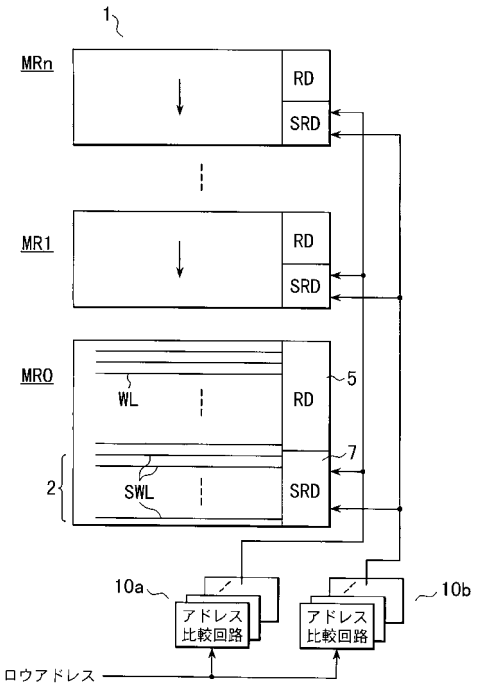
【図５】


アドレス比較回路
アドレス比較回路
アドレス比較回路
SRD
冗長ロウセルアレイ
SRD
冗長ロウセルアレイ
SRD
冗長ロウセルアレイ
M(<N)セット
Nセット

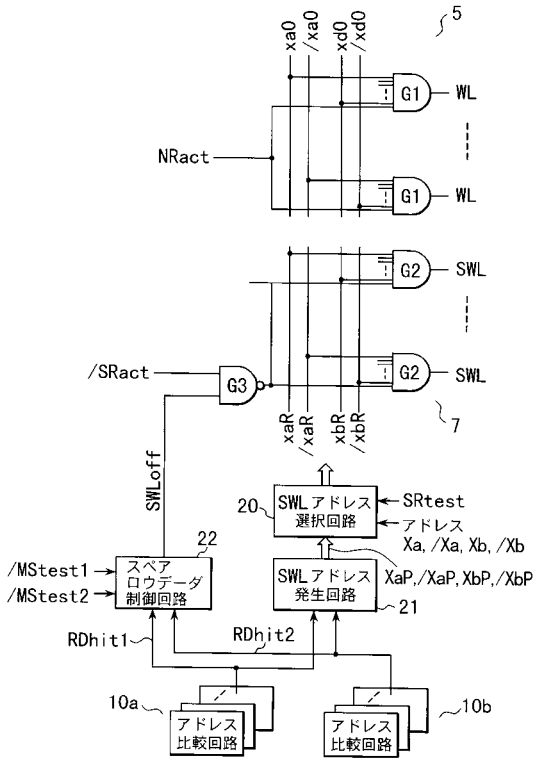
【図６】



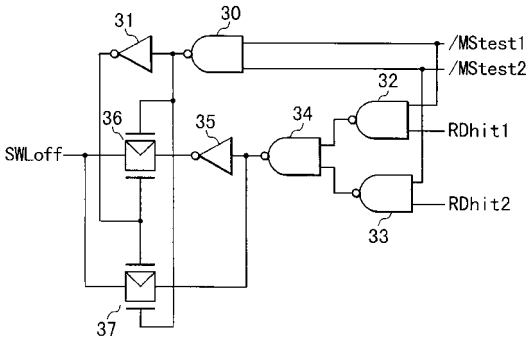

【図７】




【図８】




【図９】




【図１０】

| 制御信号 | 通常動作 | DS時の冗長ロウセルアレイ試験 | アドレス比較回路10aプログラム前の冗長ロウセルアレイ試験 | 重複使用チェック試験 | |
|---|---|---|---|---|---|
| | | | | 試験1 | 試験2 |
| NRact | H | L | L | H | H |
| /SRact | H | L | H | H | H |
| SRtest | L | H | H | L | L |
| /MStest1 | H | Don't care | L | L | H |
| /MStest2 | H | Don't care | H | H | L |

フロントページの続き

(58)調査した分野(Int.Cl., ＤＢ名)
G11C 29/00
G11C 16/00-16/34