

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7157773号  
(P7157773)

(45)発行日 令和4年10月20日(2022.10.20)

(24)登録日 令和4年10月12日(2022.10.12)

(51)国際特許分類 F I  
G 0 5 B 19/042 (2006.01) G 0 5 B 19/042

請求項の数 8 (全12頁)

(21)出願番号	特願2020-10493(P2020-10493)	(73)特許権者	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(22)出願日	令和2年1月27日(2020.1.27)	(74)代理人	110001689青稜弁理士法人
(65)公開番号	特開2021-117720(P2021-117720 A)	(72)発明者	上園 巧 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
(43)公開日	令和3年8月10日(2021.8.10)	(72)発明者	白石 雅裕 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
審査請求日	令和4年4月20日(2022.4.20)	(72)発明者	鳥羽 忠信 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
		(72)発明者	西川 悟史 東京都千代田区丸の内一丁目6番6号 最終頁に続く

(54)【発明の名称】 プログラマブルデバイス及びこれを用いた制御コントローラ

(57)【特許請求の範囲】

【請求項1】

ユーザ論理を定義するC R A MデータをロードするC R A Mを有するプログラマブルデバイスにおいて、

多重化されたユーザ論理ブロックよりエラー検出して通知するエラーチェック機構と、最終ユーザ論理ブロックの出力端に接続して、制御周期ごとにユーザ論理ブロックの出力値を取込んで出力する前値保持部と、

前記エラーチェック機構より受けたエラー発生通知によりスキャン割込みがかかり、C R A M上のスキャン領域をリードして、エラー検出、およびエラー訂正を実施して、エラー訂正の成否を通知するC R A M検査部と、

前記エラー発生通知を受けた時に、前記前値保持部にユーザ論理ブロックの前出力を保持する指示を送信し、前記C R A M検査部よりエラー訂正の成功の通知を受けた時に、前記前値保持部に前値保持を解除する指示を送信すると共に、エラーに該当するユーザ論理ブロックに論理リセット指示を送信するエラー対処部と、

を備えることを特徴とするプログラマブルデバイス。

【請求項2】

前記エラー対処部は、前記エラーチェック機構からエラー発生通知を受けた時に、前記前値保持部にユーザ論理ブロックの前出力を保持する指示を送信すると共に、エラー発生箇所のユーザ論理ブロックの構成情報を格納するC R A Mの領域をスキャン領域情報として、スキャン割込み信号を前記C R A M検査部へ送信することを特徴とする請求項1に記載

載のプログラマブルデバイス。

【請求項 3】

前記プログラマブルデバイスをシャットダウンさせるシャットダウン制御部を更に備え、前記エラー対処部は、前記 C R A M 検査部からエラー訂正不可通知を受けた場合には、シャットダウン指示を前記シャットダウン制御部へ送信することを特徴とする請求項 1 に記載のプログラマブルデバイス。

【請求項 4】

前記 C R A M 検査部は、C R A M を巡回検査、またはスキャン割込みの場合は C R A M 上のスキャン領域の検査を実行して、リードアドレスごとに読み出した C R A M データに対して、E C C チェック、および C R C チェックを実施して、C R C エラーが発生する場合は、正常な C R A M データで C R A M を上書きして C R A M 上のエラー訂正の成否を判定することを特徴とする請求項 1 に記載のプログラマブルデバイス。

10

【請求項 5】

前記前値保持部は、前記エラー対処部から通知されるユーザ論理ブロックの前出力を保持する指示を受けた時点から、前値保持を解除する指示を受けた時点までの間は、各制御周期の値取得タイミングごとに最終ユーザ論理ブロックの出力値を取込んで出力する動作を停止して、C R A M 上のエラー訂正の期間に、最終ユーザ論理ブロックからの出力値がプログラマブルデバイスの出力値となることを防ぐことを特徴とする請求項 1 に記載のプログラマブルデバイス。

【請求項 6】

前記 C R A M 検査部の C R A M 検査順序と検査回数を定める検査順序決定部を更に備え、前記検査順序決定部は、少なくとも

ユーザ論理ブロックごとの検査回数を定めた検査回数テーブルと、

ユーザ論理ブロックごとの構成情報(C R A M データ)が格納されている C R A M のアドレス範囲を定めた C R A M アドレス情報テーブルを有しており、

前記 C R A M 検査部は、次に検査すべき C R A M のアドレス範囲を前記検査順序決定部から取得して、取得した範囲内の全ての C R A M アドレスの C R A M データをリードして、エラー検出、およびエラー訂正を実施して、エラー訂正の成否を通知する処理を繰り返すことを特徴とする請求項 1 に記載のプログラマブルデバイス。

20

30

【請求項 7】

前記 C R A M 検査部、および前記エラー対処部は多重化構成され、それぞれの多重化回路同士の出力の不一致を監視する診断部エラー監視部を更に備え、

前記診断部エラー監視部は、出力不一致発生時にシャットダウン制御部にシャットダウン制御信号を出力することを特徴とする請求項 1 に記載のプログラマブルデバイス。

【請求項 8】

請求項 1、または請求項 5 に記載のプログラマブルデバイスにおいて、

前記前値保持部を、F l a s h型 F P G A で構成して、プログラマブルデバイスの外に配置したことを特徴とする制御コントローラ。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、プログラマブルデバイス及びこれを用いた制御コントローラの動作継続性を向上させる技術に関する。

【背景技術】

【0002】

プラント制御などのミッションクリティカルなアプリケーション向けの制御コントローラでは、安全規格へ準拠することを求められている。また、コストやセキュリティ、E O L ( E n d o f L i f e ) 対策などの観点から、制御コントローラへの F P G A ( F i e l d P r o g r a m m a b l e G a t e A r r a y ) の活用が行われている。

50

## 【 0 0 0 3 】

ユーザによって内部論理回路を定義・変更できるプログラマブルデバイスであるFPGAは、コンフィギュレーションメモリ（以下、CRAMと記す）を構成するデバイスにより、SRAM（Static Random Access Memory）型とFlashメモリ型があるが、それぞれには、性能とノイズ耐性のトレードオフがあり、要求性能により使い分けが行われている。ノイズ耐性が比較的低いSRAM型FPGAを活用する場合、CRAMのデータを順番に読み出し冗長コードでエラー検出訂正を行う、CRAM巡回検査が従来行われている。

## 【 0 0 0 4 】

背景技術としては、国際公開第2015/068285号（特許文献1）がある。特許文献1には、「コンフィギュレーションメモリ9を有するプログラマブルデバイス100において、コンフィギュレーションメモリの診断手段として、コンフィギュレーションメモリのデータをリード、ライトするリードライト部2と、コンフィギュレーションメモリのデータに対してエラーチェックを行う機能ブロック部7と、リードライト部と機能ブロック部に対し、コンフィギュレーションメモリ内の所定の領域のデータを所定の順序でエラーチェックを行うよう制御するシーケンサ部5と、を備える構成とする。これにより、コンフィギュレーションメモリ9のソフトエラー発生時の検出時間および訂正時間を短縮させる。」と記載されている。

10

## 【先行技術文献】

## 【特許文献】

20

## 【 0 0 0 5 】

【文献】国際公開第2015/068285号

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【 0 0 0 6 】

SRAM型FPGAは高性能かつ高機能であるが、宇宙線などの外部からのノイズ耐性が低くCRAM格納データの一時的な反転（ソフトエラー）が発生することが知られている。そのため、制御装置などにSRAM型FPGAを適用する場合、安全系などに用いられる多重化などのユーザ回路に対するエラーチェック機構に加え、CRAMの常時検査機構を搭載し、CRAMの正常性を常に確認する必要がある。しかし、エラーが発生してからエラー訂正までの時間を0にすることは原理的に不可能であるため、その間はCRAMにエラーが残存する。そのため、本機構を制御装置に適用した場合、制御装置が誤った値を出力するという課題がある。また、ユーザ回路にエラーチェック機構を搭載してあれば、CRAMで発生したソフトエラーを、CRAM巡回検査で検出する前にエラーチェック機構でエラーを検出して機能異常と判定し、装置停止となり、可用性（動作継続性）が低下するという課題がある。

30

## 【 0 0 0 7 】

また、特許文献1では、FPGA内のCRAMのうち、所定の領域を所定の順番でエラーチェックする機構について記載されている。この方法では、エラーチェック領域と順番を適切に設定することで、エラー検出までの時間を短縮できるが、原理的にエラー検出時間を0にすることは不可能であるため、前述の課題がある。

40

## 【 0 0 0 8 】

本発明の目的は、多重化などのユーザ回路に対するエラーチェック機構が検出したエラーにより、SRAM型FPGA及びこれを用いた制御コントローラがシャットダウンすることを抑制して、SRAM型FPGA及びこれを用いた制御コントローラの可用性（動作継続性）を向上させることである。

## 【課題を解決するための手段】

## 【 0 0 0 9 】

本発明のプログラマブルデバイスの好ましい例では、ユーザ論理を定義するCRAMデータをロードするCRAMを有するプログラマブルデバイスにおいて、多重化されたユー

50

ザ論理ブロックよりエラー検出して通知するエラーチェック機構と、最終ユーザ論理ブロックの出力端に接続して、制御周期ごとにユーザ論理ブロックの出力値を取込んで出力する前値保持部と、前記エラーチェック機構より受けたエラー発生通知によりスキャン割込みがかけられ、C R A M上のスキャン領域をリードして、エラー検出、およびエラー訂正を実施して、エラー訂正の成否を通知するC R A M検査部と、前記エラー発生通知を受けた時に、前記前値保持部にユーザ論理ブロックの前出力を保持する指示を送信し、前記C R A M検査部よりエラー訂正の成功の通知を受けた時に、前記前値保持部に前値保持を解除する指示を送信すると共に、エラーに該当するユーザ論理ブロックに論理リセット指示を送信するエラー対処部とを備えて構成する。

【0010】

また、本発明の他の特徴として、前記プログラマブルデバイスにおいて、前記C R A M検査部は、C R A Mを巡回検査、またはスキャン割込みの場合はC R A M上のスキャン領域の検査を実行して、リードアドレスごとに読み出したC R A Mデータに対して、E C Cチェック、およびC R Cチェックを実施して、C R Cエラーが発生する場合は、正常なC R A MデータでC R A Mを上書きしてC R A M上のエラー訂正の成否を判定する。

【0011】

また、本発明の他の特徴として、前記プログラマブルデバイスにおいて、前記前値保持部は、前記エラー対処部から通知されるユーザ論理ブロックの前出力を保持する指示を受けた時点から、前値保持を解除する指示を受けた時点までの間は、各制御周期の値取得タイミングごとに最終ユーザ論理ブロックの出力値を取込んで出力する動作を停止して、C R A M上のエラー訂正の期間に、最終ユーザ論理ブロックからの出力値がプログラマブルデバイスの出力値となることを防ぐ。

【発明の効果】

【0012】

本発明によれば、ソフトエラーにより機能異常が発生した場合であっても、プログラマブルデバイスが誤った値を出力することを防止し、かつ、停止することなく動作継続することを可能とし、可用性向上が可能となる。

【図面の簡単な説明】

【0013】

【図1】本発明の第1の実施形態に係るF P G A及びこれを用いた制御コントローラの構成図である。

【図2】C R A Mデータ正当性チェック動作を示すフローチャートである。

【図3】エラー対処部の動作を示すフローチャートである。

【図4】前値保持部7の機能について説明する図である。

【図5】本発明の第2の実施形態に係るF P G A及びこれを用いた制御コントローラの構成図である。

【図6】第2の実施形態のC R A Mデータ正当性チェック動作を示すフローチャートである。

【図7】検査回数テーブルとC R A Mアドレス範囲情報テーブルの構成例を示す図である。

【発明を実施するための形態】

【0014】

以下、実施例を、図面を用いて説明する。

【実施例1】

【0015】

図1は、実施例1のF P G A 1を搭載した制御コントローラ11の構成例である。F P G A 1は、論理回路情報を定義したC R A Mデータを格納した例えばフラッシュROMからなるC A Mデータ格納部12を外部に接続する。F P G A 1に電源が投入されると、C A Mデータ格納部12に格納されたC R A MデータがC R A Mアクセスインタフェース回路5を介してC R A M 2にダウンロードされ、F P G A 1はユーザ定義の論理回路が決定して動作を開始する。

10

20

30

40

50

## 【 0 0 1 6 】

F P G A 1 は、論理回路情報を記憶する領域を表す C R A M 2 と、ユーザロジックの制御のための演算を行うユーザ論理部 3 と、ユーザロジックのエラー診断部 4 と、ユーザロジックのシャットダウン制御部 1 0 と、C R A M アクセスインタフェース回路 5 とで構成される。

## 【 0 0 1 7 】

ユーザ論理部 3 は、制御コントローラ機能を実現するための 2 重化したユーザ論理ブロック ( 6 a ~ 6 c ) と、エラー診断部 4 から の指示により、ユーザ論理ブロックのうち最後段のユーザ論理ブロック ( 6 c ) の出力を保持する前値保持部 7 とから構成される。ユーザ論理部 3 は、入力データ 2 0 が入力されると、ユーザ論理ブロック ( 6 a ~ 6 c ) で演算を実行し、演算実行結果を前値保持部 7 で保持し、出力データ 2 1 を出力する。各ユーザ論理ブロックは 2 重化されており、両ユーザ論理ブロックの演算結果は比較器で比較されて、もし不一致の場合は、エラー診断部 4 の前値保持指示部へエラー発生通知 3 3 する。

10

## 【 0 0 1 8 】

エラー診断部 4 は、C R A M 巡回検査を行う C R A M 検査部 8 と、F P G A 内で発生したエラーがソフトエラー起因であるか、否かの判定に応じて、エラー対処の指示を発するエラー対処部 9 とで構成される。

## 【 0 0 1 9 】

C R A M 検査部 8 は、ユーザ論理部 3 の構成情報(論理回路情報)を格納する C R A M 2 に対して、データリードして、データ正当性をチェックする。C R A M 検査部 8 は、エラー対処部 9 から、スキャン領域情報を含むスキャン割込み信号 3 1 (例えば、ユーザ論理ブロック 2 ( 6 b ) の演算結果が不一致となった場合には、その旨の通知(エラー発生通知) 3 3 がエラー対処部 9 へ届き、エラー対処部 9 の割込みスキャン指示部が、ユーザ論理ブロック 2 の構成を定義している C R A M 2 に格納された C R A M データのアドレスをスキャン領域情報として、スキャン割込み信号 3 1 を発する。)が入力されると、常時実行している C R A M 巡回検査のデータ正当性チェックを中断し、入力されたスキャン領域情報で指定された領域の C R A M データの正当性をチェックする。チェックが完了したら、エラー訂正可否結果を含む正当性チェック結果 3 2 をエラー対処部 9 に通知する。

20

## 【 0 0 2 0 】

C R A M 検査部 8 で実行する、C R A M データの正当性チェックの手法の例として、E C C ( E r r o r C o r r e c t i o n C o d e ) と C R C ( C y c r i c R e d u n d a n c y C o d e ) を利用した方法を示す。E C C は、エラー検出能力は高くはないがエラー訂正が出来て、C R C は、エラー検出だけが出来るがエラー検出能力は高い両方法を組み合わせる。

30

## 【 0 0 2 1 】

C R A M 検査部 8 の C R A M データの正当性チェックの処理のフローチャートを図 2 に示す。

初めに、データ正当性をチェックする C R A M 2 に格納された C R A M データのリードアドレスを初期化する ( S 1 0 1 ) 。

40

リードアドレスに従い、C R A M データを読み出して、E C C を用いてエラーチェックを行い ( S 1 0 2 ) 、エラーが発生しているかを確認する ( S 1 0 3 ) 。

S 1 0 3 でエラー発生時には、エラー訂正を行う ( S 1 0 4 ) 。本手順でのエラー訂正は、用いる E C C により、1 b i t 訂正可能や 2 b i t 訂正可能など、性能に差がある。例えば、1 b i t 訂正可能な E C C を用いて 2 b i t エラーが発生しているデータに対して訂正を行った場合、正しく訂正されないか、エラーなしと誤って認識することがある。

S 1 0 4 でのエラー訂正が正しく行われたかを確認するために、C R A M データを再リードして C R C チェックを行い ( S 1 0 5 ) 、C R C エラーの有無を確認する ( S 1 0 6 ) 。

S 1 0 6 で C R C エラーが発生していない場合は、前記手順 S 1 0 4 でエラー訂正を行

50

ったか判定し ( S 1 0 7 )、訂正を行っていた場合はエラー訂正可通知をエラー対処部 9 に送信した ( S 1 0 8 ) 後、リードアドレスを更新し ( S 1 0 9 )、次の C R A M データのチェック ( S 1 0 2 ) に移行する。 S 1 0 9 のリードアドレスの更新処理は、 C R A M 巡回検査時であれば、次の C R A M のリードアドレスに更新する。また、スキャン割込み信号を受けて、スキャン領域情報を検査中であれば、スキャン領域情報内の次の C R A M のリードアドレスに更新する。もし、スキャン領域情報内の全てのリードアドレスの検査が終了した場合であれば、スキャン割込み信号を受信した時点で中断した C R A M 巡回検査のリードアドレスに更新する。

手順 S 1 0 6 で C R C エラーが発生していることが分かった場合、 C R A M データ格納部 1 2 から、リードアドレスに該当する C R A M データを読み出し、 C R A M データを上書き訂正する ( S 1 1 0 )。

10

手順 S 1 1 0 でエラーが訂正できたかを確認するために、 C R A M 2 から C R A M データを再リードして、 C R C チェックを行い ( S 1 1 1 )、 C R C エラーの有無を確認する ( S 1 1 2 )。

S 1 1 2 で C R C エラーが発生していない場合、 C R A M 2 の C R A M データのソフトエラーは訂正済と判定して、エラー訂正済通知 3 2 をエラー対処部 9 に送信 ( S 1 0 8 ) して、 S 1 0 9 のリードアドレスを更新する処理へ移行する。

S 1 1 2 で C R C エラーが発生していた場合、エラーの訂正が出来なかった、またはソフトエラー以外のエラー (ハードエラー等) が発生したと判定して、エラー訂正不可通知 3 2 をエラー対処部 9 に通知し ( S 1 1 3 )、動作を終了する。

20

#### 【 0 0 2 2 】

なお、エラー対処部 9 からスキャン割込み信号 3 1 が入力された場合、リードアドレス初期化手順 S 1 0 1 に戻り、スキャン領域情報で指定された領域の C R A M データアドレスをリードアドレスに設定し、手順 S 1 0 2 以降の動作を行う。手順 S 1 0 9 のリードアドレスの更新では、指定されたスキャン領域内のアドレスを設定する。

#### 【 0 0 2 3 】

以上の C R A M データの E C C 処理、及び C R C 処理を実行するために、 E C C , C R C 用冗長ビットを、例えば F P G A 1 内の S R A M (図示せず) に保持しておいて、 C A M データ格納部 1 2 から C R A M データがダウンロードされる際に両方の冗長ビットが付加されて、 C R A M 2 に記憶される。

30

または、 C A M データ格納部 1 2 の C R A M データに、予め E C C , C R C 用冗長ビットを付加しておくことも考えられる。

#### 【 0 0 2 4 】

エラー対処部 9 の動作のフローチャートを図 3 に示す。

ユーザ論理ブロック ( 6 a ~ 6 c ) からエラー発生通知 3 3 があるかを確認し ( S 2 0 1 )、エラー発生通知があった場合、前値保持部 7 に前値保持開始指示信号 3 4 を送信し ( S 2 0 2 )、 C R A M 検査部 8 にスキャン割込み信号を送信する ( S 2 0 3 )。その際、エラー発生通知を送信したユーザ論理ブロックの構成情報 (論理回路情報) が格納された C R A M 2 の領域をスキャン領域情報として同時に送信する。

C R A M 検査部 8 からエラー訂正済通知 3 2 または、エラー訂正不可通知 3 2 を受信するまで待機する ( S 2 0 4 )。

40

S 2 0 4 でエラー訂正不可通知 3 2 を受信した場合は、シャットダウン指示 3 6 をシャットダウン制御部 1 0 に送信し ( S 2 0 8 )、終了する。シャットダウン制御部 1 0 は、 F P G A 1 をシャットダウンする。

S 2 0 4 でエラー訂正済通知 3 2 を受信した場合は、リセットするユーザ論理ブロックを決定して ( S 2 0 5 )、論理リセット指示 3 5 を送信する ( S 2 0 6 )。リセットするユーザ論理ブロックの決定方法としては、例えば、エラーが発生したユーザ論理ブロックと、そのブロックに続くユーザ論理ブロックをリセット対象とする方法がある。例えば、制御回路は基本的に全て組合わせ回路で構成されていると仮定すると、ユーザ論理ブロック 2 ( 6 b ) でエラーが発生した場合、ユーザ論理ブロック 2 ( 6 b ) とユーザ論理プロ

50

ック3(6c)をリセット対象として論理リセット指示35を送信し、それらのユーザ論理ブロックの中に含まれている全てのFF(フリップフロップ)の値を初期値に戻す。

論理リセット指示後、一定時間経過後に前値保持部7に前値保持解除信号34を送信し(S207)、続いてS201へ移行して動作継続する。

#### 【0025】

図1の前値保持部7の機能について、図4において説明する。ユーザ論理ブロック3(6c)から出てくるデータは、D1, D2, D3と変わって出力される。前値保持部7は、通常は制御周期信号の値取得タイミング41の時に、ユーザ論理ブロック3(6c)の出力の値を受け取って、自身の出力とすることを制御周期ごとに繰り返す。

#### 【0026】

ユーザ論理ブロック(6a~6c)でエラー発生が起こり、エラー発生通知33に従い、エラー対処部9が前値保持開始指示信号34を送信すると、前値保持部7の前値保持の状態がオン42となり、その後、CRAM2に記憶されるCRAMデータのエラー訂正が成功後、エラー対処部9が前値保持解除信号34を送信して、前値保持部7の前値保持の状態がオフ43となるまで、前値保持部7は出力値を維持する。すなわち、前値保持の状態がオン42からオフ43の間に、制御周期信号が値取得タイミング41となっても、ユーザ論理ブロック3の出力値を受け取ることはせずに、前値D1の出力を維持する。

#### 【0027】

これは、CRAM2に記憶されるCRAMデータの該当領域のエラー訂正が終了して、ユーザ論理ブロック3(6c)の出力値が正常に戻るまでに、1制御周期の時間範囲に収まるであろうと想定されることによる。すなわち、ユーザ論理ブロック3(6c)の出力値D2は、CRAM2のCRAMデータのソフトエラーに起因して信用出来ない値と予想されるので、前値保持部7の出力とはせずに前値D1にて代用する方法である。

#### 【0028】

前値保持部7にエラーが発生すると、出力の前値保持が不可能となり、シャットダウンなどの対策が必要となり、制御コントローラの可用性が低下する可能性がある。しかし、前値保持部7の論理規模は、演算などの主機能(6a~6c)と比較して小さいため、主機能にソフトエラーが発生したことによるシャットダウンが可用性低下の支配的要因である。従って、本実施例の構成で可用性を向上させることができる。さらに可用性を向上させるためには、前値保持部7に高ノイズ耐性の部品、例えば、ディスクリット部品や、Flash型FPGAなどを用いる、という構成がある。すなわち、前値保持部7を図1のFPGA1内ではなくて、外に出して制御コントローラ11上に配置することも考えられる。

#### 【0029】

エラー診断部4にエラーが発生した場合、FPGA1の機能は維持できるが、ユーザ論理ブロック(6a~6c)にエラーが発生しても検出訂正することができなくなる。エラー診断部4のエラー訂正信頼性を向上させるためにエラー診断部4を多重化する方法が考えられる。多重化した各エラー診断部の出力の不一致を監視するエラー診断部のエラー監視部を設け、前記エラー監視部は、出力の不一致発生時にシャットダウン制御部10へシャットダウン制御信号を出力するようにすればよい。

#### 【0030】

また、エラー診断部4の正常性を診断するために、例えば、CRAM検査部8とエラー対処部9の動作の各ステップごとに、診断データを出力し、外部からチェックする方法などが考えられる。

#### 【0031】

本実施例のFPGA1によれば、多重化などのユーザ回路に対するエラーチェック機構が検出したエラーにより、制御コントローラがシャットダウンすることを抑制でき、制御コントローラの可用性を向上させることができる。

なお、本実施例のFPGA1は、制御コントローラとしての用途以外に使用しても、同様の効果が期待できる。

10

20

30

40

50

## 【実施例 2】

## 【0032】

図5は第二の実施例である。図1と同じ部分には同じ符号を付しており、構成、動作が同じであるので、説明を省略する。本実施例は、ユーザ論理ブロックに対して、優先度をつけてCRAM検査を実行する形態である。本実施例によるFPGA14は、図1のFPGA1の構成要素であるエラー診断部4に代えて、CRAM検査の検査順序を決定する検査順序決定部17と、検査順序決定部17で決定する検査順序に従い、CRAM検査を常時実行するCRAM検査部16を含むエラー診断部15を構成要素として持つ。

## 【0033】

図6に、CRAM検査部16の動作フローを示す。図2の動作フローと同じ部分には同じステップ番号を付しており、動作が同じであるので、説明を省略する。

10

CRAM検査部16は、CRAM検査動作(S102~S113)を始める前に検査順序決定部17から検査する領域情報を取得する(S114)。領域情報として、少なくとも、領域内に含まれるCRAMアドレス範囲が1つ以上含まれる。

CRAM検査部16は、取得した領域情報のCRAMアドレス範囲内のアドレスの1つをリードアドレスとして設定し(S115)、CRAM検査動作(S102~S113)を実行する。

CRAM検査動作を、エラー無し、または、エラー訂正済通知を送信して完了すると、S114で検査順序決定部17から取得した領域内の全てのCRAMアドレスのCRAMデータの検査が完了したか判定する(S116)。判定方法としては、例えば、S114で取得した領域情報に含まれるCRAMアドレス範囲に対して、候補となる全てのアドレス値をリスト化し、ステップS115でリードアドレスとして設定したら、対象アドレスをリストから削除していき、ステップS116でリストが空であれば領域内のすべてのCRAM検査が完了したと判定する、という方法がある。

20

ステップS116で領域内の全てのCRAMデータの検査が完了していなければ、S115へ移行して、再度リードアドレスを決定して(S115)、CRAM検査動作を繰り返す。

ステップS116で領域内の全てのCRAMデータの検査が完了していれば、S114へ移行して、検査順序決定部17から次の検査領域情報を取得して(S114)、リードアドレスを設定し(S115)、CRAM検査動作を繰り返す。

30

## 【0034】

検査順序決定部17は、CRAM検査部16から領域情報リクエストを受けると、内部に持つ、検査回数テーブルと、CRAMアドレス範囲情報テーブルを用いて領域情報を生成し、CRAM検査部16へ送信する。図7は、検査回数テーブル51と、CRAMアドレス範囲情報テーブル52の構成例である。

## 【0035】

検査回数テーブル51は、検査対象ブロックの名称(53)とそのブロックの検査回数(54)との対応を表すテーブルである。例えば図7の例では、ユーザ論理ブロック1を20回検査、ユーザ論理ブロック3を1回検査、ユーザ論理ブロック2を1回検査、という順番で検査することを示している。

40

## 【0036】

CRAMアドレス範囲情報テーブル52は、ブロックの名称(55)と、そのブロックを形成するCRAMの1つ以上のアドレス範囲(56)との対応を表すテーブルである。

## 【0037】

検査順序決定部17は、CRAM検査部16から領域情報リクエストを受けると、検査回数テーブル51を使って決定した検査対象ブロックに該当する、CRAMアドレス範囲情報テーブル52を使ってCRAMアドレス範囲56に変換し、CRAM検査部16へ送信する。

## 【0038】

本機能を設けることで、制御コントローラ18に搭載されたFPGA14内のユーザ論

50

理ブロックに対するC R A M検査頻度を自由に設定することができる。検査頻度の設定の考え方としては、例えば、F P G Aリソース不足などの理由により、2重化などのエラーチェック機構を設けることができずエラー耐性が低いユーザ論理ブロック（図5では6 d）は高頻度に、2重化などのエラーチェック機構を設けているユーザ論理ブロック（図5では6 b、6 c）は低頻度にC R A M検査を行うようにするなどの方法がある。

【0039】

その他の例としては、ユーザ論理ブロックを、シーケンサなどの制御機能と、演算などのデータ処理機能とに分割し、制御機能を実現するユーザ論理ブロックのC R A Mを高頻度に、データ処理機能を実現するユーザ論理ブロックのC R A Mを低頻度に検査する方法がある。

10

【0040】

本実施例によれば、ユーザ論理ブロック毎にC R A M検査頻度を自由に設定可能となり、エラーチェック機構を持たないユーザ論理ブロックが含まれる制御コントローラ18であっても可用性を向上させることができる。

なお、本実施例のF P G A 14は、制御コントローラとしての用途以外に使用しても、同様の効果が期待できる。

【符号の説明】

【0041】

1...F P G A、2...論理回路情報を記憶する領域を表すC R A M、3...ユーザ論理部、4...エラー診断部、5...C R A Mアクセスインタフェース回路、6 a、6 b、6 c、6 d...ユーザ論理ブロック、7...前値保持部、8...C R A M検査部、9...エラー対処部、10...シャットダウン制御部、11...制御コントローラ、12...C A Mデータ格納部、14...実施例2のF P G A、15...実施例2のエラー診断部、16...実施例2のC R A M検査部、17...検査順序決定部、18...実施例2の制御コントローラ、20...入力データ、21...出力データ、31...スキャン割込み信号、32...エラー訂正可否結果を含む正当性チェック結果、33...エラー発生通知、34...前値保持開始指示信号・前値保持解除信号、35...論理リセット指示、36...シャットダウン指示、41...制御周期信号の値取得タイミング、42...前値保持の状態がオン、43...前値保持の状態がオフ、51...検査回数テーブル、52...C R A Mアドレス範囲情報テーブル、53...検査対象ブロックの名称、54...検査回数、55...ブロックの名称、56...C R A Mアドレス範囲。

20

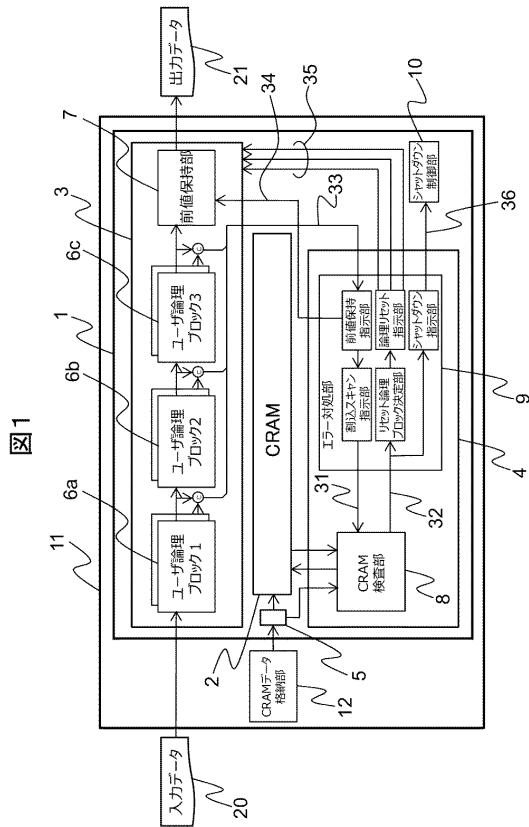
30

40

50

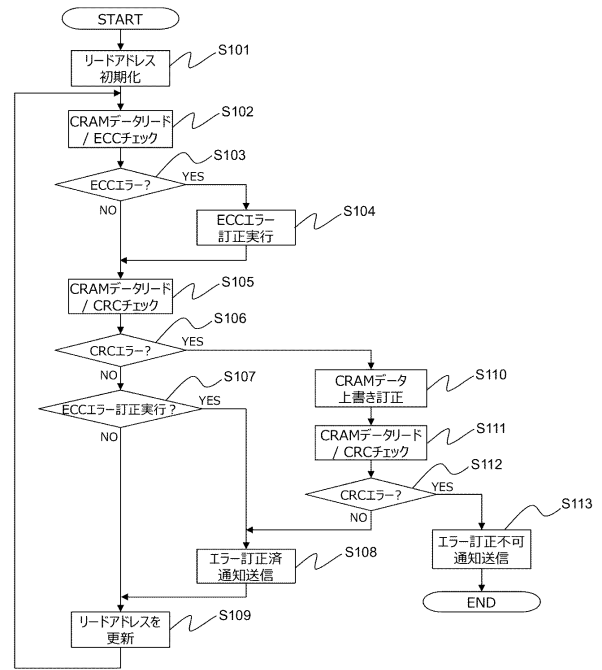
【図面】

【図 1】



【図 2】

図2

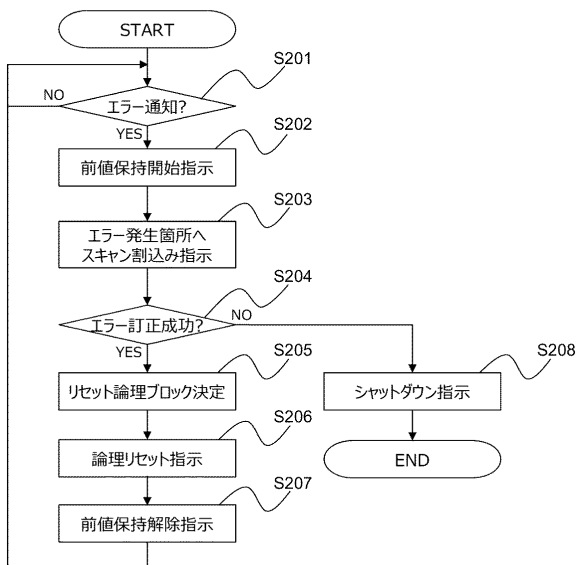


10

20

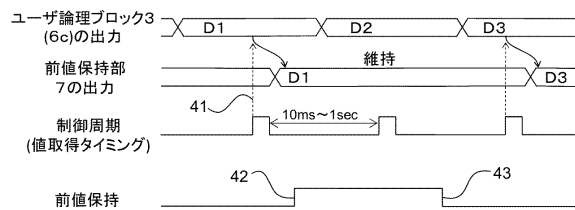
【図 3】

図3



【図 4】

図4

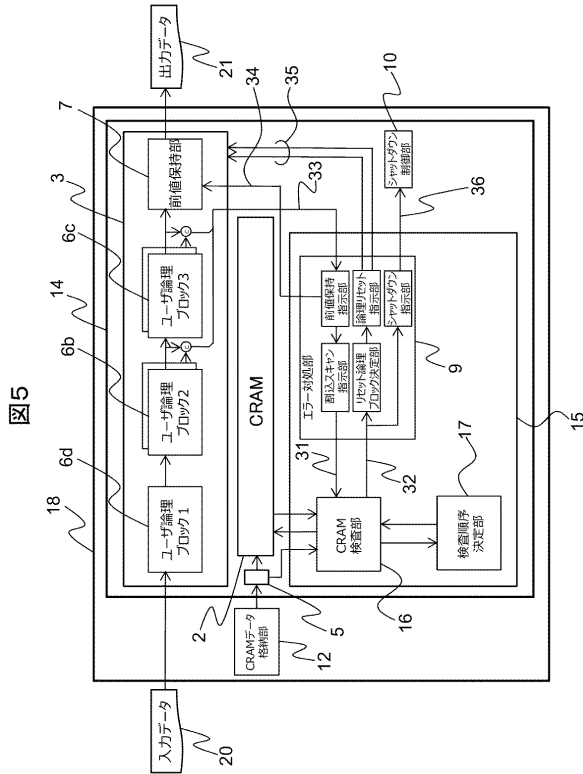


30

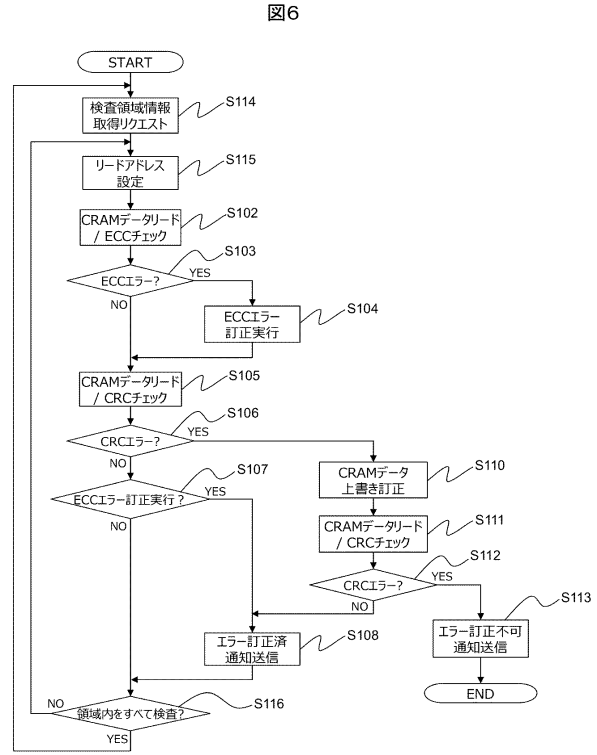
40

50

【図5】



【図6】



【図7】

図7

#	検査対象ブロック	検査回数
1	ユーザ論理ブロック1	20
2	ユーザ論理ブロック3	1
3	ユーザ論理ブロック2	1
⋮	⋮	⋮

#	ブロック名	CRAMアドレス範囲
1	ユーザ論理ブロック1	0x0000_0000~0x0001_0000
		0x0010_5000~0x0010_8000
		0x0020_5000~0x0020_8000
		0x0030_5000~0x0030_8000
2	ユーザ論理ブロック2	0x0F00_0000~0x0F00_1000
		0xA010_7000~0xA010_8000
		0xB010_5000~0xC010_8000
		0xF000_0000~0xF100_0000
3	ユーザ論理ブロック3	0x1F00_0000~0x1F00_1000
		0x2F00_0000~0x2F00_1000
⋮	⋮	⋮

10

20

30

40

50

## フロントページの続き

株式会社日立製作所内

(72)発明者 山本 圭輔

東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内

審査官 大古 健一

(56)参考文献 特開2018-181206(JP,A)

特開2015-115727(JP,A)

国際公開第2016/110968(WO,A1)

国際公開第2016/207933(WO,A1)

(58)調査した分野 (Int.Cl., DB名)

G05B 19/04 - 19/05