

(12) **Österreichische Patentanmeldung**

(21) Anmeldenummer: **A 9345/2006**  
**PCT/US2006/030944**

(51) Int. Cl.<sup>8</sup>: **H01L 21/336** (2006.01),  
**H01L 29/78** (2006.01)

(22) Anmeldetag: **04.08.2006**

(43) Veröffentlicht am: **15.07.2008**

(30) Priorität:

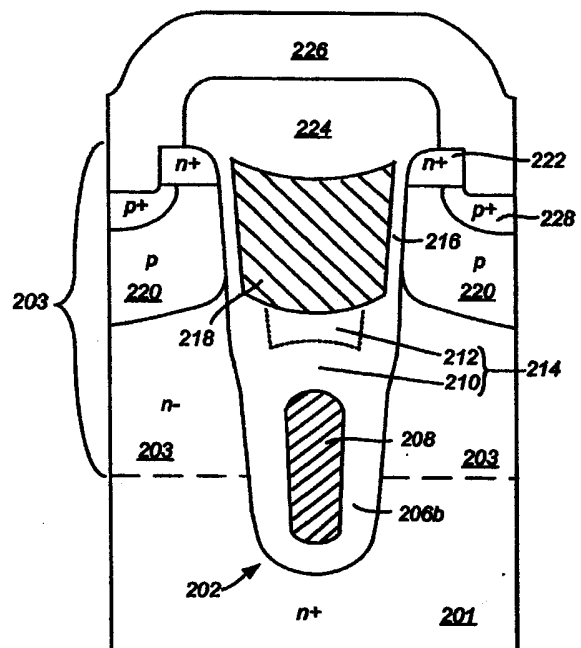
09.08.2005 US 201400 beansprucht.

(73) Patentinhaber:

FAIRCHILD SEMICONDUCTOR  
CORPORATION  
04106 SOUTH PORTLAND (US)

(54) **STRUKTUR UND VERFAHREN ZUM BILDEN EINES INTER-POLY-DIELEKTRIKUMS IN EINEM FELDEFFEKTTRANSISTOR MIT ABGESCHIRMTEM GATE**

(57) Ein Trench-FET mit abgeschirmtem Gate wird wie folgt gebildet. Es wird ein Graben in einem Siliziumbereich von einem ersten Leitfähigkeitstyp gebildet, wobei der Graben eine Abschirmelektrode umfasst, die gegenüber dem Siliziumbereich durch ein Abschirmdielektrikum isoliert ist. Es wird ein Inter-Poly-Dielektrikum (IPD), das eine Schicht aus thermischem Oxid und eine Schicht aus konformem Dielektrikum umfasst, entlang einer oberen O-berfläche der Abschirmelektrode gebildet. Es wird ein Gate-Dielektrikum gebildet, das zumindest obere Grabenseitenwände auskleidet. Es wird eine Gate-Elektrode in dem Graben gebildet, so dass die Gate-Elektrode gegenüber der Abschirmelektrode durch das IPD isoliert ist.



Zusammenfassung

Ein Trench-FET mit abgeschirmtem Gate wird wie folgt gebildet. Es wird ein Graben in einem Siliziumbereich von einem ersten Leitfähigkeitstyp gebildet, wobei der Graben eine Abschirmelektrode umfasst, die gegenüber dem Siliziumbereich durch ein Abschirmdielektrikum isoliert ist. Es wird ein Inter-Poly-Dielektrikum (IPD), das eine Schicht aus thermischem Oxid und eine Schicht aus konformem Dielektrikum umfasst, entlang einer oberen Oberfläche der Abschirmelektrode gebildet. Es wird ein Gate-Dielektrikum gebildet, das zumindest obere Grabenseitenwände auskleidet. Es wird eine Gate-Elektrode in dem Graben gebildet, so dass die Gate-Elektrode gegenüber der Abschirmelektrode durch das IPD isoliert ist.

## Struktur und Verfahren zum Bilden eines Inter-Poly-Dielektrikums in einem Feldeffekttransistor mit abgeschirmtem Gate

### HINTERGRUND DER ERFINDUNG

Die Erfindung betrifft im Allgemeinen Halbleiter-Leistungs-Feldeffekttransistoren (FET) und im Besonderen eine Struktur und ein Verfahren zum Bilden eines verbesserten Inter-Poly-Dielektrikums (IPD) in einem FET mit abgeschirmtem Gate.

Trench-FET mit abgeschirmtem Gate sind darin vorteilhaft, dass die Abschirmelektrode die Gate/Drain-Kapazität ( $C_{gd}$ ) verringert und die Durchbruchspannung des Transistors verbessert. Fig. 1 ist eine vereinfachte Querschnittsansicht eines herkömmlichen Trench-MOSFET mit abgeschirmtem Gate. Der Trench oder Graben 110 umfasst eine Abschirmelektrode 114 direkt unter einer Gate-Elektrode 122. Die Abschirmelektrode 114 ist gegenüber benachbarten Siliziumbereichen durch ein Abschirmdielektrikum 112 isoliert, das im Allgemeinen dicker ist als das Gate-Dielektrikum 120. Die Gate- und Abschirmelektroden sind voneinander durch eine Dielektrikumschicht 116 isoliert, die üblicherweise als Inter-Poly-Dielektrikum oder IPD bezeichnet wird. Die IPD-Schicht muss eine ausreichende Qualität und Dicke aufweisen, um die erforderliche Spannung zwischen den Gate- und Abschirmelektroden zu stützen.

Der herkömmliche FET mit abgeschirmtem Gate von Fig. 1 hat eine Anzahl Nachteile. Zunächst weist die Gate-Elektrode 122 scharfe Bodenecken auf, die zusammen mit der ebenen Oberseiten-Oberfläche der Abschirmelektrode 114 zu hohen elektrischen Feldern in diesen Bereichen führt. Zweitens führen herkömmliche Verfahren zum Bilden des IPD typischerweise eine Oxidschicht auf die Mesas zwischen den Gräben ein, die an irgendeinem Punkt nach dem Bilden der Gate-Elektrode entfernt werden muss. Beim Entfernen dieses Oxids tritt unvermeidlich ein gewisses Ätzen des Gate-Oxids die Grabenseitenwände hinunter auf, was zu Gate-Kurzschlüssen und Gate-

Leckagen führen kann. Andere bekannte Techniken binden die Bildung des IPD an die Bildung des Gate-Dielektrikums, und somit ist die IPD-Dicke auf ein festgelegtes Vielfaches der Gate-Dielektrikumdicke begrenzt. Dies erlaubt keine unabhängige Optimierung des Gate-Dielektrikums und des IPD. Die größte erreichte Dickendifferenz zwischen dem IPD und dem Gate-Dielektrikum hat etwa Drei zu Eins betragen (d.h. für eine gegebene Ziel-Gate-Dielektrikumdicke, war die größte IPD-Dicke, die erreicht worden ist, ungefähr dreifach größer als die der Ziel-Gate-Dielektrikumdicke).

Somit gibt es einen Bedarf für eine Struktur und ein Verfahren zum Bilden eines Trench-FET mit abgeschirmtem Gate und verbessertem IPD und verbessertem Gate-Dielektrikum.

#### KURZZUSAMMENFASSUNG DER ERFINDUNG

Gemäß einer Ausführungsform der Erfindung ist ein Verfahren zum Bilden eines FET wie folgt. Es wird ein Graben in einen Siliziumbereich von einem ersten Leitfähigkeitstyp gebildet. Der Graben umfasst eine Abschirmelektrode, die gegenüber dem Siliziumbereich durch ein Abschirmdielektrikum isoliert ist. Ein Inter-Poly-Dielektrikum (IPD), das eine Schicht aus thermischem Oxid und eine Schicht aus konformem Dielektrikum umfasst, wird entlang einer oberen Oberfläche der Abschirmelektrode gebildet. Es wird ein Gate-Dielektrikum gebildet, das zumindest obere Grabenseitenwände auskleidet. Es wird eine Gate-Elektrode in dem Graben gebildet. Die Gate-Elektrode ist gegenüber der Abschirmelektrode durch das IPD isoliert.

In einer Ausführungsform weist das IPD eine konkave obere Oberfläche auf.

In einer anderen Ausführungsform ist ein Verhältnis einer Dicke des IPD zu einer Dicke des Gate-Dielektrikums größer als Drei zu Eins.

In noch einer anderen Ausführungsform wird das Gate-Dielektrikum nach dem Bilden des IPD gebildet.

In einer anderen Ausführungsform wird das IPD wie folgt gebildet. Es wird

eine Schicht aus thermischem Oxid entlang oberen Seitenwänden des Grabens und entlang einer oberen Oberfläche der Abschirmelektrode gebildet. Der Graben wird mit einer konformen Schicht aus Dielektrikum gefüllt. Die konforme Schicht aus Dielektrikum und die Schicht aus thermischem Oxid werden teilweise entfernt, so dass das IPD gebildet wird, das einen verbleibenden Abschnitt der Schicht aus thermischem Dielektrikum und einen verbleibenden Abschnitt der konformen Schicht aus Dielektrikum umfasst.

Gemäß einer anderen Ausführungsform der Erfindung umfasst ein FET einen Graben, der sich in einen Siliziumbereich von einem ersten Leitfähigkeitstyp erstreckt. Eine Abschirmelektrode, die gegenüber dem Siliziumbereich durch ein Abschirmdielektrikum isoliert ist, erstreckt sich in einem unteren Abschnitt des Grabens. Eine Gate-Elektrode befindet sich in dem Graben über, jedoch isoliert gegenüber, der Abschirmelektrode durch ein InterPoly-Dielektrikum (IPD). Das IPD umfasst eine konforme Schicht aus Dielektrikum und eine Schicht aus thermischem Oxid.

In einer Ausführungsform ist die Gate-Elektrode gegenüber dem Siliziumbereich durch ein Gate-Dielektrikum isoliert, das sich entlang oberen Grabenseitenwänden erstreckt, und ein Verhältnis einer Dicke des IPD zu einer Dicke des Gate-Dielektrikums ist größer als Drei zu Eins.

In einer anderen Ausführungsform weist das IPD entlang seiner oberen Oberfläche ein konkaves Profil auf.

In noch einer anderen Ausführungsform weist die Gate-Elektrode entlang ihrer unteren Oberfläche ein konkaves Profil auf.

In einer anderen Ausführungsform ist die konforme Schicht aus Dielektrikum von dem thermischen Dielektrikum entlang ihrer unteren Oberfläche und ihren Seitenwänden umgeben.

In einer anderen Ausführungsform weist die konforme Schicht aus Dielektrikum eine konvexe untere Oberfläche und eine konkave obere Oberfläche auf.

In einer anderen Ausführungsform weist die Abschirmelektrode eine gerundete Oberseiten-Oberfläche auf.

In einer anderen Ausführungsform umfasst der Siliziumbereich eine Expitaxieschicht von dem ersten Leitfähigkeitstyp, die sich über einem Substrat von dem ersten Leitfähigkeitstyp erstreckt, Wannengebiete von einem zweiten Leitfähigkeitstyp in der Expitaxieschicht und Source-Bereiche von dem ersten Leitfähigkeitstyp in den Wannengebieten. Die Source-Bereiche flankieren den Graben.

In einer Ausführungsform erstreckt sich der Graben in die Expitaxieschicht und endet in dieser.

In einer anderen Ausführungsform erstreckt sich der Graben durch die Expitaxieschicht und endet in dem Substrat.

Die folgende ausführliche Beschreibung und die begleitenden Zeichnungen ermöglichen ein besseres Verständnis der Natur und der Vorteile der vorliegenden Erfindung.

#### KURZBESCHREIBUNG DER ZEICHNUNGEN

Fig. 1 ist eine vereinfachte Querschnittsansicht eines herkömmlichen Trench-MOSFET mit abgeschirmtem Gate; und

Fig. 2A - 2L sind vereinfachte Querschnittsansichten in verschiedenen Stadien einer beispielhaften Prozessfolge zum Bilden eines Trench-FET mit abgeschirmtem Gate mit verbessertem Inter-Poly-Dielektrikum und verbessertem Gate-Dielektrikum gemäß einer Ausführungsform der Erfindung.

#### AUSFÜHRLICHE BESCHREIBUNG DER ERFINDUNG

Gemäß der vorliegenden Erfindung wird eine IPD-Schicht eines FET mit abgeschirmtem Gate gebildet, indem eine thermische Oxidation durchgeführt

wird, dem eine Abscheidung einer konformen Schicht aus Dielektrikum folgt. Anschließend wird ein Gate-Dielektrikum gebildet, dem das Bilden der Gate-Elektrode folgt. Das Verfahren entkoppelt den Prozess zum Bilden der IPD-Schicht von dem zum Bilden des Gate-Dielektrikums, was es ermöglicht, dass jede dieser Dielektrikumschichten unabhängig optimiert werden kann. Somit kann ein dickes IPD mit hoher Qualität gebildet werden, um die erforderliche Spannung zwischen den Gate- und Abschirmelektroden zu stützen, ohne einen Kompromiss mit der Qualität oder Dicke des Gate-Dielektrikums eingehen zu müssen. Darüber hinaus hilft die konforme Schicht aus Dielektrikum, ein glattes konkaves Profil (d.h. wie die Innenseite einer Schale) entlang der Oberseiten-Oberfläche des IPD zu erhalten, was wiederum zu einem glatten Bodenprofil für die Gate-Elektrode führt. Dies hilft, das elektrische Feld im Vergleich mit der herkömmlichen FET-Struktur in Fig. 1, bei der die Gate-Elektrode scharfe untere Ecken aufweist, zu verringern.

Die Fig. 2A - 2L sind vereinfachte Querschnittsansichten in verschiedenen Stadien einer beispielhaften Prozessfolge zum Bilden eines Trench-FET mit abgeschirmtem Gate und verbessertem IPD und verbessertem Gate-Dielektrikum gemäß einer Ausführungsform der Erfindung. In Fig. 2A wird ein Graben 202 in einem Siliziumbereich 204 unter Verwendung herkömmlicher Maskierungs- und Siliziumätztechniken gebildet. In einer Ausführungsform umfasst der Siliziumbereich 204 eine relativ schwach dotierte, n-leitende Expitaxieschicht, die sich über einem hoch leitfähigen, n-leitenden Substrat erstreckt. In dieser Ausführungsform kann der Graben abhängig von den Konstruktionszielen derart geätzt werden, dass er in der Expitaxieschicht endet oder sich tiefer erstreckt, so dass er in dem Substrat endet. In Fig. 2B wird eine Abschirmdielektrikumschicht 206 (die z.B. Oxid umfasst), welche die Grabenseitenwände und den Grabenboden sowie die Oberfläche der Mesa-Bereiche benachbart zu dem Graben auskleidet, unter Verwendung bekannter Techniken gebildet. In einer Ausführungsform wird die Abschirmelektrode unter Verwendung von Hochtemperatur-Trockenoxidation (z.B. 1150°C) gebildet. Die hohe Temperatur hilft, die Grabenbodenecken auszurunden und etwa 1250 Å eines Abschirmoxids zu bilden, das ausreicht, um einem Vorrichtungsdurchbruch standzuhalten.

In Fig. 2C wird eine Polysiliziumschicht zum Füllen des Grabens unter Verwendung herkömmlicher Polysiliziumabscheidungstechniken abgeschieden. Das abgeschiedene Polysilizium wird anschließend in den Graben vertieft, um dadurch eine Abschirmelektrode 208 zu bilden. Die freigelegten Abschnitte der Abschirmdielektrikumschicht werden dann auf beispielsweise 650 Å abgedünnt. In einer Ausführungsform, bei der die Abschirmelektrode Oxid umfasst, wird ein nass gepuffertes Oxidätzen dazu verwendet, das Abschirmoxid abzdünnen. Der verbleibende freigelegte Abschnitt 206a des Abschirmdielektrikums hilft, ein übermäßiges Wachstum von Oxid entlang den Grabenseitenwänden und Mesa-Oberflächen in dem nachfolgenden thermischen Oxidationsschritt zu verhindern, und hilft, das Profil des Grabenhohlraums zu steuern. Ein übermäßiges Wachstum des thermischen Oxids kann zur Bildung von Leerräumen in dem nachfolgend abgeschiedenen, konformen Dielektrikum führen. In einer Ausführungsform können die freigelegten Abschnitte des Abschirmdielektrikums 206 vollständig entfernt werden, oder das gesamte Abschirmdielektrikum 206 kann alternativ intakt gelassen werden.

In Fig. 2D wird ein thermischer Oxidationsschritt ausgeführt, um eine Schicht 210 aus thermischem Oxid entlang den Grabenseitenwänden, über der Oberfläche der Mesa-Bereiche benachbart zu dem Graben und über der Abschirmelektrode 208 zu bilden. Die thermische Oxidation oxidiert vorteilhaft einen oberen Abschnitt der Abschirmelektrode 208, was zu einem Profil mit gerundeter Oberseite führt. Die gerundete Oberseite hilft, das elektrische Feld in den Bereichen zwischen der Abschirmelektrode 208 und der Gate-Elektrode, die später gebildet werden, zu minimieren. In einer Ausführungsform wird die Schicht 210 aus thermischem Oxid gebildet, indem eine Niedertemperatur-Nassoxidation durchgeführt wird, dem eine Hochtemperatur-Trockenoxidation folgt. In einer anderen Ausführungsform ergibt die thermische Oxidation eine Schicht 210 aus thermischem Oxid mit einer Dicke im Bereich von 1000-1500 Å. In nochmals einer anderen Ausführungsform wird eine thermische Oxidation bei niedriger Temperatur (z.B. etwa 850°C) ausgeführt, so dass eine dickere Schicht aus thermischem Oxid entlang der Oberseiten-Oberfläche der Abschirmelektrode als entlang den Grabenseitenwänden und über den Mesa-Oberflächen gebildet wird. In einer solchen Ausführungsform wäre ein Dickenverhältnis im Bereich von 1,5:1 bis 2:1 wün-

schenswert. In einer besonderen Ausführungsform ergibt die thermische Oxidation eine Schicht aus thermischem Oxid mit einer Dicke von etwa 1850 Å entlang der Oberseiten-Oberfläche der Abschirmelektrode und einer Dicke von etwa 1250 Å entlang den Grabenseitenwänden und den Mesa-Oberflächen.

In Fig. 2E wird eine konforme Schicht aus Dielektrikum 212 (die z.B. Oxid umfasst) abgeschieden, um den Graben zu füllen. In einer Ausführungsform wird die konforme Dielektrikumschicht 212 unter Verwendung eines Prozesses einer chemischen Abscheidung aus der Dampfphase bei Unterdruck (SACVD von sub-atmospheric chemical vapor deposition) und Tetraethylorthosilikat (TEOS)/Ozon bei einer Temperatur von etwa 510°C und einem Druck von etwa 480 Torr abgeschieden. Das abgeschiedene Oxid füllt den Graben vollständig ohne Leerraumbildung.

In Fig. 2F werden die konforme Dielektrikumschicht 212 und die Schicht 210 aus thermischem Oxid in den Graben bis zu der gewünschten Tiefe heruntergeätzt. Das gesamte Dielektrikum über den Mesa-Oberflächen und entlang oberen Grabenseitenwänden wird vollständig entfernt, und eine Inter-Poly-Dielektrikumschicht (IPD-Schicht) 214, die eine konkave Oberseiten-Oberfläche aufweist, verbleibt über der Abschirmelektrode 208. Die IPD-Schicht 214 umfasst somit einen Stapel aus einer Schicht aus thermischem Dielektrikum und einer konformen Dielektrikumschicht. In einer Ausführungsform wird ein gleichmäßiges Rückätzen des Dielektrikumstapels beim Vertiefen des Dielektrikumstapels in den Graben ausgeführt. Ein anisotropes Trockenplasmaätzen oder Nassätzen kann ausgeführt werden, um die gewünschte Dicke für das IPD zu erreichen und sicherzustellen, dass das Oxid entlang den Grabenseitenwänden und über dem Mesa vollständig entfernt wird. Ein herkömmlicher Verdichtungsschritt kann ebenfalls ausgeführt werden, um das SACVD-Oxid zu verdichten. In einer Ausführungsform werden ein Trockenätzen und ein anschließendes Verdichten ausgeführt, dem ein Nassätzen folgt.

In Fig. 2G wird eine Gate-Dielektrikumschicht 216 (z.B. aus Oxid), die sich entlang Grabenseitenwänden, über der IPD-Schicht und über den Mesa-Bereichen benachbart zu dem Graben erstreckt, unter Verwendung herkömmli-

cher Techniken gebildet. Da die IPD-Bildung vollständig von der Gate-Dielektrikumbildung entkoppelt ist, kann das Gate-Dielektrikum unabhängig optimiert werden, so dass es die gewünschten Eigenschaften aufweist. In Fig. 2H wird eine Polysiliziumschicht zum Füllen des Grabens unter Verwendung herkömmlicher Techniken abgeschieden und dann zurückgeätzt, um eine vertiefte Gate-Elektrode 218 in dem Graben 202 zu bilden.

In Fig. 2I wird der Abschnitt des Gate-Dielektrikums 216, der sich über dem Mesa erstreckt, bis zu einer Dicke zurückgeätzt, die zur Body-Implantation und Source-Implantation geeignet ist. Ein herkömmlicher Deckschicht-Body-Implantations- und -Eintreibeprozess wird durchgeführt, um p-leitende Body-Bereiche 220 entlang einem oberen Abschnitt des Siliziumbereichs 204 zu bilden. Anschließend wird eine herkömmliche Source-Implantation zusammen mit einer Maskierungsschicht (nicht gezeigt) dazu verwendet, Source-Bereiche 222, die den Graben 202 flankieren, zu bilden. In Fig. 2J wird eine Vor-Metall-Dielektrikumschicht (pre-metal dielectric layer) 224 (die z.B. BPSG umfasst) über der Struktur unter Verwendung herkömmlicher Techniken gebildet. In Fig. 2K wird die Dielektrikumschicht 224 unter Verwendung einer Maskierungsschicht (nicht gezeigt) teilweise entfernt, um Oberflächen von Body-Bereichen 220 und Source-Bereichen 222, wie sie durch die Maskierungsschicht definiert sind, freizulegen. Ein herkömmliches Siliziumätzen (z.B. Trockenätzen) wird anschließend ausgeführt, um die freigelegten Oberflächenbereiche zu vertiefen. Die vertieften Siliziumbereiche bilden somit Kontaktöffnungen 226.

In Fig. 2L wird eine Deckschicht-Heavy-Body-Implantation ausgeführt, um selbstjustierte, p-leitende Heavy-Body-Bereiche 228 in den Body-Bereichen 220 zu bilden. Daraufhin wird ein Reflow eines Dielektrikums 224 ausgeführt, um ein besseres Querschnittsverhältnis für die Kontaktöffnungen und eine bessere Stufenabdeckung für eine Metallschicht 226, die in einem nachfolgenden Schritt zum elektrischen Kontaktieren der Heavy-Body-Bereiche 228 und Source-Bereiche 222 gebildet wird, zu erhalten. In Fig. 2L ist eine sich horizontal erstreckende, gestrichelte Linie enthalten, um die Ausführungsform darzustellen, bei der sich eine Expitaxieschicht 203 über einem Substrat 201 erstreckt, und ein Graben 202 sich durch die Expi-

taxieschicht 203 erstreckt und in dem Substrat 201 endet. Alternativ kann der Graben 202 in der Expitaxieschicht 203 enden. Die durch Querschnittsansichten in den Fig. 2A - 2L gezeigte Prozessfolge ist lediglich beispielhaft, und die verschiedenen Schritte können abgewandelt oder in einer anderen Abfolge als die gezeigte, ausgeführt werden. Im Besonderen kann irgendeiner von einer Anzahl von bekannten Prozessschritten statt jenen, die durch die Fig. 2I - 2L dargestellt sind, ausgeführt werden, um eine Struktur mit abgeschirmtem Gate mit den gewünschten Merkmalen und Eigenschaften zu erhalten.

Gemäß der Struktur und dem Verfahren der vorliegenden Erfindung wird eine verbesserte IPD-Schicht erhalten, die Filmstapel aus thermisch aufgewachsenem Dielektrikum und konformem abgeschiedenem Dielektrikum umfasst. Das thermisch aufgewachsene Dielektrikum stellt ein Dielektrikum mit hoher Qualität bereit und dient dazu, die Oberseiten-Ecken der Abschirmelektrode abzurunden. Das konforme abgeschiedene Dielektrikum (1) füllt die Spalten an der oberen Seite der Abschirmelektrode, (2) dient als Hartmaske, um das thermische Dielektrikum über der Abschirmelektrode zu schützen, während das Dielektrikum entlang den Grabenseitenwänden geätzt wird, und (3) schafft ein glattes konkaves Profil, über welchem die Gate-Elektrode gebildet wird. Das gerundete Profil entlang der Oberseiten-Oberfläche der Abschirmelektrode und dem Boden der Gate-Elektrode führt zu niedrigeren elektrischen Feldern in diesen örtlich festgelegten Bereichen.

Ferner dient das erfindungsgemäße Verfahren zum Bilden des IPD dazu, die Bildung des IPD von der des Gate-Oxids zu entkoppeln, so dass das IPD und das Gate-Dielektrikum unabhängig optimiert werden können, um beispielsweise ein dickes IPD mit hoher Qualität und ein dünnes Gate-Dielektrikum mit hoher Qualität zu erhalten. In einer Ausführungsform werden optimale Transistoreigenschaften erhalten, indem ein Verhältnis einer IPD-Dicke zu einer Gate-Dielektrikumdicke von mehr als etwa Fünf zu Eins verwendet wird. Beispielsweise ist herausgefunden worden, dass eine IPD-Dicke von mehr als etwa 2000 Å und eine Gate-Dielektrikumdicke von weniger als 400 Å optimale Transistoreigenschaften bereitstellen. Die Fähigkeit, ein dünnes Gate-Dielektrikum zu bilden, kann vorteilhaft verwendet werden, um einen nied-

rigeren Ein-Widerstand zu erreichen.

Die verschiedenen Strukturen und Verfahren der vorliegenden Erfindung können mit einer oder mehreren einer Anzahl von Ladungsausbreitungstechniken sowie anderen Strukturen und Herstellungsprozessen mit abgeschirmtem Gate kombiniert werden, wie sie in der gemeinschaftlich übertragenen Anmeldung Nr. 11/026,276, die am 29. Dezember 2004 eingereicht wurde und deren Offenbarungsgehalt hierin durch Bezugnahme vollständig miteingeschlossen ist, offenbart sind, um einen noch niedrigeren Ein-Widerstand, eine höhere Sperrfähigkeit und einen höheren Wirkungsgrad neben anderen Vorteilen und Merkmalen zu erreichen.

Obwohl oben eine Anzahl von spezifischen Ausführungsformen gezeigt und beschrieben wurde, sind Ausführungsformen der Erfindung nicht darauf beschränkt. Beispielsweise ist zu verstehen, dass die Dotierungspolaritäten der gezeigten und beschriebenen Strukturen umgekehrt werden könnten, und/oder die Dotierungskonzentrationen der verschiedenen Elemente abgeändert werden könnten, ohne von der Erfindung abzuweichen. Die durch die Fig. 2A - 2L gezeigte Prozessfolge ist zum Bilden eines n-Kanal-FET, jedoch wäre das Abwandeln dieser Prozessfolge zum Bilden eines p-Kanal-FET dem Fachmann in Anbetracht dieser Offenbarung deutlich. Obgleich die verschiedenen oben beschriebenen Ausführungsformen in herkömmlichem Silizium implementiert sind, können diese Ausführungsformen und deren offensichtliche Varianten auch in Siliziumcarbid, Galliumarsenid, Galliumnitrid, Diamant oder anderen Halbleitermaterialien implementiert werden. Darüber hinaus müssen die Querschnittsansichten der unterschiedlichen Ausführungsformen nicht maßstäblich sein und sollen daher nicht die möglichen Varianten im Layout-Entwurf der entsprechenden Strukturen beschränken. Der gezeigte FET und seine offensichtlichen Varianten können auch in einer streifenförmigen oder zellulären Architektur, die hexagonale oder quadratische Transistorzellen einschließt, gebildet sein. Darüber hinaus können die Merkmale von einer oder mehreren Ausführungsformen der Erfindung mit einem oder mehreren Merkmalen von anderen Ausführungsformen der Erfindung kombiniert werden, ohne vom Umfang der Erfindung abzuweichen. Somit sollte der Umfang dieser Erfindung nicht auf die beschriebenen Ausführungsformen begrenzt

sein, sondern soll stattdessen durch die folgenden Ansprüche definiert sein.

Patentansprüche

1. Verfahren zum Bilden eines Feldeffekttransistors, umfassend:

Bilden eines Grabens in einem Siliziumbereich von einem ersten Leitfähigkeitstyp, wobei der Graben eine Abschirmelektrode aufweist, die gegenüber dem Siliziumbereich durch ein Abschirmdielektrikum isoliert ist;

Bilden eines Inter-Poly-Dielektrikums (IPD), das eine Schicht aus thermischem Oxid und eine Schicht aus konformem Dielektrikum entlang einer oberen Oberfläche der Abschirmelektrode umfasst;

Bilden eines Gate-Dielektrikums, das zumindest obere Grabenseitenwände auskleidet; und

Bilden einer Gate-Elektrode in dem Graben, wobei die Gate-Elektrode gegenüber der Abschirmelektrode durch das IPD isoliert ist.

2. Verfahren nach Anspruch 1, wobei das IPD eine konkave obere Oberfläche aufweist.

3. Verfahren nach Anspruch 1, wobei ein Verhältnis einer Dicke des IPD zu einer Dicke des Gate-Dielektrikums größer als Drei zu Eins ist.

4. Verfahren nach Anspruch 1, wobei das Gate-Dielektrikum nach dem Bilden des IPD gebildet wird.

5. Verfahren nach Anspruch 1, wobei der Schritt des Bildens eines IPD umfasst:

Bilden einer Schicht aus thermischem Oxid entlang oberen Seitenwänden des Grabens und entlang einer oberen Oberfläche der Abschirmelektrode;

Füllen des Grabens mit einer konformen Schicht aus Dielektrikum; und teilweises Entfernen der konformen Schicht aus Dielektrikum und der Schicht aus thermischem Oxid, so dass das IPD gebildet wird, das einen verbleibenden Abschnitt der Schicht aus thermischem Dielektrikum und einen verbleibenden Abschnitt der konformen Schicht aus Dielektrikum umfasst.

6. Verfahren nach Anspruch 5, wobei der Schritt des Bildens einer Schicht aus thermischem Oxid ein thermisches Oxidieren von Silizium umfasst, so

dass eine dickere Schicht aus thermischem Oxid entlang der oberen Oberfläche des Abschirmdielektrikums als entlang den Grabenseitenwänden gebildet wird.

7. Verfahren nach Anspruch 5, wobei der Schritt des teilweisen Entfernens jedes Dielektrikum entlang Siliziumoberflächen benachbart zu dem Graben und entlang oberen Grabenseitenwänden entfernt.

8. Verfahren nach Anspruch 5, wobei der Füllschritt ein Abscheiden einer konformen Schicht aus Oxid zum Füllen des Grabens umfasst.

9. Verfahren nach Anspruch 5, wobei der Schritt des teilweisen Entfernens ein gleichmäßiges Rückätzen der konformen Schicht aus Dielektrikum und der Schicht aus thermischem Oxid bis zu einer gewünschten Tiefe in dem Graben umfasst, so dass die verbleibende Schicht aus konformem Dielektrikum von der verbleibenden Schicht aus thermischem Oxid entlang einer unteren Oberfläche und Seitenwänden der verbleibenden Schicht aus konformem Dielektrikum umgeben ist.

10. Verfahren nach Anspruch 1, wobei der Schritt des Bildens eines Grabens umfasst:

Bilden eines Abschirmdielektrikums, das die Grabenseitenwände und den Grabenboden auskleidet;

Bilden einer Abschirmelektrode, die in dem Graben vertieft wird; und teilweises Entfernen der freigelegten Abschnitte des Abschirmdielektrikums, so dass eine dünne Schicht des Abschirmdielektrikums zumindest entlang oberen Grabenseitenwänden verbleibt.

11. Verfahren nach Anspruch 1, ferner umfassend:

Bilden eines Wannenbereiches von einem zweiten Leitfähigkeitstyp in dem Siliziumbereich; und

Bilden von Source-Bereichen in dem Wannenbereich, so dass die Source-Bereiche den Graben flankieren.

12. Verfahren nach Anspruch 11, ferner umfassend:

Bilden einer Schicht aus Vor-Metall-Dielektrikum (pre-metal dielectric), die sich über der Gate-Elektrode, den Source-Bereichen und dem Wannenbereich erstreckt;

Entfernen vordefinierter Abschnitte der Vor-Metall-Dielektrikumschicht, um entsprechende Oberflächen des Wannenbereichs freizulegen;

Vertiefen des Wannenbereichs entlang den freigelegten Oberflächen, so dass Seitenwände von Source-Bereichen freigelegt werden; und

Bilden einer Metallschicht, um den Wannenbereich und die freigelegten Seitenwände der Source-Bereiche elektrisch zu kontaktieren.

13. Feldeffekttransistor (FET), umfassend:

einen Graben, der sich in einen Siliziumbereich von einem ersten Leitfähigkeitstyp erstreckt;

eine Abschirmelektrode in einem unteren Abschnitt des Grabens, wobei die Abschirmelektrode gegenüber dem Siliziumbereich durch ein Abschirmdielektrikum isoliert ist; und

eine Gate-Elektrode in dem Graben, jedoch gegenüber der Abschirmelektrode durch ein Inter-Poly-Dielektrikum (IPD) isoliert, wobei das IPD eine konforme Schicht aus Dielektrikum und eine Schicht aus thermischem Oxid umfasst.

14. FET nach Anspruch 13, wobei die Gate-Elektrode gegenüber dem Siliziumbereich durch ein Gate-Dielektrikum isoliert ist, das sich entlang oberen Grabenseitenwänden erstreckt, und ein Verhältnis einer Dicke des IPD zu einer Dicke des Gate-Dielektrikums größer als Drei zu Eins ist.

15. FET nach Anspruch 13, wobei das IPD entlang seiner oberen Oberfläche ein konkaves Profil aufweist.

16. FET nach Anspruch 13, wobei die Gate-Elektrode entlang ihrer unteren Oberfläche ein konkaves Profil aufweist.

17. FET nach Anspruch 13, wobei die konforme Schicht aus Dielektrikum von einem thermischen Dielektrikum entlang ihrer unteren Oberfläche und ihren Seitenwänden umgeben ist.

18. FET nach Anspruch 13, wobei die konforme Schicht aus Dielektrikum eine konvexe untere Oberfläche und eine konkav obere Oberfläche aufweist.

19. FET nach Anspruch 13, wobei die Abschirmelektrode eine gerundete Oberseiten-Oberfläche aufweist.

20. FET nach Anspruch 13, wobei der Siliziumbereich umfasst:  
eine Expitaxieschicht von dem ersten Leitfähigkeitstyp, die sich über einem Substrat von dem ersten Leitfähigkeitstyp erstreckt;  
Wannenbereiche von einem zweiten Leitfähigkeitstyp in der Expitaxieschicht; und  
Source-Bereiche von dem ersten Leitfähigkeitstyp in den Wannenbereichen, wobei die Source-Bereiche den Graben flankieren.

21. FET nach Anspruch 20, wobei sich der Graben in die Expitaxieschicht erstreckt und in dieser endet.

22. FET nach Anspruch 20, wobei sich der Graben durch die Expitaxieschicht erstreckt und in dem Substrat endet.

23. Feldeffekttransistor (FET), umfassend:  
einen Graben, der sich in einen Siliziumbereich von einem ersten Leitfähigkeitstyp erstreckt;  
eine Abschirmelektrode in einem unteren Abschnitt des Grabens, wobei die Abschirmelektrode gegenüber dem Siliziumbereich durch ein Abschirmdielektrikum isoliert ist; und  
eine Gate-Elektrode in dem Graben, jedoch gegenüber der Abschirmelektrode durch ein Inter-Poly-Dielektrikum (IPD) isoliert, das entlang seiner oberen Oberfläche ein konkaves Profil aufweist.

24. FET nach Anspruch 23, wobei die Abschirmelektrode eine gerundete Oberseiten-Oberfläche aufweist.

25. FET nach Anspruch 23, wobei der Siliziumbereich umfasst:

eine Expitaxieschicht von dem ersten Leitfähigkeitstyp, die sich über einem Substrat von dem ersten Leitfähigkeitstyp erstreckt;

Wannenbereiche von einem zweiten Leitfähigkeitstyp in der Expitaxieschicht; und

Source-Bereiche von dem ersten Leitfähigkeitstyp in den Wannenbereichen, wobei die Source-Bereiche den Graben flankieren.

26. FET nach Anspruch 25, wobei sich der Graben in die Expitaxieschicht erstreckt und in dieser endet.

27. FET nach Anspruch 25, wobei sich der Graben durch die Expitaxieschicht erstreckt und in dem Substrat endet.

28. Feldeffekttransistor (FET), umfassend:

einen Graben, der sich in einen Siliziumbereich von einem ersten Leitfähigkeitstyp erstreckt;

eine Abschirmelektrode in einem unteren Abschnitt des Grabens, wobei die Abschirmelektrode gegenüber dem Siliziumbereich durch ein Abschirmdielektrikum isoliert ist; und

eine Gate-Elektrode in dem Graben, jedoch gegenüber der Abschirmelektrode durch ein Inter-Poly-Dielektrikum (IPD) isoliert, wobei das IPD eine konforme Schicht aus Dielektrikum umfasst, die entlang ihrer unteren Oberfläche ein konvexes Profil und entlang ihrer oberen Oberfläche ein konkaves Profil aufweist.

29. FET nach Anspruch 28, wobei die Gate-Elektrode entlang ihrer unteren Oberfläche ein konkaves Profil aufweist.

30. FET nach Anspruch 28, wobei das IPD darüber hinaus ein thermisches Dielektrikum umfasst, das die konforme Schicht aus Dielektrikum entlang ihrer unteren Oberfläche und ihren Seitenwänden umgibt.

31. FET nach Anspruch 28, wobei der Siliziumbereich umfasst:

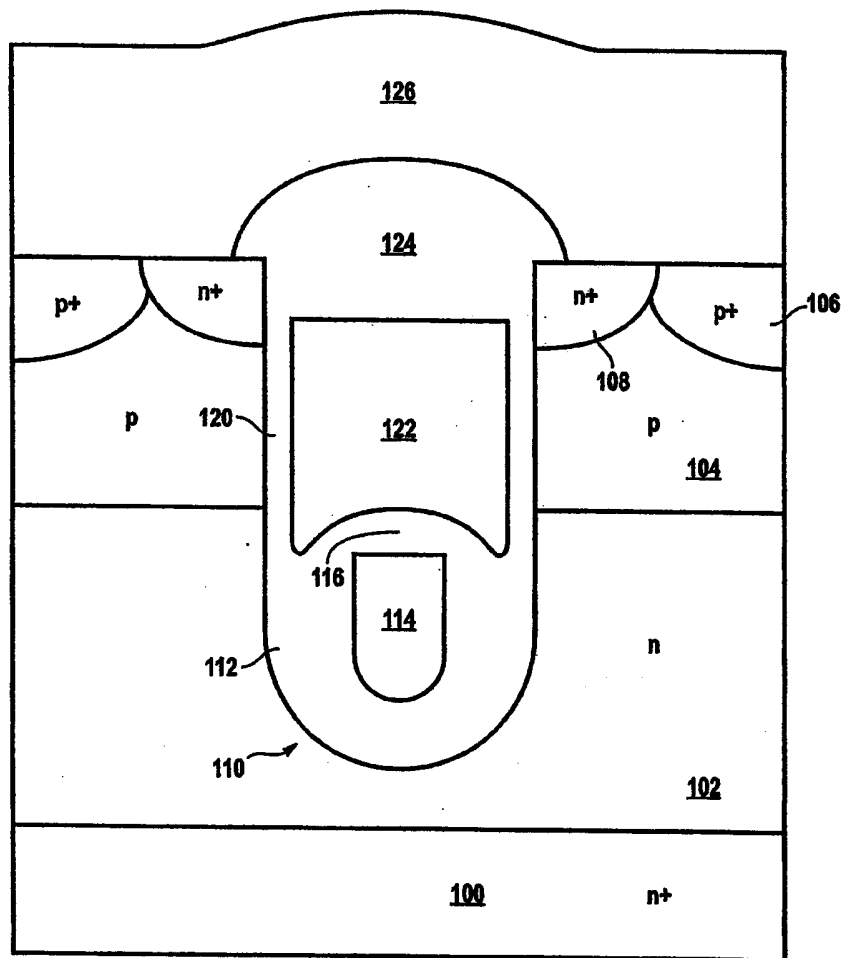
eine Expitaxieschicht von dem ersten Leitfähigkeitstyp, die sich über einem Substrat von dem ersten Leitfähigkeitstyp erstreckt;

Wannenbereiche von einem zweiten Leitfähigkeitstyp in der Expitaxieschicht; und

Source-Bereiche von dem ersten Leitfähigkeitstyp in den Wannenbereichen, wobei die Source-Bereiche den Graben flankieren.

32. FET nach Anspruch 31, wobei sich der Graben in die Expitaxieschicht erstreckt und in dieser endet.

33. FET nach Anspruch 31, wobei sich der Graben durch die Expitaxieschicht erstreckt und in dem Substrat endet.



**FIG. 1**  
(STAND DER TECHNIK)

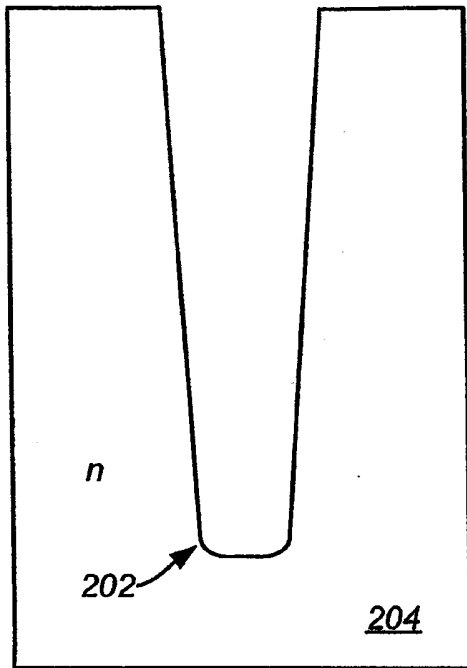


FIG. 2A

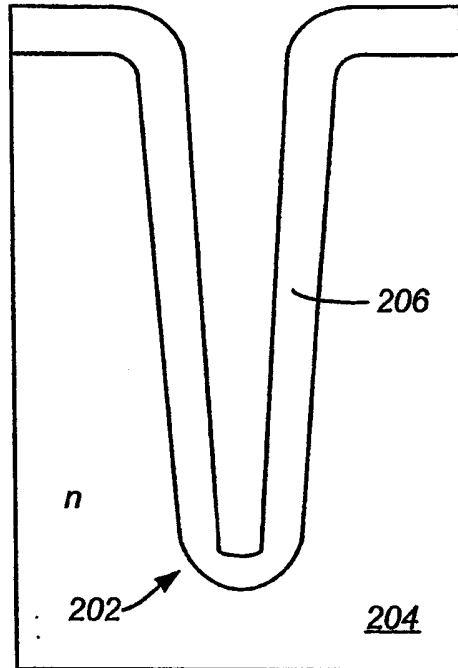


FIG. 2B

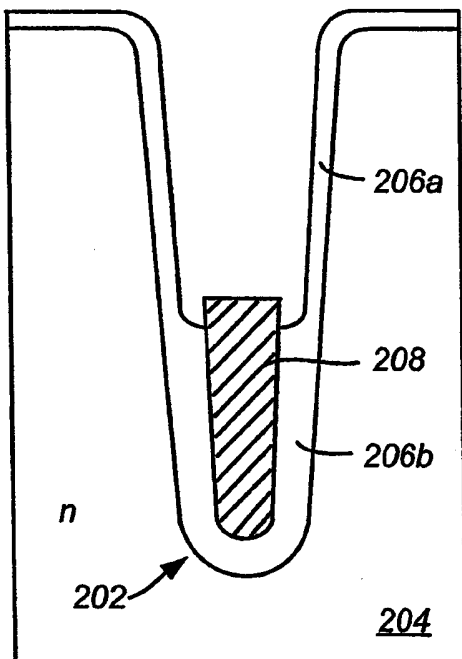


FIG. 2C

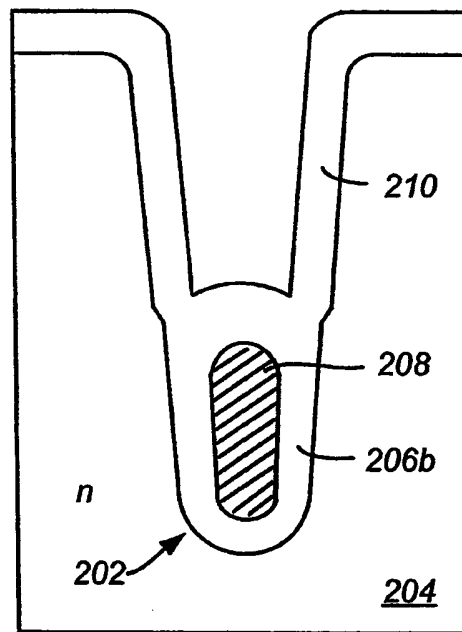


FIG. 2D

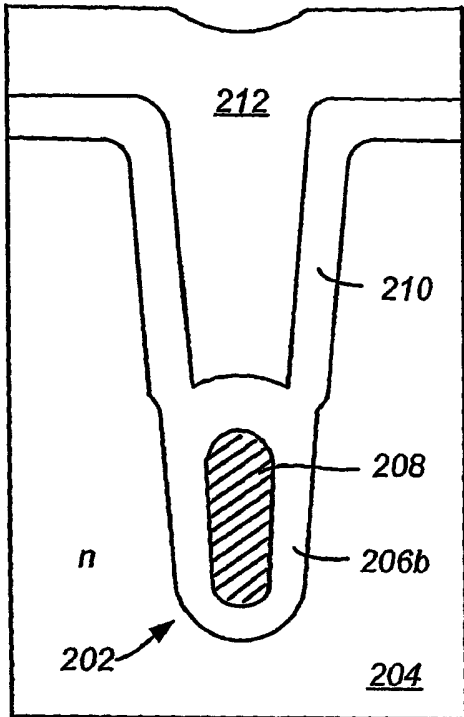


FIG. 2E

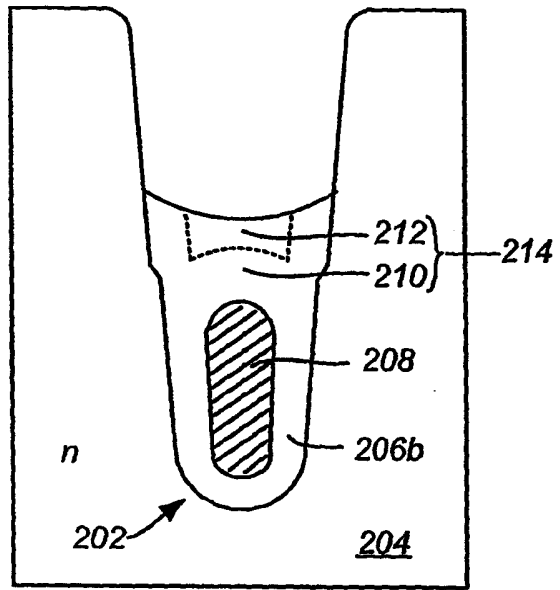


FIG. 2F

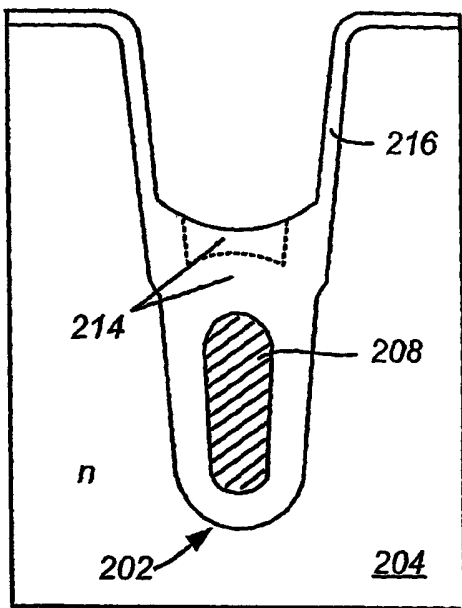


FIG. 2G

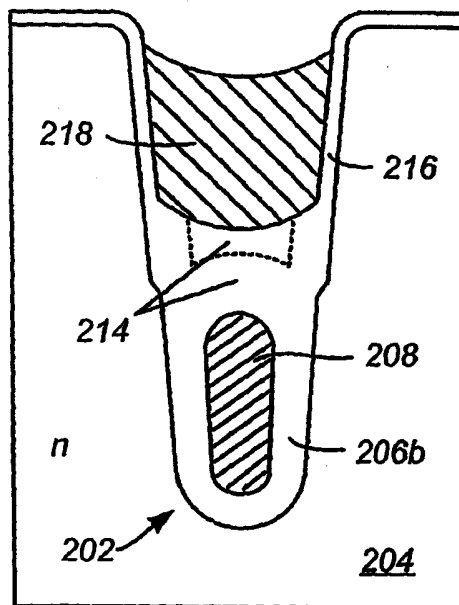


FIG. 2H

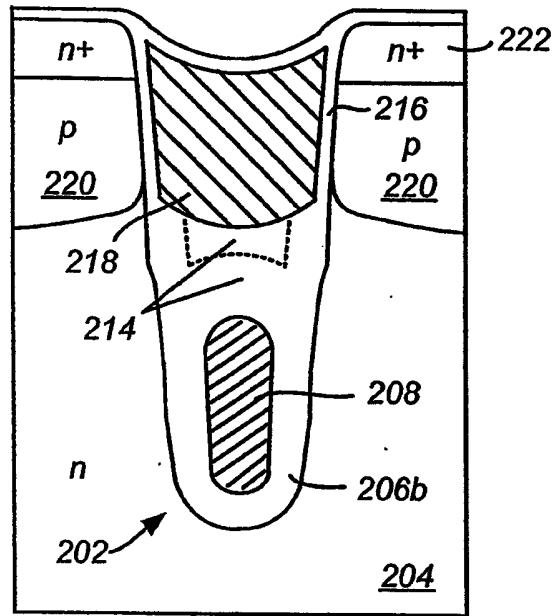


FIG. 2I

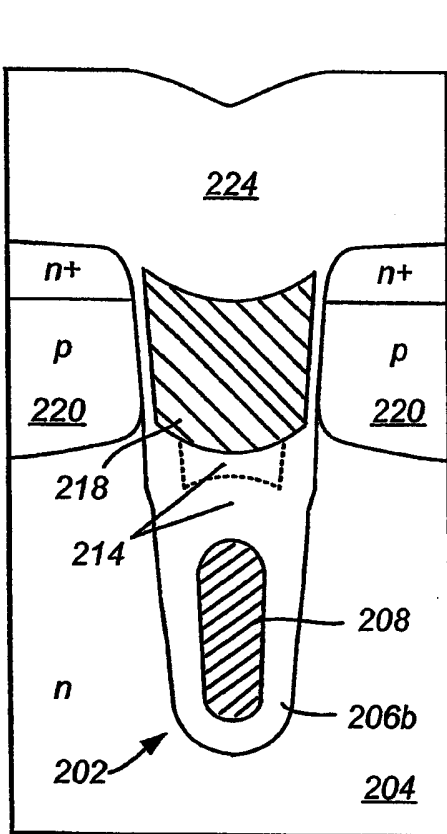


FIG. 2J

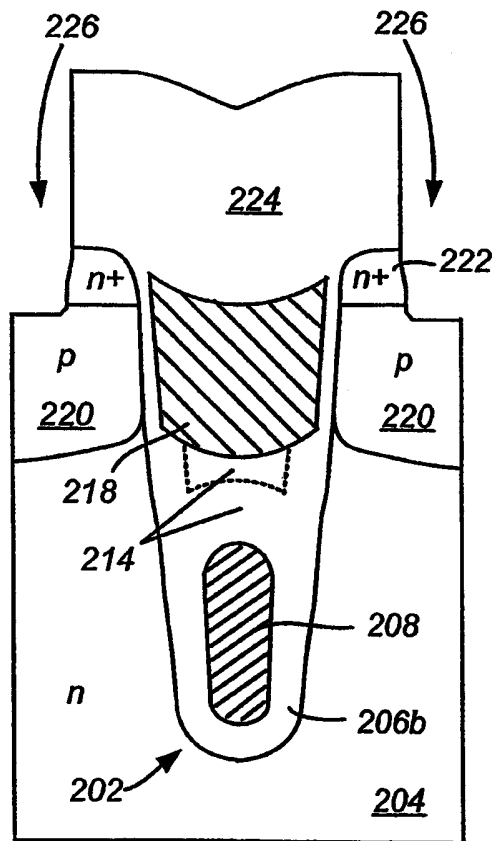


FIG. 2K

5/5

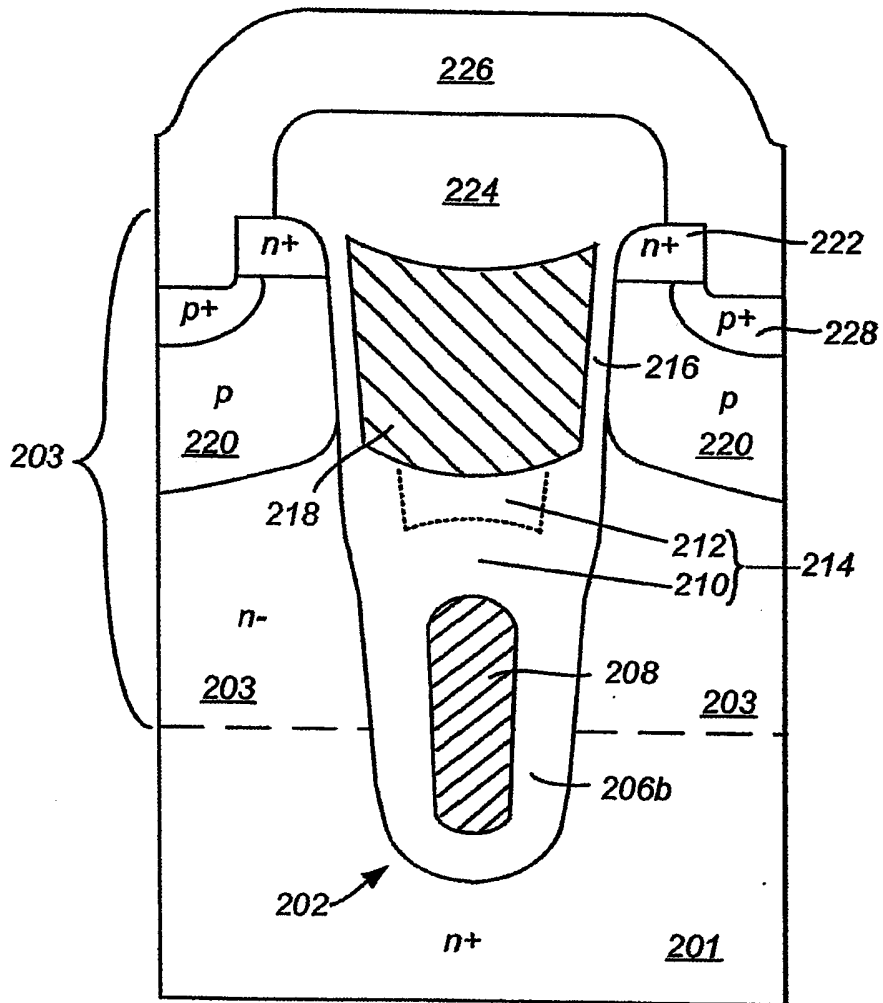


FIG. 2L