

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 11 月 25 日(25.11.2010)

PCT

(10) 国際公開番号
WO 2010/134334 A1

(51) 国際特許分類:

H01L 21/20 (2006.01) H01L 27/06 (2006.01)
H01L 21/331 (2006.01) H01L 27/08 (2006.01)
H01L 21/8222 (2006.01) H01L 27/082 (2006.01)
H01L 21/8232 (2006.01) H01L 29/737 (2006.01)
H01L 21/8248 (2006.01) H01L 31/10 (2006.01)
H01L 21/8249 (2006.01) H01L 33/34 (2010.01)

(21) 国際出願番号: PCT/JP2010/003371

(22) 国際出願日: 2010 年 5 月 19 日(19.05.2010)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2009-124656 2009 年 5 月 22 日(22.05.2009) JP

(71) 出願人 (米国を除く全ての指定国について): 住友化学株式会社(SUMITOMO CHEMICAL COMPANY, LIMITED) [JP/JP]; 〒1048260 東京都中央区新川二丁目 2 7 番 1 号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 山中 貞則 (YAMANAKA, Sadanori) [JP/JP]; 〒3050005 茨城県つくば市天久保 2-13-10-305 Ibaraki (JP). 秦 雅彦 (HATA, Masahiko) [JP/JP]; 〒3000845 茨城県土浦市乙戸南 2-20-6

Ibaraki (JP). 福原 昇(FUKUHARA, Noboru) [JP/JP]; 〒3050035 茨城県つくば市松代 3-9-10 Ibaraki (JP).

(74) 代理人: 龍華国際特許業務法人(RYUKA IP Law Firm); 〒1631105 東京都新宿区西新宿 6-2-2-1 新宿スクエアタワー 5 階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

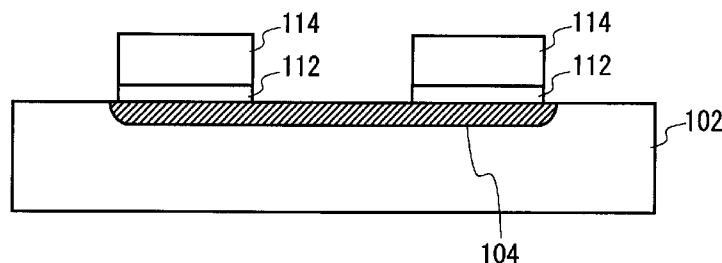
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF,

[続葉有]

(54) Title: SEMICONDUCTOR SUBSTRATE, ELECTRONIC DEVICE, SEMICONDUCTOR SUBSTRATE MANUFACTURING METHOD, AND ELECTRONIC DEVICE MANUFACTURING METHOD

(54) 発明の名称: 半導体基板、電子デバイス、半導体基板の製造方法及び電子デバイスの製造方法

[図1]



100

(57) Abstract: Provided is a semiconductor substrate comprising: a base substrate having an impurity region having impurity atoms doped into silicon; a plurality of seed bodies provided in contact with the impurity region; and a plurality of compound semiconductors provided in contact with the respective seed bodies and lattice-matched or pseudo-lattice matched with the respective seed bodies. The semiconductor substrate may further comprise a blocking body provided on the base substrate and having a plurality of openings for exposing at least part of the impurity region.

(57) 要約: シリコンに不純物原子が導入された不純物領域を有するベース基板と、不純物領域に接して設けられている複数のシード体と、複数のシード体の各々に接して設けられ、複数のシード体の各々とそれぞれ格子整合または擬格子整合する複数の化合物半導体とを備える半導体基板を提供する。当該半導体基板は、ベース基板上に設けられ、不純物領域の少なくとも一部を露出する複数の開口が設けられた阻害体をさらに備えてもよい。



WO 2010/134334 A1

BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, 添付公開書類:
SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

半導体基板、電子デバイス、半導体基板の製造方法及び電子デバイスの製造方法

技術分野

[0001] 本発明は、半導体基板、電子デバイス、半導体基板の製造方法及び電子デバイスの製造方法に関する。

背景技術

[0002] 特許文献１は、窒化３－５化合物半導体材料を含む３個のＬＥＤスタックが、シリコンに格子整合し、シリコン基板の上に形成された構成を開示する。

（特許文献１）特開平８－２７４３７６号公報

発明の概要

発明が解決しようとする課題

[0003] シリコン基板上に３－５族化合物半導体等の結晶薄膜を形成した半導体基板を用いることにより、ＬＥＤ（Ｌｉｇｈｔ Ｅｍｉｔｔｉｎｇ Ｄｉｏｄｅ）等の光素子あるいはＨＢＴ（Ｈｅｔｅｒｏｊｕｎｃｔｉｏｎ Ｂｉｐｏｌａｒ Ｔｒａｎｓｉｓｔｏｒ）等の高周波増幅素子を低コストで製造することができる。これらの素子の性能を向上させるには、化合物半導体の結晶性を向上させることが欠かせない。

[0004] 本発明者らは、シリコン基板上に形成する化合物半導体の面積を微小領域に限定すると、シリコン基板上に形成した化合物半導体等が優れた結晶性を有することを見出した。当該化合物半導体上にＬＥＤあるいはＨＢＴ等の電子素子を形成することにより、優れた性能の電子素子を有する電子デバイスを形成することができる。

[0005] しかしながら、化合物半導体が形成される面積が小さい場合には、ＬＥＤあるいはＨＢＴ等の電子素子の配線を引き出す領域を確保することが困難で

ある。例えば、化合物半導体上に引き出し配線および電極等が設けられると、HBTのチャネル等に使用できる領域が小さくなる。従って、微小な化合物半導体の領域をできるだけ用いることなく、配線等を引き出すことが好ましい。

課題を解決するための手段

- [0006] 上記課題を解決するために、本発明の第1の態様においては、シリコンに不純物原子が導入された不純物領域を有するベース基板と、不純物領域に接して設けられている複数のシード体と、各々対応するシード体に接して設けられ、対応する前記シード体とそれぞれ格子整合または擬格子整合する複数の化合物半導体とを備える半導体基板を提供する。当該半導体基板は、ベース基板上に設けられ、不純物領域の少なくとも一部を露出する複数の開口が設けられた阻害体をさらに備えてもよい。複数のシード体の各々は、例えば複数の開口の各々の内部に設けられる。阻害体は、シード体と格子整合または擬格子整合する複数の化合物半導体の結晶成長を阻害する。
- [0007] 上記のベース基板は、シリコン原子を主成分とするシリコン領域を有し、不純物領域が、例えばベース基板の内部においてシリコン領域に接触している。また、ベース基板は、第1伝導型の不純物原子を含む第1伝導型不純物領域を有し、不純物領域は、第1伝導型不純物領域における第1伝導型の不純物原子の濃度よりも高い濃度の、第1伝導型と反対の伝導型の第2伝導型の不純物原子を含む第2伝導型高濃度不純物領域を有してもよい。さらに、当該ベース基板は、第1伝導型不純物領域と第2伝導型高濃度不純物領域との間に、第2伝導型高濃度不純物領域より低い濃度の第2伝導型の不純物原子を含む第2伝導型低濃度不純物領域を備えてもよい。上記不純物領域が、ベース基板が複数のシード体に接する表面から表面と反対側の面まで形成されていてもよい。
- [0008] 上記の複数のシード体の各々は、例えば $C_x Si_y Ge_z Sn_{1-x-y-z}$ ($0 \leq x < 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、かつ $0 < x + y + z \leq 1$) を含む。また、ベース基板は、一例としてSi基板またはSOI基板である。また、上記

の不純物領域における抵抗率は、一例として $0.0001\ \Omega \cdot \text{cm}$ 以上 $1\ \Omega \cdot \text{cm}$ 以下である。上記の半導体基板は、複数の化合物半導体の少なくとも1つの化合物半導体を核として阻害体上にラテラル成長したラテラル成長化合物半導体をさらに備えてもよい。

[0009] 本発明の第2の態様においては、上記の半導体基板における複数の化合物半導体のうち、少なくとも1つの化合物半導体上に設けられた化合物半導体素子を備え、化合物半導体素子は複数の端子を有し、複数の端子のうち少なくとも1つの端子は、化合物半導体素子が設けられている化合物半導体に接する少なくとも1つの複数のシード体を介して、不純物領域に電氣的に結合されている電子デバイスを提供する。

[0010] 上記の電子デバイスは、複数の化合物半導体のうちの第1化合物半導体に設けられた第1化合物半導体素子と、複数の化合物半導体のうちの第1化合物半導体と異なる第2化合物半導体に設けられた第2化合物半導体素子とを備え、第1化合物半導体素子の複数の端子のうち少なくとも1つの端子と、第2化合物半導体素子の複数の端子のうち少なくとも1つの端子とが、不純物領域を介して電氣的に結合されていてもよい。複数の化合物半導体に設けられた化合物半導体素子の少なくとも一つは、ヘテロ接合バイポーラトランジスタであり、ヘテロ接合バイポーラトランジスタのコレクタが複数のシード体の少なくとも一つを介して不純物領域に電氣的に結合されていてもよい。

[0011] また、上記電子デバイスにおいて、複数の化合物半導体に設けられた化合物半導体素子の少なくとも一つは、ヘテロ接合バイポーラトランジスタであり、ヘテロ接合バイポーラトランジスタのエミッタが複数のシード体の少なくとも一つを介して不純物領域に電氣的に結合されていてもよい。さらに、上記の第1化合物半導体素子または第2化合物半導体素子の少なくとも一つは、エミッタ、ベース、またはコレクタの何れか一つをコモン端子とする、ヘテロ接合バイポーラトランジスタであり、ヘテロ接合バイポーラトランジスタ以外の第1化合物半導体素子または第2化合物半導体素子の少なくとも

1つは、コモン端子および出力端子を有するセンサ素子であり、ヘテロ接合バイポーラトランジスタのコモン端子とセンサ素子のコモン端子とが、不純物領域を介して電氣的に結合されていてもよい。当該ヘテロ接合バイポーラトランジスタは、例えばセンサ素子の出力端子からの信号を増幅する。

[0012] 電子デバイスは、ベース基板に設けられた第1伝導型の不純物原子を含む第1伝導型不純物領域に設けられ、複数の端子を有し、シリコン原子を主成分とする活性領域を有するシリコン素子をさらに備え、シリコン素子の複数の端子のうち少なくとも1つの端子と、複数の化合物半導体に設けられた化合物半導体素子の複数の端子のうち少なくとも1つの端子とが、不純物領域を介して電氣的に結合されていてもよい。

[0013] 本発明の第3の態様においては、シリコンに不純物原子が導入された不純物領域を有するベース基板を準備する段階と、不純物領域に接して、複数のシード体を形成する段階と、複数のシード体を加熱する段階と、加熱された複数のシード体に、複数のシード体と格子整合または擬格子整合する化合物半導体を形成する段階とを備える半導体基板の製造方法を提供する。当該ベース基板を準備する段階においては、例えば、ベース基板の表面にマスクパターンを形成し、マスクパターンで画定された領域に不純物原子を高濃度にドーピングする。

[0014] 上記ベース基板を準備する段階においては、例えば、ベース基板の表面に、結晶の成長を阻害する阻害体を形成し、阻害体に、ベース基板の少なくとも一部を露出する開口を形成し、ベース基板における開口により露出された領域に不純物原子を高濃度にドーピングする。上記の製造方法は、化合物半導体を核として、阻害体上にラテラル成長化合物半導体をラテラル成長させる段階をさらに備えてもよい。

[0015] 本発明の第4の態様においては、上記半導体基板の製造方法を用いて半導体基板を製造する段階と、化合物半導体に、少なくとも1つの端子が複数のシード体の少なくとも一つを介して不純物領域に電氣的に結合される化合物半導体素子を形成する段階とを備える電子デバイスの製造方法を提供する。

図面の簡単な説明

- [0016] [図1]半導体基板100の断面の一例を示す。
- [図2]半導体基板200の断面の一例を示す。
- [図3]半導体基板200の製造過程の断面例を示す。
- [図4]半導体基板200の製造過程の断面例を示す。
- [図5]半導体基板200の製造過程の断面例を示す。
- [図6]電子デバイス600の断面の一例を示す。
- [図7]電子デバイス700の断面の一例を示す。
- [図8]電子デバイス800の断面の一例を示す。
- [図9]電子デバイス900の断面の一例を示す。
- [図10]電子デバイス1000の断面の一例を示す。
- [図11]電子デバイス1100の断面の一例を示す。
- [図12]電子デバイス1200の断面の一例を示す。
- [図13]電子デバイス1300の断面の一例を示す。
- [図14]電子デバイス800の製造過程の断面例を示す。
- [図15]電子デバイス800の製造過程の断面例を示す。
- [図16]電子デバイス800の製造過程の断面例を示す。
- [図17]電子デバイス800の製造過程の断面例を示す。
- [図18]電子デバイス800の製造過程の断面例を示す。
- [図19]電子デバイス2000の断面の一例を示す。
- [図20]半導体基板2100の断面の一例を示す。
- [図21]半導体基板2200の断面の一例を示す。
- [図22]半導体基板2300の断面の一例を示す。
- [図23]電子デバイス2400の断面の一例を示す。
- [図24]電子デバイス2500の断面の一例を示す。
- [図25]電子デバイス2600の断面の一例を示す。
- [図26]電子デバイス2600の製造過程の断面例を示す。
- [図27]電子デバイス2600の製造過程の断面例を示す。

[図28] 電子デバイス 2 6 0 0 の製造過程の断面例を示す。

[図29] 電子デバイス 2 6 0 0 の製造過程の断面例を示す。

[図30] 電子デバイス 2 6 0 0 の製造過程の断面例を示す。

[図31] 半導体基板 3 2 0 0 の断面の一例を示す。

[図32] 半導体基板 3 2 0 0 の製造過程の断面例を示す。

[図33] 半導体基板 3 2 0 0 の製造過程の断面例を示す。

[図34] 半導体基板 2 3 0 0 を用いて形成した H B T のレーザ顕微鏡写真を示す。

[図35] 複数の開口の各々に H B T を形成した場合のレーザ顕微鏡写真を示す。

[図36] 結晶の断面におけるレーザ顕微鏡写真を示す。

発明を実施するための形態

[0017] 図 1 は、一実施形態である半導体基板 1 0 0 の断面の一例を示す。半導体基板 1 0 0 は、ベース基板 1 0 2、シード体 1 1 2、および化合物半導体 1 1 4 を備える。

[0018] ベース基板 1 0 2 は、シリコンに不純物原子が導入された不純物領域 1 0 4 を有する。不純物領域 1 0 4 は、不純物原子が導入されることによってキャリア（自由電子または自由正孔）が発生するので、不純物原子が導入されていないシリコンに比べて低い抵抗率を有する。例えば、不純物領域 1 0 4 の抵抗率は、 $0.0001 \Omega \cdot \text{cm}$ 以上 $1 \Omega \cdot \text{cm}$ 以下であり、好ましくは $0.0001 \Omega \cdot \text{cm}$ 以上 $0.2 \Omega \cdot \text{cm}$ 以下である。ベース基板 1 0 2 は、不純物領域 1 0 4 よりも抵抗率が高いシリコン領域を含んでもよい。当該シリコン領域の抵抗率は、例えば $100 \Omega \cdot \text{cm}$ 以上である。

[0019] 不純物領域 1 0 4 は、基板の内部に設けられる。例えば、不純物領域 1 0 4 は、上記シリコン領域の一部に、N 型の不純物原子または P 型の不純物原子が高濃度にドーピングされることにより形成される、N 型高濃度不純物領域または P 型高濃度不純物領域である。「高濃度」とは、不純物領域の抵抗率を $0.0001 \Omega \cdot \text{cm}$ 以上 $1 \Omega \cdot \text{cm}$ 以下にすることができる不純物原子濃

度をいう。不純物原子のドーピング法として、熱拡散法、イオン注入法等を例示できる。

[0020] ベース基板 102 は、表面にシリコン結晶を有する。ここで、「表面にシリコン結晶を有する」とは、少なくともベース基板 102 の表面にシリコン原子で構成される領域を有することを意味する。例えば、ベース基板 102 は、基板全体がシリコン原子で構成されるシリコンウェハである。ベース基板 102 は、SOI (silicon-on-insulator) ウェハのように絶縁層の上にシリコン層を有する構造を有していてもよい。

[0021] なお、ベース基板 102 は、シリコンとは異なる組成を有するサファイア基板およびガラス基板等に結晶成長したシリコン層を有してもよい。さらに、ベース基板 102 は、基板表面のシリコン層に形成された、自然酸化層等の薄い酸化シリコン層あるいは窒化シリコン層を有してもよい。

[0022] 半導体基板 100 は、ベース基板 102 上に設けられた複数のシード体 112 を有する。複数のシード体 112 は、それぞれ不純物領域 104 に接して設けられている。化合物半導体 114 は、各々対応するシード体 112 に接して設けられ、対応するシード体 112 と格子整合または擬格子整合している。それぞれのシード体 112 に 1 つの化合物半導体 114 が設けられてもよく、それぞれのシード体 112 に複数の化合物半導体 114 が設けられてもよい。

[0023] 本明細書において、「擬格子整合」とは、完全な格子整合ではないが、互いに接する 2 つの半導体の格子定数の差が小さく、格子不整合による欠陥の発生が顕著でない範囲で、互いに接する 2 つの半導体を積層できる状態をいう。このとき、各半導体の結晶格子が、弾性変形できる範囲内で変形することで、上記格子定数の差が吸収される。例えば、Ge と GaAs との、または Ge と InGaP との格子緩和限界厚さ内での積層状態を擬格子整合と称する。

[0024] 複数のシード体 112 のうちの少なくとも 1 つは、不純物領域 104 と電気的に結合される。例えば、シード体 112 と不純物領域 104 との間では

、キャリアが移動することができる。シード体 1 1 2 および不純物領域 1 0 4 は、電磁誘導により電氣的に結合されてもよい。シード体 1 1 2 は、例えば $C_x Si_y Ge_z Sn_{1-x-y-z}$ ($0 \leq x < 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、かつ $0 < x + y + z \leq 1$) を含む。例えば、シード体 1 1 2 は、Ge 結晶、Si Ge 結晶、または Ge Sn 結晶である。

[0025] シード体 1 1 2 は、例えば、化合物半導体 1 1 4 に良好なシード面を提供する半導体である。シード体 1 1 2 は、ベース基板 1 0 2 の表面に存在する不純物が、化合物半導体 1 1 4 の結晶性に悪影響を及ぼすことを抑制する。シード体 1 1 2 は、複数の層を有してもよい。一例として、シード体 1 1 2 は、不純物領域 1 0 4 と同じ伝導型を示す不純物原子を含む。

[0026] シード体 1 1 2 は、ベース基板 1 0 2 とシード体 1 1 2 との界面に接して、ベース基板 1 0 2 内に、組成が $C_{x2} Si_{y2} Ge_{z2} Sn_{1-x2-y2-z2}$ ($0 \leq x2 < 1$ 、 $0 \leq y2 \leq 1$ 、 $0 \leq z2 \leq 1$ 、かつ $0 < x2 + y2 + z2 \leq 1$) である界面領域を含んでよい。シード体 1 1 2 のシリコン組成 y と、前記界面領域のシリコン組成 $y2$ とは、例えば $y2 > y$ の関係を満たす。

[0027] シード体 1 1 2 は、例えば、エピタキシャル成長法により形成される。エピタキシャル成長法として、化学気相析出法 (CVD 法と称する)、有機金属気相成長法 (MOCVD 法と称する)、分子線エピタキシ法 (MBE 法と称する)、および原子層成長法 (ALD 法と称する) を例示できる。複数のシード体 1 1 2 は、例えば、ベース基板 1 0 2 の上にシード体 1 1 2 と同じ組成の膜を形成した後にエッチング等のフォトリソグラフィ法を用いることにより、互いに離れた位置に形成される。

[0028] シード体 1 1 2 は、ベース基板 1 0 2 上に設けられた後に加熱されることが好ましい。シード体 1 1 2 の内部には、ベース基板 1 0 2 とシード体 1 1 2 との格子定数の違い等により、転位等の格子欠陥が発生する場合がある。上記欠陥は、例えば、シード体 1 1 2 を加熱してアニールすることにより、シード体 1 1 2 の内部を移動する。上記欠陥は、シード体 1 1 2 の内部を移動して、シード体 1 1 2 の界面またはシード体 1 1 2 の内部にあるゲッター

ングシンク等に捕捉される。その結果、シード体 1 1 2 に加熱を施すことにより、シード体 1 1 2 の欠陥を低減して、シード体 1 1 2 の結晶性を向上させることができる。

[0029] シード体 1 1 2 は、非晶質または多結晶の $C_x Si_y Ge_z Sn_{1-x-y-z}$ ($0 \leq x < 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、かつ $0 < x + y + z \leq 1$) を加熱することにより形成してもよい。また、シード体 1 1 2 を加熱する工程が、不純物領域 1 0 4 を形成する目的の熱拡散工程、または注入不純物原子の活性化アニール工程を兼ねてもよい。

[0030] シード体 1 1 2 の底面積は、例えば 1 mm^2 以下である。シード体 1 1 2 の底面積は $1600 \mu\text{m}^2$ 以下であってもよい。シード体 1 1 2 の底面積は $900 \mu\text{m}^2$ 以下であってもよい。また、シード体 1 1 2 の底面の最大幅は、例えば $80 \mu\text{m}$ 以下である。シード体 1 1 2 の底面の最大幅は $40 \mu\text{m}$ 以下であってもよい。

[0031] 化合物半導体 1 1 4 は、例えば、4 族化合物半導体、3-5 族化合物半導体、または 2-6 族化合物半導体である。化合物半導体 1 1 4 が 3-5 族化合物半導体である場合には、化合物半導体 1 1 4 は、GaAs、GaN、および InP 等である。

[0032] 半導体基板 1 0 0 は、化合物半導体 1 1 4 とシード体 1 1 2 との間に、他の半導体層を有してもよい。例えば、半導体基板 1 0 0 は、化合物半導体 1 1 4 とシード体 1 1 2 との間に、バッファ層等を有する。化合物半導体 1 1 4 は、組成、ドーピング濃度、厚さの異なる複数の半導体層から構成される積層体であってもよい。例えば、化合物半導体 1 1 4 が P 型半導体層および N 型半導体層を有する場合には、PN 接合を有するダイオードを構成する。化合物半導体 1 1 4 は、例えば、エピタキシャル成長法により形成される。エピタキシャル成長法として、CVD 法、MOCVD 法、MBE 法、および ALD 法を例示できる。

[0033] 図 2 は、他の実施形態である半導体基板 2 0 0 の断面の一例を示す。半導体基板 2 0 0 は、ベース基板 2 0 2、障害体 2 0 6、シード体 2 1 2、およ

び化合物半導体 214 を備える。ベース基板 202 は不純物領域 204 を有する。

[0034] ベース基板 202 は、図 1 におけるベース基板 102 に対応する。不純物領域 204 は不純物領域 104 に対応する。シード体 212 はシード体 112 に対応する。化合物半導体 214 は化合物半導体 114 に対応する。従って、以下の説明において、半導体基板 100 と重複する内容については、省略する場合がある。

[0035] 障害体 206 は、ベース基板 202 の上に形成される。障害体 206 には、不純物領域 204 の少なくとも一部を露出する開口 208 が設けられる。開口 208 は、ベース基板 202 の表面まで達している。障害体 206 には、複数の開口 208 が設けられてもよい。シード体 212 は、複数の開口 208 のうち少なくとも 1 つの開口の内部に形成される。

[0036] 障害体 206 は、結晶成長を障害する。例えば、エピタキシャル成長法により半導体の結晶が成長する場合において、障害体 206 の表面では、半導体の結晶がエピタキシャル成長することが障害される。その結果、半導体の結晶は、開口 208 において選択的にエピタキシャル成長する。

[0037] 障害体 206 は、例えば、酸化シリコン層、窒化シリコン層、酸窒化シリコン層またはこれらを積層した層である。障害体 206 の厚みは、一例として 0.001 ~ 5 μm である。障害体 206 は、例えば、熱酸化法または CVD 法等により形成される。

[0038] 図 3 から図 5 は、半導体基板 200 の製造過程における断面例を示す。半導体基板 200 の製造方法は、シリコンに不純物原子が導入された不純物領域 204 を有するベース基板 202 を準備する段階、不純物領域 204 に接して、複数のシード体 212 を形成する段階、および複数のシード体 212 を加熱する段階、加熱された複数のシード体 212 に、複数のシード体 212 と格子整合または擬格子整合する化合物半導体を形成する段階を備える。

[0039] ベース基板 202 を準備する段階において、少なくとも表面がシリコン結晶である基板の表面に、不純物領域を形成する目的のマスクパターンを形成

する。マスクパターンとして、フォトリソマスクパターン、酸化シリコン、窒化シリコン、酸窒化シリコンまたはこれらの積層体から構成されるマスクパターンを例示できる。酸化シリコン、窒化シリコン等の形成方法として、熱酸化法、CVD法等を例示できる。マスクパターンは、フォトリソグラフィ法によって形成される。

[0040] 例えば、不純物原子が高濃度にドーピングされた不純物領域204をベース基板202に形成する場合に、ベース基板202の表面にフォトリソを塗布して、フォトリソグラフィ法により不純物領域204を設ける予定部位に開口308を形成することで、図3に示すようなマスクパターン302を形成することができる。

[0041] 続いて、ベース基板202におけるマスクパターンで画定された領域に不純物原子を高濃度にドーピングすることにより、不純物領域204を形成する。例えば、図3に示すように、不純物原子イオンを注入することにより、開口308が設けられたベース基板202の対応部位に、図4に示すような不純物領域204を形成する。N型不純物原子として、P、As、Sb、S、Se、Te等を例示できる。P型不純物原子として、B、Al、Ga、In、Mg、Zn等を例示できる。

[0042] ベース基板202を準備する段階において、基板の上に、結晶の成長を阻害する障害体206を形成し、当該障害体206に、不純物領域204の少なくとも一部の領域を露出する開口208を形成してもよい。例えば、熱酸化法によって、ベース基板202の全面に障害体206となる酸化シリコン膜を形成する。図4に示すように、エッチング等のフォトリソグラフィ法により、当該酸化シリコン膜に、不純物領域204の少なくとも一部を露出する複数の開口208を形成してもよい。

[0043] シード体212を形成する段階においては、上記開口の底部の不純物領域204に接して、開口の内部にシード体212を形成する。例えば、図5に示すように、開口208の内部に、不純物領域204に接して、選択エピタキシャル法によりシード体212を形成する。エピタキシャル成長法として

、CVD法、MOCVD法、MBE法、およびALD法を例示できる。シード体212として、CVD法によりGe結晶、SiGe結晶、またはGeSn結晶をエピタキシャル成長させてよい。

[0044] シード体212を形成する段階において、シード体212に不純物原子をドーピングしてもよい。例えばシード体212がSiGe結晶である場合、N型不純物原子として、P、As、およびSb等の5族原子を例示できる。P型不純物原子として、BおよびGa等の3族原子を例示できる。

[0045] シード体212を加熱する段階において、シード体212を加熱してアニールする。加熱により、ベース基板202とシード体212との格子定数の違い等に起因してシード体212の内部に発生した転位等の格子欠陥が低減され、シード体212の結晶性を向上させることができる。シード体212を加熱する段階においては、複数回の加熱を繰り返してもよい。例えば、シード体212の融点に達しない温度での高温加熱を実施した後、高温加熱の温度より低い温度での低温加熱を実施する。このような2段階の加熱を複数回繰り返してもよい。

[0046] 高温加熱の温度および時間は、シード体212が $\text{Si}_x\text{Ge}_{1-x}$ ($0 \leq x < 1$) を有する場合には、例えば、800～900℃で2～10分間である。低温加熱の温度および時間は、例えば、650～780℃で2～10分間である。

[0047] 化合物半導体を形成する段階において、加熱されたシード体212に接して、シード体212と格子整合または擬格子整合する化合物半導体を形成する。例えば、図2に示すように、シード体212の上に化合物半導体214を選択エピタキシャル成長させる。複数のシード体212が形成された場合に、複数のシード体212のそれぞれに、化合物半導体214を形成してもよい。

[0048] エピタキシャル成長法として、CVD法、MOCVD法、MBE法、およびALD法を例示できる。例えば、化合物半導体214がGaAs、AlGaAs、およびInGaP等の3-5族化合物半導体である場合には、MO

CVD法を用いて化合物半導体214をエピタキシャル成長させることができる。例えば、MOCVD炉内を高純度水素で十分置換した後、シード体212を有するベース基板202の加熱を開始する。結晶成長時の基板温度は、例えば450℃から800℃である。ベース基板202が適切な温度に安定したところで炉内に砒素原料または燐原料を導入し、続いてガリウム原料、アルミニウム原料またはインジウム原料を導入して、化合物半導体214をエピタキシャル成長させてよい。

[0049] 3族原子原料として、トリメチルガリウム(TMG)、トリメチルアルミニウム(TMA)、およびトリメチルインジウム(TMI)等を使用でき、5族原子原料ガスとして、アルシン(AsH_3)、ターシャリブチルアルシン($(\text{CH}_3)_3\text{CAsH}_2$)、ホスフィン(PH_3)、およびターシャリブチルホスフィン($(\text{CH}_3)_3\text{CPH}_2$)等を使用できる。エピタキシャル成長条件は、一例として、反応炉内圧力0.1 atm、成長温度650℃、成長速度0.1~3 $\mu\text{m/hr}$ である。反応炉内圧力0.1 atm、成長温度550℃、成長速度0.1~1 $\mu\text{m/hr}$ のエピタキシャル成長条件で、30 nm程度GaAsを積層した後に一時的に成長を中断し、砒素原料雰囲気を維持しつつ650℃まで昇温した後に、再び反応炉内圧力0.1 atm、成長温度650℃、成長速度0.1~3 $\mu\text{m/hr}$ のエピタキシャル成長条件としてもよい。原料のキャリアガスは、例えば高純度水素である。

[0050] 不純物領域204、シード体212、および化合物半導体214の間で、各々を構成する原子を相互にドーピングさせてもよい。例えば、ベース基板202の上にシード体212としてGe結晶を成長させ、そのGe結晶の上に化合物半導体214を結晶成長させる場合、化合物半導体214の結晶成長過程において、成長途中の化合物半導体214にGe原子を拡散させることができる。

[0051] また、シード体212を加熱する段階において、シード体212を構成するGe結晶からのGe原子の再蒸発が起こると、化合物半導体214の結晶成長過程において、残留したGe原子を成長途中の化合物半導体214の中

に取り込ませることができる。化合物半導体 214 中の Ge 原子は N 型不純物として作用し、化合物半導体 214 の抵抗を下げる。従って、適切な条件を選択することによって、不純物領域 204 とシード体 212、またはシード体 212 と化合物半導体 214 との間の界面抵抗等を調整でき、半導体基板 200 に形成するデバイスの設計値に応じた抵抗にすることができる。

[0052] 図 6 は、電子デバイス 600 の断面の一例を示す。電子デバイス 600 は、ベース基板 602、開口 608 が設けられた阻害体 606、シード体 612、コレクタ用半導体 632、ベース用半導体 634、エミッタ用半導体 636、ベース電極 644、およびエミッタ電極 646 を備える。ベース基板 602 は不純物領域 604 を有する。

[0053] 電子デバイス 600 は、2 つのシード体 612 を有する。2 つのシード体 612 の上に形成されたコレクタ用半導体 632、ベース用半導体 634、およびエミッタ用半導体 636 等により、2 つの HBT（ヘテロ接合バイポーラトランジスタ）が形成される。当該 HBT は、化合物半導体素子の一例である。2 つの HBT のコレクタ用半導体 632 は、シード体 612 を介して、不純物領域 604 に電氣的に結合される。

[0054] 電子デバイス 600 においては、シード体 612 および不純物領域 604 を介して、2 つの HBT のコレクタ用半導体 632 を電氣的に結合させ、2 つの HBT が並列に接続されている。不純物領域 604 はコレクタ用電極またはコレクタ用電極の引き出し部として機能する。不純物領域 604 を介して 2 つの HBT を接続することにより、各々の HBT にコレクタメサ、コレクタ電極、および配線を形成する必要がなくなる。また、電子デバイス 600 の構造設計の自由度が向上する。さらに、電子デバイス 600 の製造プロセスを簡略化することもできる。

[0055] ベース基板 602 は、図 2 におけるベース基板 202 に対応する。不純物領域 604 は不純物領域 204 に対応する。阻害体 606 は阻害体 206 に対応する。シード体 612 はシード体 212 に対応する。以下の説明において、半導体基板 200 と重複する内容については、省略する場合がある。

- [0056] コレクタ用半導体 632 は、例えば化合物半導体である。コレクタ用半導体 632 は、図 2 に示した化合物半導体 214 に対応する。コレクタ用半導体 632 は、例えば N 型または P 型の化合物半導体である。コレクタ用半導体 632 は、HBT のコレクタに適する化合物半導体である。例えば、コレクタ用半導体 632 は、電子デバイス 600 における他の半導体よりも低い抵抗率を有する。
- [0057] ベース用半導体 634 は、例えば化合物半導体である。ベース用半導体 634 は、図 2 に示した化合物半導体 214 に対応する。ベース用半導体 634 は、コレクタ用半導体 632 と反対の伝導型を有する化合物半導体である。ベース用半導体 634 は、HBT のベースに適する化合物半導体である。
- [0058] エミッタ用半導体 636 は、例えば化合物半導体である。エミッタ用半導体 636 は、図 2 に示した化合物半導体 214 に対応する。エミッタ用半導体 636 は、コレクタ用半導体 632 と同じ伝導型を有する化合物半導体である。エミッタ用半導体 636 は、HBT のエミッタに適する化合物半導体である。
- [0059] コレクタ用半導体 632、ベース用半導体 634、およびエミッタ用半導体 636 は、例えば、シード体 612 の上に、この順に形成される。コレクタ用半導体 632、ベース用半導体 634、およびエミッタ用半導体 636 は、シード体 612 と格子整合または擬格子整合する。
- [0060] コレクタ用半導体 632、ベース用半導体 634、およびエミッタ用半導体 636 は、例えば 4 族化合物半導体、3-5 族化合物半導体、または 2-6 族化合物半導体である。例えば 3-5 族化合物半導体として、GaP、GaAs、GaAsP、InGaAs、AlGaAs、InGaP、InGaAsP、AlInGaP、GaN、InGaN、および InP を例示できる。コレクタ用半導体 632、ベース用半導体 634、およびエミッタ用半導体 636 が NPN 型接合または PNP 型接合を構成することにより、電子デバイス 600 には HBT が形成されている。
- [0061] コレクタ用半導体 632、ベース用半導体 634、およびエミッタ用半導

体 6 3 6 は、例えば、それぞれ組成、ドーピング濃度、半導体層厚が異なる複数の半導体層から構成される積層体である。電子デバイス 6 0 0 は、コレクタ用半導体 6 3 2 とシード体 6 1 2 との間、コレクタ用半導体 6 3 2 とベース用半導体 6 3 4 との間、ベース用半導体 6 3 4 とエミッタ用半導体 6 3 6 との間、エミッタ用半導体 6 3 6 とエミッタ電極 6 4 6 との間、またはベース用半導体 6 3 4 とベース電極 6 4 4 との間に、有限の厚さを有し、組成、ドーピング濃度、膜厚の異なる複数の半導体層から構成する積層体を更に有してもよい。

[0062] 例えば、電子デバイス 6 0 0 は、コレクタ用半導体 6 3 2 とシード体 6 1 2 との間に、更にサブコレクタ用半導体を有する。電子デバイス 6 0 0 は、エミッタ用半導体 6 3 6 とエミッタ電極 6 4 6 との間に、更にサブエミッタ用半導体を有してもよい。

[0063] ベース電極 6 4 4 はベース用半導体 6 3 4 に接して形成され、ベース用半導体 6 3 4 を外部回路に接続する。ベース電極 6 4 4 は、伝導性のある材料によって形成されている。ベース電極 6 4 4 の材料の材料は、例えば金属である。ベース電極 6 4 4 の材料として、AuZn、CrAu、Ti/Pt、Ti/Pt/Auを例示できる。ベース電極 6 4 4 の形成方法としては、スパッタ法、真空蒸着法等が挙げられる。

[0064] エミッタ電極 6 4 6 は、エミッタ用半導体 6 3 6 に接して形成され、エミッタ用半導体 6 3 6 を外部回路に接続する。エミッタ電極 6 4 6 は、伝導性のある材料によって形成されている。エミッタ電極 6 4 6 の材料は、例えば金属である。エミッタ電極 6 4 6 の材料として、AuGe/Ni/Au、Ti/Pt、Ti/Pt/Auを例示できる。エミッタ電極 6 4 6 の形成方法としては、スパッタ法、真空蒸着法等が挙げられる。

[0065] 図 7 は、電子デバイス 7 0 0 の断面の一例を示す。電子デバイス 7 0 0 は、ベース基板 7 0 2、阻害体 7 0 6、シード体 7 1 2、コレクタ用半導体 7 3 2、ベース用半導体 7 3 4、エミッタ用半導体 7 3 6、コレクタ電極 7 4 2、ベース電極 7 4 4、エミッタ電極 7 4 6、およびコレクタコンタクト用

半導体 752 を備える。ベース基板 702 は不純物領域 704 を有する。

[0066] 電子デバイス 700 は、1つのHBTを有する。当該HBTは、化合物半導体素子の一例である。当該HBTのコレクタ用半導体 732 は、シード体 712 を介して不純物領域 704 に電氣的に結合される。電子デバイス 700 においては、コレクタ電極 742 が、コレクタ用半導体 732 から分離したコレクタコンタクト用半導体 752 に設けられている。コレクタ電極 742 およびコレクタ用半導体 732 は、シード体 712 および不純物領域 704 を介して結合されている。

[0067] ベース基板 702 は、図6におけるベース基板 602 に対応する。不純物領域 704 は不純物領域 604 に対応する。阻害体 706 は阻害体 606 に対応する。シード体 712 はシード体 612 に対応する。

[0068] コレクタ用半導体 732、ベース用半導体 734、およびエミッタ用半導体 736 は、それぞれ図6におけるコレクタ用半導体 632、ベース用半導体 634、およびエミッタ用半導体 636 に対応する。ベース電極 744 およびエミッタ電極 746 は、それぞれベース電極 644 およびエミッタ電極 646 に対応する。以下の説明において、電子デバイス 600 と重複する内容については、説明を省略する場合がある。

[0069] コレクタコンタクト用半導体 752 は、例えば化合物半導体である。コレクタコンタクト用半導体 752 は、例えば、コレクタコンタクト用半導体 752 に接して形成される金属電極との間にオーミック接合を形成する。コレクタコンタクト用半導体 752 は、例えばエピタキシャル成長法により、シード体 712 の上に形成される。コレクタコンタクト用半導体 752 は、シード体 712 および不純物領域 704 を介して、コレクタ用半導体 732 と電氣的に結合されてもよい。

[0070] コレクタコンタクト用半導体 752 は、例えば4族化合物半導体、3-5族化合物半導体、または2-6族化合物半導体である。コレクタコンタクト用半導体 752 の材料として、GaAs、InGaAs、AlGaAs、およびInGaPを例示できる。コレクタコンタクト用半導体 752 は、例え

ば、コレクタ用半導体 732 に含有されている不純物原子と同種の伝導型を示す不純物原子を含む。コレクタコンタクト用半導体 752 は、例えばコレクタ用半導体 732 より高濃度に不純物原子を含む。

[0071] コレクタ電極 742 は、例えば、コレクタコンタクト用半導体 752 に接して形成される。コレクタ電極 742 は、例えば、コレクタコンタクト用半導体 752、シード体 712、および不純物領域 704 を介して、コレクタ用半導体 732 と電氣的に結合される。コレクタ電極 742 は、コレクタ用半導体 732 を外部回路に接続する。コレクタ電極 742 は、伝導性のある材料によって形成される。コレクタ電極 742 の材料は、例えば金属である。コレクタ電極 742 の材料として、AuGe/Ni/Au を例示できる。コレクタ電極 742 の形成方法としては、スパッタ法、真空蒸着法等が挙げられる。

[0072] 電子デバイス 700 においては、コレクタ電極 742 が不純物領域 704 を介してコレクタ用半導体 732 と電氣的に結合されるので、電子デバイス 700 はコレクタメサを有する必要がない。従って、エミッタメサの頂上の面積を、ベース基板 702 が不純物領域 704 を有しない場合と同等に確保しながら、障害体 706 の開口 708 を小さくして、選択エピタキシャル領域を縮小することができる。選択エピタキシャル領域が縮小することにより、ベース基板 702 とシード体 712 との格子定数の違いによりシード体 712 の内部に生成する転位等の格子欠陥を低減し、シード体 712 の結晶質を高めることができる。

[0073] なお、コレクタを障害体 706 の開口 708 の内部に形成することにより、HBT と障害体 706 またはベース基板 702 との間の段差を低減することができる。当該段差を低減することにより、後続のデバイスプロセスにおける平坦化が容易になる。従って、電子デバイス 700 の構造は、平坦化が必要とされるシリコンプロセス等の半導体デバイス製造プロセスにおける微細加工に適している。

[0074] 図 8 は、電子デバイス 800 の断面の一例を示す。電子デバイス 800 は

、ベース基板 802、阻害体 806、シード体 812、コレクタ用半導体 832、ベース用半導体 834、エミッタ用半導体 836、ベースメサ 838、コレクタ電極 842、ベース電極 844、エミッタ電極 846、およびコレクタコンタクト用半導体 852を備える。ベース基板 802は不純物領域 804を有する。電子デバイス 800は、1つのHBTから構成される。当該HBTは、化合物半導体素子の一例である。電子デバイス 800は、阻害体 806の上に、ベース用半導体 834の側面に接してラテラル成長したベースメサ 838が形成されている点で電子デバイス 700と異なる。

[0075] ベース基板 802は、図7におけるベース基板 702に対応する。不純物領域 804は、不純物領域 704に対応する。阻害体 806は、阻害体 706に対応する。シード体 812は、シード体 712に対応する。コレクタコンタクト用半導体 852は、コレクタコンタクト用半導体 752に対応する。

[0076] コレクタ用半導体 832、ベース用半導体 834、およびエミッタ用半導体 836は、それぞれ図7におけるコレクタ用半導体 732、ベース用半導体 734、およびエミッタ用半導体 736に対応する。コレクタ電極 842およびエミッタ電極 846は、それぞれコレクタ電極 742およびエミッタ電極 746に対応する。従って、以下の説明において、電子デバイス 700と重複する内容については、説明を省略する場合がある。

[0077] ベースメサ 838は、ベース用半導体 834と同じ組成を有する化合物半導体である。ベースメサ 838は、例えば、ベース用半導体 834に含有されている不純物原子と同種の伝導型を示す不純物原子を含む。ベースメサ 838は、ベース用半導体 834より高濃度に当該不純物原子を含んでもよい。ベースメサ 838は、単結晶であってもよく、多結晶であってもよい。ベースメサ 838は、一例として、阻害体 806の上に、ベース用半導体 834の側面に接して形成される。ベースメサ 838の形成方法として、CVD法およびMOCVD法等を例示できる。

[0078] ベース電極 844は、ベースメサ 838に接して形成される。ベース電極

844は、ベースメサ838を介して、ベース用半導体834を外部回路に接続する。ベース電極844は、伝導性のある材料によって形成される。ベース電極844の材料は、例えば金属である。ベース電極844の材料として、AuZn、CrAu、Ti/Pt、Ti/Pt/Auを例示できる。ベース電極844の形成方法としては、スパッタ法および真空蒸着法等が挙げられる。

[0079] 電子デバイス800は、阻害体806の上に、ベース用半導体834の側面に接して形成されたベースメサ838を有するので、電子デバイス700に形成されていたエミッタメサが不要になる。その結果、電子デバイス800は、エミッタ電極に用いる領域として、電子デバイス700よりも大きな面積を確保することができる。図8に示すように、大きい面積のエミッタ用半導体836を確保することにより、より均一なHBT内部電界分布を実現できるので、HBTの耐圧性を高めることができる。

[0080] また、電子デバイス800においては、電子デバイス700と同じ大きさのエミッタ用半導体836を有しながらも、阻害体806の開口808を小さくして、選択エピタキシャル領域を縮小することができる。選択エピタキシャル領域を縮小することにより、ベース基板802とシード体812との格子定数の違いによりシード体812の内部に生成する転位等の格子欠陥を低減し、シード体812の結晶質を高めることができる。

[0081] また、電子デバイス800において、コレクタを阻害体806の開口808の内部に形成することにより、HBTと阻害体806またはベース基板802との間の段差を低減することができるので、後続のデバイスプロセスにおける平坦化が容易になる。その結果、電子デバイス800は、微細加工が必要なシリコンプロセス等の半導体デバイス製造プロセスに適合する。

[0082] 図9は、電子デバイス900の断面の一例を示す。電子デバイス900は、不純物領域804を有するベース基板802、阻害体806、シード体812、コレクタ用半導体832、ベース用半導体834、エミッタ用半導体836、ベースメサ838、コレクタ電極842、ベース電極844、およ

びエミッタ電極 846 を備える。電子デバイス 900 は、1 つの HBT から構成される。当該 HBT は、化合物半導体素子の一例である。電子デバイス 900 は、コレクタコンタクト用半導体 852 を有しない点を除き、その構成は電子デバイス 800 と同じである。従って、以下の説明において、電子デバイス 800 と重複する内容については、説明を省略する。

[0083] 図 10 は、電子デバイス 1000 の断面の一例を示す。電子デバイス 1000 は、ベース基板 802、不純物領域 804、阻害体 806、シード体 812、コレクタ用半導体 832、ベース用半導体 834、エミッタ用半導体 836、ベースメサ 838、コレクタ電極 842、ベース電極 844、およびエミッタ電極 846 を備える。電子デバイス 1000 は、1 つの HBT から構成される。当該 HBT は、化合物半導体素子の一例である。電子デバイス 1000 は、コレクタコンタクト用半導体 852 を有しない点、およびコレクタ電極 842 がシード体 812 を介さないで、直接に不純物領域 804 に接して形成されている点を除き、電子デバイス 800 と同じ構成を有する。従って、以下の説明において、電子デバイス 800 と重複する内容については、説明を省略する。

[0084] 電子デバイス 900 および電子デバイス 1000 は、電子デバイス 800 との構造上の差異により、電子デバイス 800 に比べてコレクタ電極 842 の接触抵抗を低減することができる。電子デバイス 900 および電子デバイス 1000 は、図 7 に示した電子デバイス 700 のように、エミッタメサ上にエミッタ電極およびベース電極を形成する構造を有してもよい。

[0085] 図 11 は、電子デバイス 1100 の断面の一例を示す。電子デバイス 1100 は、不純物領域 1104 を有するベース基板 1102、阻害体 1106、シード体 1112、コレクタ用半導体 1132、ベース用半導体 1134、エミッタ用半導体 1136、ベースメサ 1138、コレクタ電極 1142、ベース電極 1144、エミッタ電極 1146、およびエミッタコンタクト用半導体 1156 を備える。

[0086] 電子デバイス 1100 は、1 つの HBT から構成される。当該 HBT は、

化合物半導体素子の一例である。当該HBTのエミッタ用半導体1136は、例えば、シード体1112を介して、不純物領域1104に電氣的に結合される。電子デバイス1100は、エミッタ用半導体1136から分離したエミッタコンタクト用半導体1156に設けられたエミッタ電極1146を有する。エミッタ電極1146およびエミッタ用半導体1136は、シード体1112および不純物領域1104を介して、電氣的に結合される。

[0087] ベース基板1102は、図8におけるベース基板802に対応する。不純物領域1104は不純物領域804に対応する。障害体1106は障害体806に対応する。シード体1112はシード体812に対応する。ベースメサ1138はベースメサ838に対応する。ベース電極844はベース電極844に対応する。従って、以下の説明において、電子デバイス800と重複する内容については、説明を省略する場合がある。

[0088] エミッタ用半導体1136、ベース用半導体1134、およびコレクタ用半導体1132は、それぞれ図8におけるエミッタ用半導体836、ベース用半導体834、およびコレクタ用半導体832に対応する。但し、エミッタ用半導体1136、ベース用半導体1134、およびコレクタ用半導体1132は、シード体1112の上に、この順に形成されてよい。

[0089] コレクタ電極1142は、一例として、コレクタ用半導体1132に接して形成される。コレクタ電極1142は、コレクタ用半導体1132を外部回路に接続する。コレクタ電極1142は、例えば伝導性のある材料によって形成される。コレクタ電極1142の材料は、例えば金属である。コレクタ電極1142の材料として、AuGe/Ni/Auを例示できる。コレクタ電極1142の形成方法としては、スパッタ法および真空蒸着法等が挙げられる。

[0090] エミッタコンタクト用半導体1156は、化合物半導体の一例である。エミッタコンタクト用半導体1156は、例えば、それに接して形成される金属電極との間にオーミック接合を形成する。エミッタコンタクト用半導体1156は、例えばエピタキシャル成長法により、シード体1112の上に形

成される。エミッタコンタクト用半導体 1 1 5 6 は、シード体 1 1 1 2 および不純物領域 1 1 0 4 を介して、エミッタ用半導体 1 1 3 6 と電氣的に結合されてもよい。

[0091] エミッタコンタクト用半導体 1 1 5 6 は、例えば 4 族化合物半導体、3-5 族化合物半導体、または 2-6 族化合物半導体である。エミッタコンタクト用半導体 1 1 5 6 の材料として、GaAs および InGaAs を例示できる。エミッタコンタクト用半導体 1 1 5 6 は、例えば、エミッタ用半導体 1 1 3 6 に含有されている不純物原子と同種の伝導型を示す不純物原子を含む。エミッタコンタクト用半導体 1 1 5 6 は、エミッタ用半導体 1 1 3 6 より高濃度に当該不純物原子を含んでもよい。

[0092] エミッタ電極 1 1 4 6 は、エミッタコンタクト用半導体 1 1 5 6 に接して形成される。エミッタ電極 1 1 4 6 は、エミッタコンタクト用半導体 1 1 5 6、シード体 1 1 1 2、および不純物領域 1 1 0 4 を介して、エミッタ用半導体 1 1 3 6 と電氣的に結合されてもよい。エミッタ電極 1 1 4 6 は、エミッタ用半導体 1 1 3 6 を外部回路に接続する。エミッタ電極 1 1 4 6 は、伝導性のある材料によって形成される。エミッタ電極 1 1 4 6 の材料は、例えば金属である。エミッタ電極 1 1 4 6 の材料として、AuGe/Ni/Au を例示できる。エミッタ電極 1 1 4 6 の形成方法としては、スパッタ法、真空蒸着法等が挙げられる。

[0093] 電子デバイス 1 1 0 0 が図 1 1 に示す構造を有することによって、コレクタメサおよびエミッタメサを形成する必要性がなくなり、電子デバイス 8 0 0 に比べて大きいエミッタ電極の面積を確保することができる。大きいエミッタ電極の面積を確保することにより、より均一な HBT 内部電界分布を実現でき、HBT の耐圧性を高めることができる。

[0094] また、電子デバイス 1 1 0 0 は、電子デバイス 8 0 0 と同じ大きさのエミッタ用半導体 1 1 3 6 を有しながらも、電子デバイス 8 0 0 における開口 8 0 8 よりも小さな面積の開口 1 1 0 8 を有する。従って、電子デバイス 1 1 0 0 は、電子デバイス 8 0 0 よりも小さな選択エピタキシャル領域を有する

。電子デバイス 1100 における選択エピタキシャル領域が小さいので、ベース基板 1102 とシード体 1112 との格子定数の違いによりシード体 1112 の内部に生成する転位等の格子欠陥が低減され、シード体 1112 の結晶質を高めることができる。

[0095] 図 11 のような構造においては、障害体 1106 の開口 1108 の内部にエミッタを形成することができる。その結果、HBT と障害体 1106 またはベース基板 1102 との間の段差を低減することができるので、後続のデバイスプロセスにおける平坦化が容易になる。その結果、電子デバイス 1100 は、微細加工が必要なシリコンプロセス等の半導体デバイス製造プロセスに適合する。

[0096] 図 11 のような構造においては、シード体 1112 および不純物領域 1104 は、エミッタバラストとして機能する。具体的には、図 7 から図 10 に示した電子デバイスの構造よりも放熱の効果が大きいので、熱暴走を抑制することができる。また、エミッタ接地の場合に、出力信号となるコレクタ信号を基板から分離することができるので、コレクタ信号に起因するノイズを低減することができる。

[0097] 図 12 は、電子デバイス 1200 の断面の一例を示す。電子デバイス 1200 は、不純物領域 1104 を有するベース基板 1102、障害体 1106、シード体 1112、コレクタ用半導体 1132、ベース用半導体 1134、エミッタ用半導体 1136、ベースメサ 1138、コレクタ電極 1142、ベース電極 1144、およびエミッタ電極 1146 を備える。電子デバイス 1200 は、1 つの HBT から構成される。当該 HBT は、化合物半導体素子の一例である。電子デバイス 1200 は、エミッタコンタクト用半導体 1156 を有しない点を除き、その構成は電子デバイス 1100 と同じである。従って、以下の説明において、電子デバイス 1100 と重複する内容については、説明を省略する。

[0098] 図 13 は、電子デバイス 1300 の断面の一例を示す。電子デバイス 1300 は、不純物領域 1104 を有するベース基板 1102、障害体 1106

、シード体 1 1 1 2、コレクタ用半導体 1 1 3 2、ベース用半導体 1 1 3 4、エミッタ用半導体 1 1 3 6、ベースメサ 1 1 3 8、コレクタ電極 1 1 4 2、ベース電極 1 1 4 4、およびエミッタ電極 1 1 4 6を備える。電子デバイス 1 3 0 0は、1つのHBTから構成される。当該HBTは、化合物半導体素子の一例である。電子デバイス 1 3 0 0は、エミッタコンタクト用半導体 1 1 5 6を有しない点、およびエミッタ電極 1 1 4 6がシード体 1 1 1 2を介することなく、直接に不純物領域 1 1 0 4に接して形成された点を除き、その構成は電子デバイス 1 1 0 0と同じである。従って、以下の説明において、電子デバイス 1 1 0 0と重複する内容については、説明を省略する。

[0099] 電子デバイス 1 2 0 0および電子デバイス 1 3 0 0は、エミッタ電極 1 1 4 6がシード体 1 1 1 2を介することなく不純物領域 1 1 0 4に接しているので、電子デバイス 1 1 0 0に比べて、エミッタ電極 1 1 4 6の接触抵抗が小さい。

[0100] 図 1 4 から図 1 8 は、以上説明した電子デバイスのうち、典型的な電子デバイス 8 0 0の製造過程を示す。以下、図面を用いて電子デバイス 8 0 0の製造方法を説明する。電子デバイス 8 0 0の製造方法は、図 3 から図 5 を用いて説明した半導体基板を製造する段階と、コレクタがシード体 8 1 2を介して不純物領域 8 0 4に電氣的に結合されるHBTを形成する段階とを含む。

[0101] 図 1 4 は、ベース基板 8 0 2にイオン注入により不純物領域 8 0 4を形成し、ベース基板 8 0 2の上に開口 8 0 8が設けられた障害体 8 0 6を形成し、開口 8 0 8の内部に不純物領域 8 0 4に接してシード体 8 1 2を形成して得られた半導体基板を示す。例えば、ベース基板 8 0 2にPイオンを注入して、N型伝導型を有する不純物領域 8 0 4を形成する。ベース基板 8 0 2の上に、熱酸化法により酸化シリコンの障害体 8 0 6を形成してもよい。CVD法により、不純物領域 8 0 4に接して、開口 8 0 8の内部に順次GeSi結晶層およびGe結晶層を選択エピタキシャル成長させることで、2層構造のシード体 8 1 2を形成してもよい。シード体 8 1 2を加熱してもよい。各

プロセスの内容については、図3から図5において説明したので、省略する。

[0102] 次に、図15に示すように、シード体812に接して、コレクタ用半導体832、ベース用半導体834、およびエミッタ用半導体836を選択エピタキシャル成長させる。コレクタ用半導体832、ベース用半導体834、およびエミッタ用半導体836は、シード体812と格子整合または擬格子整合する。コレクタ用半導体832、ベース用半導体834およびエミッタ用半導体836は、例えば4族化合物半導体、3-5族化合物半導体、または2-6族化合物半導体である。例えば、MOCVD法により、N型GaAsのコレクタ用半導体832、P型GaAsのベース用半導体およびN型InGaPのエミッタ用半導体836を順次シード体812の上に形成してよい。

[0103] エピタキシャル成長方法の一例として、MOCVD炉内を高純度水素で十分置換した後、シード体812が設けられたベース基板802の加熱を開始する。結晶成長時の基板温度は、450℃から800℃である。ベース基板802が適切な温度に安定したところで炉内に砒素原料または燐原料を導入し、続いてガリウム原料またはインジウム原料を導入して、エピタキシャル成長させる。

[0104] 3族原子原料として、トリメチルガリウム(TMG)およびトリメチルインジウム(TMI)等が使用でき、5族原子原料ガスとして、アルシン(AsH_3)、ターシャリブチルアルシン($(\text{CH}_3)_3\text{CAsH}_2$)、ホスフィン(PH_3)、およびターシャリブチルホスフィン($(\text{CH}_3)_3\text{CPH}_2$)等を使用できる。ドナー不純物原子として、Si、S、Se、またはTeを添加してもよい。アクセプタ不純物原子として、C、Mg、またはZnを添加してもよい。

[0105] エピタキシャル成長条件は、例えば、反応炉内圧力0.1atm、成長温度650℃、成長速度1~3 $\mu\text{m/hr}$ である。反応炉内圧力0.1atm、成長温度550℃、成長速度0.1~1 $\mu\text{m/hr}$ のエピタキシャル成長

条件下で30nm程度GaAsを積層した後にいったん成長を中断し、砒素原料雰囲気を維持しつつ650℃まで昇温し、再び反応炉内圧力0.1atm、成長温度650℃、成長速度0.1~3μm/hrでエピタキシャル成長させてもよい。原料のキャリアガスとして、高純度水素を用いることができる。

[0106] コレクタ用半導体832、ベース用半導体834、およびエミッタ用半導体836は、それぞれ組成、ドーピング濃度、半導体層厚の異なる複数の半導体層から構成される積層体である。電子デバイス800は、コレクタ用半導体832とシード体812との間、コレクタ用半導体832とベース用半導体834との間、ベース用半導体834とエミッタ用半導体836との間、エミッタ用半導体836とエミッタ電極846との間、またはベース用半導体834とベース電極844との間に、有限の厚さを有し、組成、ドーピング濃度、膜厚の異なる複数の半導体層から構成する積層体を更に有してもよい。電子デバイス800は、例えば、コレクタ用半導体832とシード体812との間に、更にサブコレクタ用半導体を有する。電子デバイス800は、エミッタ用半導体836とエミッタ電極846との間に、更にサブエミッタ用半導体を有してもよい。

[0107] 電子デバイス800を製造する場合には、図16に示すように、コレクタコンタクト用半導体852を形成する部位にあるコレクタ用半導体832、ベース用半導体834、およびエミッタ用半導体836をエッチングにより除去して、シード体812を露出する。例えば、当該部位に開口が設けられたレジストマスクを形成してから、エッチングによりコレクタ用半導体832、ベース用半導体834およびエミッタ用半導体836を除去できる。

[0108] 次に、図17に示すように、エッチングにより露出したシード体812に接して、コレクタコンタクト用半導体852を形成する。例えば、コレクタ用半導体832、ベース用半導体834、およびエミッタ用半導体836を覆い、コレクタコンタクト用半導体852を形成する部位に開口が設けられた酸化シリコン膜を形成してから、MOCVD法により、シード体812に

接して、不純物原子が高濃度にドーピングされたN型GaAsのコレクタコンタクト用半導体852をエピタキシャル成長させる。また、GaAsのコレクタコンタクト用半導体852を成長させてから、不純物原子イオンを注入することによって不純物原子をドーピングしてもよい。

[0109] 続いて、図18に示すように、ベースメサ838を形成する。例えば、ベースメサ838を形成する部位に開口が設けられた酸化シリコンのマスクを形成して、MOCVD法により、P型GaAsのベースメサ838を形成する。ベースメサ838は、ベース用半導体834より高濃度にP型不純物原子を含む。ベースメサ838は、CVD法、MOCVD法、MBE法またはALD法により、多結晶を堆積（非エピタキシャル成長）させてよい。

[0110] ベースメサ838は、一例として、次の方法によって形成される。例えば、ベース用半導体834をコレクタ用半導体832の上に形成する段階において、成長条件を制御することにより、ベース用半導体834を形成すると同時に、障害体806の上に多結晶（ベースメサ838となる部分を含む。）を堆積（非エピタキシャル成長）させる。その後、エッチング等のフォトリソグラフィ法により、ベースメサ838を形成してもよい。

[0111] また、ベースメサ838は、次の方法によって形成されてもよい。例えば、ベース用半導体834を形成する段階において成長条件を制御することにより、ベース用半導体834を障害体806の上に沿って、横方向にラテラル成長させる。その後、エッチング等のフォトリソグラフィ法により、ベースメサ838を形成してもよい。

[0112] さらに、図8に示したように、エミッタ電極846、ベース電極844、およびコレクタ電極842を形成することにより、電子デバイス800を形成することができる。例えば、エミッタ電極846は、フォトリソグラフィ法により、エミッタ用半導体836の表面に、エミッタ電極846を形成する部位に開口が設けられたレジストマスクを形成して、電極用金属を蒸着してから、レジストをリフトオフすることによって形成することができる。コレクタ電極842およびベース電極844についても、同様な方法によって

形成される。また、同じ材料により構成される電極は、同時に形成してもよい。

[0113] 図19は、電子デバイス2000の断面の一例を示す。電子デバイス2000は、不純物領域2004を有するベース基板2002、開口2008が設けられた阻害体2006、シード体2012、コレクタ用半導体2032、ベース用半導体2034、エミッタ用半導体2036、ベースメサ2038、コレクタ電極2042、ベース電極2044、センサ用半導体2014、および電極2018を備える。電子デバイス2000は、コレクタ用半導体2032、ベース用半導体2034、およびエミッタ用半導体2036を有するHBTと、センサ用半導体2014を有するセンサ素子を含む。

[0114] ベース基板2002は、図11に示したベース基板1102に対応する。不純物領域2004は、不純物領域1104に対応する。阻害体2006は、阻害体1106に対応する。シード体2012は、シード体1112に対応する。コレクタ用半導体2032、ベース用半導体2034およびエミッタ用半導体2036は、それぞれコレクタ用半導体1132、ベース用半導体1134およびエミッタ用半導体1136に対応する。ベースメサ2038は、ベースメサ1138に対応する。コレクタ電極2042およびベース電極2044は、それぞれコレクタ電極1142およびベース電極1144に対応する。従って、以下の説明において、電子デバイス1100と重複する内容については、説明を省略する場合がある。

[0115] センサ用半導体2014は、化合物半導体の一例である。センサ用半導体2014は、シード体2012に接して設けられる。センサ用半導体2014は、シード体2012と格子整合または擬格子整合している。センサ用半導体2014は、4族半導体、4族化合物半導体、3-5族化合物半導体、または2-6族化合物半導体である。例えば3-5族化合物半導体として、GaAs、GaN、InP、およびInGaAs等、4族半導体として、Ge等を例示できる。

[0116] センサ用半導体2014は、他の半導体層を介してシード体2012の上

に形成されてもよい。センサ用半導体 2014 は、例えば、組成、ドーピング濃度、厚さの異なる複数の半導体層から構成する積層体である。センサ用半導体 2014 は、P 型半導体層と N 型半導体層とを含み、PN 接合を有するダイオードを構成してもよい。センサ用半導体 2014 は、例えば、エピタキシャル成長法により形成される。エピタキシャル成長法として、CVD 法、MOCVD 法、MBE 法、および ALD 法を例示できる。

[0117] 電極 2018 は、センサ用半導体 2014 から生成する信号を出力する出力端子である。電極 2018 は、センサ用半導体 2014 を外部回路に接続する。電極 2018 は、例えば、センサ用半導体 2014 に接して形成される。電極 2018 は、伝導性のある材料によって形成される。電極 2018 の材料は、例えば金属である。電極 2018 の材料として、AuGe/Ni/Au、Ti/Pt/Au、および ITO 等を例示できる。電極 2018 の形成方法としては、スパッタ法および真空蒸着法等が挙げられる。

[0118] センサ用半導体 2014 および電極 2018 は、センサ素子を構成する。ここで、センサ素子とは、光、電磁波、および磁気等の何れかを検出できる素子をいう。例えば、当該センサ素子は、センサ用半導体 2014 に受光部を含むフォトダイオードである。電極 2018 は、当該センサ素子の出力端子であってよく、センサ用半導体 2014 の下部は、当該センサ素子のコモン端子である。当該センサ素子のコモン端子は、例えばシード体 2012 を介して不純物領域 2004 に電氣的に結合する。

[0119] エミッタ用半導体 2036 は、シード体 2012 および不純物領域 2004 を介して、上記センサ素子のコモン端子と電氣的に結合されてもよい。コレクタ用半導体 2032、ベース用半導体 2034 およびエミッタ用半導体 2036 から構成する HBT は、例えば上記センサ素子の出力端子である電極 2018 からの出力信号を増幅する。

[0120] 図 20 は、半導体基板 2100 の断面の一例を示す。半導体基板 2100 は、ベース基板 2102、障害体 2106、シード体 2112、および化合物半導体 2114 を備える。

- [0121] ベース基板 2102 は、不純物領域 2104、および、第 1 伝導型の不純物原子を含む第 1 伝導型不純物領域を有する。例えば、第 1 伝導型不純物領域は、P 型または N 型の不純物原子がドーピングされた中抵抗または低抵抗のシリコンを含む領域である。ここで、「中抵抗」とは、 $1\ \Omega \cdot \text{cm}$ 以上 $100\ \Omega \cdot \text{cm}$ 未満の抵抗範囲であり、好ましくは $1\ \Omega \cdot \text{cm}$ 以上 $60\ \Omega \cdot \text{cm}$ 以下の抵抗範囲である。
- [0122] 不純物領域 2104 は、第 1 伝導型不純物領域における第 1 伝導型の不純物原子の濃度よりも高い濃度の、第 1 伝導型と反対の伝導型の第 2 不純物原子を含む第 2 伝導型高濃度不純物領域である。例えば、シリコン領域に P 型の不純物原子がドーピングされている場合には、不純物領域 2104 には N 型の不純物原子がシリコン領域よりも高い濃度でドーピングされている。シリコン領域に N 型の不純物原子がドーピングされている場合には、不純物領域 2104 には P 型の不純物原子がシリコン領域よりも高い濃度でドーピングされている。
- [0123] 不純物領域 2104 とベース基板 2102 との界面においては、PN 接合が形成されてもよい。当該界面に PN 接合が形成されていることにより、不純物領域 2104 がベース基板 2102 から電氣的に分離される。
- [0124] 障害体 2106 は、図 2 に示した障害体 206 に対応する。シード体 2112 はシード体 212 に対応する。化合物半導体 2114 は化合物半導体 214 に対応する。従って、その説明を省略する。
- [0125] 図 21 は、半導体基板 2200 の断面の一例を示す。半導体基板 2200 は、ベース基板 2102、障害体 2106、シード体 2112、および化合物半導体 2114 を備える。ベース基板 2102 は、不純物領域 2104 および第 2 伝導型低濃度不純物領域 2205 を有する。
- [0126] 半導体基板 2200 は、図 20 に示した半導体基板 2100 に比べて、不純物領域 2104 とベース基板 2102 内のシリコン領域との間に、不純物領域 2104 よりも低い濃度であり、かつ不純物領域 2104 の伝導型と同じ伝導型の不純物原子を含む第 2 伝導型低濃度不純物領域 2205 を有する点において相違する。第 2 伝導型低濃度不純物領域 2205 に、不純物領域

2104と同じ伝導型の不純物原子が、不純物領域2104より少ない濃度でドーピングされていることにより、不純物領域2104とベース基板2102との間にトンネル効果が発生することを防ぐことができる。

[0127] 図22は、半導体基板2300の断面の一例を示す。半導体基板2300は、ベース基板2302、障害体2306、シード体2312、および化合物半導体2314を備える。ベース基板2302においては、不純物領域が、複数のシード体2312に接するベース基板2302の表面から当該表面と反対側の面まで形成されている。例えば、ベース基板2302は、ベース基板2302の全体に不純物原子が高濃度にドーピングされたシリコン基板である。障害体2306は、図2に示した障害体206に対応する。シード体2312はシード体212に対応する。化合物半導体2314は化合物半導体214に対応する。従って、その説明を省略する。

[0128] 図23は、電子デバイス2400の断面の一例を示す。電子デバイス2400は、ベース基板2402、開口2408が設けられた障害体2406、シード体2412、コレクタ用半導体2432、ベース用半導体2434、エミッタ用半導体2436、コレクタ電極2442、ベース電極2444、およびエミッタ電極2446を備える。電子デバイス2400は、1つのHBTから構成される。当該HBTは、化合物半導体素子の一例である。

[0129] 電子デバイス2400は、図7に示した電子デバイス700に比べて、ベース基板2402の構成が異なる。ベース基板2402においては、不純物領域が、複数のシード体2312に接するベース基板2402の表面から当該表面と反対側の面まで形成されている。コレクタ電極2442は、ベース基板2402の裏面に設けられている。このような構造を有することによって、電子デバイス2400の製造工程において、電子デバイス700の製造工程において必要であった不純物領域704を形成する工程が不要になる。

[0130] 更に電子デバイス2400は、電子デバイス700においてはコレクタ電極742を設けるために設けられていたシード体712およびコレクタコンタクト用半導体752を有しない。電子デバイス2400においては、不純

物領域が、複数のシード体 2 3 1 2 に接するベース基板 2 4 0 2 の表面から当該表面と反対側の面まで形成されている。その結果、電子デバイス 2 4 0 0 の設計においては、電極配置の自由度が向上する。

[0131] 阻害体 2 4 0 6 は、図 7 における阻害体 7 0 6 に対応する。シード体 2 4 1 2 はシード体 7 1 2 に対応する。コレクタ用半導体 2 4 3 2、ベース用半導体 2 4 3 4、およびエミッタ用半導体 2 4 3 6 は、それぞれコレクタ用半導体 7 3 2、ベース用半導体 7 3 4、およびエミッタ用半導体 7 3 6 に対応する。ベース電極 2 4 4 4 およびエミッタ電極 2 4 4 6 は、それぞれベース電極 7 4 4 およびエミッタ電極 7 4 6 に対応する。従って、電子デバイス 7 0 0 と重複する内容については、説明を省略する。

[0132] 図 2 4 は、電子デバイス 2 5 0 0 の断面の一例を示す。電子デバイス 2 5 0 0 は、ベース基板 2 5 0 2、開口 2 5 0 8 が設けられた阻害体 2 5 0 6、シード体 2 5 1 2、コレクタ用半導体 2 5 3 2、ベース用半導体 2 5 3 4、エミッタ用半導体 2 5 3 6、ベースメサ 2 5 3 8、コレクタ電極 2 5 4 2、ベース電極 2 5 4 4、およびエミッタ電極 2 5 4 6 を備える。電子デバイス 2 5 0 0 は、1 つの H B T から構成される。当該 H B T は、化合物半導体素子の一例である。

[0133] 電子デバイス 2 5 0 0 は、図 1 1 に示した電子デバイス 1 1 0 0 に比べて、異なる構造のベース基板 2 5 0 2 を備える。ベース基板 2 5 0 2 においては、不純物領域が、複数のシード体 2 5 1 2 に接するベース基板 2 5 0 2 の表面から当該表面と反対側の面まで形成されている。つまり、ベース基板 2 5 0 2 は、全体に不純物がドーピングされている。従って、ベース基板 2 5 0 2 の抵抗率が十分に小さいので、エミッタ電極 2 5 4 6 をベース基板 2 5 0 2 の裏面に配置することができる。

[0134] このような構造を有する場合には、図 1 1 に示したベース基板 1 1 0 2 と異なり、ベース基板 2 5 0 2 には不純物領域 1 1 0 4 を設ける必要がない。更にエミッタ電極 1 1 4 6 を設けるべく、別途シード体 1 1 1 2 およびエミッタコンタクト用半導体 1 1 5 6 を設ける必要もない。このような構造を有

することによって、電子デバイス 1100 において生じる効果に加えて、電子デバイス設計における電極配置の選択肢を増やすことができるという効果が生じる。

[0135] 阻害体 2506 は、図 11 における阻害体 1106 に対応する。シード体 2512 は、シード体 1112 に対応する。コレクタ用半導体 2532、ベース用半導体 2534 およびエミッタ用半導体 2536 は、それぞれコレクタ用半導体 1132、ベース用半導体 1134 およびエミッタ用半導体 1136 に対応する。ベース電極 2544 およびコレクタ電極 2542 は、それぞれベース電極 1144 およびコレクタ電極 1142 に対応する。ベースメサ 2538 は、ベースメサ 1138 に対応する。従って、電子デバイス 1100 と重複する内容については、説明を省略する。

[0136] 図 25 は、電子デバイス 2600 の断面の一例を示す。電子デバイス 2600 は、ベース基板 2602、ウェル 2603、不純物領域 2604、阻害体 2606、シード体 2612、化合物半導体 2614、電極 2618、ソース 2622、ゲート絶縁層 2624、ゲート電極 2626、およびドレイン 2628 を備える。電子デバイス 2600 は、1 つのシリコン素子および 1 つの化合物半導体素子から構成される。当該シリコン素子は、シリコン原子を主成分とする活性領域を有する。「シリコン原子を主成分とする」とは、主成分がシリコン原子であって、不純物原子を含んでよいことを意味する。不純物原子には意図的に導入された不純物原子および意図しない不純物原子の両方を含む。

[0137] ソース 2622、ドレイン 2628、ゲート絶縁層 2624、ゲート電極 2626、およびウェル 2603 によって、シリコン素子である FET（電界効果トランジスタ）が構成される。化合物半導体 2614 および電極 2618 によって、化合物半導体素子が構成される。当該化合物半導体素子は、前述の HBT であってよく、FET、HEMT、ダイオード、サイリスタ、発光素子、または受光素子等である。例えば、当該化合物半導体素子は発光ダイオードであって、シリコン素子である FET は当該発光ダイオードを駆

動するトランジスタである。

- [0138] ベース基板 2602 は、図 2 におけるベース基板 202 に対応する。ベース基板 2602 は、シリコン原子を主成分とする活性領域を有するシリコン素子を形成することができるシリコン素子形成可能領域を有する。当該シリコン素子形成可能領域に、例えば、ウェル 2603、ソース 2622、ゲート絶縁層 2624、ゲート電極 2626、およびドレイン 2628 を形成することができる。
- [0139] 不純物領域 2604 は、不純物領域 204 に対応する。不純物領域 2604 は、ベース基板 2602 の内部においてシリコン素子形成可能領域に接触する。不純物領域 2604 は、シリコン素子である FET のソース 2622 に延伸して、接触してもよい。
- [0140] 障害体 2606 は障害体 206 に対応する。シード体 2612 はシード体 212 に対応する。化合物半導体 2614 は化合物半導体 214 に対応する。従って、以下の説明において、半導体基板 200 と重複する内容については、省略する場合がある。
- [0141] 電極 2618 は、化合物半導体 2614 から生成する信号を出力する出力端子である。電極 2618 は、化合物半導体 2614 を外部回路に接続する。電極 2618 は、化合物半導体 2614 に接して形成される。電極 2618 は、伝導性のある材料によって形成される。電極 2618 は、例えば金属によって形成される。電極 2618 の材料として、AuGe/Ni/Au、Ti/Pt/Au、ITO 等を例示できる。電極 2618 の形成方法としては、スパッタ法、真空蒸着法等が挙げられる。
- [0142] 化合物半導体 2614 の下端は、化合物半導体素子のもう 1 つの端子を構成してもよい。化合物半導体 2614 の下端は、シード体 2612 を介して、不純物領域 2604 に電氣的に結合してもよい。シリコン素子である FET のソース 2622 と、化合物半導体 2614 の下端とは、シード体 2612 および不純物領域 2604 を介して、電氣的に結合してよい。
- [0143] 図 26 から図 30 は、電子デバイス 2600 の製造過程の断面例を示す。

以下、図面を用いて電子デバイス2600の製造方法を説明する。電子デバイス2600の製造方法は、シリコン素子を形成する段階、不純物領域を形成する段階、障害体を形成する段階、シード体を形成する段階、化合物半導体を形成する段階、および化合物半導体素子を形成する段階を備える。

[0144] シリコン素子を形成する段階において、図26に示すように、ベース基板2602の上にマスクパターン2706を形成して、イオン注入によりウェル2603を形成する。マスクパターン2706は、フォトレジストマスクである。マスクパターン2706は、酸化シリコン、窒化シリコン、またはこれらの積層体からなるマスクである。例えば、CVDによって、ベース基板2602の表面に酸化シリコン膜を形成した後、エッチング等のフォトリソグラフィ法により、ウェル2603を形成する予定部位に、酸化シリコン膜の開口2708を形成することでマスクパターン2706を完成できる。N型ウェルを形成する場合には、P等の5族原子イオンを注入してよく、P型ウェルを形成する場合には、B等の3族原子イオンを注入してよい。イオン注入後、拡散アニールを施してもよい。

[0145] 次に、図27に示すように、マスクパターン2706を除去して、ゲート絶縁層を形成する酸化シリコン膜2806を成膜して、ゲート電極を形成するポリシリコン膜2826を成膜する。酸化シリコン膜2806およびポリシリコン膜2826は、CVD法により成膜できる。エッチング等のフォトリソグラフィ法により、酸化シリコン膜2806およびポリシリコン膜2826におけるソース2622およびドレイン2628を形成する部位に開口を形成して、イオン注入してもよい。ソース2622およびドレイン2628は、例えば、ウェル2603と反対の電気伝導型を有する。イオン注入後に、拡散アニールを施してもよい。

[0146] 不純物領域2604を形成する段階において、図28に示すように、エッチング等のフォトリソグラフィ法により、ゲート絶縁層およびゲート電極を形成する部位以外の酸化シリコン膜2806およびポリシリコン膜2826を除去して、ゲート絶縁層2624およびゲート電極2626を形成する。

マスクパターン2906を形成して、イオン注入により、不純物領域2604を形成する。マスクパターン2906は、フォトレジストマスクである。マスクパターン2906は、酸化シリコン、窒化シリコン、またはこれらの積層体からなるマスクである。マスクパターン2906は、マスクパターン2706と同様の方法によって形成されてよい。不純物領域2604は、ソース2622およびドレイン2628と同じ電気伝導型を有してよい。

[0147] 障害体2606を形成する工程において、図29に示すように、シリコン素子であるFETを覆う障害体2606を形成して、障害体2606に、不純物領域2604の少なくとも一部の領域を露出する開口2608を形成する。例えば、熱酸化法によって、ベース基板2602の全面に、障害体2606となる酸化シリコン膜を形成して、エッチング等フォトリソグラフィ法により、シード体2612を形成する予定の部位に、不純物領域2604に達する開口2608を形成してよい。

[0148] シード体を形成する段階において、図30に示すように、開口2608の内部に、選択エピタキシャル成長法により、組成が $C_x Si_y Ge_z Sn_{1-x-y-z}$ ($0 \leq x < 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、かつ $0 < x + y + z \leq 1$)であるシード体2612を形成する。エピタキシャル成長法として、CVD法、MOCVD法、MBE法、およびALD法等を例示できる。例えば、シード体2612として、CVD法によりSiGe結晶を形成する。障害体2606の表面では、シード体2612のエピタキシャル成長が障害されるので、シード体2612が開口2608の内部において選択的にエピタキシャル成長する。その後に、シード体2612を加熱してもよい。

[0149] 化合物半導体を形成する段階において、図25に示したように、シード体2612の上に、化合物半導体2614を選択エピタキシャル成長させる。エピタキシャル成長法として、CVD法、MOCVD法、MBE法、およびALD法等を例示できる。化合物半導体2614は、シード体2612に格子整合または擬格子整合してよい。化合物半導体2614は、例えば4族化合物半導体、3-5族化合物半導体、または2-6族化合物半導体である。

化合物半導体 2614 は、例えば、組成、ドーピング濃度、厚さの異なる複数の半導体層から構成する積層体である。例えば、化合物半導体 2614 は、P 型半導体層と N 型半導体層とを含み、PN 接合を有する発光ダイオードである。

[0150] 化合物半導体素子を形成する段階において、図 25 に示したように、電極 2618 を形成して、電子デバイス 2600 を形成することができる。

[0151] 図 31 は、半導体基板 3200 の断面の一例を示す。半導体基板 3200 は、ベース基板 3202、不純物領域 3204、開口 3208 が設けられた阻害体 3206、シード体 3212、および化合物半導体 3214 を備える。

[0152] ベース基板 3202 は、図 2 におけるベース基板 202 に対応する。不純物領域 3204 は不純物領域 204 に対応する。阻害体 3206 は阻害体 206 に対応する。シード体 3212 はシード体 212 に対応する。化合物半導体 3214 は化合物半導体 214 に対応する。従って、以下の説明において、半導体基板 200 と重複する内容については、省略する場合がある。

[0153] 図 32 および図 33 は、半導体基板 3200 の製造過程の断面例を示す。半導体基板 3200 の製造過程は、図 2 に示した半導体基板 200 の製造過程とは、不純物領域の形成方法が相違する。半導体基板 200 の製造工程においては、図 3 に示したように、不純物領域 204 の形成に用いるマスクパターン 302 を設けた後に、イオン注入をすることによって不純物領域 204 を形成する。これに対して半導体基板 3200 の製造工程においては、図 32 に示すように、阻害体 3206 を形成し、阻害体 3206 をマスクパターンとしてイオン注入して不純物領域 3204 を形成する。上記の工程で半導体基板 3200 を製造することにより、マスクパターンを形成する工程を省略できる。

[0154] 以上の実施態様において、シリコン基板に不純物領域を形成して、電子デバイスを結合する配線の役割を持たせることにより、化合物半導体の選択エピタキシャル領域を最大限有効に活用できる。具体的には、化合物半導体の

素子形成面の表面における配線を従来よりも少なくすることができるので選択エピタキシャル領域に余裕が生じる。その結果、素子表面における配線設計が容易になるとともに、電極の配置の自由度が向上する。

- [0155] さらに、化合物半導体の選択エピタキシャル領域を縮小できるので、ベース基板と格子整合または擬格子整合をしやすくなる。その結果、シリコン基板に形成される化合物半導体結晶性を高めることができる。化合物半導体の結晶性が高まると、当該化合物半導体に形成されるHBTが均一な内部電界分布を有するので、HBTの耐圧を高めることができる。また、化合物半導体素子の段差を低減することができるので、平坦化が容易になる。その結果、以上の実施態様は、微細加工が必要なシリコンプロセス等の半導体デバイス製造プロセスに適合する。

実施例

- [0156] (実施例1)

半導体基板2300を作成し、当該半導体基板2300を用いた電子デバイスを作製した。半導体基板2300は、ベース基板2302、阻害体2306、シード体2312、および化合物半導体2314を備える。ベース基板2302として、Si基板の全体に不純物としてアンチモン(Sb)をドーピングしたn型の低抵抗Si基板を用いた。低抵抗Si基板の抵抗率は $0.01\ \Omega \cdot \text{cm}$ であった。

- [0157] 阻害体2306として、熱酸化法により酸化シリコン層を形成した。酸化シリコン層の厚さの平均値は、 $0.1\ \mu\text{m}$ であった。フォトリソグラフィ法により、酸化シリコン層の一部に複数の開口を形成した。開口の大きさは、 $20\ \mu\text{m} \times 20\ \mu\text{m}$ とした。

- [0158] 酸化シリコン層に開口を形成した後、ベース基板2302を反応容器の内部に配置し、シード体2312として、CVD法によりGe結晶層を形成した。Ge結晶層は、酸化シリコン層の開口の内部に選択的に形成した。Ge結晶層の成長条件として、反応容器内の圧力を $2.6\ \text{kPa}$ 、温度を 600°C とした。厚さが $1\ \mu\text{m}$ になるようGe結晶層を成長させた。さらに反応容

器中で、Ge結晶層をアニールした。アニールとして、温度を850℃、時間を10分間とした第1のアニールを実行した後、温度を780℃、時間を10分間とした第2のアニールを実行した。アニールは、Ge結晶層を形成した後、ベース基板2302を反応容器から取り出すことなく実施した。

[0159] Ge結晶層をアニールした後、化合物半導体2314としてGaAs層をMOCVD法により形成した。GaAs層は、トリメチルガリウムおよびアルシンを原料ガスに用いて、成長温度が650℃、反応容器内の圧力が8.0kPaの条件で成膜した。GaAs層は、開口の内部で、Ge結晶層の開口から露出する面をシード面として成長した。以上の手順により、半導体基板2300を作製できた。

[0160] 作製した半導体基板2300の上に、GaAs、InGaP、InGaAsからなるヘテロバイポーラトランジスタ（HBT）構造を、MOCVD法により形成した。引き続き、フォトリソグラフィによる加工を行い、HBTデバイス構造を作製した。その後、配線を形成して、電子デバイスを作製した。

[0161] 図34は、作製した電子デバイスの半導体基板表面側からのレーザ顕微鏡写真を示す。同図において左側から順に、コレクタ端子C1、エミッタ端子E、およびベース端子Bを配置している。さらに半導体基板の裏面にコレクタ端子C2を形成した。なお、コレクタ端子C2は、基板裏面に形成したので同図には表れていない。

[0162] エミッタ端子E、ベース端子B、およびコレクタ端子C1を観測端子とするHBT動作試験と、エミッタ端子E、ベース端子B、およびコレクタ端子C2を観測端子とするHBT動作試験を行った。その結果、何れのHBTにおいても正常な動作を確認した。

[0163] 図35は、複数の開口の各々にHBTを形成した場合のレーザ顕微鏡写真を示す。図34の場合と同様に、各HBTにコレクタ端子C1、エミッタ端子E、およびベース端子Bを形成しているが、各HBTのコレクタ端子C1、エミッタ端子E、およびベース端子Bのそれぞれは並列に接続している。

また、半導体基板の裏面にコレクタ端子C 2を形成した。図3 4の場合と同様に、エミッタ端子E、ベース端子Bおよびコレクタ端子C 1を観測端子とするH B T動作試験と、エミッタ端子E、ベース端子B、およびコレクタ端子C 2を観測端子とするH B T動作試験を行ったところ、何れのH B Tにおいても正常な動作を確認した。

[0164] 以上の結果から、半導体基板の裏面にあるコレクタ端子C 2が正常に機能することが確認できた。よってコレクタ端子C 1を設ける必要が無く、コレクタ端子C 1に占有されたスペースを、例えば配線の取り出し領域等に有効活用することができる。

[0165] エッチピット法により化合物半導体2 3 1 4であるG a A s層の表面を検査したところ、G a A s層の表面に欠陥は発見されなかった。透過型電子顕微鏡により断面観察をしたところ、シード体2 3 1 2であるG e結晶層から化合物半導体2 3 1 4であるG a A s層に貫通する転位は発見されなかった。

[0166] (実施例2)

実施例1と同様にして、S i基板上に、障害体2 3 0 6として酸化シリコン層を形成し、障害体2 3 0 6の一部にベース基板2 3 0 2を露出する複数の開口を形成した。このベース基板2 3 0 2を反応容器の内部に配置し、シード体2 3 1 2として、C V D法によりG e結晶層を形成した。G e結晶層は、酸化シリコン層の開口の内部に選択的に形成した。G e結晶層の成長条件は、実施例1と同様にした。さらに反応容器中で、G e結晶層をアニールした。アニール条件は、実施例1と同様にした。

[0167] G e結晶層をアニールした後、化合物半導体2 3 1 4としてG a A s層をM O C V D法により形成した。G a A s層は、トリメチルガリウムおよびアルシンを原料ガスに用いた。G a A s結晶の成長は、はじめに5 5 0℃で低温での成長を行い、引き続き6 4 0℃の温度で成膜した。6 4 0℃の温度での成長時におけるアルシン分圧は、0. 0 5 k P aにした。引き続き、さらにこのG a A s層を核として、図8に示したベースメサ8 3 8、図1 1に示

したベースメサ 1138、図 19 に示したベースメサ 2038、および図 24 に示したベースメサ 2538 に対応するラテラル成長化合物半導体層である GaAs 層を成膜した。ラテラル成長時の成長温度は 640°C であり、アルシン分圧は 0.43 kPa にした。

[0168] 図 36 は、得られた結晶の断面における走査型電子顕微鏡写真を示す。Ge 結晶の上に GaAs 結晶が成長していることが確認できると共に、GaAs 結晶が、障害体 2306 に対応する酸化シリコン層の上にもラテラル成長していることが確認できる。このラテラル成長化合物半導体層を用いて、エッチング等のフォトリソグラフィ法により、ベース等のメサを形成できる。

[0169] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることができる。たとえば、上記した実施態様において、化合物半導体素子として、HBT を多く例示したが、化合物半導体素子は、FET、HEMT、ダイオード、サイリスタ、発光素子、または受光素子等であってよい。

[0170] また、上記した実施の形態では、不純物領域 104、不純物領域 204、不純物領域 604、不純物領域 704、不純物領域 804、不純物領域 1104、不純物領域 2004、不純物領域 2604、不純物領域 3204（「不純物領域 104 等」という）が、シリコンを有するベース基板 2302 に不純物領域として形成されている場合を説明した。しかし不純物領域 104 等はシリコンアイランドとして、たとえばガラス、サファイア等の絶縁基板、あるいは酸化シリコン、窒化シリコン等の絶縁層の上に形成されていてもよい。

[0171] このようなシリコンアイランドは、例えば SOI 基板の SOI 層をエッチングして SOI 基板の酸化シリコン層上に形成することができる。ナノインプリント技術を用いて、シリコンアイランドを絶縁基板あるいは絶縁層の上に転写形成してもよい。シリコンアイランドにシリコン素子を形成する場合、例えば図 25 におけるウェル 2603 をシリコンアイランドとして形成で

きる。例えば酸化シリコンの上にシリコンアイランドを形成する場合、酸化シリコンを阻害体として機能させることができるので、シリコンアイランド上にシード体および化合物半導体を選択成長させることが可能になる。

符号の説明

- [0172] 100 半導体基板、102 ベース基板、104 不純物領域、112 シード体、114 化合物半導体、200 半導体基板、202 ベース基板、204 不純物領域、206 阻害体、208 開口、212 シード体、214 化合物半導体、302 マスクパターン、308 開口、600 電子デバイス、602 ベース基板、604 不純物領域、606 阻害体、608 開口、612 シード体、632 コレクタ用半導体、634 ベース用半導体、636 エミッタ用半導体、644 ベース電極、646 エミッタ電極、700 電子デバイス、702 ベース基板、704 不純物領域、706 阻害体、708 開口、712 シード体、732 コレクタ用半導体、734 ベース用半導体、736 エミッタ用半導体、742 コレクタ電極、744 ベース電極、746 エミッタ電極、752 コレクタコンタクト用半導体、800 電子デバイス、802 ベース基板、804 不純物領域、806 阻害体、808 開口、812 シード体、832 コレクタ用半導体、834 ベース用半導体、836 エミッタ用半導体、838 ベースメサ、842 コレクタ電極、844 ベース電極、846 エミッタ電極、852 コレクタコンタクト用半導体、900 電子デバイス
- [0173] 1000 電子デバイス、1100 電子デバイス、1102 ベース基板、1104 不純物領域、1106 阻害体、1108 開口、1112 シード体、1132 コレクタ用半導体、1134 ベース用半導体、1136 エミッタ用半導体、1138 ベースメサ、1142 コレクタ電極、1144 ベース電極、1146 エミッタ電極、1156 エミッタコンタクト用半導体、1200 電子デバイス、1300 電子デバイス、2000 電子デバイス、2002 ベース基板、2004 不純物領域、2

006 障害体、2008 開口、2012 シード体、2014 センサ
用半導体、2018 電極、2032 コレクタ用半導体、2034 ベー
ス用半導体、2036 エミッタ用半導体、2038 ベースメサ、204
2 コレクタ電極、2044 ベース電極、2100 半導体基板、210
2 ベース基板、2104 不純物領域、2106 障害体、2112 シ
ード体、2114 化合物半導体、2200 半導体基板、2205 第2
伝導型低濃度不純物領域、2300 半導体基板、2302 ベース基板、
2306 障害体、2312 シード体、2314 化合物半導体、240
0 電子デバイス、2402 ベース基板、2406 障害体、2408
開口、2412 シード体、2432 コレクタ用半導体、2434 ベー
ス用半導体、2436 エミッタ用半導体、2442 コレクタ電極、24
44 ベース電極、2446 エミッタ電極、2500 電子デバイス、2
502 ベース基板、2506 障害体、2508 開口、2512 シー
ード体、2532 コレクタ用半導体、2534 ベース用半導体、2536
エミッタ用半導体、2538 ベースメサ、2542 コレクタ電極、2
544 ベース電極、2546 エミッタ電極、2600 電子デバイス、
2602 ベース基板、2603 ウェル、2604 不純物領域、260
6 障害体、2608 開口、2612 シード体、2614 化合物半導
体、2618 電極、2622 ソース、2624 ゲート絶縁層、262
6 ゲート電極、2628 ドレイン、2706 マスクパターン、270
8 開口、2806 酸化シリコン膜、2826 ポリシリコン膜、290
6 マスクパターン、3200 半導体基板、3202 ベース基板、32
04 不純物領域、3206 障害体、3208 開口、3212 シード
体、3214 化合物半導体

請求の範囲

- [請求項1] シリコンに不純物原子が導入された不純物領域を有するベース基板と、
前記不純物領域に接して設けられている複数のシード体と、
各々対応するシード体に接して設けられ、対応する前記シード体とそれぞれ格子整合または擬格子整合する複数の化合物半導体とを備える半導体基板。
- [請求項2] 前記ベース基板上に設けられ、前記不純物領域の少なくとも一部を露出する複数の開口が設けられた阻害体をさらに備え、
前記複数のシード体の各々は、前記複数の開口の各々の内部に設けられ、
前記阻害体は、前記複数の化合物半導体の結晶成長を阻害する請求項1に記載の半導体基板。
- [請求項3] 前記ベース基板は、シリコン原子を主成分とするシリコン領域を有し、
前記不純物領域が、前記ベース基板の内部において前記シリコン領域に接触している請求項1に記載の半導体基板。
- [請求項4] 前記ベース基板は、第1伝導型の不純物原子を含む第1伝導型不純物領域を有し、
前記不純物領域は、前記第1伝導型不純物領域における前記第1伝導型の不純物原子の濃度よりも高い濃度の、前記第1伝導型と反対の伝導型の第2伝導型の不純物原子を含む第2伝導型高濃度不純物領域を有する請求項1に記載の半導体基板。
- [請求項5] 前記第1伝導型不純物領域と前記第2伝導型高濃度不純物領域との間に、前記第2伝導型高濃度不純物領域より低い濃度の前記第2伝導型の不純物原子を含む第2伝導型低濃度不純物領域をさらに備える請求項4に記載の半導体基板。
- [請求項6] 前記不純物領域が、前記ベース基板が前記複数のシード体に接する

表面から前記表面と反対側の面まで形成されている請求項 1 に記載の半導体基板。

[請求項7] 前記複数のシード体の各々が、 $C_x Si_y Ge_z Sn_{1-x-y-z}$ ($0 \leq x < 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ 、かつ $0 < x + y + z \leq 1$) を含む請求項 1 に記載の半導体基板。

[請求項8] 前記ベース基板が Si 基板または SOI 基板である請求項 1 に記載の半導体基板。

[請求項9] 前記不純物領域における抵抗率が $0.0001 \Omega \cdot \text{cm}$ 以上 $1 \Omega \cdot \text{cm}$ 以下である請求項 1 に記載の半導体基板。

[請求項10] 前記複数の化合物半導体の少なくとも 1 つの化合物半導体を核として前記阻害体上にラテラル成長したラテラル成長化合物半導体をさらに備える請求項 2 に記載の半導体基板。

[請求項11] 請求項 1 に記載の半導体基板における前記複数の化合物半導体のうち、少なくとも 1 つの化合物半導体上に設けられた化合物半導体素子を備え、

前記化合物半導体素子は複数の端子を有し、

前記複数の端子のうち少なくとも 1 つの端子は、前記化合物半導体素子が設けられている前記化合物半導体に接する少なくとも 1 つの前記複数のシード体を介して、前記不純物領域に電氣的に結合されている電子デバイス。

[請求項12] 前記複数の化合物半導体のうちの第 1 化合物半導体に設けられた第 1 化合物半導体素子と、

前記複数の化合物半導体のうちの前記第 1 化合物半導体と異なる第 2 化合物半導体に設けられた第 2 化合物半導体素子と

を備え、

前記第 1 化合物半導体素子の前記複数の端子のうち少なくとも 1 つの端子と、前記第 2 化合物半導体素子の前記複数の端子のうち少なくとも 1 つの端子とが、前記不純物領域を介して電氣的に結合されている。

る請求項 1 1 に記載の電子デバイス。

[請求項13] 前記複数の化合物半導体に設けられた前記化合物半導体素子の少なくとも一つは、ヘテロ接合バイポーラトランジスタであり、

前記ヘテロ接合バイポーラトランジスタのコレクタが前記複数のシード体の少なくとも一つを介して前記不純物領域に電氣的に結合されている請求項 1 1 に記載の電子デバイス。

[請求項14] 前記複数の化合物半導体に設けられた前記化合物半導体素子の少なくとも一つは、ヘテロ接合バイポーラトランジスタであり、

前記ヘテロ接合バイポーラトランジスタのエミッタが前記複数のシード体の少なくとも一つを介して前記不純物領域に電氣的に結合されている請求項 1 1 に記載の電子デバイス。

[請求項15] 前記第 1 化合物半導体素子または前記第 2 化合物半導体素子の少なくとも一つは、エミッタ、ベース、またはコレクタの何れか一つを共通端子とする、ヘテロ接合バイポーラトランジスタであり、

前記ヘテロ接合バイポーラトランジスタ以外の前記第 1 化合物半導体素子または前記第 2 化合物半導体素子の少なくとも一つは、共通端子および出力端子を有するセンサ素子であり、

前記ヘテロ接合バイポーラトランジスタの前記共通端子と前記センサ素子の前記共通端子とが、前記不純物領域を介して電氣的に結合されている請求項 1 2 に記載の電子デバイス。

[請求項16] 前記ヘテロ接合バイポーラトランジスタは、前記センサ素子の前記出力端子からの信号を増幅する請求項 1 5 に記載の電子デバイス。

[請求項17] 前記ベース基板に設けられた第 1 伝導型の不純物原子を含む第 1 伝導型不純物領域に設けられ、複数の端子を有し、シリコン原子を主成分とする活性領域を有するシリコン素子をさらに備え、

前記シリコン素子の前記複数の端子のうち少なくとも一つの端子と、前記複数の化合物半導体に設けられた前記化合物半導体素子の前記複数の端子のうち少なくとも一つの端子とが、前記不純物領域を介し

て電氣的に結合されている請求項 11 に記載の電子デバイス。

[請求項18] シリコンに不純物原子が導入された不純物領域を有するベース基板を準備する段階と、

前記不純物領域に接して、複数のシード体を形成する段階と、

前記複数のシード体を加熱する段階と、

加熱された前記複数のシード体に、前記複数のシード体と格子整合または擬格子整合する化合物半導体を形成する段階と

を備える半導体基板の製造方法。

[請求項19] 前記ベース基板を準備する段階において、前記ベース基板の表面にマスクパターンを形成し、前記マスクパターンで画定された領域に前記不純物原子を高濃度にドーピングする請求項 18 に記載の半導体基板の製造方法。

[請求項20] 前記ベース基板を準備する段階において、前記ベース基板の表面に、結晶の成長を阻害する阻害体を形成し、前記阻害体に、前記ベース基板の少なくとも一部を露出する開口を形成し、前記ベース基板における前記開口により露出された領域に前記不純物原子を高濃度にドーピングする請求項 18 に記載の半導体基板の製造方法。

[請求項21] 前記化合物半導体を核として、前記阻害体上にラテラル成長化合物半導体をラテラル成長させる段階をさらに備える請求項 20 に記載の半導体基板の製造方法。

[請求項22] 請求項 18 に記載の半導体基板の製造方法を用いて前記半導体基板を製造する段階と、

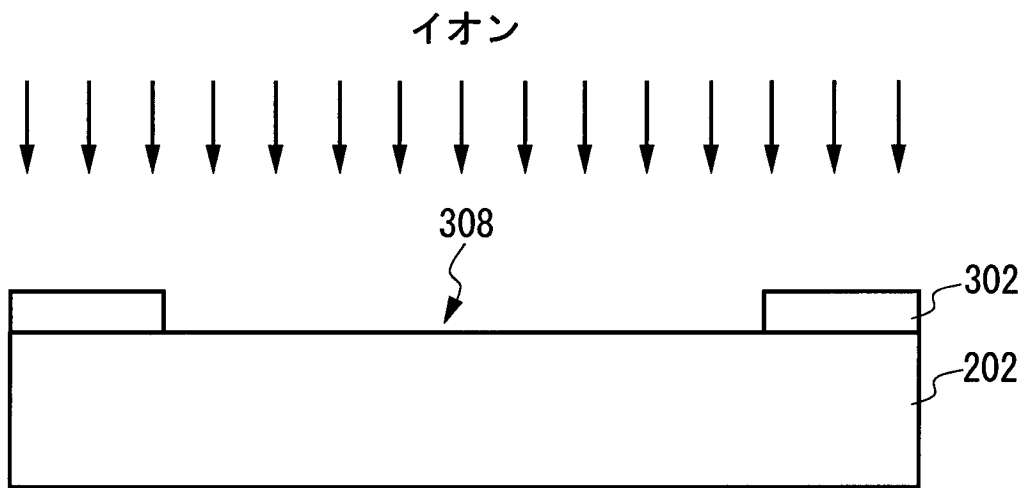
前記化合物半導体に、少なくとも 1 つの端子が前記複数のシード体の少なくとも一つを介して前記不純物領域に電氣的に結合される化合物半導体素子を形成する段階と

を備える電子デバイスの製造方法。

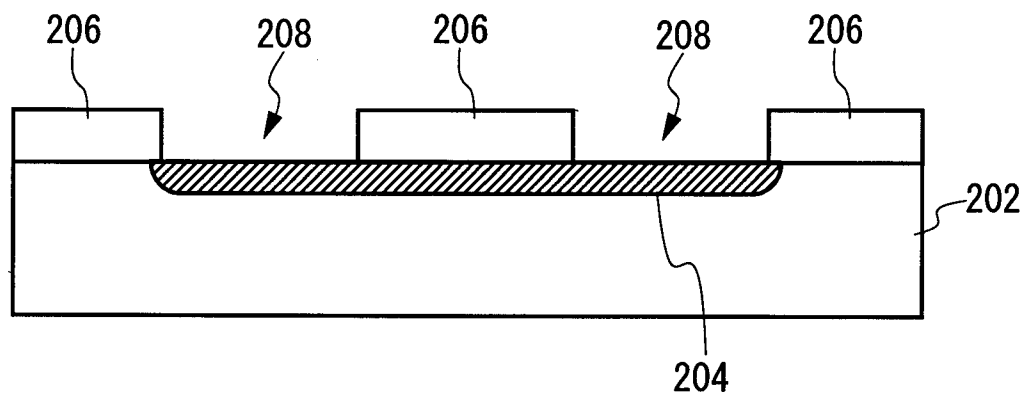
100

A cross-sectional view of a semiconductor device 200. The device consists of a substrate 202 with a thin layer 204 on its top surface. Two rectangular structures are formed on the layer 204. Each structure includes a bottom layer 212 and a top layer 214. The top layer 214 is thicker at the ends, forming a flange-like structure 208. The central portion of the top layer 214 is thinner, forming a central layer 206. The label 200 is centered below the device.

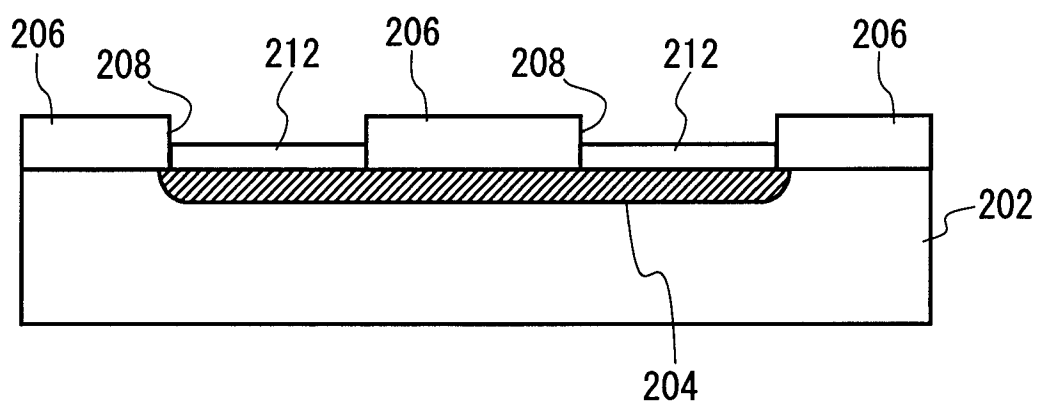
[図3]



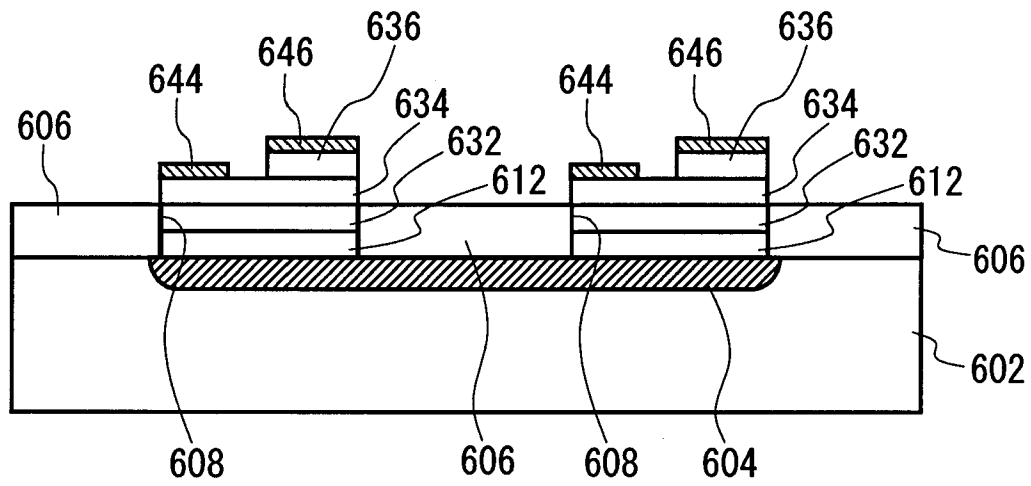
[図4]



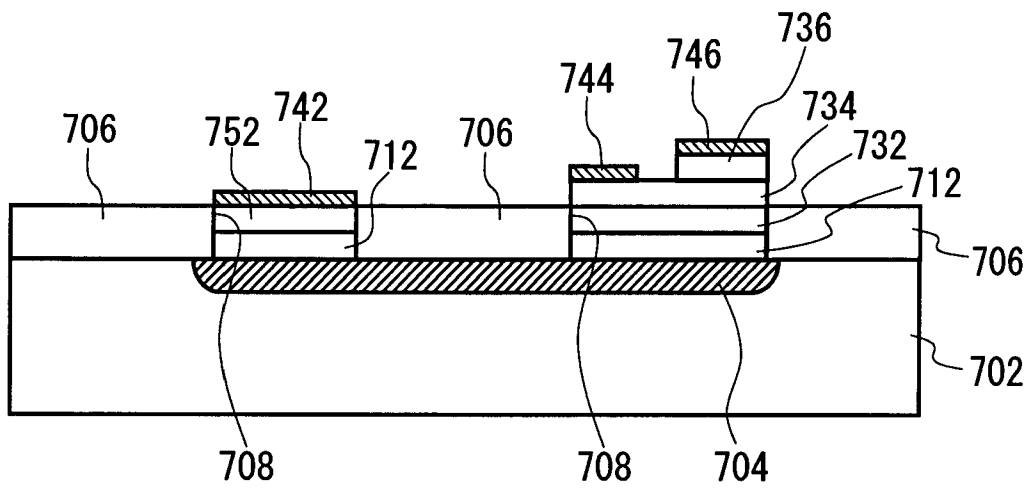
[図5]



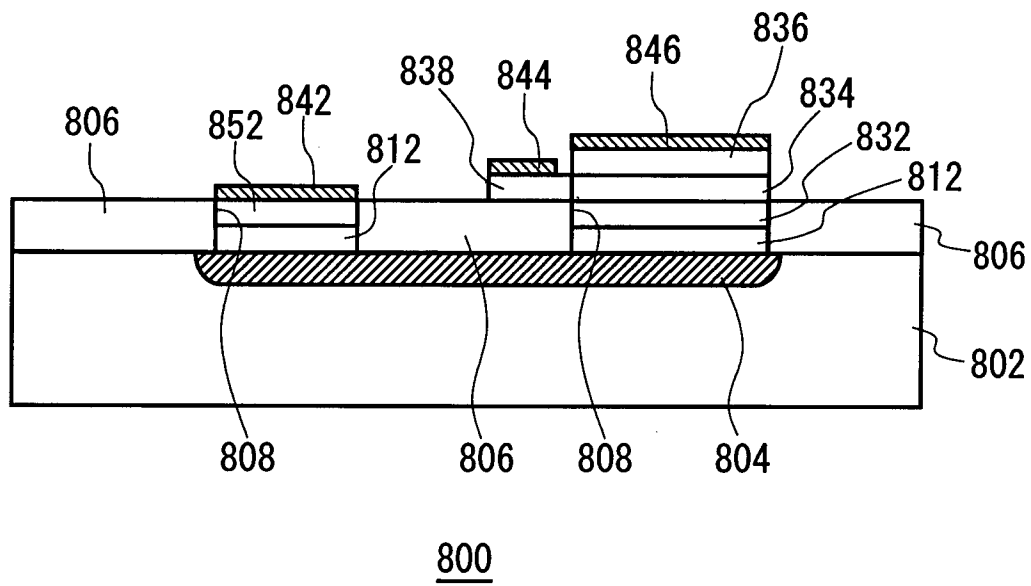
[図6]

600

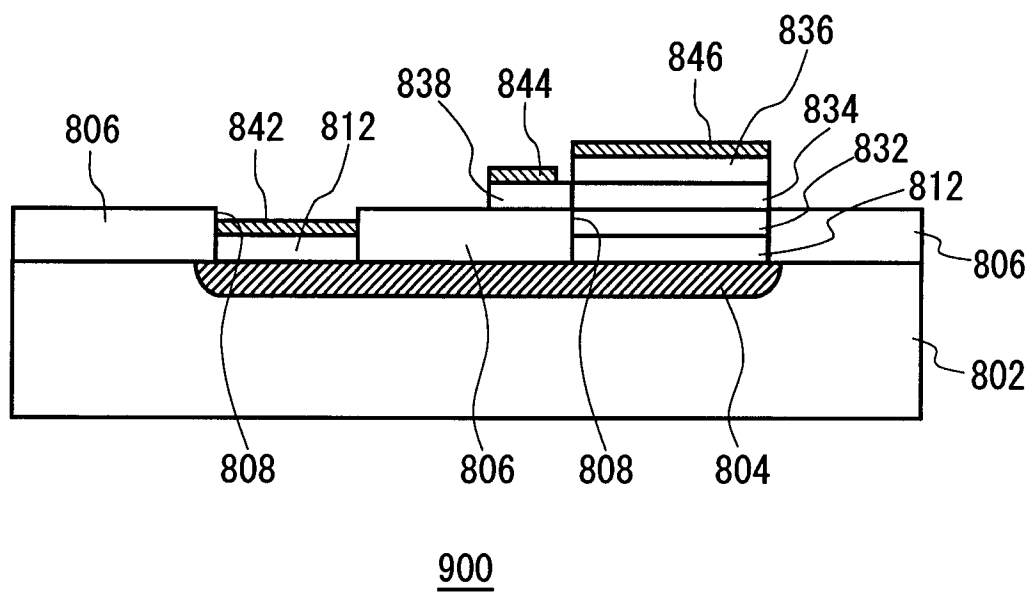
[図7]

700

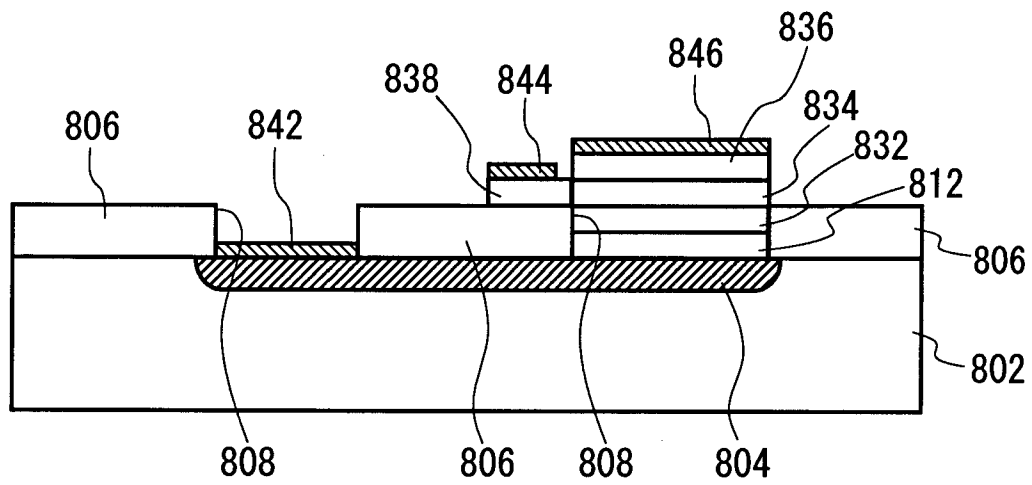
[図8]



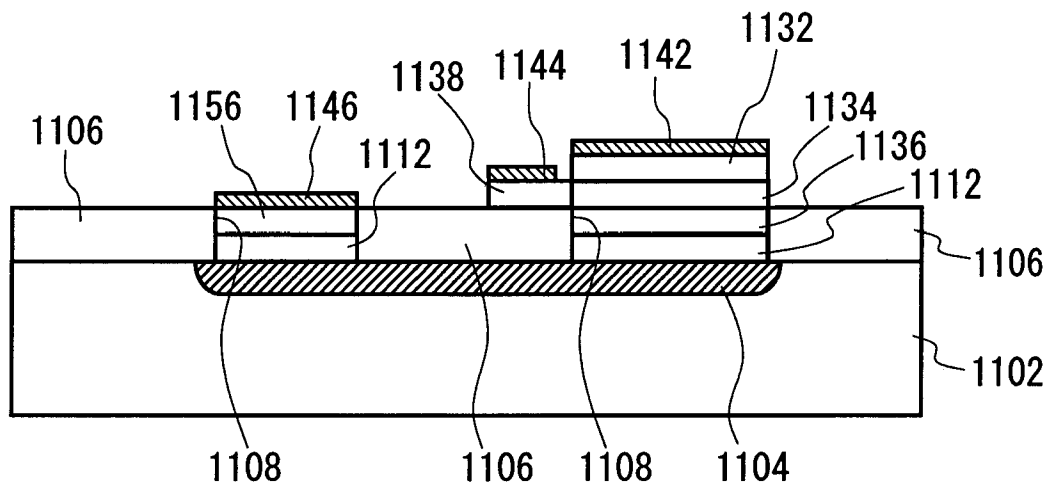
[図9]



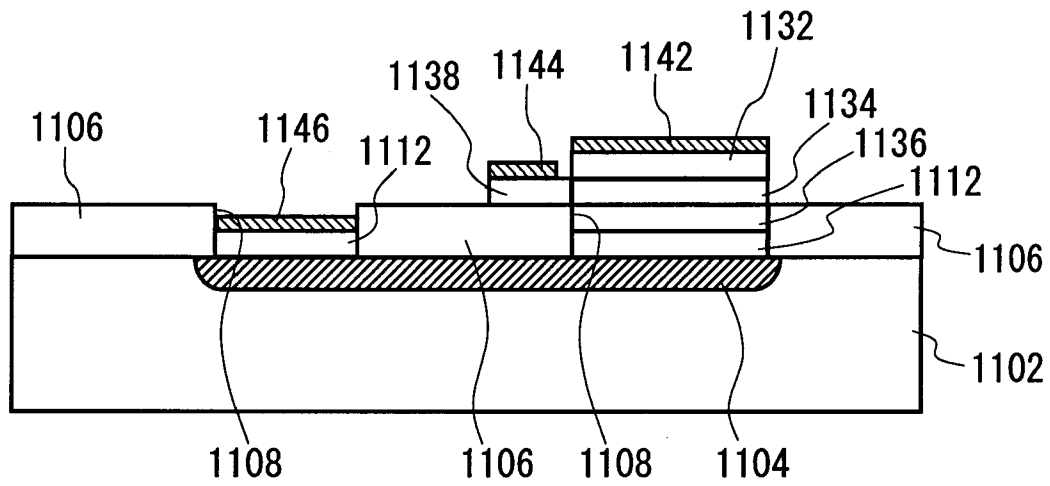
[図10]

1000

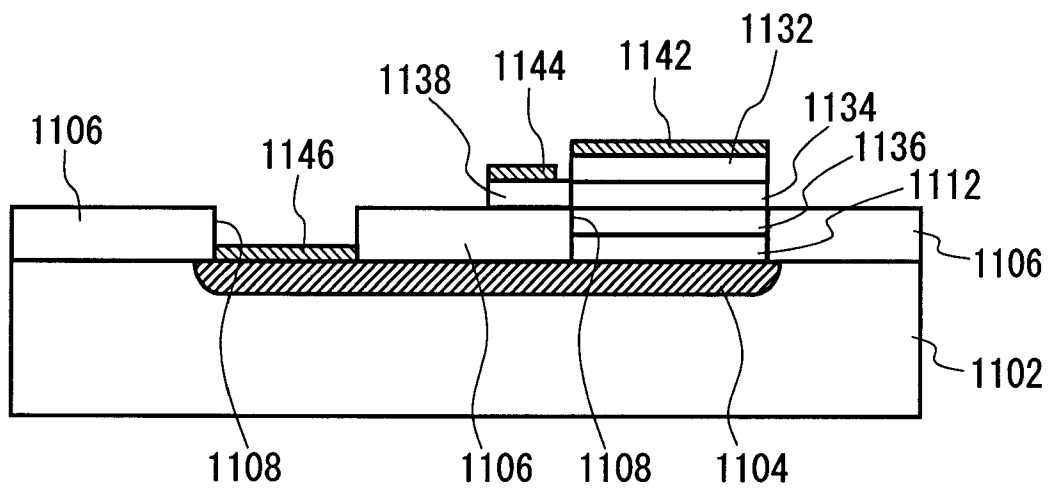
[図11]

1100

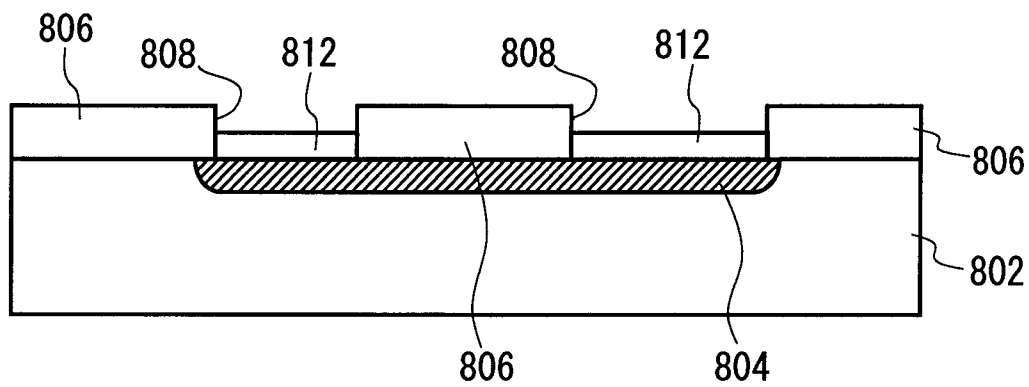
[図12]

1200

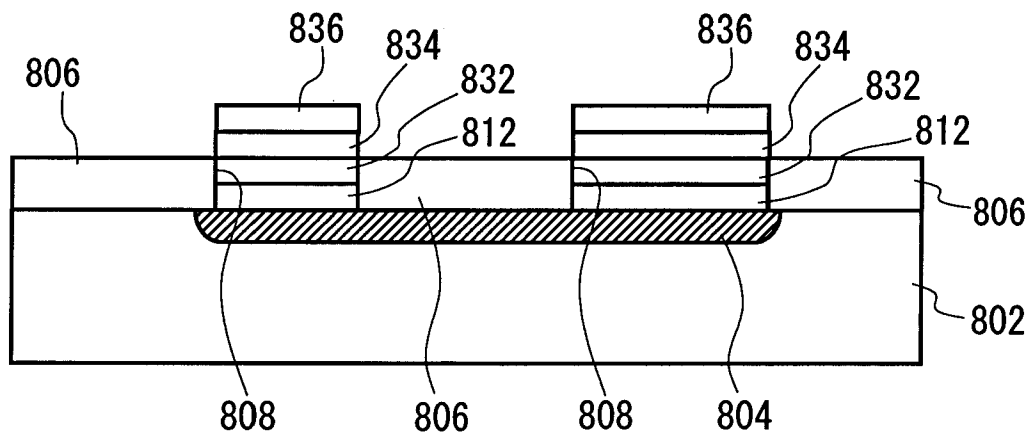
[図13]

1300

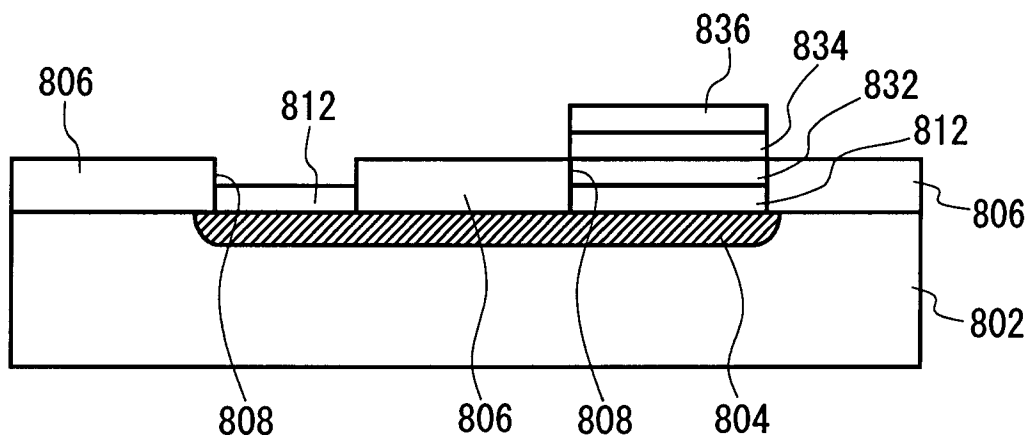
[図14]



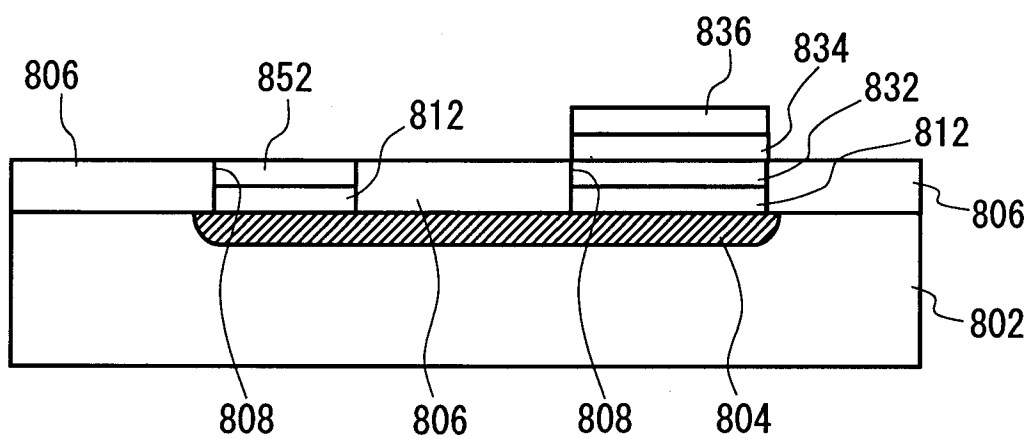
[図15]



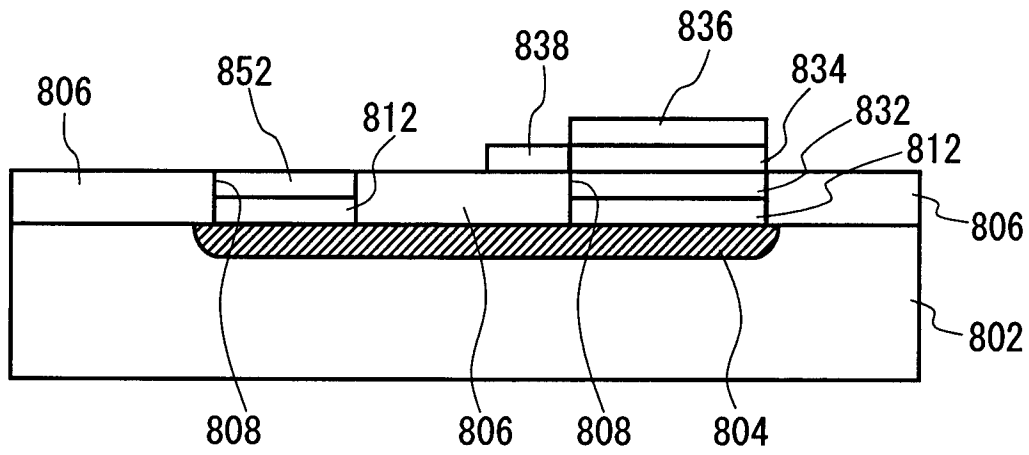
[図16]



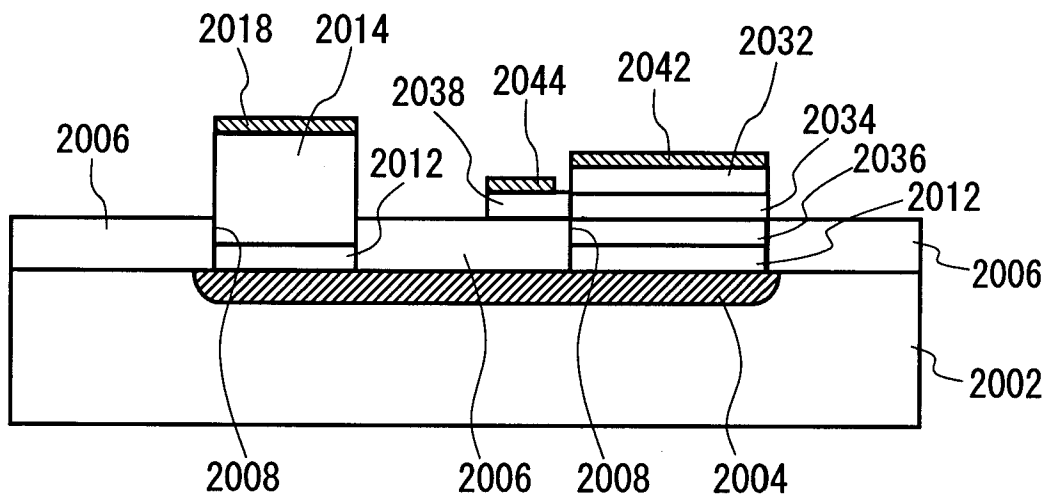
[図17]



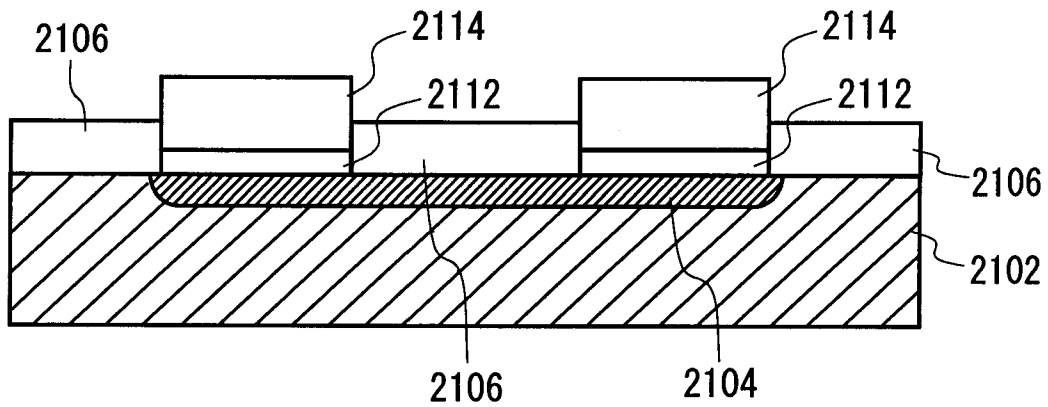
[図18]



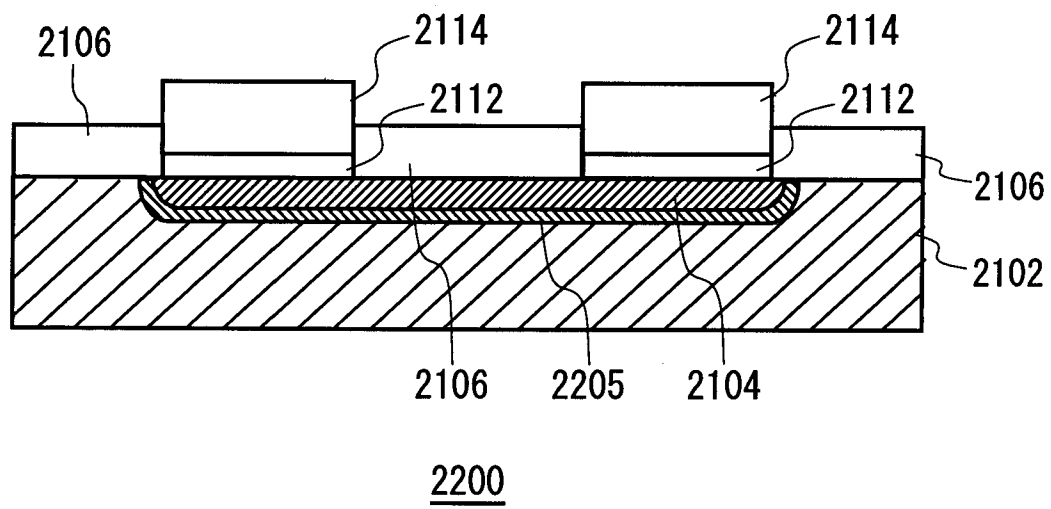
[図19]

2000

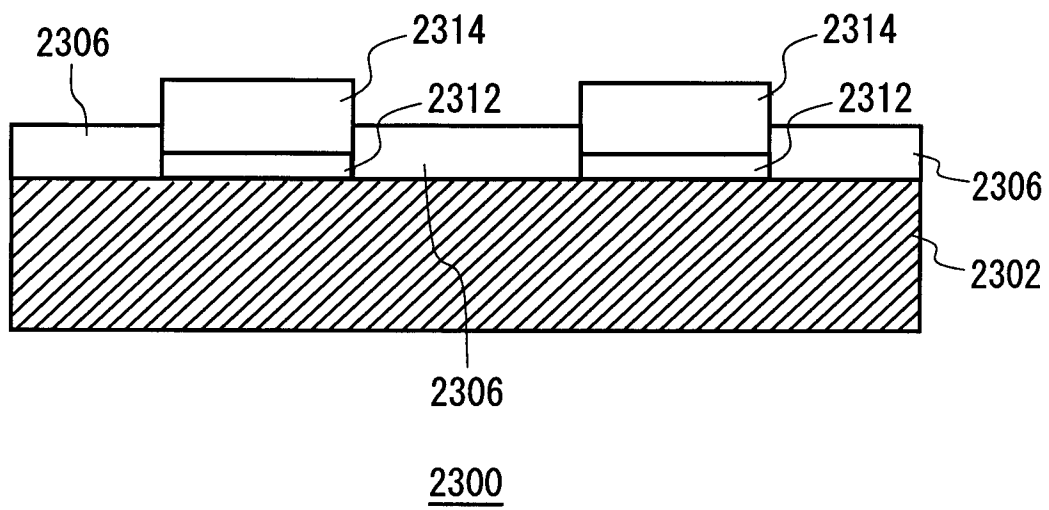
[図20]

2100

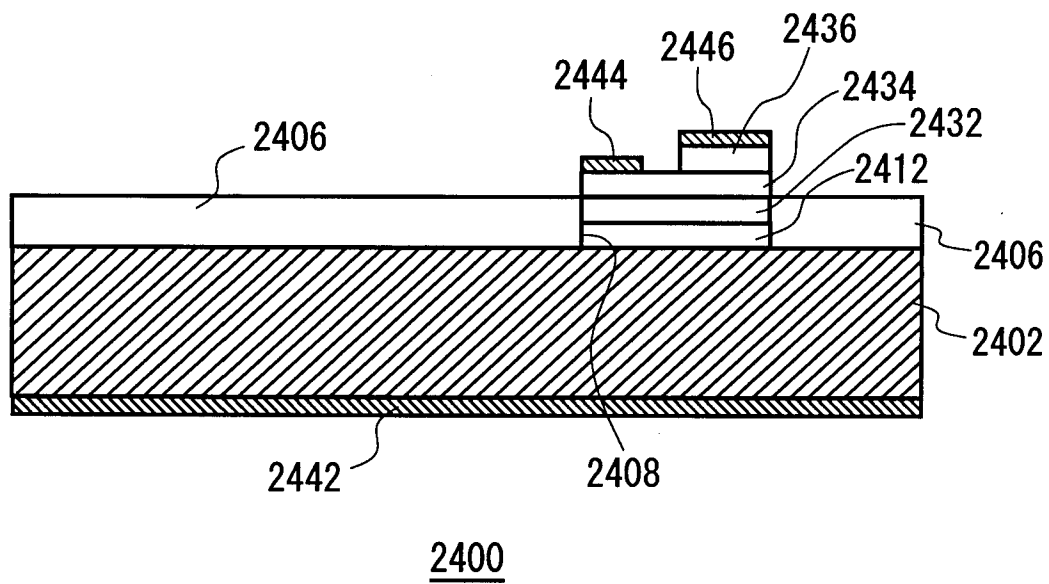
[図21]



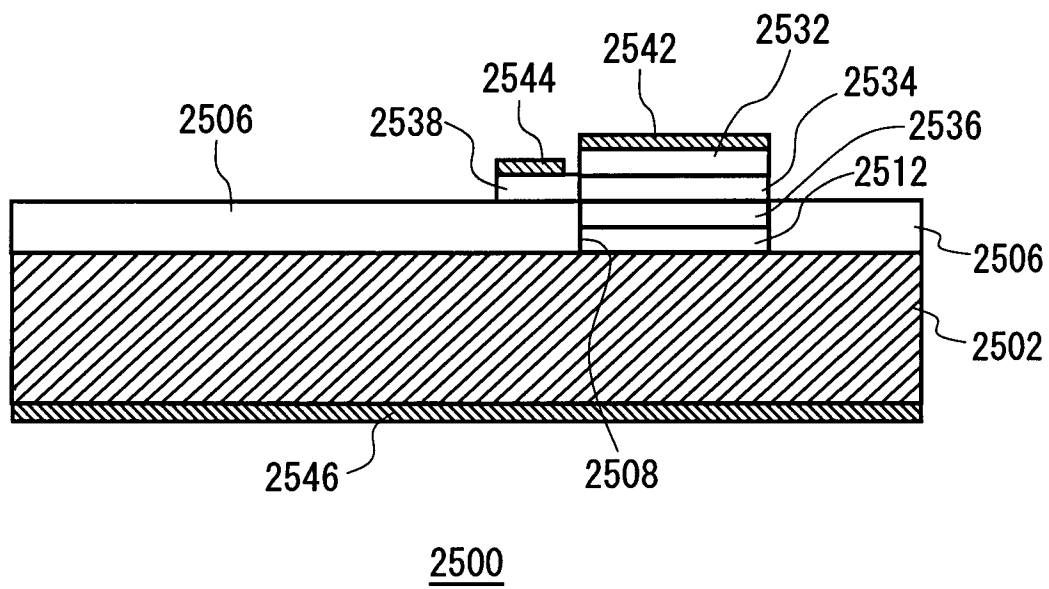
[図22]



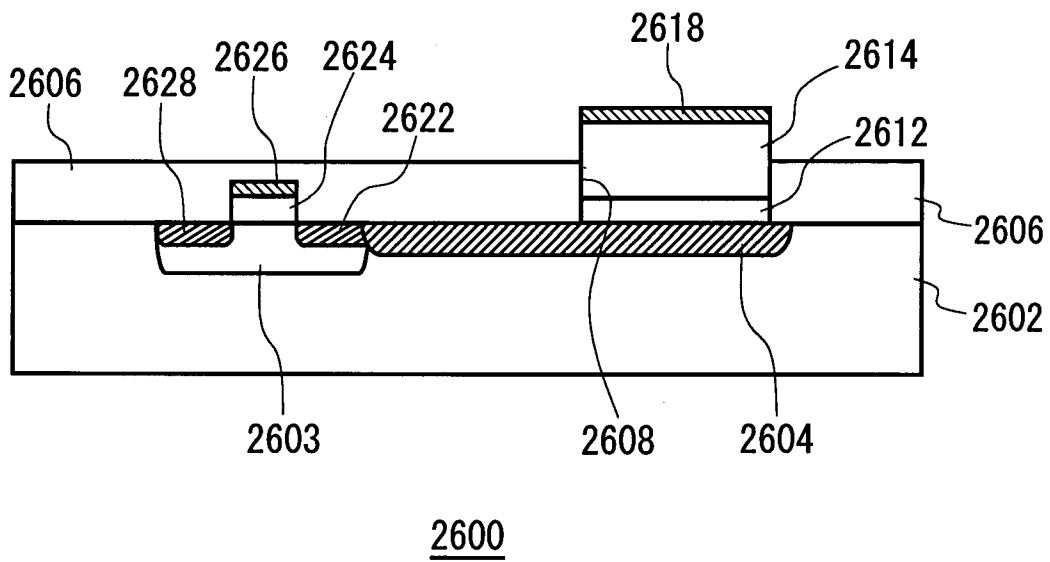
[図23]



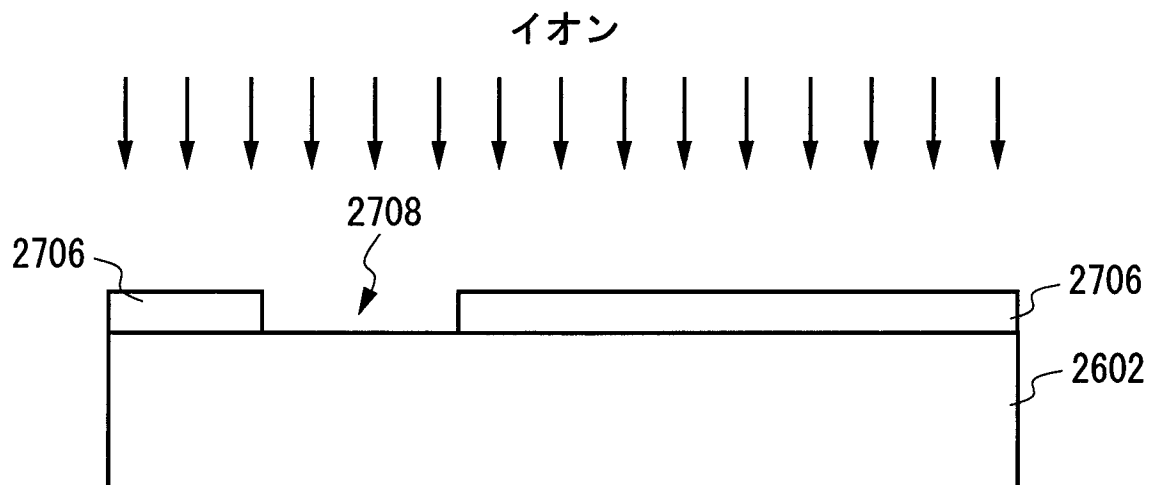
[図24]



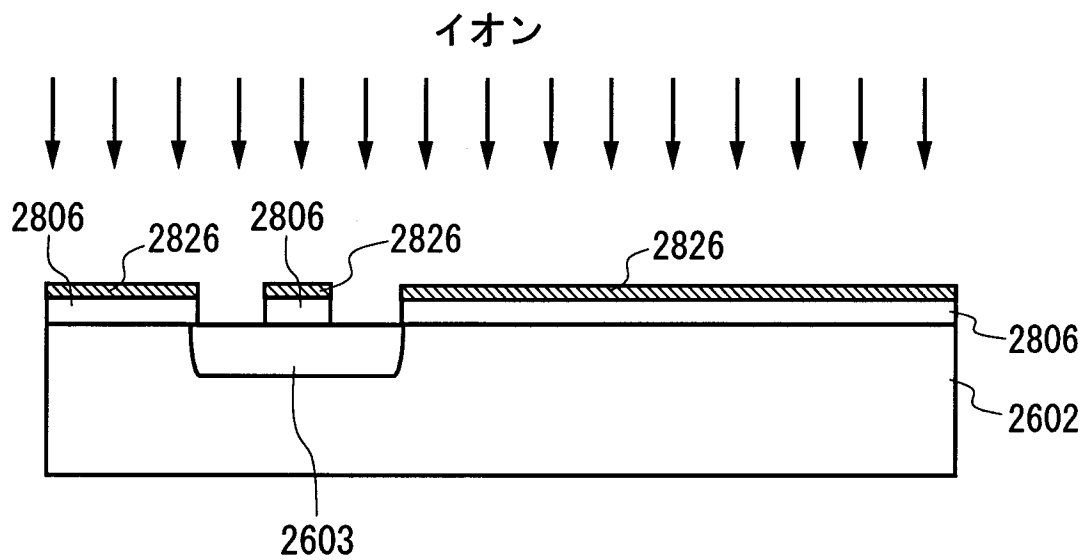
[図25]



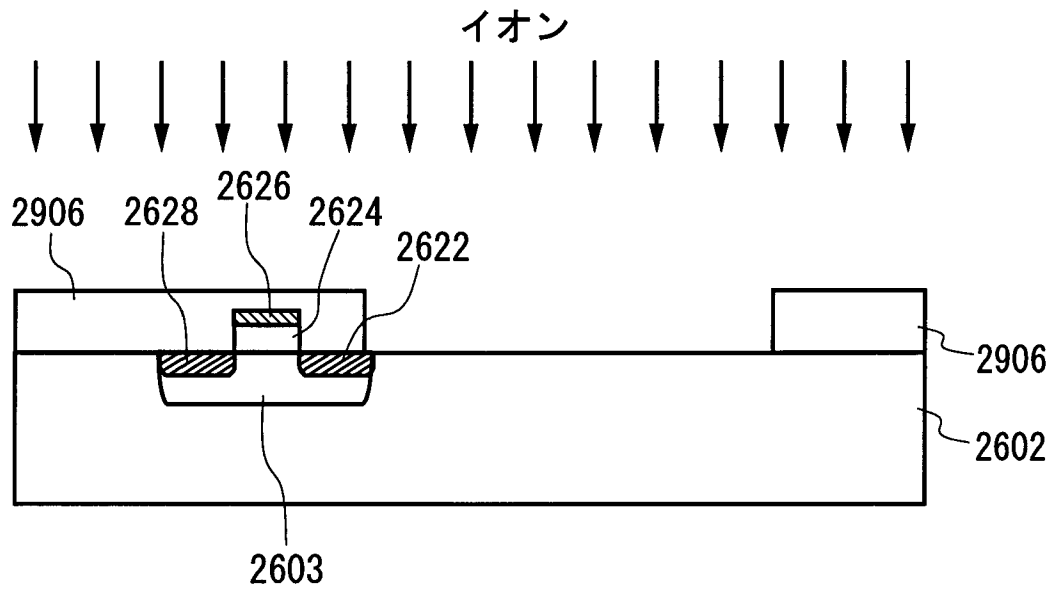
[図26]



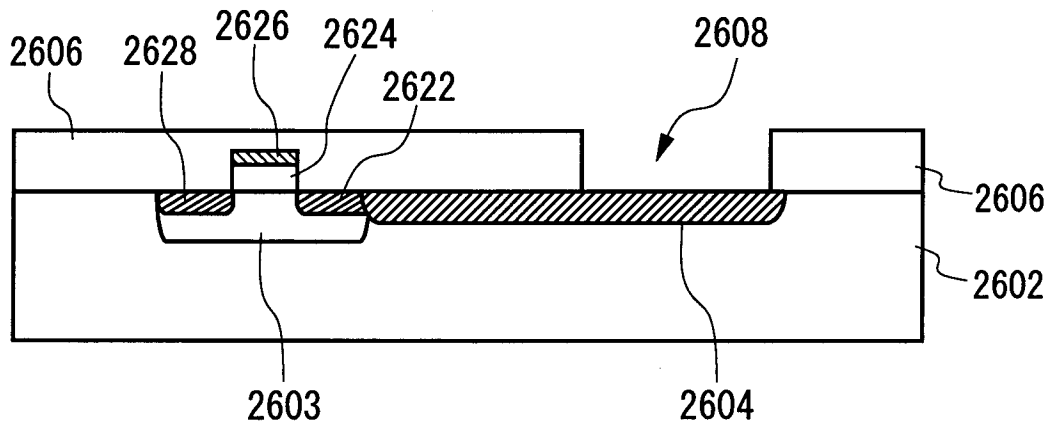
[図27]



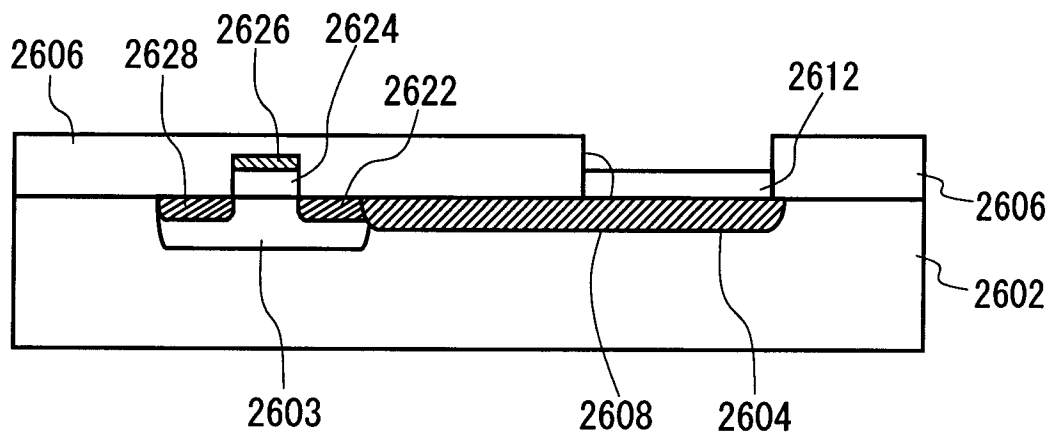
[図28]



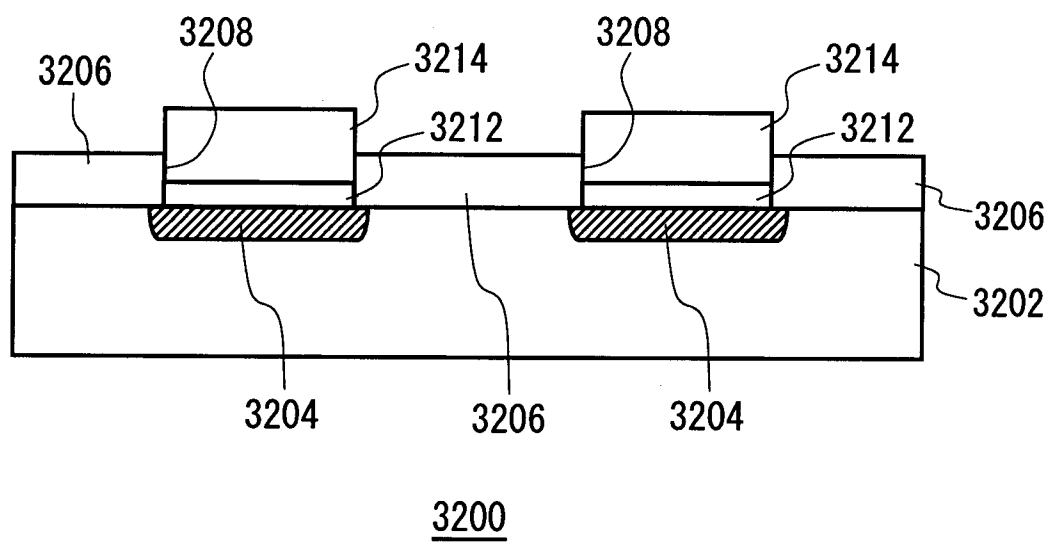
[図29]



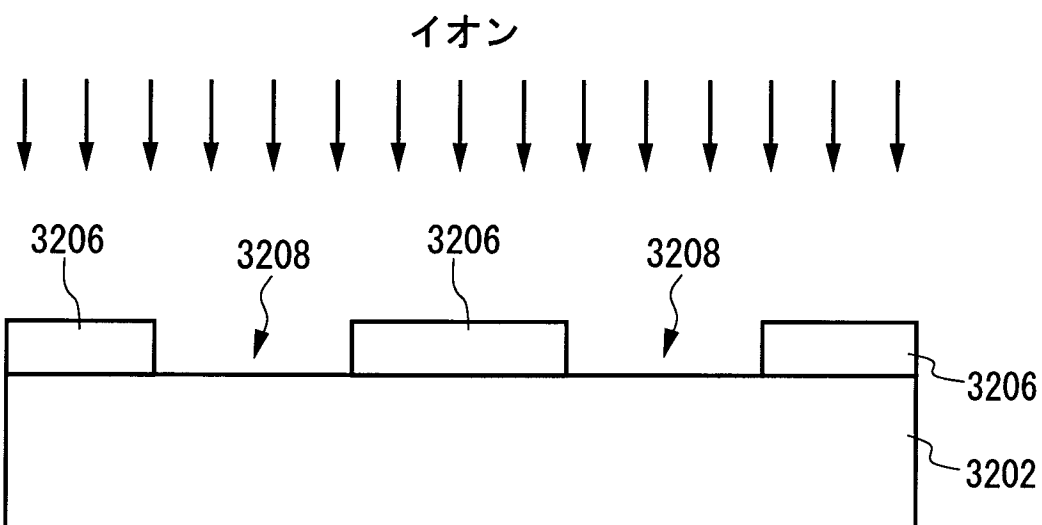
[図30]



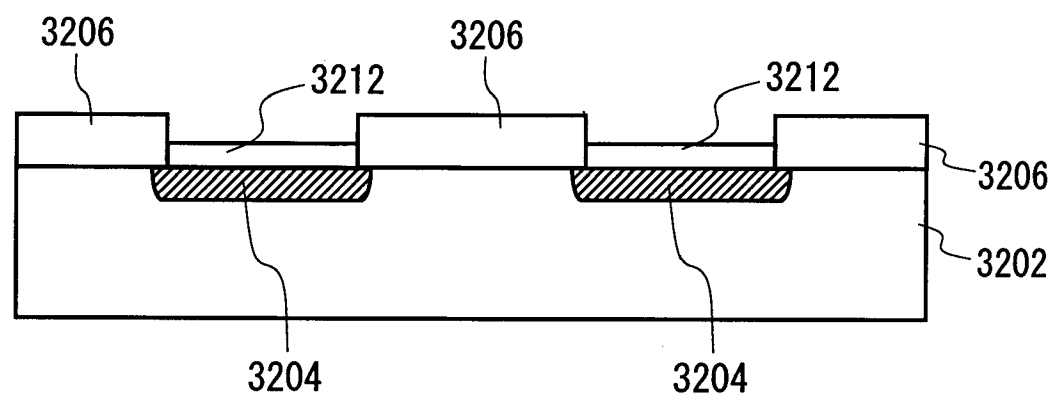
[図31]



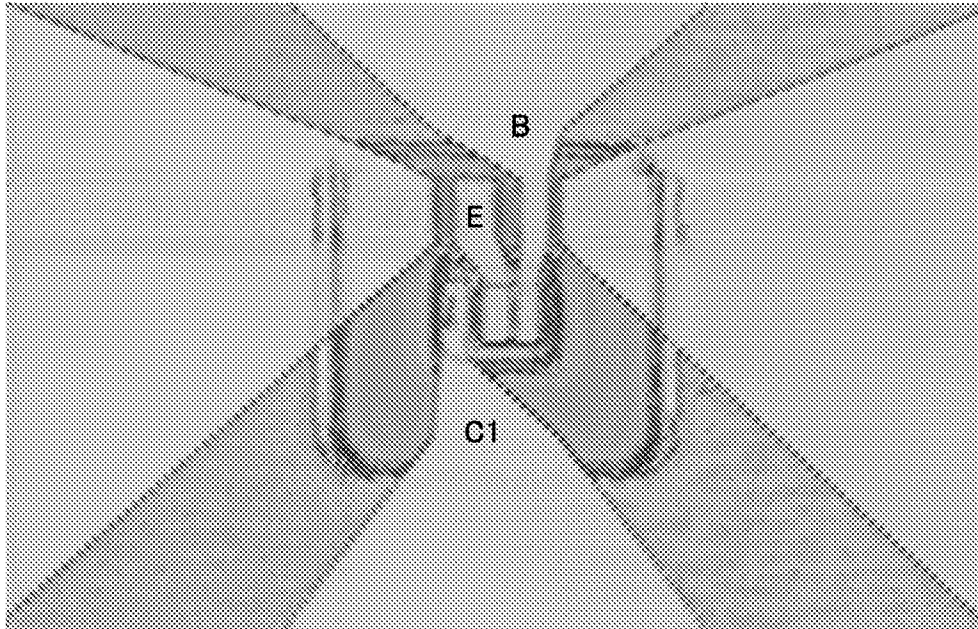
[図32]



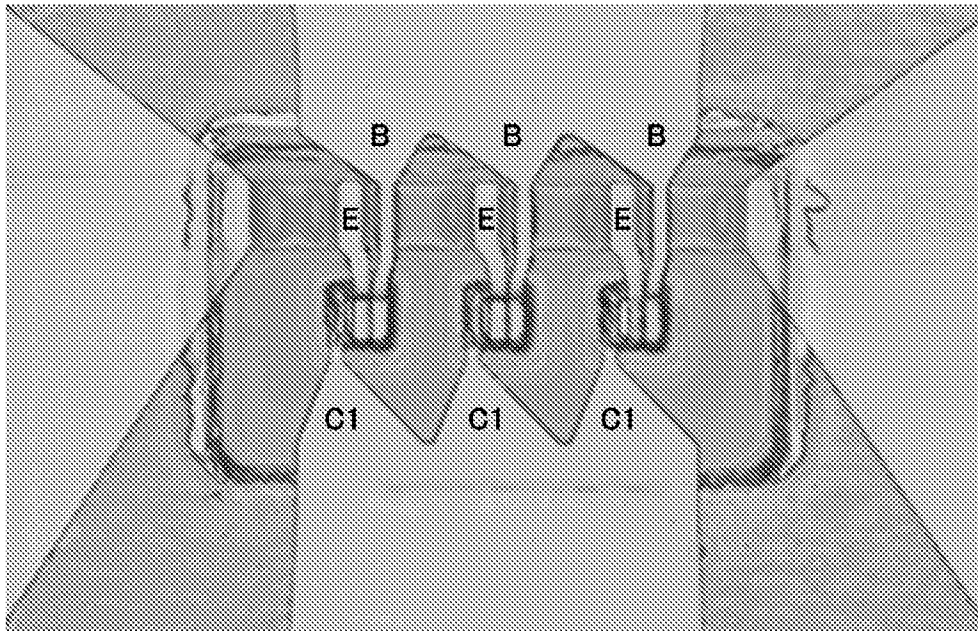
[図33]



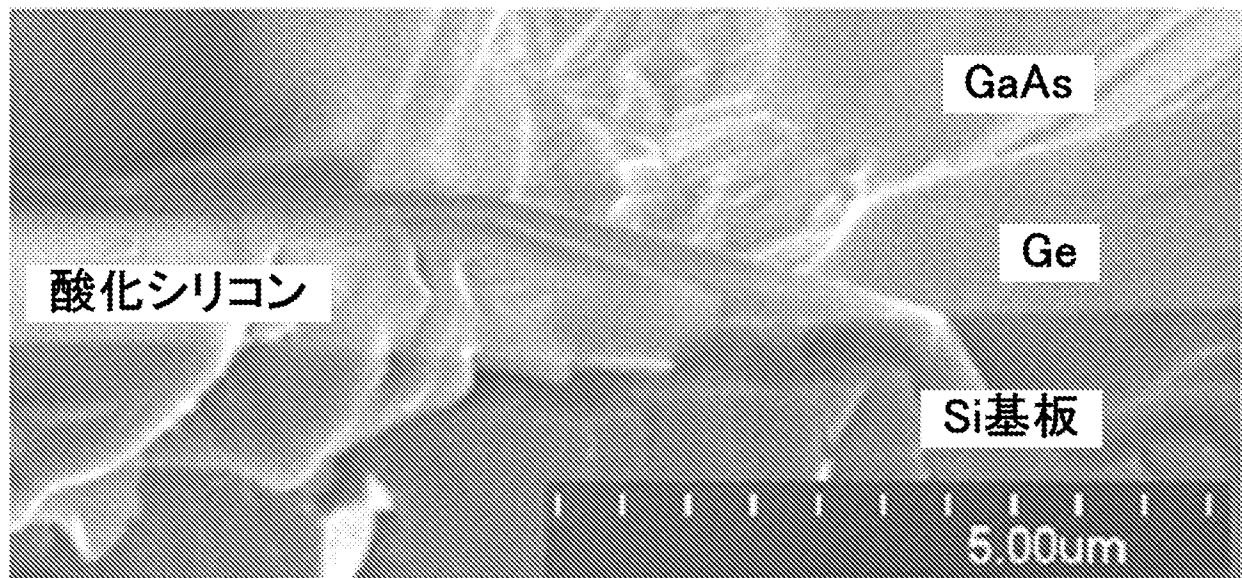
[図34]



[図35]



[図36]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/003371

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/20(2006.01)i, H01L21/331(2006.01)i, H01L21/8222(2006.01)i,
H01L21/8232(2006.01)i, H01L21/8248(2006.01)i, H01L21/8249(2006.01)i,
H01L27/06(2006.01)i, H01L27/08(2006.01)i, H01L27/082(2006.01)i,
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/20, H01L21/331, H01L21/8222, H01L21/8232, H01L21/8248, H01L21/8249,
H01L27/06, H01L27/08, H01L27/082, H01L29/737, H01L31/10, H01L33/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-338988 A (Hitachi, Ltd.), 07 December 2001 (07.12.2001), entire text; all drawings & US 2001/0045604 A1 & US 2004/0129982 A1 & TW 502443 B & KR 10-2001-0107550 A	1-3, 7-9, 11 4, 5, 10
Y	JP 2001-352093 A (Sharp Corp.), 21 December 2001 (21.12.2001), entire text; all drawings (Family: none)	4, 5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 July, 2010 (30.07.10)

Date of mailing of the international search report
10 August, 2010 (10.08.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/003371

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-537672 A (University of Warwick), 08 December 2005 (08.12.2005), paragraph [0022] & US 2005/0245055 A1 & US 7179727 B2 & GB 220438 D & EP 1540715 A & WO 2004/023536 A1 & KR 10-2005-0038037 A & CN 1714427 A	10
X	JP 63-252478 A (Seiko Instruments Inc.), 19 October 1988 (19.10.1988), examples 6, 7; fig. 7, 8 & US 5036374 A & DE 3811821 A	1-3, 6-11
X	JP 11-243056 A (Fuji Electric Co., Ltd.), 07 September 1999 (07.09.1999), paragraphs [0022] to [0026]; fig. 4, 5 (Family: none)	1, 2, 6, 8-11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/003371

Continuation of A. CLASSIFICATION OF SUBJECT MATTER

(International Patent Classification (IPC))

H01L29/737(2006.01)i, H01L31/10(2006.01)i, H01L33/34(2010.01)i

(According to International Patent Classification (IPC) or to both national classification and IPC)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/003371

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☒ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
Inventions of claims 1-11 (corresponding to inventions 1-3 grouped in "extra sheet")
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

Continuation of Box No.III of continuation of first sheet (2)

JP 2001-338988 A (document 1), JP 63-252478 A (document 2) and JP 11-243056 A (document 3) disclose "a semiconductor substrate comprising a base substrate having an impurity region, in which impurity atoms are introduced into silicon, a plurality of seeders mounted in contact with said impurity region, and a plurality of compound semiconductors disposed in contact with the individually corresponding seeders and lattice-matched or quasi-lattice-matched individually with the corresponding ones of said seeders". Consequently, the invention of claim 1 is not novel over the aforementioned documents 1-3, and thus does not have a special technical feature.

Therefore, it is admitted that the dependent claims of claim 1 contain the seven inventions which are related in the individual special technical features, as indicated in the following, if the special technical features are decided at the time of ordering an additional fee payment.

Here, the invention of claim 1 having no special technical feature is grouped into invention 1.

(Invention 1) Invention of claims 1-3 and 7-11

A semiconductor substrate comprising a base substrate having an impurity region, in which impurity atoms are introduced into silicon, a plurality of seeders mounted in contact with said impurity region, and a plurality of compound semiconductors disposed in contact with the individually corresponding seeders and lattice-matched or quasi-lattice-matched individually with the corresponding ones of said seeders.

Here, the invention of claims 2 and 10 serially dependent on claim 1, and the invention of claims 3, 7-9 and 11, on which the searches have been substantially ended, are grouped into invention 1.

(Invention 2) Invention of claims 4 and 5

A semiconductor substrate, as set forth herein above, further comprising an impurity region of a first conduction type containing impurity atoms of a first conduction type, and a highly doped impurity region of a second conduction type containing impurity atoms of a second conduction type opposite to said first conduction type.

(Invention 3) Invention of claim 6

A semiconductor substrate, as set forth herein above, wherein said impurity region is formed from the surface where said base substrate contacts with said seeders, to the face opposite of said surface.

(Invention 4) Invention of claims 12, 15 and 16

An electronic device comprising a first compound semiconductor element mounted in a first compound semiconductor belonging to said compound semiconductors in said semiconductor substrate, and a second compound semiconductor element mounted in a second compound semiconductor belonging to said compound semiconductors but different from said first compound semiconductor, wherein at least one of said terminals of said first compound semiconductor element and at least one of said terminals of said second compound semiconductor element are electrically coupled through said impurity region.

(Continued to next extra sheet)

(Invention 5) Invention of claims 13 and 14

An electronic device wherein at least one of said compound semiconductor elements mounted in said compound semiconductors in said semiconductor substrate is a hetero-junction bipolar transistor, and wherein the collector or emitter of said hetero-junction bipolar transistor is electrically coupled to said impurity region through at least one of said seeders.

(Invention 6) Invention of claim 17

An electronic device further comprising a silicon element mounted in a first conduction type impurity region formed in said base substrate in said semiconductor substrate and containing impurity atoms of the first conduction type, and having a plurality of terminals and an active region composed mainly of silicon atoms, wherein at least one of said terminals of said silicon element and at least one of said terminals of said compound semiconductor element mounted in said compound semiconductors are electrically coupled through said impurity region.

(Invention 7) Invention of claim 18-22

A semiconductor substrate manufacturing method comprising a step of preparing a base substrate having an impurity region, in which impurity atoms are introduced into silicon, a step of forming a plurality of seeders in contact with said impurity region, a step of heating said seeders, and a step of forming, on heated said seeders, compound semiconductors to be lattice-matched or quasi-lattice-matched with heated said seeders.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/20(2006.01)i, H01L21/331(2006.01)i, H01L21/8222(2006.01)i, H01L21/8232(2006.01)i, H01L21/8248(2006.01)i, H01L21/8249(2006.01)i, H01L27/06(2006.01)i, H01L27/08(2006.01)i, H01L27/082(2006.01)i, H01L29/737(2006.01)i, H01L31/10(2006.01)i, H01L33/34(2010.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/20, H01L21/331, H01L21/8222, H01L21/8232, H01L21/8248, H01L21/8249, H01L27/06, H01L27/08, H01L27/082, H01L29/737, H01L31/10, H01L33/34

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2001-338988 A (株式会社日立製作所) 2001.12.07, 全文, 全図 & US 2001/0045604 A1 & US 2004/0129982 A1 & TW 502443 B & KR 10-2001-0107550 A	1-3, 7-9, 11 4, 5, 10
Y	JP 2001-352093 A (シャープ株式会社) 2001.12.21, 全文, 全図 (ファミリーなし)	4, 5

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

3 0 . 0 7 . 2 0 1 0

国際調査報告の発送日

1 0 . 0 8 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

杵 哲次

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

4 M

3 9 5 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2005-537672 A (ユニバーシティー オブ ワーウィク) 2005.12.08, 段落【0022】 & US 2005/0245055 A1 & US 7179727 B2 & GB 220438 D & EP 1540715 A & WO 2004/023536 A1 & KR 10-2005-0038037 A & CN 1714427 A	10
X	JP 63-252478 A (セイコーインスツルメンツ株式会社) 1988.10.19, 実施例6, 7, 第7, 8図 & US 5036374 A & DE 3811821 A	1-3, 6-11
X	JP 11-243056 A (富士電機株式会社) 1999.09.07, 段落【0022】～【0026】, 図4, 5 (ファミリーなし)	1, 2, 6, 8-11

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

特別ページ参照

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☒ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。

請求項1～11に係る発明（「特別ページ」で区分された発明1～3に対応）
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

JP 2001-338988 A (文献 1)、JP 63-252478 A (文献 2)、JP 11-243056 A (文献 3) には「シリコンに不純物原子が導入された不純物領域を有するベース基板と、前記不純物領域に接して設けられている複数のシード体と、各々対応するシード体に接して設けられ、対応する前記シード体とそれぞれ格子整合または擬格子整合する複数の化合物半導体とを備える半導体基板」が記載されており、請求項 1 に係る発明は、上記文献 1 ～ 3 に対して新規性が認められず、特別な技術的特徴を有しない。

そこで、請求項 1 の従属請求項について手数料の追加納付命令時点での特別な技術的特徴を判断すると、以下に示す各特別な技術的特徴で関連する 7 の発明が含まれるものと認められる。

なお、特別な技術的特徴を有しない請求項 1 に係る発明は、発明 1 に区分する。

(発明 1) 請求項 1 ～ 3, 7 ～ 11 に係る発明

シリコンに不純物原子が導入された不純物領域を有するベース基板と、前記不純物領域に接して設けられている複数のシード体と、各々対応するシード体に接して設けられ、対応する前記シード体とそれぞれ格子整合または擬格子整合する複数の化合物半導体とを備える半導体基板。

なお、請求項 1 に直列的に従属する請求項 2, 10 に係る発明と、実質的に調査が終了している請求項 3, 7 ～ 9, 11 に係る発明は、発明 1 に区分する。

(発明 2) 請求項 4, 5 に係る発明

第 1 伝導型の不純物原子を含む第 1 伝導型不純物領域と前記第 1 伝導型と反対の伝導型の第 2 伝導型の不純物原子を含む第 2 伝導型高濃度不純物領域を有する上記半導体基板。

(発明 3) 請求項 6 に係る発明

前記不純物領域が、前記ベース基板が前記複数のシード体に接する表面から前記表面と反対側の面まで形成されている上記半導体基板。

(発明 4) 請求項 12, 15, 16 に係る発明

上記半導体基板における前記複数の化合物半導体のうちの第 1 化合物半導体に設けられた第 1 化合物半導体素子と、前記複数の化合物半導体のうちの前記第 1 化合物半導体と異なる第 2 化合物半導体に設けられた第 2 化合物半導体素子とを備え、前記第 1 化合物半導体素子の前記複数の端子のうち少なくとも 1 つの端子と、前記第 2 化合物半導体素子の前記複数の端子のうち少なくとも 1 つの端子とが、前記不純物領域を介して電気的に結合されている電子デバイス。

(発明 5) 請求項 13, 14 に係る発明

上記半導体基板における前記複数の化合物半導体に設けられた前記化合物半導体素子の少なくとも一つは、ヘテロ接合バイポーラトランジスタであり、前記ヘテロ接合バイポーラトランジスタのコレクタまたはエミッタが前記複数のシード体の少なくとも一つを介して前記不純物領域に電気的に結合されている電子デバイス。

(発明 6) 請求項 17 に係る発明

上記半導体基板における前記ベース基板に設けられた第 1 伝導型の不純物原子を含む第 1 伝導型不純物領域に設けられ、複数の端子を有し、シリコン原子を主成分とする活性領域を有するシリコン素子をさらに備え、前記シリコン素子の前記複数の端子のうち少なくとも 1 つの端子と前記複数の化合物半導体に設けられた前記化合物半導体素子の前記複数の端子のうち少なくとも 1 つの端子とが、前記不純物領域を介して電気的に結合されている電子デバイス。

(発明 7) 請求項 18 ～ 22 に係る発明

シリコンに不純物原子が導入された不純物領域を有するベース基板を準備する段階と、前記不純物領域に接して、複数のシード体を形成する段階と、前記複数のシード体を加熱する段階と、加熱された前記複数のシード体に、前記複数のシード体と格子整合または擬格子整合する化合物半導体を形成する段階とを備える半導体基板の製造方法。