

A1

**DEMANDE
DE BREVET D'INVENTION**

(21)

N° 80 16206

(54)

Circuit intégré monolithique à transistors MOS complémentaires.

(51)

Classification internationale (Int. Cl.³). H 01 L 27/04.

(22)

Date de dépôt..... 23 juillet 1980.

(33) (32) (31)

Priorité revendiquée : RFA, 24 juillet 1979, n° P 29 29 869.9.

(41)

Date de la mise à la disposition du
public de la demande..... B.O.P.I. — « Listes » n° 6 du 6-2-1981.

(71)

Déposant : Société dite : ITT INDUSTRIES INC., résidant aux EUA.

(72)

Invention de : Fritz Guenter Adam.

(73)

Titulaire : *Idem* (71)

(74)

Mandataire : Jean-Claude Loraux,
251, rue de Vaugirard, 75740 Paris Cedex 15.

La présente invention concerne un circuit intégré monolithique incluant une paire de transistors à effet de champ à grille isolée dont les types de conductivité sont complémentaires, ou inverseur CMOS. Dans l'inverseur CMOS le plus simple, un transistor d'un premier type de conductivité est formé de façon classique par diffusion de régions source et drain à la surface d'un substrat du type de conductivité opposé et les régions source et drain du transistor complémentaire sont implantés dans un îlot du premier type de conductivité préalablement diffusé à la surface du substrat. Le signal d'entrée commande les deux transistors dont les drains sont reliés par une liaison galvanique sur laquelle est prise la sortie de l'inverseur et dont les sources sont reliées respectivement aux pôles de la source d'alimentation, comme l'explique, par exemple, le journal technique allemand "Elektronik", (1971) N° 4, p. 111 à 116.

Il a été remarqué que si un circuit intégré monolithique CMOS de ce type reçoit des impulsions de tension ou impulsions parasites à front très raide, il peut en résulter un court-circuit à travers le circuit intégré monolithique CMOS, ce qui est susceptible d'entraîner sa destruction. Le phénomène s'observe surtout dans les circuits CMOS comprenant des électrodes de commande en aluminium ayant une tension de seuil élevée, et qui sont destinés à fonctionner à des tensions d'alimentation élevées.

Il a été admis que ceci était dû aux capacités formées par le chevauchement des électrodes de commande et des régions drains. En fait, dans le cas de l'inverseur CMOS, les électrodes de commande et les électrodes de drain des transistors à canal n et à canal p sont reliées entre elles par des motifs conducteurs en aluminium obtenus par évaporation. Donc, durant le processus de commutation, une partie de la variation de tension sur l'électrode de commande est transférée par la capacité de chevauchement de l'électrode de commande, à la région drain des transistors.

Un échelon de tension de pente infinie V_G à l'électrode de commande entraîne donc une variation de tension sur l'électrode de drain : $\Delta U_D = \Delta U_{Dmax} = \Delta U_G \times \frac{C_U}{C_K}$, C_U représentant la capacité de chevauchement entre l'électrode de commande et la région drain, et C_K la capacité totale

du drain y compris C_u .

Si l'on considère le cas où le potentiel de la grille saute de sa valeur "la plus positive" à sa valeur "la plus négative", le potentiel de drain du transistor à canal n sautera de 0 à $-\Delta U_D$ à cause de cette division de tension capacitive. Puisque l'îlot p, quand il est à l'état de repos, est relié à la masse, il en résulte une différence de potentiel entre l'îlot et le drain qui, selon un certain calcul, peut être d'environ 2 V. La région drain devient négative par rapport à l'îlot et commence à consommer un courant direct quand $U_D \geq 0,7$ V, c'est-à-dire supérieur à la tension de seuil de la jonction pn du drain. Quand cela est le cas, un courant direct circule à travers cette jonction pn et, comme on le sait bien, entraîne une injection de porteurs de charge du côté à plus grande résistivité, c'est-à-dire dans la partie de l'îlot p adjacente à la jonction pn. Puisqu'au voisinage de cette jonction on trouve la jonction pn polarisée en sens inverse entre l'îlot et le substrat, cette dernière joue le rôle d'une jonction collectrice pour les électrons injectés par la région drain dans l'îlot de type p. A une vitesse d'injection suffisamment forte, la jonction pn entre l'îlot et le substrat perd son effet de barrière et provoque ainsi la commutation à travers la structure à quatre couches transistor canal n/îlot p/substrat n/transistor canal p, ce qu'on désigne généralement sous le nom d'"effet thyristor".

La reconnaissance de cet effet est le point de départ de la présente invention. pour permettre à l'effet thyristor de s'établir, il est nécessaire de satisfaire à la condition suivante :

$$\Delta U_D \geq 0,7 \text{ V}$$

en pratique, U_D n'atteindra pas tout à fait sa valeur théorique maximale

$$\Delta U_{Dmax} = \Delta V_G \times \frac{C_u}{C_k}$$

la différence potentiel résultante entre la région drain et la région source du transistor à effet de champ à canal n commençant immédiatement à se compenser par la circulation du courant à travers le transistor qui est encore dans l'état conducteur, les parties "source" et "drain" étant interverties en raison des conditions de potentiel durant cette phase de compensation.

Quand ΔU_D n'a pas excédé durant cette phase la valeur critique nécessaire à l'amorçage de l'effet thyristor, c'est-à-dire : $\Delta U_{Dcrit} \simeq 0,7 \text{ V}$

- 5 l'effet thyristor ne se produit pas et la commutation s'opère normalement : le transistor à canal p est rendu conducteur, le transistor à canal n est rendu non-conducteur et le potentiel de drain (à la sortie de l'inverseur), atteint la valeur "la plus positive" U_B .

- 10 Evidemment, l'effet thyristor peut également être supprimé, soit en ralentissant la commande et en appliquant des impulsions de tension à fronts moins raides aux électrodes de commande, soit par une conception extrêmement résistante de l'étage de commande (faible rapport largeur sur longueur de canal), soit par extension de la capacité C_K , obtenue, par
15 exemple, en agrandissant les surfaces des régions drains diffusées ou en réduisant l'effet d'injection région drain-flot-substrat, bien que ceci ne soit pas sans présenter quelque difficulté ni sans entraîner certains inconvénients,
20 tels qu'une diminution de la vitesse de commutation.

L'objet de l'invention est donc de fournir un circuit intégré monolithique CMOS dans lequel l'effet thyristor non désiré dont il est fait mention ci-dessus soit évité, de façon à empêcher que le dispositif ne soit détruit par des impulsions.

- 25 Dans le cas d'un circuit intégré monolithique CMOS fabriqué dans un substrat en silicium, l'invention consiste à utiliser un contact à barrière de Schottky, par exemple en Al-Si, qui empêche le potentiel de la région drain de descendre en-dessous du potentiel de l'îlot p d'une quantité
30 supérieure à la tension de seuil de Schottky. Toutefois, il est également possible d'utiliser d'autres métaux pour établir le contact à barrière de Schottky comme l'expliquent, par exemple, les journaux techniques "Solid-State Electronics" Vol. 14 (1971) p. 71 à 75 et "IEEE Transactions on Electron
35 Devices" Vol. ED-16 N° 1 (Jan. 1969) p. 58 à 63. De cette manière il est garanti que la tension de seuil (tension de seuil dans le sens direct) du contact à barrière de Schottky reste en-dessous de celle de la jonction pn.

- 40 La tension de seuil de Schottky étant, par conséquent, inférieure à celle de la jonction pn de la région drain, le courant, sans porteurs minoritaires, s'écoulant

à travers le contact à barrière de Schottky, va entraîner une décharge du côté drain, ce qui va empêcher une circulation de courant direct avec injection à travers la jonction pn de la région drain.

5 Par analogie, et selon une autre caractéristique du circuit intégré monolithique CMOS de la présente invention, il est également possible de fournir un contact à barrière de Schottky entre la région drain du transistor à canal p et le substrat. Dans la plupart des cas, cependant, un seul contact
10 à barrière de Schottky du côté du transistor à effet de champ à canal n sera suffisant, car dans ce cas le danger d'une injection dans la jonction pn entre l'îlot et la région drain est plus grand (α plus élevé), que s'il devait partir de la région drain du transistor à effet de champ à canal p.

15 L'invention sera mieux comprise à la lecture de la description détaillée qui va suivre, faite à titre d'exemple non limitatif en se reportant aux figures annexées 1 à 4, qui représentent :

- Fig. 1 : une vue partielle en coupe verticale d'un
20 circuit intégré monolithique inverseur CMOS de type classique;

- Fig. 2a à 2c : trois schémas de circuits équivalents concernant le trajet du courant entre les points aux potentiels 0 et V_B à travers l'îlot et le substrat ;

- Fig. 3 : une réalisation du circuit intégré monolithique inverseur CMOS, conforme à l'invention, comportant
25 deux contacts à barrière de Schottky et

- Fig. 4a et b : deux schémas de circuits équivalents concernant respectivement l'utilisation d'une diode à barrière de Schottky sur l'îlot dopé de type p et sur le substrat de
30 type n.

La fig. 1, en coupe verticale, représente un circuit intégré monolithique CMOS du type classique, connecté comme un inverseur. Pour former un transistor à effet de champ à canal n, on a ménagé un îlot semi-conducteur 2 de type p dans
35 un substrat 1 de type n. Ceci peut être réalisé de la manière classique par utilisation d'un procédé de diffusion planar. Dans cet îlot 2 se trouvent la région drain 5 et la région source 10, alors qu'à côté de l'îlot 2 (à gauche sur la figure), qui forme une jonction pn 7 avec le substrat 1, la
40 région drain 6 et la région source 9 du transistor à effet de

champ à canal p ont été produites par diffusion planar. Le signal d'entrée est appliqué en U_G à la connexion galvanique existant entre les deux électrodes de commande 11 et 12. L'alimentation $U_B > 0$ est appliquée au substrat et à la région source 9 d'un côté, et, de l'autre côté, l'îlot 2 est mis au potentiel zéro.

Les fig. 2a à 2c représentent trois schémas de circuits équivalents pour la fig. 1, comprenant les trois diodes pn entre les régions respectives 9, 1, 2 et 10, dont les références numériques sont attribuées aux connexions existant entre les diodes pn. La fig. 2a concerne le cas idéal où $0 < U_D < U_B$ avec au moins $-0,7 \leq U_D < U_B + 0,7$ V.

La fig. 2b concerne le cas où l'effet thyristor est "amorcé" par le transistor npn parasite, l'amorçage s'effectuant à travers la région drain 5, qui, pour ainsi dire, doit être considérée comme une région émettrice auxiliaire d'un thyristor présentant la succession de régions suivantes : région source 10/îlot 2/substrat 1/région source 9. Par conséquent, la région drain 5 doit être considérée comme la zone émettrice d'un transistor parasite équivalent T1 auquel on applique pendant un certain temps une tension $U_D = \Delta U_D < -0,7$ V.

La fig. 2c concerne le cas où un thyristor est amorcé par un transistor parasite pnp T2 utilisant la région drain 6 comme région émettrice. On lui applique, pour l'amorçage, la tension $U_D = U_B + \Delta U_D > U_B + 0,7$ V à condition que, comme d'habitude, on utilise du silicium comme matériau semi-conducteur.

La fig. 3 est une vue en coupe correspondant à la fig. 1, qui représente un circuit intégré monolithique CMOS selon l'invention qui utilise un contact à barrière de Schottky 3 ou 4 connecté à la région drain 5 du transistor à effet de champ à canal n ou à la région drain 6 du transistor à effet de champ à canal p, respectivement. Dans la plupart des cas, cependant, on peut omettre le contact à barrière de Schottky 4 sur le substrat 2, parce que normalement la région drain 5 du transistor à effet de champ à canal n se trouvera beaucoup plus proche de la jonction pn 7 - qui agit comme jonction collectrice du thyristor mentionné plus haut, c'est-à-dire entre l'îlot 2 et le substrat 1 - que la région drain 6 du transistor à effet de champ à canal p.

La fig. 4a représente le schéma de circuit équivalent concernant le contact à barrière de Schottky 3 sur l'îlot 2, avec un transistor parasite T1 et la région drain 5 constituant son émetteur, alors que la fig. 4b représente le schéma de circuit équivalent concernant le cas où le contact à barrière de Schottky 4 est disposé sur le substrat 1 avec le transistor T2, respectivement.

Il est bien évident que la description qui précède n'a été faite qu'à titre d'exemple non limitatif et que d'autres variantes peuvent être envisagées sans sortir pour autant du cadre de l'invention.

REVENDICATIONS

1. Circuit intégré monolithique incluant une paire de transistors à effet de champ à grille isolée dont les types de conductivité sont complémentaires (circuit CMOS), dans lequel la région source et la région drain de l'un des transistors à effet de champ d'un premier type de conductivité sont insérées à la surface d'un substrat de l'autre type de conductivité, les régions source et drain du transistor à effet de champ de type complémentaire sont disposées à la surface d'un îlot du premier type formé à la surface du substrat, les électrodes de commande des deux transistors sont connectées par une liaison galvanique transmettant le signal d'entrée et les régions drains des deux transistors sont également connectées par liaison galvanique, caractérisé par le fait que l'îlot est relié à un contact à barrière de Schottky dont la tension de seuil est inférieure à celle de la jonction pn entre ledit îlot et la région drain du transistor à effet de champ disposé sur ledit îlot et que ledit contact à barrière de Schottky est relié à la connexion galvanique existant entre les deux régions drains.
2. Circuit intégré monolithique CMOS conforme à la revendication 1, caractérisé par le fait que le substrat est relié à un autre contact à barrière de Schottky dont la tension de seuil est inférieure à celle de la jonction pn entre la région drain du transistor à effet de champ disposé sur le substrat et ledit substrat, et que ledit autre contact à barrière de Schottky est relié à la connexion galvanique existant entre les deux régions drains.

FIG.1

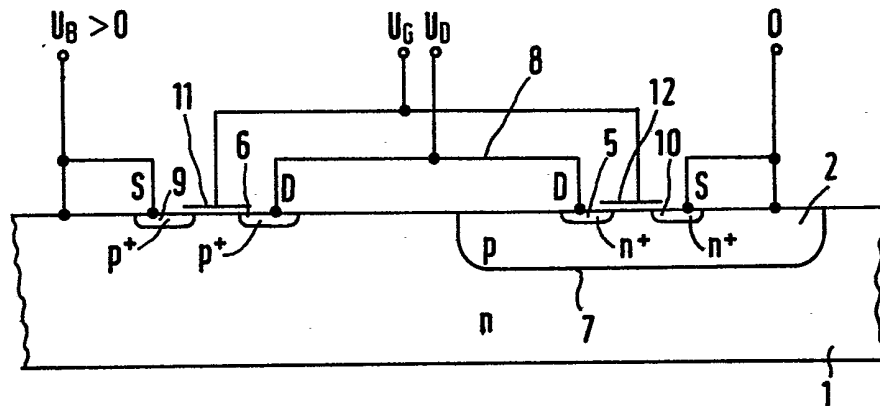
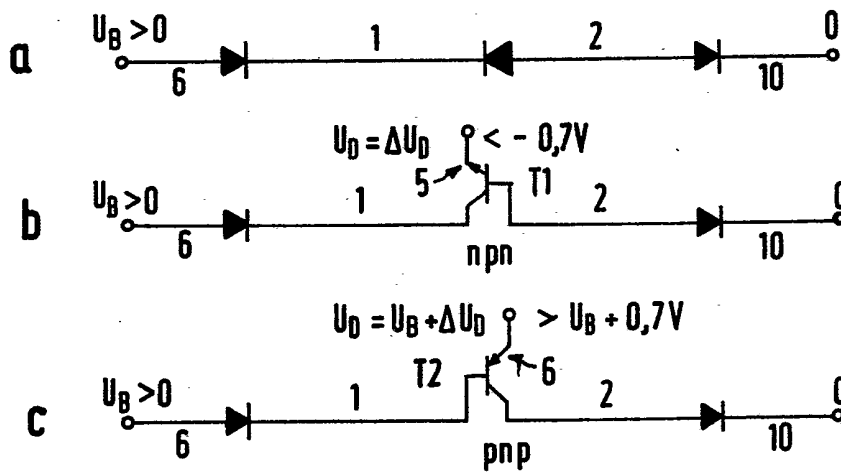


FIG.2



[illegible]

FIG. 4

a

$U_B > 0$

9

1

5

T1

n p n

2

10

U_0

b

$U_B > 0$

9

1

4

T2

p n p

2

10

U_0