

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号

特許第7600143号

(P7600143)

(45)発行日 令和6年12月16日(2024.12.16)

(24)登録日 令和6年12月6日(2024.12.6)

(51)国際特許分類

F I

G 0 9 F 9/30 (2006.01) G 0 9 F 9/30 3 3 8

G 0 9 F 9/00 (2006.01) G 0 9 F 9/00 3 3 8

H 1 0 K 59/12 (2023.01) G 0 9 F 9/30 3 6 5

H 0 1 L 29/786(2006.01) H 1 0 K 59/12

H 0 1 L 29/78 6 1 3 Z

請求項の数 18 (全27頁) 最終頁に続く

(21)出願番号 特願2021-564799(P2021-564799)

(86)(22)出願日 令和2年10月28日(2020.10.28)

(65)公表番号 特表2023-501023(P2023-501023  
A)

(43)公表日 令和5年1月18日(2023.1.18)

(86)国際出願番号 PCT/CN2020/124452

(87)国際公開番号 WO2021/083226

(87)国際公開日 令和3年5月6日(2021.5.6)

審査請求日 令和5年10月23日(2023.10.23)

(31)優先権主張番号 201911038401.5

(32)優先日 令和1年10月29日(2019.10.29)

(33)優先権主張国・地域又は機関  
中国(CN)

(73)特許権者 510280589

京東方科技集團股 ぶん 有限公司  
BOE TECHNOLOGY GROU  
P CO., LTD.中華人民共和国100015北京市朝陽  
區酒仙橋路10號No. 10 Jiuxianqiao R  
d., Chaoyang Distri  
ct, Beijing 100015,  
CHINA

(74)代理人 100108453

弁理士 村山 靖彦

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 徐 攀

最終頁に続く

(54)【発明の名称】 表示基板及びその製造方法、表示装置

(57)【特許請求の範囲】

【請求項1】

表示基板であって、基板と、前記基板に設置される複数のサブ画素とを備え、各サブ画素は発光領域及び非発光領域を備え、各サブ画素に駆動回路が設置され、前記駆動回路は蓄電コンデンサ及び複数のトランジスタを備え、前記複数のトランジスタはスイッチングトランジスタ、駆動トランジスタ及びセンストランジスタを含み、

各サブ画素に対して、前記複数のトランジスタは前記非発光領域に位置し、前記蓄電コンデンサは透明コンデンサであり、且つ前記蓄電コンデンサの前記基板での正投影と前記発光領域は重複領域が存在し、前記蓄電コンデンサの第1電極は前記複数のトランジスタの活性層と同一層に設置され、且つ前記複数のトランジスタのソース/ドレイン電極と異なる層に設置され、前記蓄電コンデンサの第2電極は前記第1電極の前記基板に近接する側に位置し、

前記駆動トランジスタの第1極は前記第2電極に電氣的に接続され、前記センストランジスタの第1極は前記第2電極に電氣的に接続され、

前記表示基板は、前記基板に設置される複数行のグリッド線及び複数列のデータ線を更に備え、各サブ画素はグリッド線とデータ線が交差して制限され、前記複数のサブ画素はそれぞれ前記複数行のグリッド線及び前記複数列のデータ線に1対1で対応し、前記複数行のグリッド線は第1グリッド線及び第2グリッド線を含み、

各サブ画素に対して、前記非発光領域は第1非発光領域及び第2非発光領域を含み、前記第1非発光領域及び前記第2非発光領域は前記発光領域の両側に位置し、且つ前記複数列

10

20

のデータ線の延在方向に沿って設置され、

前記センストランジスタ及び前記第 2 グリッド線はいずれも前記第 1 非発光領域に位置し、前記スイッチングトランジスタ、前記駆動トランジスタ及び前記第 1 グリッド線はいずれも前記第 2 非発光領域に位置する、表示基板。

【請求項 2】

前記表示基板は、前記複数のトランジスタの活性層の前記基板に近接する側に設置される緩衝層及び遮光層を更に備え、前記遮光層及び前記第 2 電極は前記緩衝層の前記基板に近接する側に設置され、

前記第 2 電極の前記基板での正投影は前記遮光層の前記基板での正投影を被覆し、前記遮光層は前記第 2 電極に近接する表面が前記第 2 電極に完全に接触する、請求項 1 に記載の表示基板。

10

【請求項 3】

前記遮光層は前記第 2 電極の前記基板に近接する側に設置され、又は、前記第 2 電極は前記遮光層の前記基板に近接する側に設置される、請求項 2 に記載の表示基板。

【請求項 4】

前記表示基板は、前記複数のトランジスタのソース/ドレイン電極と前記複数のトランジスタの活性層との間に設置される層間絶縁層を更に備え、

前記緩衝層は前記第 2 電極を露出させる第 1 ビア及び第 2 ビアを備え、前記層間絶縁層は前記第 1 ビアを露出させる第 3 ビアと、前記第 2 ビアを露出させる第 4 ビアとを備え、

前記駆動トランジスタの前記第 1 極は前記第 1 ビア及び前記第 3 ビアによって前記第 2 電極に接続され、前記センストランジスタの前記第 1 極は前記第 2 ビア及び前記第 4 ビアによって前記第 2 電極に接続される、請求項 3 に記載の表示基板。

20

【請求項 5】

前記第 1 グリッド線及び前記第 2 グリッド線は前記複数のトランジスタのゲート電極と同一層に設置され、前記複数列のデータ線は前記複数のトランジスタのソース/ドレイン電極と同一層に設置される、請求項 4 に記載の表示基板。

【請求項 6】

各サブ画素に対して、前記第 1 電極はそれぞれ前記スイッチングトランジスタの第 1 極及び前記駆動トランジスタのゲート電極に接続され、

前記スイッチングトランジスタのゲート電極はサブ画素に対応するグリッド線のうちの第 1 グリッド線に接続され、前記スイッチングトランジスタの第 2 極はサブ画素に対応するデータ線に接続され、前記センストランジスタのゲート電極はサブ画素に対応するグリッド線のうちの第 2 グリッド線に接続される、請求項 5 に記載の表示基板。

30

【請求項 7】

前記表示基板は、前記複数列のデータ線と同一層に設置される電源コード及びセンス線を更に備え、各画素はグリッド線の延在方向に沿って設置される 4 つのサブ画素を備え、各画素は 2 列の電源コード及び 1 列のセンス線に対応し、前記 4 つのサブ画素は第 1 サブ画素、第 2 サブ画素、第 3 サブ画素及び第 4 サブ画素を含み、

各画素に対して、画素に対応するセンス線は前記第 2 サブ画素と前記第 3 サブ画素との間に位置し、画素に対応する 1 列の電源コードは前記第 1 サブ画素の前記第 2 サブ画素から離れる側に位置し、画素に対応するもう 1 列の電源コードは前記第 4 サブ画素の前記第 3 サブ画素から離れる側に位置し、

40

前記第 1 サブ画素に対応するデータ線は前記第 1 サブ画素の前記第 2 サブ画素に近接する側に位置し、前記第 2 サブ画素に対応するデータ線は前記第 2 サブ画素の前記第 1 サブ画素に近接する側に位置し、前記第 3 サブ画素に対応するデータ線は前記第 3 サブ画素の前記第 4 サブ画素に近接する側に位置し、前記第 4 サブ画素に対応するデータ線は前記第 4 サブ画素の前記第 3 サブ画素に近接する側に位置し、

前記表示基板は、前記複数のトランジスタのゲート電極と同一層に設置される電源接続線と、遮光層と同一層に設置されるセンス接続線とを更に備え、各画素はグリッド線の延在方向に沿って設置される 2 つの電源接続線及びグリッド線の延在方向に沿って設置され

50

る 2 つのセンス接続線に対応し、電源接続線はそれぞれ電源コードに対応し、前記電源接続線は対応の電源コードに接続され、2 つのセンス接続線はセンス線に接続され、  
前記第 2 サブ画素の駆動トランジスタの第 2 極は一方の電源接続線に接続され、  
前記第 3 サブ画素の駆動トランジスタの第 2 極は他方の電源接続線に接続され、  
前記第 1 サブ画素のセンストランジスタの第 2 極は一方のセンス接続線に接続され、  
前記第 4 サブ画素のセンストランジスタの第 2 極は他方のセンス接続線に接続される、  
請求項 5 に記載の表示基板。

【請求項 8】

前記緩衝層には前記センス接続線を露出させる第 5 ピアが更に設置され、前記層間絶縁層には前記第 5 ピアを露出させる第 6 ピアが更に設置され、  
前記センストランジスタの第 2 極は、前記第 5 ピア及び前記第 6 ピアによって前記センス接続線に接続される、請求項 7 に記載の表示基板。

10

【請求項 9】

前記表示基板は、前記複数のトランジスタのゲート電極と前記複数のトランジスタの活性層との間に設置されるゲート絶縁層を更に備え、  
前記ゲート絶縁層の前記基板での正投影は、前記複数のトランジスタのゲート電極の前記基板での正投影と重複する、請求項 8 に記載の表示基板。

【請求項 10】

前記第 1 電極の製造材料は透明金属酸化物を含み、前記第 2 電極の製造材料は透明導電性材料を含む、請求項 2 に記載の表示基板。

20

【請求項 11】

各サブ画素には発光素子及びサブ画素と色が同じである光学フィルタが更に設置され、前記発光素子は順に設置される陽極、有機発光層及び陰極を備え、前記陽極は前記センストランジスタの前記第 1 極に接続され、前記陽極は透過電極であり、前記陰極は反射電極であり、  
前記発光素子の前記基板での正投影と前記発光領域は重複領域が存在し、前記光学フィルタは前記発光領域に位置し、且つ前記発光素子の前記基板に近接する側に設置され、前記陽極の前記基板での正投影は前記光学フィルタの前記基板での正投影を被覆する、請求項 9 に記載の表示基板。

【請求項 12】

30

前記表示基板は、前記複数のトランジスタのソース/ドレイン電極の前記基板から離れる側に設置される不活性化層及び平坦層を更に備え、  
前記不活性化層は前記光学フィルタの前記基板に近接する側に設置され、前記平坦層は前記発光素子と前記光学フィルタとの間に設置され、前記不活性化層には前記センストランジスタの前記第 1 極を露出させる第 7 ピアが設置され、前記平坦層には前記第 7 ピアを露出させる第 8 ピアが設置され、  
前記陽極は、前記第 7 ピア及び前記第 8 ピアによって前記センストランジスタの前記第 1 極に接続され、  
前記第 8 ピアの前記基板での正投影は、前記第 4 ピアの前記基板での正投影と不完全に重複する、請求項 11 に記載の表示基板。

40

【請求項 13】

請求項 1 ~ 12 のいずれか 1 項に記載の表示基板を備える表示装置。

【請求項 14】

請求項 1 ~ 12 のいずれか 1 項に記載の表示基板を製造することに用いられる表示基板の製造方法であって、  
基板を提供することと、  
前記基板に複数のサブ画素を形成し、各サブ画素は発光領域及び非発光領域を備え、各サブ画素に駆動回路が設置され、前記駆動回路は蓄電コンデンサ及び複数のトランジスタを備え、前記複数のトランジスタはスイッチングトランジスタ、駆動トランジスタ及びセンストランジスタを含むことと、を含み、

50

各サブ画素に対して、前記複数のトランジスタは前記非発光領域に位置し、前記蓄電コンデンサは透明コンデンサであり、且つ前記蓄電コンデンサの前記基板での正投影と前記発光領域は重複領域が存在し、前記蓄電コンデンサの第1電極は前記複数のトランジスタの活性層と同一層に設置され、且つ前記複数のトランジスタのソース/ドレイン電極と異なる層に設置され、前記蓄電コンデンサの第2電極は前記第1電極の前記基板に近接する側に位置し、

前記駆動トランジスタの第1極は前記第2電極に電氣的に接続され、前記センストランジスタの第1極は前記第2電極に電氣的に接続される、表示基板の製造方法。

【請求項15】

前記表示基板は更にグリッド線、データ線、電源コード、センス線を備え、前記グリッド線は第1グリッド線及び第2グリッド線を含み、前記基板に複数のサブ画素を形成するステップは、

10

前記基板に遮光層及び前記第2電極を形成することと、

前記遮光層及び前記第2電極に前記複数のトランジスタの活性層及び前記第1電極を形成することと、

前記複数のトランジスタの活性層及び前記第1電極に前記複数のトランジスタのゲート電極、前記第1グリッド線及び前記第2グリッド線を形成することと、

前記複数のトランジスタのゲート電極、前記第1グリッド線及び前記第2グリッド線に前記データ線、前記電源コード、前記センス線及び前記複数のトランジスタのソース/ドレイン電極を形成することと、

20

前記データ線、前記電源コード、前記センス線及び前記複数のトランジスタのソース/ドレイン電極に光学フィルタ及び発光素子を順に形成することと、を含む請求項14に記載の方法。

【請求項16】

前記基板に遮光層及び前記第2電極を形成するステップは、

前記基板に前記遮光層及び前記第2電極を順に形成し、又は、前記基板に前記第2電極及び前記遮光層を順に形成し、又は、前記基板に前記第2電極及び前記遮光層を同時に形成することを含む、請求項15に記載の方法。

【請求項17】

前記遮光層及び前記第2電極に前記複数のトランジスタの活性層及び第1電極を形成し、前記複数のトランジスタの活性層及び第1電極に前記複数のトランジスタのゲート電極、第1グリッド線及び第2グリッド線を形成し、前記複数のトランジスタのゲート電極、第1グリッド線及び第2グリッド線にデータ線、電源コード、センス線及び前記複数のトランジスタのソース/ドレイン電極を形成するステップは、

30

前記遮光層及び前記第2電極には第1ビア、第2ビア及び第5ビアを備える緩衝層を形成し、前記第1ビア及び前記第2ビアが前記第2電極を露出させ、前記第5ビアがセンス接続線を露出させることと、

前記緩衝層において同じ製造プロセスにより前記複数のトランジスタの前記活性層及び前記第1電極を形成することと、

前記複数のトランジスタの活性層及び前記第1電極に前記複数のトランジスタのゲート電極、前記第1グリッド線及び前記第2グリッド線を形成することと、

40

前記複数のトランジスタのゲート電極、前記第1グリッド線及び前記第2グリッド線には第3ビア、第4ビア及び第6ビアを備える層間絶縁層を形成し、前記第3ビアが前記第1ビアを露出させ、前記第4ビアが前記第2ビアを露出させ、前記第6ビアが前記第5ビアを露出させることと、

前記層間絶縁層に前記データ線、前記電源コード、前記センス線及び前記複数のトランジスタのソース/ドレイン電極を形成することと、を含み、又は、

前記遮光層及び前記第2電極に第1絶縁薄膜を形成することと、

第1絶縁薄膜において同じ製造プロセスにより前記複数のトランジスタの活性層及び前記第1電極を形成することと、

50

前記複数のトランジスタの活性層及び前記第 1 電極に前記複数のトランジスタのゲート電極、前記第 1 グリッド線及び前記第 2 グリッド線を形成することと、

前記複数のトランジスタのゲート電極、前記第 1 グリッド線及び前記第 2 グリッド線に第 2 絶縁薄膜を形成することと、

パターンングプロセスを用いて前記第 1 絶縁薄膜及び前記第 2 絶縁薄膜を処理して、第 1 ピア、第 2 ピア及び第 5 ピアを備える緩衝層と、第 3 ピア、第 4 ピア及び第 6 ピアを備える層間絶縁層とを形成することと、を含む請求項 1.6 に記載の方法。

【請求項 18】

前記データ線、前記電源コード、前記センス線及び前記複数のトランジスタのソース/ドレイン電極に光学フィルタ及び発光素子を順に形成するステップは、

10

前記データ線、前記電源コード、前記センス線及び前記複数のトランジスタのソース/ドレイン電極には第 7 ピアを備える不活性化層を形成し、前記第 7 ピアが前記センストラ

ンジスタの前記第 1 極を露出させることと、

前記不活性化層には前記光学フィルタと、第 8 ピアを備える平坦層とを順に形成し、前記第 8 ピアが前記第 7 ピアを露出させることと、

前記平坦層に発光素子を形成することと、を含む請求項 1.6 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、2019年10月29日に提出した中国特許出願第201911038401.5号、発明の名称「表示基板及びその製造方法、表示装置」の優先権を主張し、その内容が援用により本願に取り込まれる。

20

【0002】

本開示は表示技術分野に関し、具体的に表示基板及びその製造方法、表示装置に関する。

【背景技術】

【0003】

有機発光ダイオード(Organic Light-Emitting Device、OLEDと略称)による表示は従来の液晶表示(Liquid Crystal Display、LCDと略称)と異なる表示技術であり、能動的に発光し、温度特性が良く、消費電力が少なく、速く応答でき、湾曲可能で、極めて軽薄で、コストが低いという利点を有し、既に次世代表示装置の重要な発見の1つとなって、ますます注目を集めている。

30

【0004】

OLED表示基板は、出光方向によってボトムエミッションOLED、トップエミッションOLED及び両面エミッションOLEDの3種類に分けられてもよい。ボトムエミッションOLEDとは、OLEDデバイスにおける光が基板方向に向かって射出されることを指す。しかしながら、ボトムエミッションOLED表示基板は、画素開口領域により制限されるため、各サブ画素の占有する面積が比較的大きく、ボトムエミッションOLED表示基板における単位面積あたりの画素数(Pixels Per Inch、PPIと略称)は比較的少なくなり、高いPPIを実現することができない。

【発明の概要】

40

【課題を解決するための手段】

【0005】

以下は本開示の詳細な説明の主題の概説である。本概説は特許請求の範囲を制限するためのものではない。一態様では、本開示は表示基板を提供し、基板と、前記基板に設置される複数のサブ画素とを備え、各サブ画素は発光領域及び非発光領域を備え、各サブ画素に駆動回路が設置され、前記駆動回路は蓄電コンデンサ及び複数のトランジスタを備え、前記複数のトランジスタはスイッチングトランジスタ、駆動トランジスタ及びセンストラ

ンジスタを含み、

各サブ画素に対して、前記複数のトランジスタは前記非発光領域に位置し、前記蓄電コンデンサは透明コンデンサであり、且つ前記蓄電コンデンサの前記基板での正投影と前記

50

発光領域は重複領域が存在し、前記蓄電コンデンサの第1電極は前記複数のトランジスタの活性層と同一層に設置され、且つ前記複数のトランジスタのソース/ドレイン電極と異なる層に設置され、前記蓄電コンデンサの第2電極は前記第1電極の前記基板に近接する側に位置し、

前記駆動トランジスタの第1極は前記第2電極に電氣的に接続され、前記センストランジスタの第1極は前記第2電極に電氣的に接続される。

【0006】

1つの例示的な実施形態では、前記表示基板は、前記複数のトランジスタの活性層の前記基板に近接する側に設置される緩衝層及び遮光層を更に備え、前記遮光層及び前記第2電極は前記緩衝層の前記基板に近接する側に設置され、

前記第2電極の前記基板での正投影は前記遮光層の前記基板での正投影を被覆し、前記遮光層は前記第2電極に近接する表面が前記第2電極に完全に接触する。

【0007】

1つの例示的な実施形態では、前記遮光層は前記第2電極の前記基板に近接する側に設置され、又は、前記第2電極は前記遮光層の前記基板に近接する側に設置される。

【0008】

1つの例示的な実施形態では、前記表示基板は、前記複数のトランジスタのソース/ドレイン電極と前記複数のトランジスタの活性層との間に設置される層間絶縁層を更に備え、

前記緩衝層は前記第2電極を露出させる第1ビア及び第2ビアを備え、前記層間絶縁層は前記第1ビアを露出させる第3ビアと、前記第2ビアを露出させる第4ビアとを備え、

前記駆動トランジスタの前記第1極は前記第1ビア及び前記第3ビアによって前記第2電極に接続され、前記センストランジスタの前記第1極は前記第2ビア及び前記第4ビアによって前記第2電極に接続される。

【0009】

1つの例示的な実施形態では、前記表示基板は、前記基板に設置される複数行のグリッド線及び複数列のデータ線を更に備え、各サブ画素はグリッド線とデータ線が交差して制限され、前記複数のサブ画素はそれぞれ前記複数行のグリッド線及び前記複数列のデータ線に1対1で対応し、前記複数行のグリッド線は第1グリッド線及び第2グリッド線を含み、

前記第1グリッド線及び前記第2グリッド線は前記複数のトランジスタのゲート電極と同一層に設置され、前記複数列のデータ線は前記複数のトランジスタのソース/ドレイン電極と同一層に設置される。

【0010】

1つの例示的な実施形態では、各サブ画素に対して、前記第1電極はそれぞれ前記スイッチングトランジスタの第1極及び前記駆動トランジスタのゲート電極に接続され、

前記スイッチングトランジスタのゲート電極はサブ画素に対応するグリッド線のうちの第1グリッド線に接続され、前記スイッチングトランジスタの第2極はサブ画素に対応するデータ線に接続され、前記センストランジスタのゲート電極はサブ画素に対応するグリッド線のうちの第2グリッド線に接続される。

【0011】

1つの例示的な実施形態では、各サブ画素に対して、前記非発光領域は第1非発光領域及び第2非発光領域を含み、前記第1非発光領域及び前記第2非発光領域は前記発光領域の両側に位置し、且つ前記複数列のデータ線の延在方向に沿って設置され、

前記センストランジスタ及び前記第2グリッド線はいずれも前記第1非発光領域に位置し、前記スイッチングトランジスタ、前記駆動トランジスタ及び前記第1グリッド線はいずれも前記第2非発光領域に位置する。

【0012】

1つの例示的な実施形態では、前記表示基板は、前記複数列のデータ線と同一層に設置される電源コード及びセンス線を更に備え、各画素はグリッド線の延在方向に沿って設置される4つのサブ画素を備え、各画素は2列の電源コード及び1列のセンス線に対応し、

10

20

30

40

50

各画素に対して、画素に対応するセンス線は前記第 2 サブ画素と前記第 3 サブ画素との間に位置し、画素に対応する 1 列の電源コードは前記第 1 サブ画素の前記第 2 サブ画素から離れる側に位置し、画素に対応するもう 1 列の電源コードは前記第 4 サブ画素の前記第 3 サブ画素から離れる側に位置し、

前記第 1 サブ画素に対応するデータ線は前記第 1 サブ画素の前記第 2 サブ画素に近接する側に位置し、前記第 2 サブ画素に対応するデータ線は前記第 2 サブ画素の前記第 1 サブ画素に近接する側に位置し、前記第 3 サブ画素に対応するデータ線は前記第 3 サブ画素の前記第 4 サブ画素に近接する側に位置し、前記第 4 サブ画素に対応するデータ線は前記第 4 サブ画素の前記第 3 サブ画素に近接する側に位置し、

前記表示基板は、前記複数のトランジスタのゲート電極と同一層に設置される電源接続線と、遮光層と同一層に設置されるセンス接続線とを更に備え、各画素はグリッド線の延在方向に沿って設置される 2 つの電源接続線及びグリッド線の延在方向に沿って設置される 2 つのセンス接続線に対応し、電源接続線はそれぞれ電源コードに対応し、前記電源接続線は対応の電源コードに接続され、2 つのセンス接続線はセンス線に接続され、

前記第 2 サブ画素の駆動トランジスタの第 2 極は一方の電源接続線に接続され、

前記第 3 サブ画素の駆動トランジスタの第 2 極は他方の電源接続線に接続され、

前記第 1 サブ画素のセンストランジスタの第 2 極は一方のセンス接続線に接続され、

前記第 4 サブ画素のセンストランジスタの第 2 極は他方のセンス接続線に接続される。

#### 【0013】

1 つの例示的な実施形態では、前記緩衝層には前記センス接続線を露出させる第 5 ピアが更に設置され、前記層間絶縁層には前記第 5 ピアを露出させる第 6 ピアが更に設置され、前記センストランジスタの第 2 極は、前記第 5 ピア及び前記第 6 ピアによって前記センス接続線に接続される。

#### 【0014】

1 つの例示的な実施形態では、前記表示基板は、前記複数のトランジスタのゲート電極と前記複数のトランジスタの活性層との間に設置されるゲート絶縁層を更に備え、

前記ゲート絶縁層の前記基板での正投影は、前記複数のトランジスタのゲート電極の前記基板での正投影と重複する。

#### 【0015】

1 つの例示的な実施形態では、前記第 1 電極の製造材料は透明金属酸化物を含み、前記第 2 電極の製造材料は透明導電性材料を含む。

#### 【0016】

1 つの例示的な実施形態では、各サブ画素には発光素子及びサブ画素と色が同じである光学フィルタが更に設置され、前記発光素子は順に設置される陽極、有機発光層及び陰極を備え、前記陽極は前記センストランジスタの前記第 1 極に接続され、前記陽極は透過電極であり、前記陰極は反射電極であり、

前記発光素子の前記基板での正投影と前記発光領域は重複領域が存在し、前記光学フィルタは前記発光領域に位置し、且つ前記発光素子の前記基板に近接する側に設置され、前記陽極の前記基板での正投影は前記光学フィルタの前記基板での正投影を被覆する。

#### 【0017】

1 つの例示的な実施形態では、前記表示基板は、前記複数のトランジスタのソース/ドレイン電極の前記基板から離れる側に設置される不活性化層及び平坦層を更に備え、

前記不活性化層は前記光学フィルタの前記基板に近接する側に設置され、前記平坦層は前記発光素子と前記光学フィルタとの間に設置され、前記不活性化層には前記センストランジスタの前記第 1 極を露出させる第 7 ピアが設置され、前記平坦層には前記第 7 ピアを露出させる第 8 ピアが設置され、

前記陽極は、前記第 7 ピア及び前記第 8 ピアによって前記センストランジスタの前記第 1 極に接続され、

前記第 8 ピアの前記基板での正投影は、前記第 4 ピアの前記基板での正投影と不完全に重複する。

10

20

30

40

50

## 【 0 0 1 8 】

他の態様では、本開示は上記任意の表示基板を備える表示装置を提供する。

## 【 0 0 1 9 】

更なる態様では、本開示は表示基板の製造方法を提供し、上記任意の表示基板を製造することに用いられ、前記方法は、

基板を提供することと、

前記基板に複数のサブ画素を形成し、各サブ画素は発光領域及び非発光領域を備え、各サブ画素に駆動回路が設置され、前記駆動回路は蓄電コンデンサ及び複数のトランジスタを備え、前記複数のトランジスタはスイッチングトランジスタ、駆動トランジスタ及びセンストランジスタを含むことと、を含み、

10

各サブ画素に対して、前記複数のトランジスタは前記非発光領域に位置し、前記蓄電コンデンサは透明コンデンサであり、且つ前記蓄電コンデンサの前記基板での正投影と前記発光領域は重複領域が存在し、前記蓄電コンデンサの第1電極は前記複数のトランジスタの活性層と同一層に設置され、且つ前記複数のトランジスタのソース/ドレイン電極と異なる層に設置され、前記蓄電コンデンサの第2電極は前記第1電極の前記基板に近接する側に位置し、

前記駆動トランジスタの第1極は前記第2電極に電氣的に接続され、前記センストランジスタの第1極は前記第2電極に電氣的に接続される。

## 【 0 0 2 0 】

1つの例示的な実施形態では、前記表示基板は更にグリッド線、データ線、電源コード、センス線を備え、前記グリッド線は第1グリッド線及び第2グリッド線を含み、前記基板に複数のサブ画素を形成するステップは、

20

前記基板に遮光層及び前記第2電極を形成することと、

前記遮光層及び前記第2電極に前記複数のトランジスタの活性層及び前記第1電極を形成することと、

前記複数のトランジスタの活性層及び前記第1電極に前記複数のトランジスタのゲート電極、前記第1グリッド線及び前記第2グリッド線を形成することと、

前記複数のトランジスタのゲート電極、前記第1グリッド線及び前記第2グリッド線に前記データ線、前記電源コード、前記センス線及び前記複数のトランジスタのソース/ドレイン電極を形成することと、

30

前記データ線、前記電源コード、前記センス線及び前記複数のトランジスタのソース/ドレイン電極に光学フィルタ及び発光素子を順に形成することと、を含む。

## 【 0 0 2 1 】

1つの例示的な実施形態では、前記基板に遮光層及び前記第2電極を形成するステップは、

前記基板に前記遮光層及び前記第2電極を順に形成し、又は、前記基板に前記第2電極及び前記遮光層を順に形成し、又は、前記基板に前記第2電極及び前記遮光層を同時に形成することを含む。

## 【 0 0 2 2 】

1つの例示的な実施形態では、前記基板に前記第2電極及び前記遮光層を同時に形成するステップは、

40

前記基板に遮光薄膜及び透明導電性薄膜を順に堆積することと、

ハーフトーンマスクを用いて前記第2電極及び前記遮光層を同時に形成することと、を含む。

## 【 0 0 2 3 】

1つの例示的な実施形態では、前記遮光層及び前記第2電極に前記複数のトランジスタの活性層及び第1電極を形成し、前記複数のトランジスタの活性層及び第1電極に前記複数のトランジスタのゲート電極、第1グリッド線及び第2グリッド線を形成し、前記複数のトランジスタのゲート電極、第1グリッド線及び第2グリッド線にデータ線、電源コード、センス線及び前記複数のトランジスタのソース/ドレイン電極を形成するステップは、

50

前記遮光層及び前記第 2 電極には第 1 ピア、第 2 ピア及び第 5 ピアを備える緩衝層を形成し、前記第 1 ピア及び前記第 2 ピアが前記第 2 電極を露出させ、前記第 5 ピアがセンス接続線を露出させることと、

前記緩衝層において同じ製造プロセスにより前記複数のトランジスタの前記活性層及び前記第 1 電極を形成することと、

前記複数のトランジスタの活性層及び前記第 1 電極に前記複数のトランジスタのゲート電極、前記第 1 グリッド線及び前記第 2 グリッド線を形成することと、

前記複数のトランジスタのゲート電極、前記第 1 グリッド線及び前記第 2 グリッド線には第 3 ピア、第 4 ピア及び第 6 ピアを備える層間絶縁層を形成し、前記第 3 ピアが前記第 1 ピアを露出させ、前記第 4 ピアが前記第 2 ピアを露出させ、前記第 6 ピアが前記第 5 ピアを露出させることと、

10

前記層間絶縁層に前記データ線、前記電源コード、前記センス線及び前記複数のトランジスタのソース/ドレイン電極を形成することと、を含み、又は、

前記遮光層及び前記第 2 電極に第 1 絶縁薄膜を形成することと、

第 1 絶縁薄膜において同じ製造プロセスにより前記複数のトランジスタの活性層及び前記第 1 電極を形成することと、

前記複数のトランジスタの活性層及び前記第 1 電極に前記複数のトランジスタのゲート電極、前記第 1 グリッド線及び前記第 2 グリッド線を形成することと、

前記複数のトランジスタのゲート電極、前記第 1 グリッド線及び前記第 2 グリッド線に第 2 絶縁薄膜を形成することと、

20

パターンングプロセスを用いて前記第 1 絶縁薄膜及び前記第 2 絶縁薄膜を処理して、第 1 ピア、第 2 ピア及び第 5 ピアを備える緩衝層と、第 3 ピア、第 4 ピア及び第 6 ピアを備える層間絶縁層とを形成することと、を含む。

#### 【0024】

1つの例示的な実施形態では、前記データ線、前記電源コード、前記センス線及び前記複数のトランジスタのソース/ドレイン電極に光学フィルタ及び発光素子を順に形成するステップは、

前記データ線、前記電源コード、前記センス線及び前記複数のトランジスタのソース/ドレイン電極には第 7 ピアを備える不活性化層を形成し、前記第 7 ピアが前記センストランジスタの前記第 1 極を露出させることと、

30

前記不活性化層には前記光学フィルタと、第 8 ピアを備える平坦層とを順に形成し、前記第 8 ピアが前記第 7 ピアを露出させることと、

前記平坦層に発光素子を形成することと、を含む。本願の他の特徴及び利点は以下の明細書において説明され、且つ、部分的に明細書から明らかになり、又は本願を実施することにより理解される。本願の他の利点は明細書、特許請求の範囲及び図面に説明される解決手段により実現・取得され得る。

#### 【0025】

図面及び詳細な説明を閲読して理解した後、他の態様を理解することができる。

#### 【0026】

図面は本願の技術案に対する理解を提供するためのものであり、且つ明細書の一部となり、本願の実施例とともに本願の技術案を解釈することに用いられ、本願の技術案を制限するためのものではない。

40

#### 【図面の簡単な説明】

#### 【0027】

【図 1】図 1 は駆動回路の等価回路図である。

【図 2 A】図 2 A は本開示の実施例に係る表示基板の断面図である。

【図 2 B】図 2 B は本開示の実施例に係る表示基板の他の断面図である。

【図 3】図 3 は本開示の実施例に係る表示基板の上面図である。

【図 4】図 4 は本開示の実施例に係る表示基板の他の上面図である。

【図 5】図 5 は本開示の実施例に係る表示基板のまた他の上面図である。

50

【図 6】図 6 は本開示の実施例に係る表示基板の更なる上面図である。

【図 7】図 7 は本開示の実施例に係る表示基板の製造方法のフローチャートである。

【図 8 A】図 8 A は本開示の実施例に係る遮光層及び第 2 電極の製造模式図である。

【図 8 B】図 8 B は本開示の実施例に係る遮光層及び第 2 電極の製造模式図である。

【図 8 C】図 8 C は本開示の実施例に係る遮光層及び第 2 電極の製造模式図である。

【図 8 D】図 8 D は本開示の実施例に係る遮光層及び第 2 電極の製造模式図である。

【図 8 E】図 8 E は本開示の実施例に係る遮光層及び第 2 電極の製造模式図である。

【図 8 F】図 8 F は本開示の実施例に係る遮光層及び第 2 電極の製造模式図である。

【図 8 G】図 8 G は本開示の実施例に係る遮光層及び第 2 電極の製造模式図である。

【図 8 H】図 8 H は本開示の実施例に係る遮光層及び第 2 電極の製造模式図である。

10

【図 9】図 9 は本開示の実施例に係る表示基板の製造方法におけるステップ 100 の模式図である。

【図 10】図 10 は本開示の実施例に係る表示基板の製造方法におけるステップ 200 の模式図である。

【図 11】図 11 は本開示の実施例に係る表示基板の製造方法におけるステップ 300 の模式図である。

【図 12】図 12 は本開示の実施例に係る表示基板の製造方法におけるステップ 400 の模式図である。

【図 13】図 13 は本開示の実施例に係る表示基板の製造方法におけるステップ 500 の模式図である。

20

【図 14】図 14 は本開示の実施例に係る表示基板の製造方法におけるステップ 600 の模式図である。

【図 15】図 15 は本開示の実施例に係る表示基板の製造方法におけるステップ 700 の模式図である。

【発明を実施するための形態】

【0028】

本開示は複数の実施例を説明したが、該説明は例示的なものであって、制限のためのものではない。且つ、当業者にとって明らかなことに、本開示に説明される実施例に含まれる範囲内にはより多くの実施例及び実現方式があってもよい。図面に複数の可能な特徴の組み合わせを示し、且つ具体的な実施形態において検討したが、開示される特徴の複数の他の組み合わせ方式も可能である。特に制限しない限り、いかなる実施例におけるいかなる特徴又は素子はいかなる他の実施例におけるいかなる他の特徴又は素子と組み合わせ使用されてもよく、又はいかなる他の実施例におけるいかなる他の特徴又は素子を代替してもよい。

30

【0029】

本開示は当業者に知られている特徴及び素子の組み合わせを含んで想定する。本開示に開示された実施例、特徴及び素子はいかなる通常の特徴又は素子と組み合わせられてもよく、それにより特許請求の範囲により制限される独特な技術案が形成される。いかなる実施例におけるいかなる特徴又は素子は他の技術案からの特徴又は素子と組み合わせられてもよく、それにより特許請求の範囲により制限される他の独特な技術案が形成される。従って、理解されるように、本開示に指示及び/又は検討されるいかなる特徴は独立して実現されてもよく、又はいかなる適切な組み合わせにより実現されてもよい。従って、添付の特許請求の範囲及びその等価置換に基づいて行われた制限以外に、実施例は他の制限を受けない。また、添付の特許請求の範囲内で種々の修正や変更を行うことができる。

40

【0030】

また、代表的な実施例を説明するとき、明細書は方法及び/又は過程を特定のステップシーケンスに呈する可能性がある。ところが、該方法又は過程は本開示に記載のステップの特定順序に依存しない程度で、該方法又は過程は前記特定順序のステップに限らない。当業者が理解するように、他のステップ順序も可能である。従って、明細書に説明されるステップの特定順序は特許請求の範囲を制限するためのものであると解釈されるべきでは

50

ない。また、該方法及び／又は過程に対する特許請求の範囲は書かれた順序に従ってこれらのステップを実行することに限らず、当業者であれば容易に理解できるように、これらの順序は変化してもよく、且つ依然として本開示の実施例の趣旨及び範囲内に含まれる。

#### 【0031】

特に定義しない限り、本開示の実施例に使用される技術用語又は科学用語は本開示の属する分野内で当業者が理解する通常の意味であるべきである。本開示の実施例に使用される「第1」、「第2」及び類似する言葉はいかなる順序、数又は重要性を示すものではなく、異なる構成部分を区別するためのものに過ぎない。「備える」又は「含む」等の類似する言葉は、該言葉の後に記載される素子又は部材が、該言葉の前に列挙した素子又は部材及びそれらと同等のものをカバーすることを指し、他の素子又は部材を排除しない。「接続」又は「連結」等の類似する言葉は物理的又は機械的な接続に限定されるものではなく、直接的又は間接的接続にかかわらず、電氣的接続も含む。「上」、「下」、「左」、「右」等は相対的な位置関係を指すだけであり、説明される対象の絶対的な位置が変化すると、該相対的な位置関係も対応して変化する可能性がある。

10

#### 【0032】

本実施例では、表示基板は複数のサブ画素を備え、各サブ画素は駆動回路及び発光素子を備える。図1は駆動回路の等価回路図であり、3T1Cの駆動回路を示す。図1に示すように、駆動回路は第1グリッド線G1、センス線Sense、電源コードVDD、データ線Data及び第2グリッド線G2に電氣的に接続され、スイッチングトランジスタT1、駆動トランジスタT2、センストランジスタT3及び蓄電コンデンサCstを備える。

20

#### 【0033】

1つの例示的な実施形態では、駆動回路におけるスイッチングトランジスタT1のゲート電極は第1グリッド線G1に接続され、スイッチングトランジスタT1の第2極はデータ線Dataに接続され、スイッチングトランジスタT1の第1極はノードN1に接続され、駆動トランジスタT2のゲート電極はノードN1に接続され、駆動トランジスタT2の第2極は電源コードVDDに接続され、駆動トランジスタT2の第1極はノードN2に接続され、センストランジスタT3のゲート電極は第2グリッド線G2に接続され、センストランジスタT3の第2極はセンス線Senseに接続され、センストランジスタT3の第1極はノードN2に接続され、発光素子OLEDの陽極はノードN2に接続され、発光素子OLEDの陰極は電源コードVSSに接続され、駆動トランジスタの第1極の電流に応答して対応する輝度の光を発するように設定される。駆動回路が第1グリッド線G1によりスイッチングトランジスタT1をオンにすると、データ線Dataの提供するデータ電圧VdataはスイッチングトランジスタT1を介して蓄電コンデンサCstに記憶され、これにより、電流を生成して有機発光ダイオードOLEDを駆動して発光させるように駆動トランジスタT2を制御し、また、センストランジスタT3はセンス時系列に  
30

30

#### 【0034】

1つの例示的な実施形態では、上記いずれか1つのトランジスタの第1極はソース/ドレイン電極のうち一方の電極であり、第2極はソース/ドレイン電極のうち他方の電極である。

40

#### 【0035】

本開示のいくつかの実施例は表示基板を提供する。図2Aは本開示の実施例に係る表示基板の断面図であり、図2Bは本開示の実施例に係る表示基板の他の断面図であり、図3は本開示の実施例に係る表示基板の上面図である。図2A~2B及び図3に示すように、本開示の実施例に係る表示基板は、基板10と、基板10に設置される複数のサブ画素とを備え、各サブ画素は発光領域AA及び非発光領域NAを備え、各サブ画素に駆動回路が設置され、駆動回路は蓄電コンデンサCst及び複数のトランジスタを備え、複数のトランジスタはスイッチングトランジスタT1、駆動トランジスタT2及びセンストランジスタ

50

タ T 3 を含む。

【 0 0 3 6 】

各サブ画素に対して、複数のトランジスタは非発光領域 N A に位置し、蓄電コンデンサ C s t は透明コンデンサであり、且つ蓄電コンデンサ C s t の基板 1 0 での正投影と発光領域 A A は重複領域が存在し、蓄電コンデンサ C s t の第 1 電極 C 1 は複数のトランジスタの活性層と同一層に設置され、且つ複数のトランジスタのソース/ドレイン電極と異なる層に設置され、蓄電コンデンサ C s t の第 2 電極 C 2 は第 1 電極 C 1 の基板 1 0 に近接する側に位置する。駆動トランジスタ T 2 の第 1 極 2 3 は第 2 電極 C 2 に直接接触して電氣的接続を実現し、センストランジスタ T 3 の第 1 極 4 3 は第 2 電極 C 2 に直接接触して電氣的接続を実現する。以下の説明から分かるように、駆動トランジスタ T 2 の第 1 極 2 3 は第 2 電極 C 2 に直接接触して電氣的に接続されてもよく、駆動トランジスタ T 2 の第 1 極 2 3 は遮光層 1 1 によって第 2 電極 C 2 に電氣的に接続されてもよく、これは遮光層 1 1 と第 2 電極 C 2 との接続関係によって決定される。遮光層 1 1 が前記第 2 電極 C 2 の基板 1 0 に近接する側に設置される場合、駆動トランジスタ T 2 の第 1 極 2 3 は第 2 電極 C 2 に直接接触して電氣的に接続され、第 2 電極 C 2 が遮光層 1 1 の前記基板 1 0 に近接する側に設置される場合、駆動トランジスタ T 2 の第 1 極 2 3 は遮光層によって第 2 電極 C 2 に電氣的に接続される。センストランジスタ T 3 の第 1 極 4 3 は第 2 電極 C 2 と同様であり、ここで詳細な説明は省略する。

10

【 0 0 3 7 】

1 つの例示的な実施形態では、基板におけるサブ画素はアレイ状に配列される。なお、図 2 A ~ 2 B 及び図 3 は 1 つのサブ画素を例とし、且つ図 2 A 及び図 2 B は異なる角度の断面図である。

20

【 0 0 3 8 】

1 つの例示的な実施形態では、基板 1 0 は剛性基板又は可撓性基板であってもよい。剛性基板はガラス及び金属薄片のうちの 1 つ又は複数であってもよいが、それらに限らない。可撓性基板はポリエチレンテレフタレート、エチレンテレフタレート、ポリエーテルエーテルケトン、ポリスチレン、ポリカーボネート、ポリアリレート、芳香族ポリエステル、ポリイミド、ポリ塩化ビニル、ポリエチレン、紡織繊維のうちの 1 つ又は複数であってもよいが、それらに限らない。

【 0 0 3 9 】

1 つの例示的な実施形態では、図 2 A ~ 2 B 及び図 3 に示すように、本開示の実施例のスイッチングトランジスタ T 1 は基板に設置される活性層 3 1、ゲート電極 3 2、第 1 極 3 3 及び第 2 極 3 4 を備え、駆動トランジスタ T 2 は基板に設置される活性層 2 1、ゲート電極 2 2、第 1 極 2 3 及び第 2 極 2 4 を備え、センストランジスタ T 3 は基板に設置される活性層 4 1、ゲート電極 4 2、第 1 極 4 3 及び第 2 極 4 4 を備える。

30

【 0 0 4 0 】

1 つの例示的な実施形態では、本開示の実施例に係る表示基板はボトムエミッション OLED 表示基板である。

【 0 0 4 1 】

本開示の実施例の蓄電コンデンサは透明コンデンサであり、表示基板の出光効果に影響せず、スムーズに出光するように確保することができる。

40

【 0 0 4 2 】

1 つの例示的な実施形態では、各サブ画素に発光素子が更に設置され、発光素子は OLED であってもよい。

【 0 0 4 3 】

本開示の実施例に係る表示基板について、該表示基板は、基板と、基板に設置される複数のサブ画素とを備え、各サブ画素は発光領域及び非発光領域を備え、各サブ画素に駆動回路が設置される。駆動回路は蓄電コンデンサ及び複数のトランジスタを備える。複数のトランジスタはスイッチングトランジスタ、駆動トランジスタ及びセンストランジスタを含む。各サブ画素に対して、複数のトランジスタは非発光領域に位置し、蓄電コンデンサ

50

は透明コンデンサであり、且つ蓄電コンデンサの基板での正投影と発光領域は重複領域が存在し、蓄電コンデンサの第1電極は複数のトランジスタの活性層と同一層に設置され、且つ複数のトランジスタのソース/ドレイン電極と異なる層に設置され、蓄電コンデンサの第2電極は第1電極の基板に近接する側に位置する。駆動トランジスタの第1極は第2電極に直接接触し、センストランジスタの第1極は第2電極に直接接触する。本開示は透明な蓄電コンデンサの基板での正投影と発光領域を重複領域が存在するように設定することにより、開口率を確保するとともに、蓄電コンデンサの非発光領域での占有する面積比率を大幅に低減することができ、各サブ画素の占有する面積を減少させ、表示基板の高いPPIを実現することができる。

**【0044】**

1つの例示的な実施形態では、図2A～2B及び図3に示すように、各トランジスタに対して、トランジスタの活性層の基板での正投影とトランジスタのゲート電極の基板での正投影は重複領域が存在する。

**【0045】**

1つの例示的な実施形態では、図2A～2Bに示すように、本開示の実施例に係る表示基板は、トランジスタの活性層の基板10に近接する側に設置される遮光層11及び緩衝層12を更に備え、遮光層11及び第2電極C2は緩衝層12の基板10に近接する側に設置される。

**【0046】**

1つの例示的な実施形態では、第2電極C2の基板10での正投影は遮光層11の基板10での正投影を被覆し、遮光層11は第2電極C2に近接する表面が第2電極C2に完全に接触する。

**【0047】**

1つの例示的な実施形態では、遮光層11は前記第2電極C2の基板10に近接する側に設置され、又は、第2電極C2は遮光層11の前記基板10に近接する側に設置される。図2A～2B及び図3はいずれも遮光層11が第2電極C2の基板10に近接する側に設置される場合を例とする。

**【0048】**

第2電極C2が遮光層11の基板10に近接する側に設置される場合、駆動トランジスタT2の第1極23は導電可能な遮光層11によって第2電極C2に電氣的に接続され、センストランジスタT3の第1極43は遮光層11によって第2電極C2に電氣的に接続される。

**【0049】**

本開示の実施例は、遮光層11の第2電極C2に近接する表面が第2電極C2に完全に接触することにより、遮光層と第2電極との間に絶縁層を設置することを回避し、表示基板の層数及び厚さを減少させるだけではなく、マスクの使用回数も減少させ、製造プロセスを簡素化し、且つ表示基板の製造コストを削減する。

**【0050】**

1つの例示的な実施形態では、遮光層11の基板10での正投影は駆動トランジスタT2の活性層21のチャンネル領域A1の基板10での正投影を被覆する。

**【0051】**

1つの例示的な実施形態では、遮光層11の製造材料は金属、例えば銀、アルミニウム等であり、本開示の実施例はこれを制限しない。

**【0052】**

1つの例示的な実施形態では、図2A～2Bに示すように、本開示の実施例に係る表示基板は、トランジスタのソース/ドレイン電極とトランジスタの活性層との間に設置される層間絶縁層14を更に備える。

**【0053】**

1つの例示的な実施形態では、図2A～2B及び図3に示すように、本開示の実施例に係る表示基板における緩衝層12は、第2電極を露出させる第1ビアV1及び第2ビアV

10

20

30

40

50

2を備え、層間絶縁層14は、第1ビアV1を露出させる第3ビアV3と、第2ビアV2を露出させる第4ビアV4とを備える。

【0054】

1つの例示的な実施形態では、駆動トランジスタT2の第1極23は第1ビアV1及び第3ビアV3によって第2電極C2に接続され、センストランジスタT3の第1極43は第2ビアV2及び第4ビアV4によって第2電極C2に接続される。

【0055】

1つの例示的な実施形態では、図2A～2B及び図3に示すように、層間絶縁層14には複数のトランジスタの活性層を露出させるビアが更に設置され、複数のトランジスタのソース/ドレイン電極はビアによって活性層に接続される。

10

【0056】

1つの例示的な実施形態では、図4は本開示の実施例に係る表示基板の他の上面図である。図4に示すように、本開示の実施例に係る表示基板は、基板に設置される複数行のグリッド線及び複数列のデータ線を更に備え、各サブ画素はグリッド線とデータ線が交差し制限され、グリッド線は第1グリッド線G1及び第2グリッド線G2を含む。図4は4つのサブ画素を例とする。

【0057】

図2Aは図4のA-A方向に沿う断面図であり、図2Bは図4のB-B方向に沿う断面図である。

【0058】

1つの例示的な実施形態では、第1グリッド線G1及び第2グリッド線G2はトランジスタのゲート電極と同一層に設置され、データ線Dataはトランジスタのソース/ドレイン電極と同一層に設置される。

20

【0059】

1つの例示的な実施形態では、各サブ画素に対して、第1電極C1はそれぞれスイッチングトランジスタT1の第1極33及び駆動トランジスタT2のゲート電極22に接続され、第2電極C2はそれぞれ駆動トランジスタT2の第1極23及びセンストランジスタT3の第1極43に接続される。スイッチングトランジスタT1のゲート電極はサブ画素に対応するグリッド線のうちの第1グリッド線G1に接続され、スイッチングトランジスタT1の第2極34はサブ画素に対応するデータ線Dataに接続され、センストランジスタT3のゲート電極はサブ画素に対応するグリッド線のうちの第2グリッド線G2に接続される。

30

【0060】

1つの例示的な実施形態では、図4に示すように、各サブ画素に対して、発光領域AAは、データ線Dataの延在方向に沿って設置され、且つ対向して設置される第1側及び第2側を備える。

【0061】

1つの例示的な実施形態では、図2A～2Bから分かるように、センストランジスタT3及び第2グリッド線G2はいずれも発光領域AAの第1側に位置し、スイッチングトランジスタT1、駆動トランジスタT2及び第1グリッド線G1はいずれも発光領域AAの第2側に位置する。

40

【0062】

1つの例示的な実施形態では、図4に示すように、表示基板は、データ線Dataと同一層に設置される電源コードVDD及びセンス線Senseを更に備え、各画素はグリッド線の延在方向に沿って設置される4つのサブ画素を備え、各画素は2列の電源コード及び1列のセンス線に対応する。

【0063】

1つの例示的な実施形態では、第2サブ画素及び第3サブ画素の画素構造は対称的に設置され、第1サブ画素及び第4サブ画素は対称的に設置される。

【0064】

50

各画素に対して、画素に対応するセンス線 *Sense* は第 2 サブ画素 *P2* と第 3 サブ画素 *P3* との間に位置し、画素に対応する 1 列の電源コード *VDD* は第 1 サブ画素 *P1* の第 2 サブ画素 *P2* から離れる側に位置し、画素に対応するもう 1 列の電源コード *VDD* は第 4 サブ画素 *P4* の第 3 サブ画素 *P3* から離れる側に位置する。

【0065】

第 1 サブ画素 *P1* に対応するデータ線 *Data* は第 1 サブ画素 *P1* の第 2 サブ画素 *P2* に近接する側に位置し、第 2 サブ画素 *P2* に対応するデータ線は第 2 サブ画素 *P2* の第 1 サブ画素 *P1* に近接する側に位置し、第 3 サブ画素 *P3* に対応するデータ線は第 3 サブ画素 *P3* の第 4 サブ画素 *P4* に近接する側に位置し、第 4 サブ画素 *P4* に対応するデータ線は第 4 サブ画素 *P4* の第 3 サブ画素 *P3* に近接する側に位置する。

10

【0066】

1 つの例示的な実施形態では、図 4 に示すように、本開示の実施例に係る表示基板は、トランジスタのゲート電極と同一層に設置される電源接続線 *VL* と、遮光層 11 と同一層に設置されるセンス接続線 *SL* とを更に備え、各画素はグリッド線の延在方向に沿って設置される 2 つの電源接続線及びグリッド線の延在方向に沿って設置される 2 つのセンス接続線 *SL* に対応し、電源接続線 *VL* はそれぞれ電源コード *VDD* に対応し、電源接続線 *VL* は対応の電源コードに接続され、2 つのセンス接続線 *SL* はセンス線 *Sense* に接続される。

【0067】

1 つの例示的な実施形態では、第 2 サブ画素 *P2* の駆動トランジスタの第 2 極は一方の電源接続線 *VL* に接続され、第 3 サブ画素 *P3* の駆動トランジスタの第 2 極は他方の電源接続線 *VL* に接続され、第 1 サブ画素 *P1* のセンストランジスタの第 2 極は一方のセンス接続線 *SL* に接続され、第 4 サブ画素 *P4* のセンストランジスタの第 2 極は他方のセンス接続線 *SL* に接続される。

20

【0068】

1 つの例示的な実施形態では、センス接続線 *SL* は単層構造であってもよく、二層構造であってもよい。センス接続線 *SL* が単層構造である場合、センス接続線は遮光層又は第 2 電極と同一層に設置され、センス接続線 *SL* が二層構造である場合、センス接続線の第 1 層は遮光層と同一層に設置され、第 2 層は第 2 電極と同一層に設置される。図 4 はセンス接続線が遮光層と同一層に設置される場合を例とする。

30

【0069】

1 つの例示的な実施形態では、図 2A ~ 2B に示すように、本開示の実施例に係る表示基板は、トランジスタのゲート電極とトランジスタの活性層との間に設置されるゲート絶縁層 13 を更に備える。

【0070】

ゲート絶縁層 13 の基板 10 での正投影はトランジスタのゲート電極の基板 10 での正投影と重複する。

【0071】

1 つの例示的な実施形態では、緩衝層 12、ゲート絶縁層 13 及び層間絶縁層 14 の製造材料は酸化ケイ素、窒化ケイ素、又は酸化ケイ素及び窒化ケイ素の複合体であり、本開示の実施例はこれを制限しない。

40

【0072】

1 つの例示的な実施形態では、図 3 に示すように、各サブ画素に対して、緩衝層 12 に第 5 ビア *V5* が更に設置され、第 5 ビア *V5* がセンス接続線 *SL* を露出させ、層間絶縁層 14 には第 5 ビア *V5* を露出させる第 6 ビア *V6* が更に設置され、センストランジスタ *T3* の第 2 極 44 は第 5 ビア *V5* 及び第 6 ビア *V6* によってセンス接続線 *SL* に接続される。

【0073】

1 つの例示的な実施形態では、第 1 電極 *C1* の製造材料は透明金属酸化物を含み、透明金属酸化物はインジウムガリウム亜鉛酸化物 (*Indium Gallium Zinc Oxide*、*IGZO* と略称) 等を含み、本開示の実施例はこれを制限しない。

50

## 【 0 0 7 4 】

1つの例示的な実施形態では、第2電極C2の製造材料は透明導電性材料であり、透明導電性材料は酸化インジウムスズ (Indium Tin Oxides、ITOと略称)、酸化亜鉛スズ等を含み、本開示の実施例はこれを制限しない。

## 【 0 0 7 5 】

1つの例示的な実施形態では、図5は本開示の実施例に係る表示基板のまた他の上面図であり、図6は本開示の実施例に係る表示基板の更なる上面図である。図2A~図6に示すように、各サブ画素には発光素子及びサブ画素と色が同じである光学フィルタ50が更に設置される。発光素子は順に設置される陽極61、有機発光層62及び陰極63を備え、陽極61はセンストランジスタT3の第1極43に接続され、陽極61は透過電極であり、陰極63は反射電極である。

10

## 【 0 0 7 6 】

1つの例示的な実施形態では、陽極61の製造材料は透明導電性材料、例えば酸化インジウムスズ (ITO)、酸化亜鉛スズ等であってもよく、本開示の実施例はこれを制限しない。

## 【 0 0 7 7 】

1つの例示的な実施形態では、陰極63の製造材料は金属、例えば銀、アルミニウム等であり、本開示の実施例はこれを制限しない。

## 【 0 0 7 8 】

1つの例示的な実施形態では、発光素子の基板10での正投影と発光領域AAは重複領域が存在し、光学フィルタ50は発光領域AAに位置し、且つ発光素子の基板10に近接する側に設置され、陽極61の基板10での正投影は光学フィルタ50の基板10での正投影を被覆する。

20

## 【 0 0 7 9 】

1つの例示的な実施形態では、図2A~2Bに示すように、本開示の実施例に係る表示基板は、トランジスタのソース/ドレイン電極の基板10から離れる側に設置される不活性化層15と、陽極61と光学フィルタ50との間に設置される平坦層16と、平坦層16の基板10から離れる側に設置され且つサブ画素領域を定義するための画素定義層17とを更に備える。

## 【 0 0 8 0 】

1つの例示的な実施形態では、図2A~2B及び図5を参照して、不活性化層15は光学フィルタ50の基板10に近接する側に設置され、平坦層16は発光素子と光学フィルタ50との間に設置され、不活性化層15にはセンストランジスタT3の第1極43を露出させる第7ビアV7が設置され、平坦層16には第7ビアV7を露出させる第8ビアV8が設置される。

30

## 【 0 0 8 1 】

陽極61は第7ビアV7及び第8ビアV8によってセンストランジスタT3の第1極43に接続され、

第8ビアV8の基板10での正投影は、第4ビアV4の基板10での正投影と不完全に重複する。

40

## 【 0 0 8 2 】

1つの例示的な実施形態では、図2A~2Bに示すように、本開示の実施例に係る表示基板は、発光素子の基板10から離れる側に設置される支持部70と、支持部70の基板10から離れる側に設置されるカバープレート80とを更に備える。

## 【 0 0 8 3 】

1つの例示的な実施形態では、カバープレート80は発光素子を保護することに用いられる。カバープレート80はガラスカバープレートであってもよい。

## 【 0 0 8 4 】

同じ発明構想に基づいて、本開示のいくつかの実施例は更に表示基板の製造方法を提供し、表示基板を製造することに用いられる。図7は本開示の実施例に係る表示基板の製造

50

方法のフローチャートである。図 7 に示すように、本開示の実施例に係る表示基板の製造方法は具体的に下記ステップを含む。

【0085】

ステップ S 1、基板を提供する。

【0086】

1つの例示的な実施形態では、基板は剛性基板又は可撓性基板であってもよい。剛性基板はガラス及び金属薄片のうちの1つ又は複数であってもよいが、それらに限らない。可撓性基板はポリエチレンテレフタレート、エチレンテレフタレート、ポリエーテルエーテルケトン、ポリスチレン、ポリカーボネート、ポリアリレート、芳香族ポリエステル、ポリイミド、ポリ塩化ビニル、ポリエチレン、紡織繊維のうちの1つ又は複数であってもよいが、それらに限らない。

10

【0087】

ステップ S 2、基板に複数のサブ画素を形成する。

【0088】

1つの例示的な実施形態では、基板におけるサブ画素はアレイ状に配列される。図 2 A ~ 2 B は1つのサブ画素を例とする。

【0089】

1つの例示的な実施形態では、各サブ画素は発光領域及び非発光領域を備え、各サブ画素に駆動回路が設置され、駆動回路は蓄電コンデンサ及び複数のトランジスタを備え、複数のトランジスタはスイッチングトランジスタ、駆動トランジスタ及びセンストランジスタを含む。

20

【0090】

各サブ画素に対して、複数のトランジスタは非発光領域に位置し、蓄電コンデンサは透明コンデンサであり、且つ蓄電コンデンサの基板での正投影と発光領域は重複領域が存在し、蓄電コンデンサの第1電極は複数のトランジスタの活性層と同一層に設置され、蓄電コンデンサの第2電極は第1電極の基板に近接する側に位置する。

【0091】

駆動トランジスタの第1極は第2電極に直接接触し、センストランジスタの第1極は第2電極に直接接触する。

【0092】

表示基板は上記実施例に係る表示基板であり、その実現原理及び実現効果は類似し、ここで詳細な説明は省略する。

30

【0093】

1つの例示的な実施形態では、表示基板は更にグリッド線、データ線、電源コード及びセンス線を備え、グリッド線は第1グリッド線及び第2グリッド線を含み、ステップ S 2 は具体的に、

基板に遮光層及び第2電極を形成することと、遮光層及び第2電極に複数のトランジスタの活性層及び第1電極を形成することと、複数のトランジスタの活性層及び第1電極に複数のトランジスタのゲート電極、第1グリッド線及び第2グリッド線を形成することと、トランジスタのゲート電極、第1グリッド線及び第2グリッド線にデータ線、電源コード、センス線及び複数のトランジスタのソース/ドレイン電極を形成することと、データ線、電源コード、センス線及び複数のトランジスタのソース/ドレイン電極に光学フィルタ及び発光素子を順に形成することと、を含む。

40

【0094】

1つの例示的な実施形態では、基板に遮光層及び第2電極を形成することは、基板に遮光層及び第2電極を順に形成し、又は、基板に第2電極及び遮光層を順に形成し、又は、基板に第2電極及び遮光層を同時に形成することを含む。

【0095】

1つの例示的な実施形態では、基板に遮光層及び第2電極を順に形成することは、基板に第1マスクを用いて遮光層を形成し、遮光層に第2マスクを用いて第2電極を形成する

50

ことを含む。

【0096】

1つの例示的な実施形態では、基板に第2電極及び遮光層を順に形成することは、基板に第2マスクを用いてパターンニングプロセスにより第2電極を形成し、第2電極に第1マスクを用いて遮光層を形成することを含む。

【0097】

1つの例示的な実施形態では、基板に第2電極及び遮光層を同時に形成することは、基板に遮光薄膜及び透明導電性薄膜を順に堆積し、ハーフトーンマスクを用いて第2電極及び遮光層を同時に形成することを含む。

【0098】

パターンニングプロセスはフォトレジストコーティング、露出、現像、エッチング及びフォトレジスト剥離等のプロセスを含む。

【0099】

以下、遮光層が第2電極の基板に近接する側に設置される場合を例として、図8A～図8Hを参照して遮光層及び第2電極の製造過程について更に説明し、該過程は下記ステップを含む。

【0100】

ステップ110、図8Aに示されるように、基板に遮光薄膜110を堆積し、遮光薄膜110にフォトレジスト101をコーティングし、第1マスクM1を透過してフォトレジストを露出させる。

【0101】

ステップ120、図8Bに示されるように、フォトレジスト101を現像する。

【0102】

ステップ130、図8Cに示されるように、フォトレジスト101で被覆されていない遮光薄膜をエッチングする。

【0103】

ステップ140、図8Dに示されるように、フォトレジスト101を剥離して、遮光層11を形成する。

【0104】

ステップ150、図8Eに示されるように、遮光層11に透明導電性薄膜120を堆積し、透明導電性薄膜120にフォトレジスト101をコーティングし、第2マスクM2を透過してフォトレジストを露出させる。

【0105】

ステップ160、図8Fに示されるように、フォトレジスト101を現像する。

【0106】

ステップ170、図8Gに示されるように、フォトレジスト101で被覆されていない透明導電性薄膜をエッチングする。

【0107】

ステップ180、図8Hに示されるように、フォトレジスト101を剥離して、第2電極C2を形成する。

【0108】

1つの例示的な実施形態では、一実施形態として、遮光層及び第2電極に複数のトランジスタの活性層及び第1電極を形成し、複数のトランジスタの活性層及び第1電極に複数のトランジスタのゲート電極、第1グリッド線及び第2グリッド線を形成し、トランジスタのゲート電極、第1グリッド線及び第2グリッド線にデータ線、電源コード、センス線及び複数のトランジスタのソース/ドレイン電極を形成することは、遮光層及び第2電極にはパターンニングプロセスにより第1ビア、第2ビア及び第5ビアを備える緩衝層を形成することと、緩衝層において同じ製造プロセスにより複数のトランジスタの活性層及び第1電極を形成することと、複数のトランジスタの活性層及び第1電極に複数のトランジスタのゲート電極、第1グリッド線及び第2グリッド線を形成することと、トランジスタの

10

20

30

40

50

ゲート電極、第 1 グリッド線及び第 2 グリッド線にはパターニングプロセスにより第 3 ピア、第 4 ピア及び第 6 ピアを備える層間絶縁層を形成することと、層間絶縁層にデータ線、電源コード、センス線及び複数のトランジスタのソース/ドレイン電極を形成することと、を含む。

【0109】

1つの例示的な実施形態では、第 1 ピア及び第 2 ピアが第 2 電極を露出させ、第 5 ピアがセンス接続線を露出させ、第 3 ピアが第 1 ピアを露出させ、第 4 ピアが第 2 ピアを露出させ、第 6 ピアが第 5 ピアを露出させる。

【0110】

他の実施形態として、遮光層及び第 2 電極に複数のトランジスタの活性層及び第 1 電極を形成し、複数のトランジスタの活性層及び第 1 電極に複数のトランジスタのゲート電極、第 1 グリッド線及び第 2 グリッド線を形成し、トランジスタのゲート電極、第 1 グリッド線及び第 2 グリッド線にデータ線、電源コード、センス線及び複数のトランジスタのソース/ドレイン電極を形成することは、遮光層及び第 2 電極に第 1 絶縁薄膜を形成することと、第 1 絶縁薄膜に同じ製造プロセスにより複数のトランジスタの活性層及び第 1 電極を形成することと、複数のトランジスタの活性層及び第 1 電極に複数のトランジスタのゲート電極、第 1 グリッド線及び第 2 グリッド線を形成することと、トランジスタのゲート電極、第 1 グリッド線及び第 2 グリッド線に第 2 絶縁薄膜を形成することと、パターニングプロセスを用いて第 1 絶縁薄膜及び第 2 絶縁薄膜を処理して、第 1 ピア、第 2 ピア及び第 5 ピアを備える緩衝層と、第 3 ピア、第 4 ピア及び第 6 ピアを備える層間絶縁層とを形成することと、を含む。

【0111】

データ線、電源コード、センス線及び複数のトランジスタのソース/ドレイン電極に光学フィルタ及び発光素子を順に形成することは、データ線、電源コード、センス線及び複数のトランジスタのソース/ドレイン電極には第 7 ピアを備える不活性化層を形成し、前記第 7 ピアがセンストランジスタの第 1 極を露出させることと、不活性化層には光学フィルタと、第 8 ピアを備える平坦層とを順に形成し、前記第 8 ピアが第 7 ピアを露出させることと、平坦層に発光素子を形成することと、を含む。

【0112】

上記実施形態は表示基板の製造プロセスを簡素化することができる。

【0113】

サブ画素が 4 つあり、センス接続線が単層構造であり、且つ遮光層と同一層に設置され、遮光層が第 2 電極の基板に近接する側に設置される場合を例とし、以下に図 9 ~ 図 15 を参照して本開示の実施例に係る表示基板の製造方法について更に説明し、該方法は下記ステップを含む。

【0114】

ステップ 100、図 9 に示されるように、基板 10 に遮光層 11 及びセンス接続線 SL を形成する。

【0115】

ステップ 200、図 10 に示されるように、遮光層 11 及びセンス接続線 SL に第 2 電極 C2 及び緩衝層（図示せず）を順に形成する。

【0116】

ステップ 300、図 11 に示されるように、緩衝層に第 1 電極 C1、スイッチングトランジスタの活性層 31、駆動トランジスタ T2 の活性層 21 及びセンストランジスタの活性層 41 を形成する。

【0117】

ステップ 400、図 12 に示されるように、スイッチングトランジスタの活性層 31、駆動トランジスタ T2 の活性層 21 及びセンストランジスタの活性層 41 にゲート絶縁層を形成し、ゲート絶縁層にスイッチングトランジスタのゲート電極 32、駆動トランジスタのゲート電極 22 及びセンストランジスタのゲート電極 42、第 1 グリッド線 G1、第

10

20

30

40

50

2グリッド線G2及び電源接続線VLを形成し、トランジスタのゲート電極、第1グリッド線、第2グリッド線及び電源接続線に層間絶縁層を形成する。

【0118】

1つの例示的な実施形態では、層間絶縁層は第3ビアV3、第4ビアV4及び第6ビアV6を備え、緩衝層は第1ビアV1、第2ビアV2及び第5ビアV5を備える。

【0119】

ステップ500、図13に示されるように、層間絶縁層にデータ線Data、電源コードVDD、センス線Sense、スイッチングトランジスタの第1極33、スイッチングトランジスタの第2極34、駆動トランジスタの第1極23、駆動トランジスタの第2極24、センストランジスタの第1極43及びセンストランジスタの第2極44を形成する。

10

【0120】

ステップ600、図14に示されるように、データ線、電源コード、センス線及び複数のトランジスタのソース/ドレイン電極には第7ビアを備える不活性化層を形成し、不活性化層には光学フィルタ50を形成し、光学フィルタには第8ビアV8を備える平坦層を形成する。

【0121】

ステップ700、図15に示されるように、平坦層に陽極61を形成する。

【0122】

ステップ800、陽極に画素定義層、有機発光層及び陰極を順に形成し、且つ陰極に支持部及びカバープレートを順に設置する。

20

【0123】

同じ発明構想に基づいて、本開示の実施例は表示基板を備える表示装置を更に提供する。

【0124】

1つの例示的な実施形態では、該表示装置は携帯電話、タブレットコンピュータ、テレビ、ディスプレイ、ノートパソコン、デジタルフォトフレーム、カーナビゲーション等のいかなる表示機能を持つ製品又は部材であってもよい。該表示装置にとって不可欠な他の構成部分は当業者によく知られているものであり、ここで詳細な説明は省略し、本開示を制限するものとされるべきではない。該表示装置の実施については上記表示基板の実施例を参照してもよく、重複する箇所について詳細な説明は省略する。

【0125】

表示基板は上記任意の実施例に係る表示基板であってもよく、その実現原理及び実現効果は同様又は類似であり、ここで詳細な説明は省略する。

30

【0126】

本開示の実施例の図面は本開示の実施例に関わる構造のみに関し、他の構造については通常的设计を参照してもよい。

【0127】

明確のために、本開示の実施例を説明するための図面において、層又は微細構造の厚さ及びサイズが拡大される。理解されるように、層、膜、領域又は基板等の素子が他の素子の「上」又は「下」に位置すると称される場合、該素子は他の素子の「上」又は「下」に「直接」位置してもよく、又は中間素子があってもよい。

40

【0128】

以上は本開示に開示される実施形態であるが、前記内容は本開示を理解しやすくするために用いた実施形態に過ぎず、本開示を制限するためのものではない。当業者であれば、本開示に開示される趣旨及び範囲を逸脱せずに、実施形態及び詳細に対して任意に修正や変更を行うことができるが、本開示の特許保護範囲は依然として添付の特許請求の範囲により定義される範囲に準じるべきである。

【符号の説明】

【0129】

- 10 基板
- 11 遮光層

50

1 2	緩衝層	
1 3	ゲート絶縁層	
1 4	層間絶縁層	
1 5	不活性化層	
1 6	平坦層	
1 7	画素定義層	
2 3	駆動トランジスタ T 2 の第 1 極	
2 1	駆動トランジスタ T 2 の活性層	
2 2	駆動トランジスタ T 2 のゲート電極	
2 3	駆動トランジスタ T 2 の第 1 極	10
2 4	駆動トランジスタ T 2 の第 2 極	
3 1	スイッチングトランジスタ T 1 の活性層	
3 2	スイッチングトランジスタ T 1 のゲート電極	
3 3	スイッチングトランジスタ T 1 の第 1 極	
3 4	スイッチングトランジスタ T 1 の第 2 極	
4 1	センストランジスタ T 3 の活性層	
4 2	センストランジスタ T 3 のゲート電極	
4 3	センストランジスタ T 3 の第 1 極	
4 4	センストランジスタ T 3 の第 2 極	
5 0	光学フィルタ	20
6 1	陽極	
6 2	有機発光層	
6 3	陰極	
7 0	支持部	
8 0	カバープレート	
A A	発光領域	
N A	非発光領域	
C 1	蓄電コンデンサ C s t の第 1 電極	
C 2	蓄電コンデンサ C s t の第 2 電極	
V 1	第 1 ビア	30
V 2	第 2 ビア	
V 3	第 3 ビア	
V 4	第 4 ビア	
V 5	第 5 ビア	
V 6	第 6 ビア	
V 7	第 7 ビア	
V 8	第 8 ビア	
G 1	第 1 グリッド線	
G 2	第 2 グリッド線	
D a t a	データ線	40
V D D	電源コード	
S e n s e	センス線	
P 1	第 1 サブ画素	
P 2	第 2 サブ画素	
P 3	第 3 サブ画素	
P 4	第 4 サブ画素	
V L	電源接続線	
S L	センス接続線	
1 0 1	フォトレジスト	
1 1 0	遮光薄膜	50

- 1 2 0 透明導電性薄膜
- M 1 第 1 マスク
- M 2 第 2 マスク

【図面】  
 【図 1】

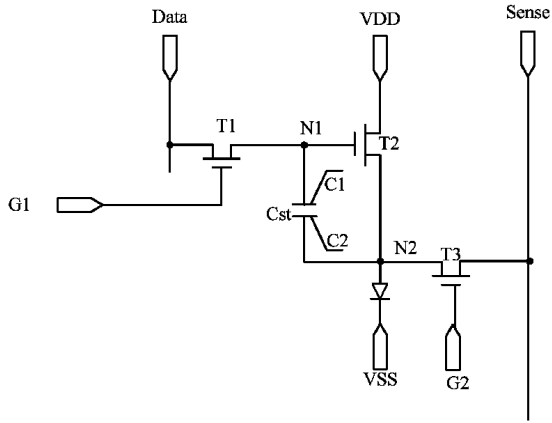


图 1

【図 2 A】

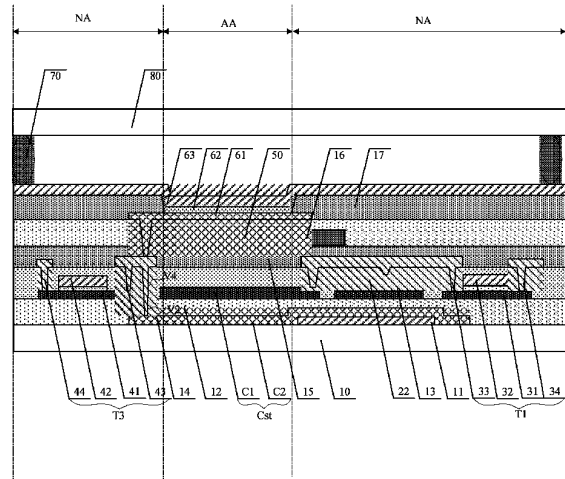


图 2A

【図 2 B】

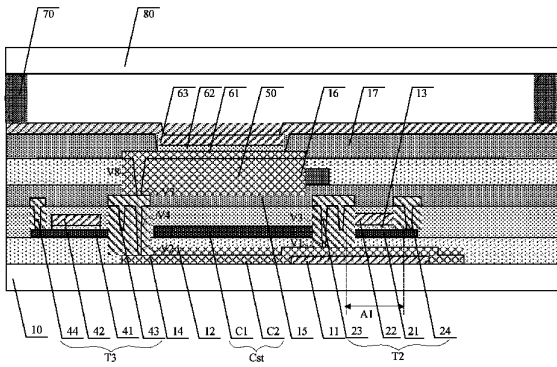


图 2B

【図 3】

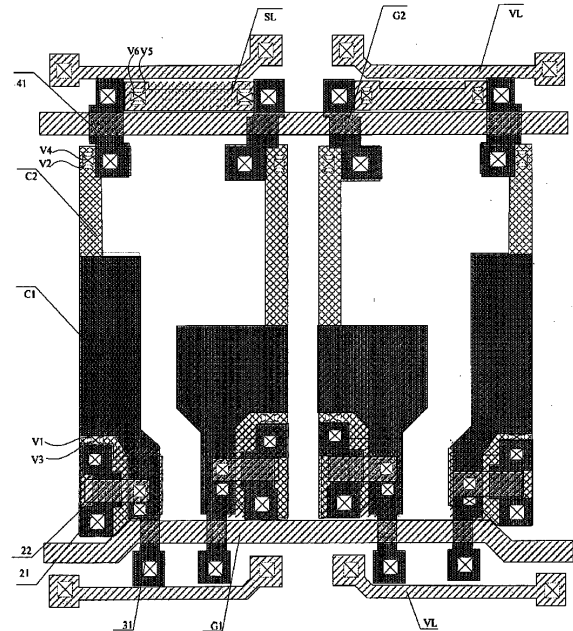


图 3

10

20

30

40

50

【 図 4 】

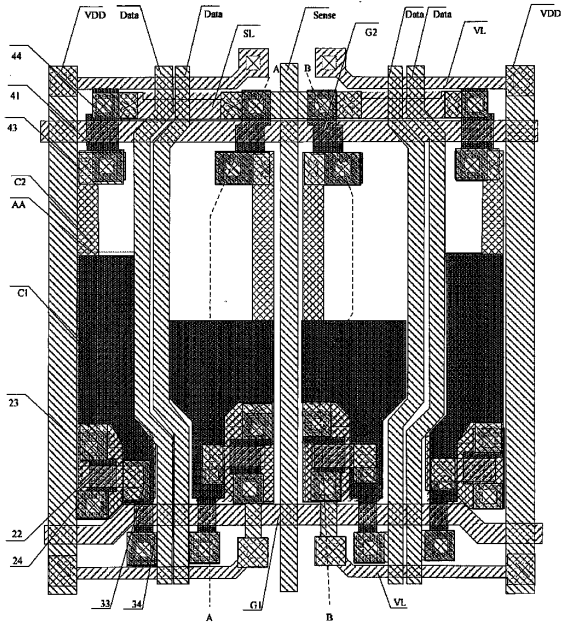


图 4

【 図 5 】

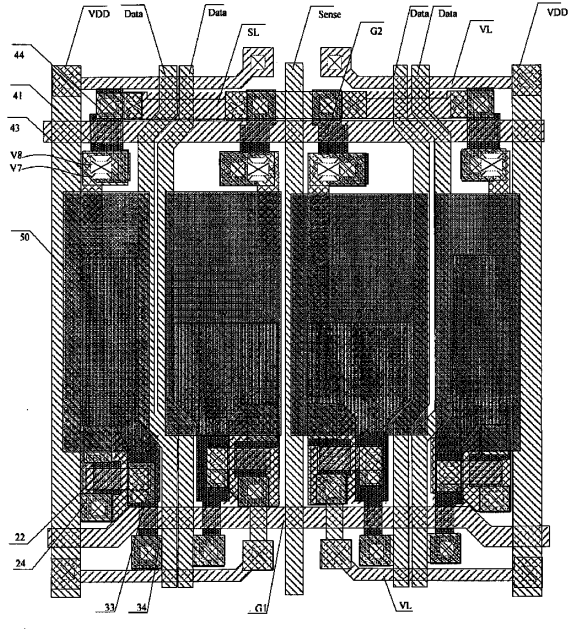


图 5

10

20

【 図 6 】

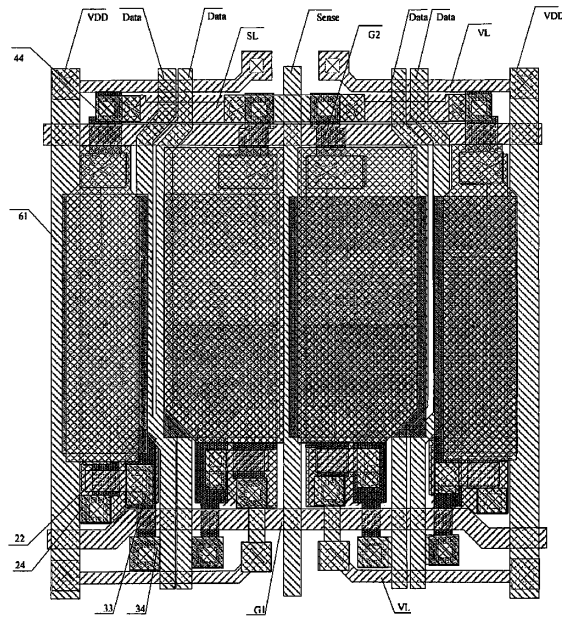
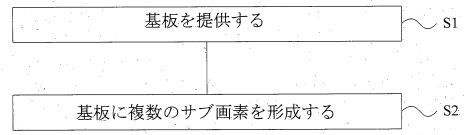


图 6

【 図 7 】



30

40

50

【图 8 A】

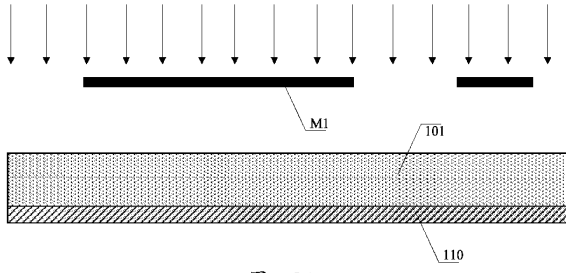


图 8A

【图 8 B】

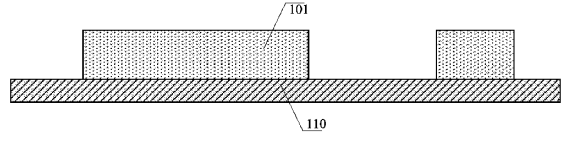


图 8B

【图 8 C】

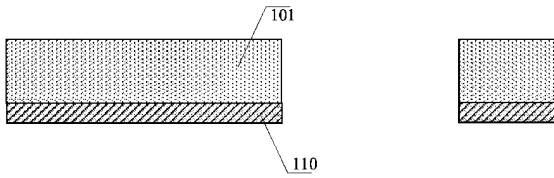


图 8C

【图 8 D】

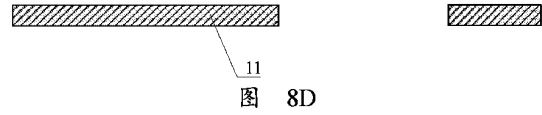


图 8D

【图 8 E】

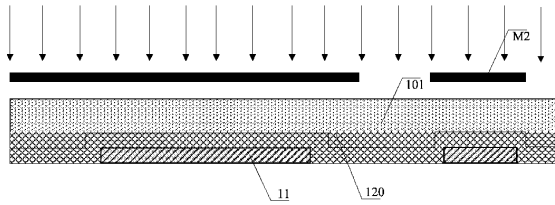


图 8E

【图 8 F】

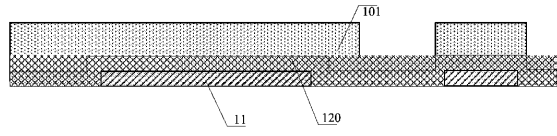


图 8F

10

20

30

40

50

【图 8 G】

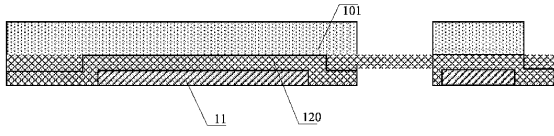


图 8G

【图 8 H】

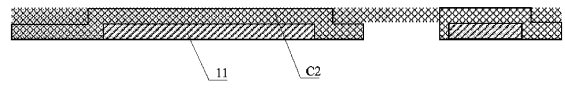


图 8H

【图 9】

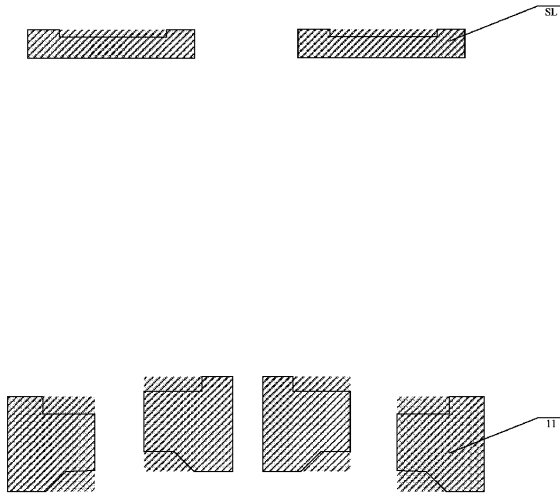


图 9

【图 10】

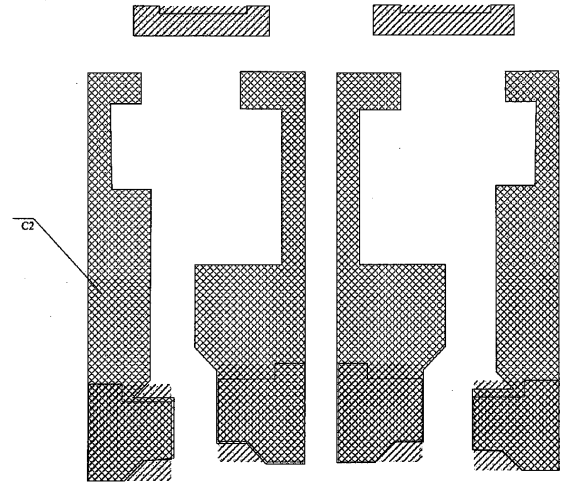


图 10

10

20

【图 11】

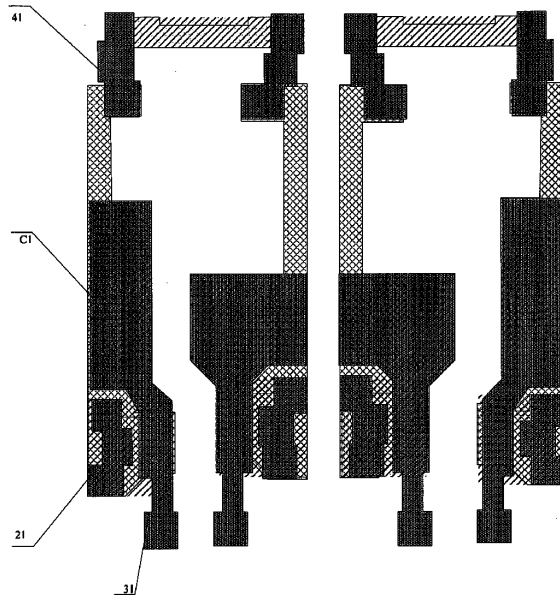


图 11

【图 12】

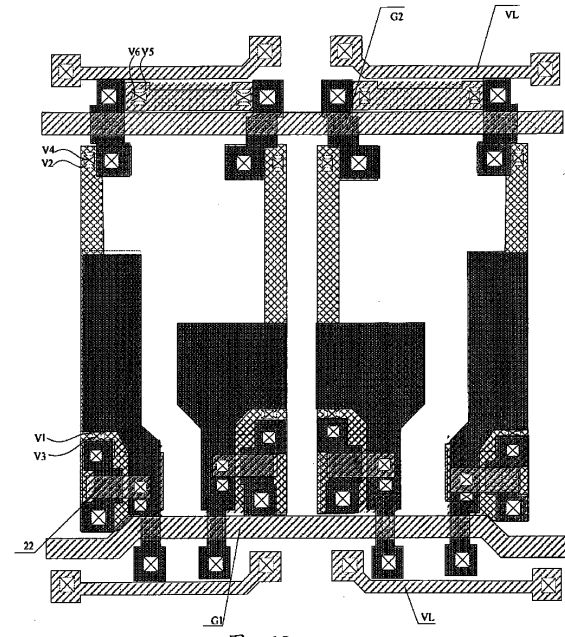


图 12

30

40

50

【 図 1 3 】

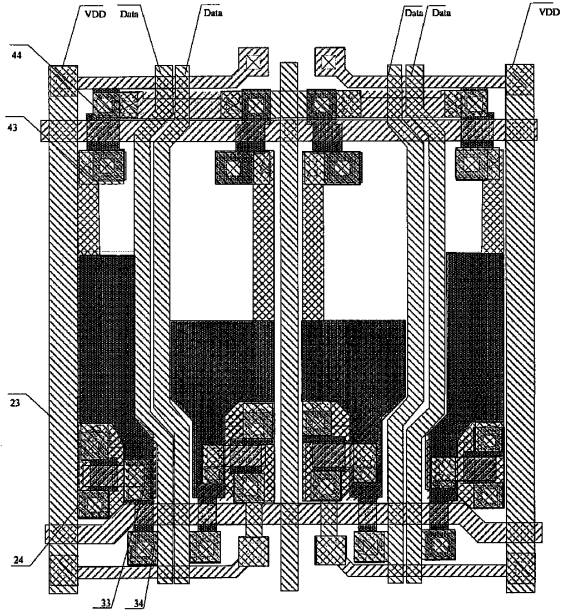


图 13

【 图 1 4 】

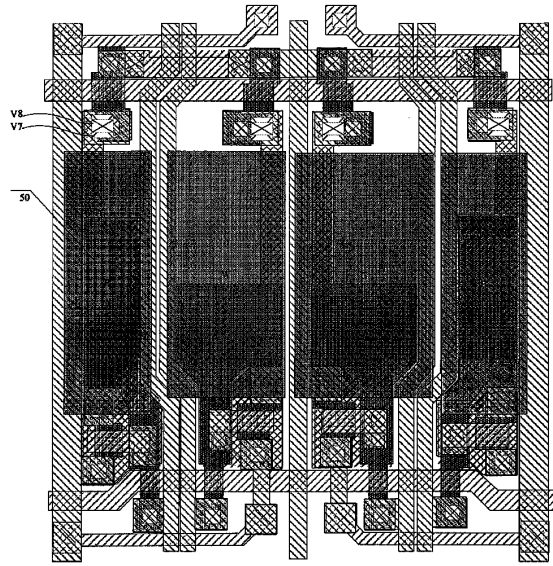


图 14

【 图 1 5 】

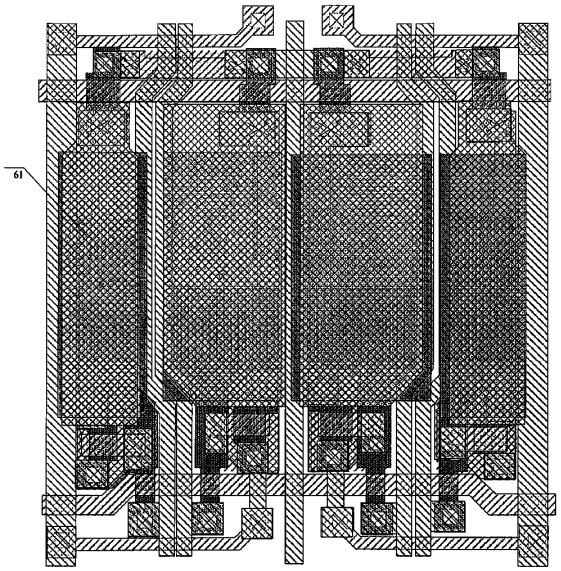


图 15

10

20

30

40

50

## フロントページの続き

(51)国際特許分類	F I		
	H 0 1 L	29/78	6 1 4
	H 0 1 L	29/78	6 1 8 B
	G 0 9 F	9/30	3 4 9 B
(72)発明者	中華人民共和国 1 0 0 1 7 6 北京市 經 濟 技 術 開 発 区 地 澤 路 9 号		
	林 奕呈		
(72)発明者	中華人民共和国 1 0 0 1 7 6 北京市 經 濟 技 術 開 発 区 地 澤 路 9 号		
	王 玲		
(72)発明者	中華人民共和国 1 0 0 1 7 6 北京市 經 濟 技 術 開 発 区 地 澤 路 9 号		
	王 国英		
(72)発明者	中華人民共和国 1 0 0 1 7 6 北京市 經 濟 技 術 開 発 区 地 澤 路 9 号		
	張 星		
(72)発明者	中華人民共和国 1 0 0 1 7 6 北京市 經 濟 技 術 開 発 区 地 澤 路 9 号		
	韓 影		
審査官	中華人民共和国 1 0 0 1 7 6 北京市 經 濟 技 術 開 発 区 地 澤 路 9 号		
	川俣 郁子		
(56)参考文献	米国特許出願公開第 2 0 1 8 / 0 1 2 2 8 8 3 ( U S , A 1 )		
	中国特許出願公開第 1 1 0 0 7 1 0 6 9 ( C N , A )		
	米国特許出願公開第 2 0 1 9 / 0 1 3 1 3 6 9 ( U S , A 1 )		
	特開 2 0 1 2 - 2 0 8 4 2 1 ( J P , A )		
	米国特許出願公開第 2 0 1 8 / 0 1 5 1 1 2 0 ( U S , A 1 )		
	米国特許出願公開第 2 0 1 6 / 0 1 4 1 3 4 9 ( U S , A 1 )		
(58)調査した分野	(Int.Cl. , D B 名)		
	G 0 9 F 9 / 0 0 - 9 / 4 6		
	H 0 1 L 2 1 / 3 3 6		
	2 9 / 7 8 6		
	H 0 5 B 3 3 / 0 0 - 3 3 / 2 8		
	4 4 / 0 0		
	4 5 / 6 0		
	H 1 0 K 5 0 / 0 0 - 9 9 / 0 0		